

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ⁴ G06F 15/16	A1	(11) 国際公開番号 WO 89/ 09448 (43) 国際公開日 1989年10月5日 (05.10.89)
(21) 国際出願番号 PCT/JP89/00351 (22) 国際出願日 1989年4月1日 (01. 04. 89) (31) 優先権主張番号 特願昭 63-78120 (32) 優先日 1988年4月1日 (01. 04. 88) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) 国際電信電話株式会社 (KOKUSAI DENSHIN DENWA CO., LTD)(JP/JP) 〒163 東京都新宿区西新宿2丁目3番2号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 山口博久 (YAMAGUCHI, Hirohisa)(JP/JP) 〒163 東京都新宿区西新宿2丁目3番2号 国際電信電話株式会社内 Tokyo, (JP) (74) 代理人 弁理士 山本恵一 (YAMAMOTO, Keiichi) 〒105 東京都港区西新橋一丁目5番12号 タンパビル Tokyo, (JP) (81) 指定国 DE (欧州特許), GB (欧州特許), US . 添付公開書類 国際調査報告書		

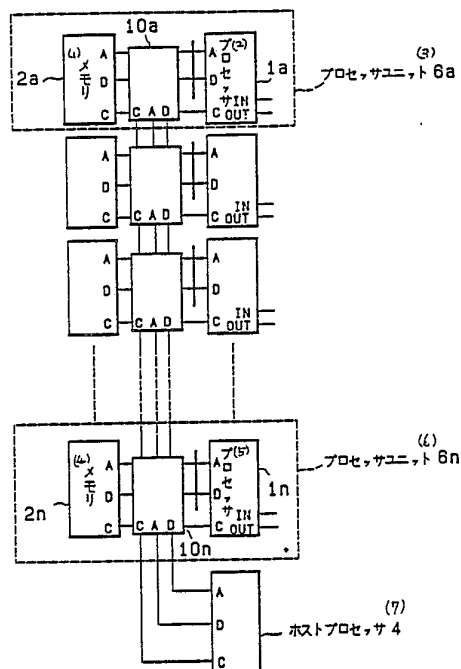
(54) Title: PARALLEL SIGNAL PROCESSING SYSTEM

(54) 発明の名称 並列信号処理方式

(1) memory, (2) processor, (3) processor unit
6a, (4) memory, (5) processor, (6) processor unit 6n, (7)
host processor 4.

(57) Abstract

A parallel signal processing system comprises a plurality of processor units (6a - 6n) and host processors (4) connected via their respective transparent memories (10a - 10n) to the respective processor units (6a - 6n) and used to read the parallel processing results achieved by the respective processor units, each of the transparent memories (10a - 10n) comprising a first bus (11a, 11b) for connecting a processor (1a - 1n) constituting the processor unit (6a - 6n) and a memory (2a - 2n), a second bus (12a, 12b) for connecting the adjoining processor units, a first switch (13a, 13b, 14a, 14b) for switching the first bus to the second bus, and a second switch (16) for switching the direction of the second bus, the host processor (4) being used to attain access to each one of the memories (2a - 2n) simultaneously through the switching operation of the first switch and the second switch so as to simultaneously read or write the contents of these memories (2a - 2n).



A 本発明の構成図

A a block diagram of an embodiment of the present invention

(57) 要約

複数のプロセッサユニット（6 a … 6 n）と、各プロセッサユニット（6 a … 6 n）にトランスペアレントメモリ（10 a … 10 n）を介して接続され、各プロセッサユニットの並列処理の結果を読み出す単一のホストプロセッサ（4）とを有し、トランスペアレントメモリ（10 a … 10 n）の各々は、各プロセッサユニット（6 A … 6 n）を構成するプロセッサ（1 a … 1 n）とメモリ（2 a … 2 n）とを接続する第1のバス（11 a, 11 b）と、隣接するプロセッサユニットの間のを接続する第2のバス（12 a, 12 b）と、第1のバスと第2のバスとを切り替える第1のスイッチ（13 a, 13 b, 14 a, 14 b）と、第2のバスの方向を切り替える第2のスイッチ（16）とを有し、ホストプロセッサ（4）は第1のスイッチと第2のスイッチの切り換え操作を介して、各メモリ（2 a … 2 n）に同時にアクセスしてそれらのメモリ（2 a … 2 n）の内容を同時に読み出し又は同時に書き込む（第1図）。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウェー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

1

明 細 書

並 列 信 号 処 理 方 式

技 術 分 野

- 5 本発明は、入力信号を複数に分割して並列処理したのち、並列処理された信号を短時間に読み出す並列信号処理方式に関するものである。

背 景 技 術

- 10 画像信号のように大量の情報量を有する信号を高速に処理する場合には、処理対象の信号を複数に分割し、各々の分割された信号を並列処理し、処理の終了した信号を短時間に読み出す並列信号処理方式が有効である。

- 15 第3図は従来の並列信号処理方式の構成図である。
なお、以下では分割（分配）された信号を各メモリから読み出す（回収）場合を中心に説明する。

- 図に於て、1（1a～1n）は複数に分割された信号を処理する信号処理素子（以下、「プロセッサ」と称す）、2（2a～2n）はプロセッサ1によって処理された信号を蓄積するメモリ、3はアドレス（A）、データ（B）及びコントロール線（C）によりプロセッサ1とメモリ2とを接続するための内部バス、4は複数のプロセッサ1を制御するためのホストプロセッサ、5はホストプロセッサ4の制御に基づいて接続す
- 20
- 25

2

べきプロセッサ 1 を順次選択するセレクタ、6 はプロセッサ 1 とメモリとから構成されるプロセッサユニットである。ここでは同一の構成のプロセッサユニットが並列に 8 個 ($n = 8$) 接続された構成を示している。
5

各プロセッサユニット 6 により処理された結果を回収するためには、図のように接続された各プロセッサ 1 のポートをセレクタ 5 に順次選択した後、ハンドシェイクを実行できるプロトコルにより必要な信号を各
10 プロセッサユニット 6 から転送して読み出していた。

発明が解決しようとする問題点

しかしながら、従来のこの方式による信号転送速度は、典型的な例でも 1.5Mbit/sec (700 nsec) 程度しか
15 実現できず、しかも転送元の各プロセッサ 1 を順次切り替えるためにかなりの時間を必要とする。従って、並列接続されるプロセッサ 1 の個数が増えるに従って信号処理能力は増加するものの、分配した信号の回収が実時間で実行できなくなるという問題があった。また、これをダイレクトメモリアクセス等の方法により
20 実現することも技術的には可能であるが、並列プロセッサユニット 6 の数が増えるに従って、その制御が非常に複雑になり、並列信号処理の速度が低下するという問題があった。

3

発 明 の 課 題

本発明は上述した従来技術の問題点を解決するため
になされたもので、高速に並列処理が可能な並列信号
処理方式を提供することを目的とする。

5

課題を解決するための手段

本発明の特徴は、複数に分割された信号を処理する
プロセッサと該プロセッサにより処理された該信号を
内部バスを介して蓄積するメモリとから構成されるブ
10 ロセッサユニットと、複数の該プロセッサユニットを
制御するホストプロセッサとを有し、該複数のプロセ
ッサユニットにより並列処理された前記信号を該ホス
トプロセッサで読み出して処理する並列信号処理方式
において、前記プロセッサと前記メモリとを接続する
15 第1のバスと、隣接する前記プロセッサユニット間を
接続する第2のバスと、該第1のバスと該第2のバス
とを切り替える第1のスイッチと、前記第2のバスの
方向を切り替える第2のスイッチとを有し、該第1及
び該第2のスイッチを必要に応じて切り替えることに
20 より前記複数のプロセッサユニットで処理された前記
信号を高速に読み出し処理するように構成したこと
にある。

図 面 の 簡 単 な 説 明

25 第1図は本発明による並列信号処理方式の構成図、

4

第2図は本発明によるトランスペアレントメモリエニットの構成図、

第3図は従来の並列信号処理方式の構成図である。

5 発明を実施するための最良の形態

以下に、図面を用いて本発明を詳細に説明するが、説明を簡単化するためにアドレスとデータとに対して共通バスを用いた例をとる。

第1図は本発明による並列信号処理方式の構成図であり、従来と異なる点はプロセッサ1とメモリ2との間にトランスペアレントメモリエニット10を設けて、ホストプロセッサ4から一括して複数のプロセッサユニット6にアクセスできるようにしたことにある。以下に、本発明の特徴であるトランスペアレントメモリエニット10とメモリ2との関係を中心に説明する。

第2図は本発明によるトランスペアレントメモリエニット10の構成図であり、11はメモリ2とプロセッサ1（図示せず）とを接続する第1のバス（11aはアドレス（データ）バス、11bはコントロールバス）、12は隣接するプロセッサユニット6間を接続するための第2のバス（12aはアドレス（データ）バス、12bはコントロールバス）、13及び14は第1のバスと第2のバス12とを切り替えるための例えば3ステートバッファからなる第1のスイッチ

5

(13a及び14aはアドレス(データ)バス用のスイッチ、13b及び14bはコントロールバス用のスイッチ)、15は第1のスイッチのうちスイッチ13とスイッチ14とを反転させるための反転回路、16は第1のアドレスバス12aの方向(方向AもしくはB)を切り替えるための双方向スイッチ(第2のスイッチ)、17はメモリ2から読み出されたデータと図示しない他のプロセッサユニット6から読み出されたデータとの論理和をとるための論理和回路、18はメモリ2から読み出されたデータを予め定められた時間だけ(クロック信号)保持するためのラッチ回路である。なお、論理和回路17として、図ではデータが通常のバイナリ表現、すなわち正論理で表現される場合を例にとりOR回路を示しているが、データが逆に負論理の場合にはAND回路を用いればよい。また、説明を簡単化するために図示されているメモリ2及びトランスペアレントメモリユニット10はn番目のうち3番目を示しているものとする。

次に、動作について説明する。

まず、分割された信号はプロセッサ1₃で処理されてから第1のスイッチ13a及び13bと第1のバス11a及び11bを介してメモリ2₃へ蓄積される。ここまでは従来と同様である。次に本発明の特徴である各プロセッサ1a～1nで処理されてメモリ2a～2nに蓄積されている信号を回収する場合について説

明する。

処理後の信号を回収しようとするホストプロセッサ
4（図の一番下）は、第1のスイッチ群である13a、
13b、14a及び14bのうちスイッチ14a及び
5 14bを接続（データ及びコントロール線）すると共
に第2のスイッチ16を方向Bに動作させることによ
り、各メモリ2a～2nに一括アクセスする。この状
態でホストプロセッサ4からのアドレス信号は、各プ
ロセッサユニット6a～6nに共通に提供され、この
10 結果各メモリ2a～2nの同一アドレスの信号の論理
和が回路17により行われて読み出される。各メモリ
2a～2nのデータ内容を読み出す際に、一般に短時
間で蓄積内容が消えてしまうため、ラッチ回路18を
通してデータを保持している。また、第2のスイッ
15 ちである双方向スイッチ16も方向Bから方向A側に切
替えられる。尚、本発明では、各プロセッサ1a～1
nが信号処理結果を書き込む信号アドレスを各プロセ
ッサ毎に違えておき、その他の部分を信号値0（バイ
ナリ00....0）としておくことにより、信号の回収を
20 行おうとするホストプロセッサ4からは本来必要な信
号値だけが直接見え、かつこの場合その信号値がどの
プロセッサにより処理されたものであるかを知ってい
る必要がないようにしてある。

上述のように、本発明は各メモリ2a～2nが各プ
25 ロセッサ1a～1nとホストプロセッサ4との独立し

7

たバス（ルート）を有し、かつホストプロセッサ4が直接一括アクセスできるため、画像信号の場合のように信号に2次元的な広がりがあり、信号処理を2次元的に（例えば小ブロックに）分割して各プロセッサ1 a ~ 1 nに独立に実行させる場合非常に有効であり、これによりプロセッサ1 a ~ 1 n毎の非同期信号処理が容易に実現できることから、並列信号処理能力を格段に向上させることが可能となる。また、本発明を画像信号に適用する場合、各プロセッサ1 a ~ 1 nに1画面分のフレームメモリが必要となるが現在既に256画素×256ライン1画面×1 Byteは1チップに納められており実用上は問題とならない。

発 明 の 効 果

15 以上のように、本発明はプロセッサ1とメモリ2との間にプロセッサユニット6を設けることにより、ホストプロセッサ4から全メモリ2 a ~ 2 nに一括アクセスして信号を回収することが可能となる。従って、高速な並列処理ができ、かつプロセッサユニット6の
20 数が増大しても、その制御を簡単に行うことができるため、画像信号をはじめ他の情報量の多い信号を高速に並列処理する方式に適用することができ、その効果が大きい。

本発明は動画像信号のように大量の情報を有する信号を高速に並列処理するもので、そのための装置、例えばテレビ信号の方式変換、及び動画像信号の狭帯域伝送のための情報圧縮などに利用することができる。

5

10

15

20

25

9

請 求 の 範 囲

(1) 複数に分割された信号を処理するプロセッサと、該プロセッサにより処理された該信号を内部バスを介して蓄積するメモリとから構成されるプロセッサ
5 ユニットと、複数の該プロセッサユニットを制御するホストプロセッサとを有し、該複数のプロセッサユニットにより並列処理された信号を該ホストプロセッサで読み出して処理する並列信号処理方式において、

前記プロセッサと前記メモリとを接続する第 1 のバ
10 ス (1 1 a , 1 1 b) と、

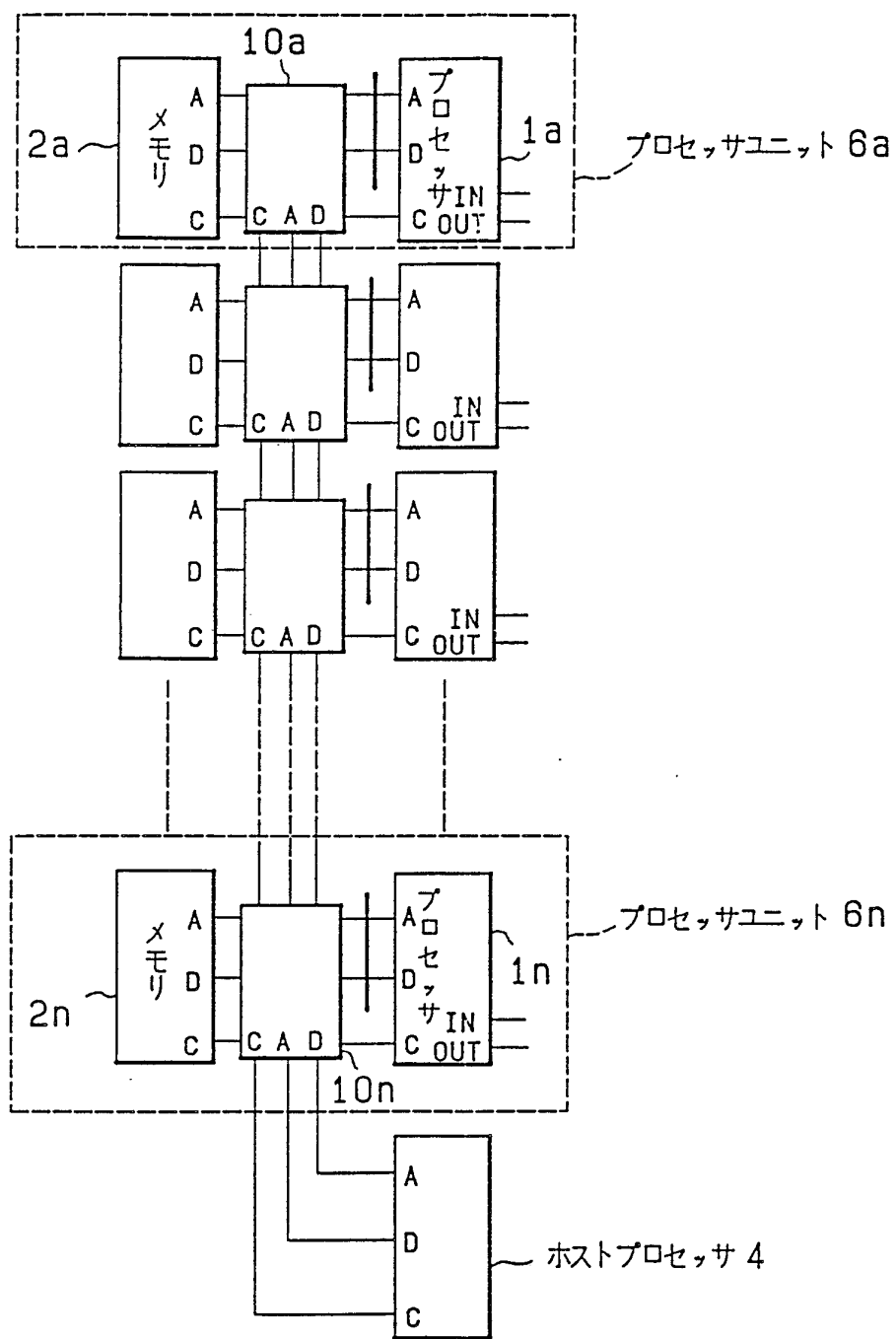
前記隣接する前記プロセッサユニット間を接続する第 2 のバス (1 2 a , 1 2 b) と、

該第 1 のバスと該第 2 のバスとを切り替える第 1 のスイッチ (1 3 a , 1 3 b , 1 4 a , 1 4 b) と、

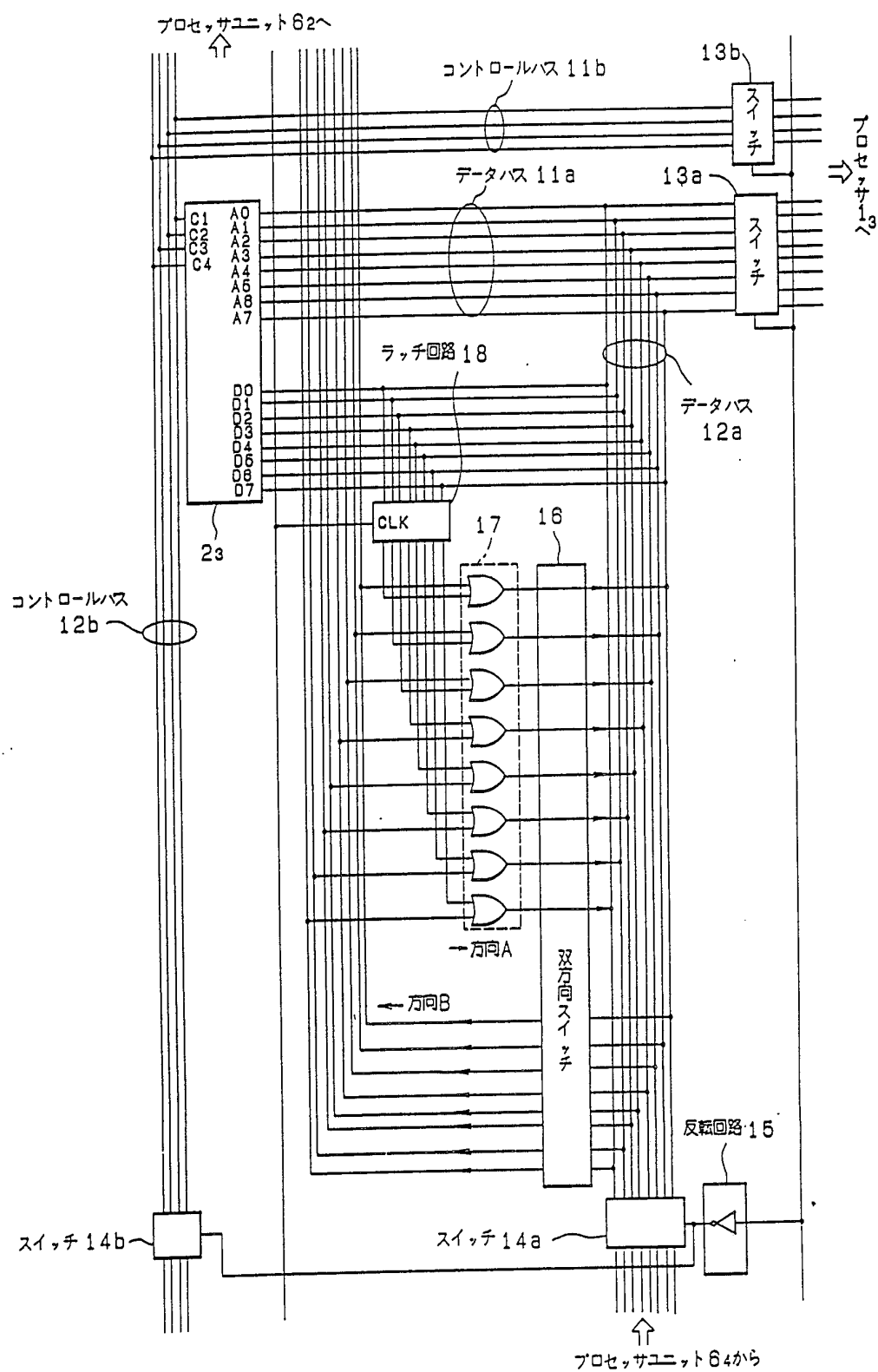
15 前記第 2 のバスの方向を切り替える第 2 のスイッチ (1 6) とを有し、

該第 1 及び該第 2 のスイッチを必要に応じて切り替えることにより前記複数のプロセッサユニットで処理された前記信号を高速に読み出し処理するように構成
20 したことを特徴とする並列信号処理方式。

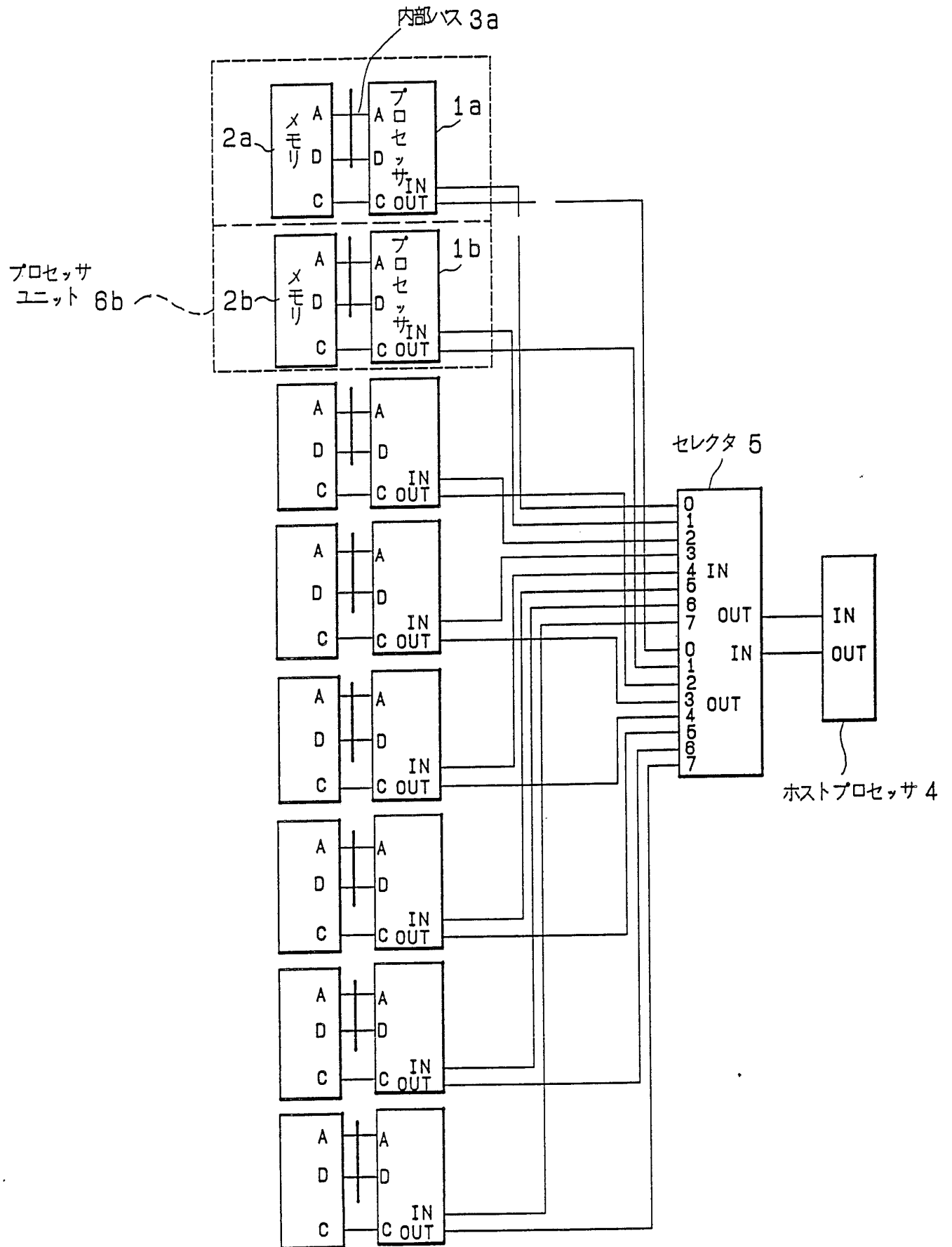
(2) 複数のメモリ (2 a … 2 n) からの読み出し信号が各メモリの出力を入力とする論理和回路 (1 . 7) を介してホストプロセッサ (4) に入力されることを特徴とする請求項 1 記載の並列信号処理方式。



本発明の構成図
第 1 図



第 2 図



従来の技術

第 3 図

INTERNATIONAL SEARCH REPORT

International Application No PCT/JP89/00351

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁶		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl ⁴	G06F15/16	
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁷		
Classification System ¹	Classification Symbols	
IPC	G06F15/16	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁸		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹		
Category [*]	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
A	JP, A, 58-99868 (NEC Corporation) 14 June 1983 (14. 06. 83) P.4, upper left column, line 18 to lower left column, line 2 (Family: none)	1-2
A	JP, A, 59-157761 (Hitachi, Ltd.) 7 September 1984 (07. 09. 84) P.3, upper right column, line 6 to lower left column, line 20 (Family: none)	1-2
[*] Special categories of cited documents ¹⁰ "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search:		Date of Mailing of this International Search Report:
June 12, 1989 (12. 06. 89)		June 26, 1989 (26. 06. 89)
International Searching Authority:		Signature of Authorized Officer:
Japanese Patent Office		

国 際 調 査 報 告

国際出願番号PCT/JP 89/ 00351

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. G 0 6 F 1 5 / 1 6		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
IPC	G 0 6 F 1 5 / 1 6	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の カテゴリー※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	JP, A, 58-99868 (日本電気株式会社) 14. 6月. 1983 (14. 06. 83) P. 4, 左上欄 18行-左下欄 2行 (ファミリーなし)	1-2
A	JP, A, 59-157761 (株式会社 日立製作所) 7. 9月. 1984 (07. 09. 84) P. 3, 右上欄 16行-左下欄 20行 (ファミリーなし)	1-2
※引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般の技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日 12. 06. 89	国際調査報告の発送日 26. 06. 89	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 松 尾 浩 太 郎	5 B 6 7 4 5 ®