

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月16日(16.11.2017)



(10) 国際公開番号

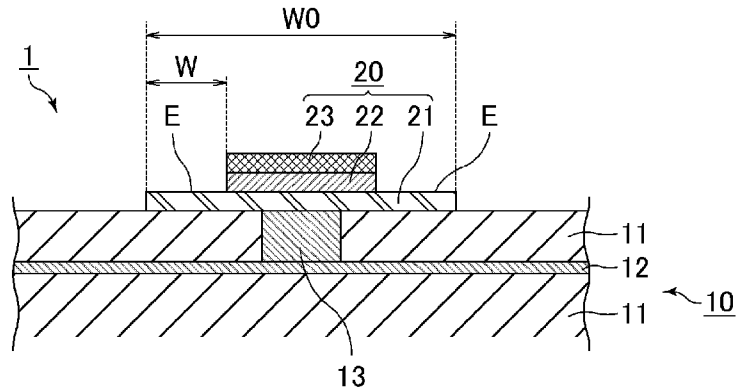
WO 2017/195572 A1

- (51) 国際特許分類:
H05K 3/24 (2006.01) *H05K 3/34* (2006.01)
H01L 23/13 (2006.01) *H05K 3/38* (2006.01)
H05K 1/09 (2006.01)
- (21) 国際出願番号: PCT/JP2017/016013
- (22) 国際出願日: 2017年4月21日(21.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2016-094033 2016年5月9日(09.05.2016) JP
- (71) 出願人: 株式会社村田製作所
 (MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1
 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 武森 祐貴 (TAKEMORI, Yuki);
 〒6178555 京都府長岡京市東神足 1 丁目 10 番
 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 安富国際特許事
 務所(YASUTOMI & ASSOCIATES); 〒5320003
 大阪府大阪市淀川区宮原 3 丁目 5
 番 3 6 号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
 護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
 BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
 CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
 DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
 HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,

(54) Title: CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: セラミック電子部品

図1



(57) Abstract: This ceramic electronic component is provided with: an electronic component main body having a base material ceramic layer on the surface; and a surface electrode that is provided on the surface of the electronic component main body. The ceramic electronic component is characterized in that: the surface electrode includes a first sintered layer that is provided on the upper surface of the base material ceramic layer, and a second sintered layer that is provided on the upper surface of the first sintered layer, and a plating layer that is provided on the upper surface of the second sintered layer; and in a peripheral portion of the first sintered layer, there is an exposed surface where the second sintered layer and the plating layer are not provided on the upper surface.

(57) 要約: 本発明のセラミック電子部品は、表面に基材セラミック層を有する電子部品本体と、上記電子部品本体の表面に設けられた表面電極とを備えるセラミック電子部品であって、上記表面電極は、上記基材セラミック層の上面に設けられた第1焼結層と、上記第1焼結層の上面に設けられた第2焼結層と、上記第2焼結層の上面に設けられためっき層とを含み、上記第1焼結層の周縁部には、上記第2焼結層及び上記めっき層が上面に設けられていない露出面が存在することを特徴とする。

WO 2017/195572 A1

KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：セラミック電子部品

技術分野

[0001] 本発明は、セラミック電子部品に関する。

背景技術

[0002] 電子部品本体の表面に表面電極が設けられたセラミック電子部品として、例えば、多層セラミック基板のような積層型セラミック電子部品が挙げられる。

[0003] このようなセラミック電子部品に設けられる表面電極は、配線基板又は搭載部品のような他の電子部品との接続のために用いられるため、表面電極と電子部品本体との間の接合強度が高いものでなければならない。

[0004] 特許文献1には、表面電極に相当する接続用電極が少なくとも2層からなるセラミック電子部品が開示されている。特許文献1に開示された発明においては、電子部品本体の表面に接する内側層が導電成分及びセラミック成分を含み、接続用電極の外側に向く外側層が導電成分及びガラス成分を含むことを特徴としている。

先行技術文献

特許文献

[0005] 特許文献1：特開2001-326301号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1によれば、接続用電極の内側層がセラミック成分を含むことにより、内側層と電子部品本体との間の接合強度を高めることができるとともに、接続用電極の外側層がガラス成分を含むことにより、外側層と内側層との間の接合強度を高めることができるとされている。

[0007] しかし、特許文献1に記載のセラミック電子部品が接続用電極を介して他の電子部品と接続される場合、特に、配線基板上に実装される場合、外部から

接続用電極に応力が加わると、接続用電極及び／又は電子部品本体にクラックが発生してしまうことがあり、セラミック電子部品の接続信頼性が低下するという問題があった。

[0008] 本発明は上記の問題を解決するためになされたものであり、表面電極と電子部品本体との間の接合強度が高く、外部から表面電極に加わる応力に耐え得るセラミック電子部品を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するため、本発明のセラミック電子部品は、表面に基材セラミック層を有する電子部品本体と、上記電子部品本体の表面に設けられた表面電極とを備えるセラミック電子部品であって、上記表面電極は、上記基材セラミック層の上面に設けられた第1焼結層と、上記第1焼結層の上面に設けられた第2焼結層と、上記第2焼結層の上面に設けられためっき層とを含み、上記第1焼結層の周縁部には、上記第2焼結層及び上記めっき層が上面に設けられていない露出面が存在することを特徴とする。

[0010] 本発明のセラミック電子部品では、表面電極を第1焼結層、第2焼結層及びめっき層の少なくとも3層構造としている。そして、電子部品本体の基材セラミック層の上面に設けられた第1焼結層のサイズを、他の電子部品と接続するためのめっき層及び該めっき層を設けるための第2焼結層のサイズよりも大きくすることによって、第1焼結層の周縁部の上面に、第2焼結層及びめっき層が設けられていない露出面を形成し、第2焼結層及びめっき層を第1焼結層の内側に配置している。

特許文献1に記載のセラミック電子部品のように、接続用電極の外側層のサイズが内側層のサイズと同じであると、外部から接続用電極に加わる応力が接続用電極の端部に集中してしまい、その結果、接続用電極及び／又は電子部品本体にクラックが発生すると考えられる。

これに対し、本発明のセラミック電子部品では、電子部品本体の基材セラミック層の上面に設けられた第1焼結層のサイズが第2焼結層及びめっき層のサイズよりも大きいため、外部からの応力の起点を、第1焼結層と基材セラ

ミック層とが接合しているために接合強度が低い表面電極の端部から、第1焼結層及び第2焼結層の金属同士が結合しているために接合強度が高い表面電極の内側にずらすことができる。その結果、表面電極と電子部品本体との間の接合強度を、外部から表面電極に加わる応力に耐え得る程度まで高くすることができるため、表面電極及び／又は電子部品本体に発生するクラックを防止することができる。

なお、表面電極と電子部品本体との間の接合強度は、電極引張試験によるピール強度、及び、落下試験による落下強度によって評価することができる。

[0011] さらに、本発明のセラミック電子部品では、電子部品本体の基材セラミック層の上面に設けられた第1焼結層のサイズが第2焼結層及びめっき層のサイズよりも大きいため、第1焼結層と基材セラミック層との間の接合強度を高くすることもできる。

[0012] 本発明のセラミック電子部品において、表面電極と基材セラミック層との間の接合強度を高くする観点から、上記露出面の内周縁の長さは、上記第2焼結層の周縁部の長さの50%以上であることが好ましい。

[0013] 本発明のセラミック電子部品において、表面電極と基材セラミック層との間の接合強度を高くする観点から、上記露出面の幅は、10 μ m以上であることが好ましい。

[0014] 本発明のセラミック電子部品において、上記第1焼結層は、Al、Zr、Ti、Si及びMgからなる群より選択される少なくとも1種の金属元素を含む金属酸化物を含有することが好ましい。

めっき層を除く表面電極は、電子部品本体を得るための焼成と同時に焼成することによって形成されることが好ましいとされている。第1焼結層が上記金属酸化物を含有していると、これらの金属酸化物が基材セラミック層を構成するセラミック成分又はガラス成分と結合することができるため、第1焼結層と基材セラミック層との間の接合強度を高くすることができる。

さらに、第1焼結層が上記金属酸化物を含有していると、焼成時、第1焼結層を構成する導電成分（すなわち金属）のネッキングが阻害されるため、基

材セラミック層を構成するセラミック成分又はガラス成分が、液相となって第1焼結層の上面まで移動しやすくなる。その結果、第2焼結部が設けられていない第1焼結層の上面をめっきが付着しにくい状態にすることができるため、第1焼結層及び第2焼結層を形成した後にめっき処理を施す場合に、第1焼結層の周縁部の上面に露出面を容易に形成することができる。

[0015] 本発明のセラミック電子部品において、上記第2焼結層は、上記第1焼結層よりも少ない上記金属酸化物を含有することが好ましい。

この場合、第1焼結層の上面をめっきが付着しにくい状態にできるとともに、第2焼結層の上面をめっきが付着しやすい状態にすることができる。

[0016] 本発明のセラミック電子部品において、上記第1焼結層の露出面における上記金属酸化物の含有比率は、上記第1焼結層の上記基材セラミック層との境界面における上記金属酸化物の含有比率よりも高いことが好ましい。

第2焼結層及びめっき層が設けられていない第1焼結層の露出面における金属酸化物の含有比率を、第1焼結層の基材セラミック層との境界面における金属酸化物の含有比率よりも高くすることによって、第1焼結層の上面をめっきが付着しにくい状態にすることができる。また、表面電極と電子部品本体との間の接合強度をさらに高くすることができる。

[0017] 本発明のセラミック電子部品は、上記表面電極の周縁部を被覆する被覆セラミック層をさらに備え、上記被覆セラミック層は、上記第1焼結層の露出面を被覆することが好ましい。

いわゆるフレーミング層と呼ばれる被覆セラミック層を表面電極の周縁部に設けることによって、表面電極の高周波特性の劣化を防止することができる。

さらに、第1焼結層の露出面を被覆するように被覆セラミック層を設けることによって、露出面のない第1焼結層に積層された第2焼結層の周縁部を被覆するように被覆セラミック層を設ける場合に比べて、被覆セラミック層と基材セラミック層との間の距離を短くすることができる。また、第1焼結層

が金属酸化物を含有する場合には、被覆セラミック層と第1焼結層との間の密着性を高くすることもできる。その結果、被覆セラミック層と表面電極との間の密着性を高くすることができるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層を表面電極から剥がれにくくすることができる。

発明の効果

[0018] 本発明によれば、表面電極と電子部品本体との間の接合強度が高く、外部から表面電極に加わる応力に耐え得るセラミック電子部品を提供することができる。

図面の簡単な説明

[0019] [図1]図1は、本発明の第1実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

[図2]図2A～図2Cは、図1に示すセラミック電子部品1の製造方法の一例を模式的に示す断面図である。

[図3]図3は、本発明の第2実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

[図4]図4A～図4Cは、図3に示すセラミック電子部品2の製造方法の一例を模式的に示す断面図である。

[図5]図5は、本発明の第3実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

[図6]図6は、本発明の第3実施形態に係るセラミック電子部品の別の一例を模式的に示す断面図である。

[図7]図7A～図7Cは、図5に示すセラミック電子部品3の製造方法の一例を模式的に示す断面図である。

[図8]図8(a)～図8(f)は、セラミック電子部品1A-1～1A-6の平面図である。

[図9]図9(a)及び図9(b)は、電極引張試験の方法を模式的に示す説明図である。

発明を実施するための形態

[0020] 以下、本発明のセラミック電子部品の実施形態について説明する。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。

以下において記載する個々の実施形態の望ましい構成を2つ以上組み合わせたものもまた本発明である。

[0021] 以下に示す各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第2実施形態以降では、第1実施形態と共通の事項についての記述は省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については、実施形態毎には逐次言及しない。

[0022] 以下の実施形態では、セラミック電子部品が、多層セラミック基板等の積層型セラミック電子部品である場合、すなわち、電子部品本体が、複数のセラミック層が積層された積層構造を有する場合について説明する。しかし、本発明は、積層型セラミック電子部品に限らず、電子部品本体が表面に基材セラミック層を有し、電子部品本体の表面に表面電極が設けられた種々のセラミック電子部品に対して適用することが可能である。

[0023] [第1実施形態]

図1は、本発明の第1実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

図1には全体的な構成が示されていないが、セラミック電子部品1は、表面に基材セラミック層11を有する電子部品本体10と、電子部品本体10の表面に設けられた表面電極20とを備えている。表面電極20は、3層構造を有しており、電子部品本体10の表面に位置する基材セラミック層11の上面に設けられた第1焼結層21と、第1焼結層21の上面に設けられた第2焼結層22と、第2焼結層22の上面に設けられためっき層23とを含んでいる。

そして、第1焼結層21の周縁部には、第2焼結層22及びめっき層23が

上面に設けられていない露出面Eが存在する。

[0024] 図1では、電子部品本体10は、複数の基材セラミック層11が積層された積層構造を有しており、電子部品本体10の内部には、内部配線導体としての内部導体膜12及びビアホール導体13が設けられている。内部導体膜12はビアホール導体13と電氣的に接続されており、ビアホール導体13は表面電極20と電氣的に接続されている。

[0025] 電子部品本体を構成する基材セラミック層は、低温焼結セラミック材料を含有することが好ましい。

低温焼結セラミック材料とは、セラミック材料のうち、1000℃以下の焼成温度で焼結可能であり、AgやCuとの同時焼成が可能である材料を意味する。

[0026] 基材セラミック層に含有される低温焼結セラミック材料としては、例えば、クォーツやアルミナ、フォルステライト等のセラミック材料にホウ珪酸ガラスを混合してなるガラス複合系低温焼結セラミック材料、ZnO-MgO-Al₂O₃-SiO₂系の結晶化ガラスを用いた結晶化ガラス系低温焼結セラミック材料、BaO-Al₂O₃-SiO₂系セラミック材料やAl₂O₃-CaO-SiO₂-MgO-B₂O₃系セラミック材料等を用いた非ガラス系低温焼結セラミック材料等が挙げられる。

[0027] 電子部品本体の内部に設けられる内部配線導体（内部導体膜及びビアホール導体）は、導電成分を含有する。内部配線導体に含有される導電成分としては、例えば、Au、Ag、Cu、Pt、Ta、W、Ni、Fe、Cr、Mo、Ti、Pd、Ru及びこれらの金属の1種を主成分とする合金等が挙げられる。内部配線導体は、導電成分として、Au、Ag又はCuを含有することが好ましく、Ag又はCuを含有することがより好ましい。Au、Ag及びCuは低抵抗であるため、特に、セラミック電子部品が高周波用途である場合に適している。

[0028] 電子部品本体の表面に設けられた表面電極は、配線基板又は搭載部品のような他の電子部品と接続されるためのものである。表面電極と他の電子部品と

は、半田付け等によって接続される。

[0029] 表面電極は、電子部品本体の表面に位置する基材セラミック層の上面に設けられた第1焼結層と、第1焼結層の上面に設けられた第2焼結層と、第2焼結層の上面に設けられためっき層とを含む少なくとも3層構造を有している。

第1焼結層及び第2焼結層は、導電性ペーストを焼き付けることによって形成されたものであり、めっき層は、第1焼結層及び第2焼結層を形成した後に電解めっき又は無電解めっきを施すことによって形成されたものである。

[0030] 表面電極を構成する第1焼結層は、導電成分を含有する。電子部品本体との接合強度を高くするため、第1焼結層は、金属酸化物をさらに含有することが好ましい。

[0031] 第1焼結層に含有される導電成分としては、例えば、Au、Ag、Cu、Pt、Ta、W、Ni、Fe、Cr、Mo、Ti、Pd、Ru及びこれらの金属の1種を主成分とする合金等が挙げられる。第1焼結層は、内部配線導体と同じ導電成分を含有することが好ましく、具体的には、導電成分として、Au、Ag又はCuを含有することが好ましく、Ag又はCuを含有することがより好ましい。

[0032] 第1焼結層に含有される金属酸化物としては、例えば、Al、Zr、Ti、Si及びMgからなる群より選択される少なくとも1種の金属元素を含む金属酸化物が挙げられる。上記金属酸化物は、1種でもよく、2種以上でもよい。これらの中では、Al、Zr及びTiからなる群より選択される少なくとも1種の金属元素を含む金属酸化物が好ましく、Al元素を含む金属酸化物がより好ましい。

[0033] 第1焼結層中の金属酸化物の含有量は特に限定されないが、第2焼結層中の金属酸化物の含有量よりも多いことが好ましい。具体的には、第1焼結層中の金属酸化物の含有量は、1重量%以上が好ましく、3重量%以上がより好ましい。一方、第1焼結層中の金属酸化物の含有量は、10重量%未満が好ましく、5重量%未満がより好ましい。

[0034] 第1焼結層が金属酸化物を含有する場合、導電成分を構成する金属の粒子と金属酸化物の粒子とが分散して存在していてもよく、金属の粒子の周囲に金属酸化物が被覆されていてもよいが、金属の粒子の周囲に金属酸化物が被覆されていることが好ましい。金属の粒子の周囲に金属酸化物が被覆されている場合、金属酸化物の含有量が少なくても、電子部品本体との接合強度を高くすることができる。

[0035] 上述のように、第1焼結層の周縁部には、第2焼結層及びめっき層が上面に設けられていない露出面が存在する。露出面は、第1焼結層の周縁部の全体に存在することが好ましいが、第1焼結層の周縁部の少なくとも一部に存在すればよい。また、第1焼結層の周縁部には、複数の露出面が存在してもよい。

[0036] 表面電極と基材セラミック層との間の接合強度を高くする観点から、露出面の内周縁の長さは、第2焼結層の周縁部の長さの10%以上が好ましく、50%以上がより好ましく、70%以上がさらに好ましく、90%以上が特に好ましく、100%が最も好ましい。

例えば、第2焼結層の平面視形状が正方形であり、その2辺から露出面が露出していれば、露出面の幅に関係なく「露出面の内周縁の長さは、第2焼結層の周縁部の長さの50%である」ということができる。

[0037] 表面電極と基材セラミック層との間の接合強度を高くする観点から、露出面の幅（図1中、Wで表される長さ）は、表面電極の幅（図1中、W0で表される長さ）の4.5%以上が好ましく、10%以上がより好ましい。一方、露出面の幅は、表面電極の幅の50%以下が好ましく、25%以下がより好ましい。具体的には、露出面の幅は、3 μ m以上が好ましく、5 μ m以上がより好ましく、10 μ m以上がさらに好ましい。一方、露出面の幅は、100 μ m以下が好ましく、50 μ m以下がより好ましい。

なお、露出面の幅、及び、表面電極の幅は、いずれも、走査型電子顕微鏡（SEM）を用いた断面観察により測定することができる。

本明細書において、露出面の幅とは、第1焼結層の周縁から第2焼結層の周

縁までの距離を意味する。また、表面電極の幅とは、露出面の幅を測定する際の断面における、表面電極の一方の周縁から他方の周縁までの距離を意味する。

[0038] 露出面の面積は特に限定されないが、表面電極と基材セラミック層との間の接合強度を高くする観点から、第1焼結層の上面の面積の0.1%以上が好ましく、1%以上がより好ましい。一方、露出面の面積は、第1焼結層の上面の面積の50%以下が好ましく、10%以下がより好ましい。

[0039] 露出面を含めた第1焼結層の平面視形状は特に限定されず、例えば、矩形をはじめとする四角形のほか、四角形以外の多角形、円形、楕円形等が挙げられる。

[0040] 表面電極を構成する第2焼結層は、導電成分を含有する。第2焼結層に含有される導電成分は、第1焼結層に含有される導電成分と同じであることが好ましい。

[0041] 第2焼結層は、第1焼結層に含有される金属酸化物と同じ金属酸化物を含有していてもよいが、金属酸化物の含有量が多くなると、第2焼結層の上面にめっきが付着しにくくなる。そのため、第2焼結層は、第1焼結層よりも少ない金属酸化物を含有することが好ましく、上記金属酸化物を実質的に含有しないことがより好ましい。第2焼結層が金属酸化物を含有する場合において、第1焼結層中の金属酸化物の含有量が1重量%以上10重量%未満であるときは、第2焼結層中の金属酸化物の含有量は、1重量%未満であることが好ましい。また、第1焼結層中の金属酸化物の含有量が3重量%以上5重量%未満であるときは、第2焼結層中の金属酸化物の含有量は、3重量%未満であることが好ましく、1重量%未満であることがより好ましい。

[0042] 第2焼結層の上面の面積は、第1焼結層の上面の面積よりも小さい限り、特に限定されない。第2焼結層の平面視形状は特に限定されず、例えば、矩形をはじめとする四角形のほか、四角形以外の多角形、円形、楕円形等が挙げられる。第2焼結層の平面視形状は、第1焼結層の平面視形状と実質的に相似であること、すなわち、第2焼結層の周縁が第1焼結層の周縁と実質的に

平行であることが好ましい。

- [0043] なお、焼結層の数は2層に限定されず、基材セラミック層の上面に設けられた第1焼結層と、上面にめっき層が設けられる第2焼結層との間に他の焼結層が設けられていてもよい。
- [0044] 表面電極を構成するめっき層は、Au、Ag、Ni、Pd、Cu、Sn又はこれらの金属を含む合金からなることが好ましい。また、表面電極を構成するめっき層は、第2焼結層側から1層目がNi、2層目がAuであるNi/Auめっき層、第2焼結層側から1層目がNi、2層目がSnであるNi/Snめっき層、第2焼結層側から1層目がNi、2層目がPd、3層目がAuであるNi/Pd/Auめっき層等の複数層からなるめっき層であってもよい。
- [0045] めっき層の上面の面積は、第1焼結層の上面の面積よりも小さく、かつ、第2焼結層の上面の面積と同じであるか又は小さいことが好ましい。めっき層の平面視形状は特に限定されないが、第2焼結層の平面視形状と同じであることが好ましい。
- [0046] めっき層の厚みは特に限定されないが、1 μ m以上、10 μ m以下であることが好ましい。
- [0047] 図1に示すセラミック電子部品1は、好ましくは以下のように製造される。図2A~図2Cは、図1に示すセラミック電子部品1の製造方法の一例を模式的に示す断面図である。
- [0048] まず、図2Aに示す未焼結の積層体100を作製する。
未焼結の積層体100を作製するため、複数の基材セラミックグリーンシート111を準備する。基材セラミックグリーンシート111は、焼成後に基材セラミック層11となるものである。
- [0049] 基材セラミックグリーンシートは、例えば低温焼結セラミック材料のようなセラミック原料の粉末と、有機バインダと溶剤とを含有するスラリーを、ドクターブレード法等によってシート状に成形したものである。上記スラリーには、分散剤、可塑剤等の種々の添加剤が含有されていてもよい。

- [0050] 上記スラリーに含有される有機バインダとしては、例えば、ブチラール樹脂（ポリビニルブチラール）、アクリル樹脂、メタクリル樹脂等を用いることができる。溶剤としては、例えば、トルエン、イソプロピルアルコール等のアルコール等を用いることができる。可塑剤としては、例えば、ジ-n-ブチルフタレート等を用いることができる。
- [0051] 次に、特定の基材セラミックグリーンシート111に、ビアホール導体13のための貫通孔を形成する。該貫通孔に、例えばAg又はCuを導電成分として含有する導電性ペーストを充填することにより、ビアホール導体13となるべき導電性ペースト体113を形成する。
- [0052] また、上記導電性ペーストと同じ組成の導電性ペーストを用いて、例えばスクリーン印刷等の方法によって、特定の基材セラミックグリーンシート111に、内部導体膜12となるべき導電性ペースト膜112を形成する。
- [0053] さらに、積層後に表面に配置される基材セラミックグリーンシート111上に、第1焼結層21となるべき導電性ペースト膜121を形成し、導電性ペースト膜121上に、第2焼結層22となるべき導電性ペースト膜122を形成する。第1焼結層21となるべき導電性ペースト膜121は、例えばAg又はCuを導電成分として含有し、 Al_2O_3 を金属酸化物として含有する導電性ペーストを用いて、スクリーン印刷等の方法によって形成することができ、第2焼結層22となるべき導電性ペースト膜122は、例えばAg又はCuを導電成分として含有する導電性ペーストを用いて、スクリーン印刷等の方法によって形成することができる。この際、第1焼結層21となるべき導電性ペースト膜121のサイズを、第2焼結層22となるべき導電性ペースト膜122のサイズよりも大きくする。なお、第1焼結層21となるべき導電性ペースト膜121及び第2焼結層22となるべき導電性ペースト膜122は、基材セラミックグリーンシート111を積層した後、焼成する前に形成してもよい。上記導電性ペーストに含有される金属酸化物としては、例えば、 Al_2O_3 、 ZrO_2 、 TiO_2 、 SiO_2 、 MgO 等を用いることができ、これらの中では Al_2O_3 を用いることが好ましい。

- [0054] 続いて、複数の基材セラミックグリーンシート111を積層し、圧着することにより、未焼結の積層体100を作製する。
- [0055] その後、未焼結の積層体100を焼成する。これによって、図2Bに示すように、表面に基材セラミック層11を有する電子部品本体10と、基材セラミック層11の上面に設けられた第1焼結層21と、第1焼結層21の上面に設けられた第2焼結層22とを備える積層体が得られる。
- [0056] なお、第1焼結層及び第2焼結層は、焼結後の電子部品本体の表面に各導電性ペースト膜を形成し、これらの導電性ペースト膜を焼成することによっても形成することができるが、上記のように、電子部品本体を得るための焼成と同時に焼成することによって形成することが好ましい。第1焼結層及び第2焼結層を同時焼成によって形成する方が、製造工程の効率化及び低コスト化にとって有利であり、また、電子部品本体と第1焼結層との間の接合強度を高くすることができる。第1焼結層及び第2焼結層を同時焼成によって形成する場合には、電子部品本体を構成する基材セラミック層は、上述したように低温焼結セラミック材料を含有することが好ましい。
- [0057] 未焼結の積層体100の焼成後、電解めっき又は無電解めっきを施すことによって、図2Cに示すように、第2焼結層22の上面にめっき層23を形成する。めっき層23として、第2焼結層22上にNiめっき膜を形成し、その上にAu又はSnめっき膜を形成することが好ましい。
- 以上により、第1焼結層21、第2焼結層22及びめっき層23を含む表面電極20が電子部品本体10の表面に設けられたセラミック電子部品1が得られる。
- [0058] 上記の方法では、第1焼結層となるべき導電性ペーストに金属酸化物が含有されているため、第1焼結層の上面にはめっき層が形成されない。これに対し、第2焼結層となるべき導電性ペーストに金属酸化物が含有されていないため、第2焼結層の上面にはめっき層が形成される。その結果、第1焼結層の周縁部には、第2焼結層及びめっき層が上面に設けられていない露出面が形成されることになる。

[0059] なお、第1焼結層の周縁部に露出面を形成する方法は上記の方法に限定されず、例えば、第1焼結層の周縁部にマスクを設けることによって、マスク部分にめっき層を形成しない方法等も挙げられる。この場合、第1焼結層となるべき導電性ペーストは、金属酸化物を含有していてもよいし、金属酸化物を含有していなくてもよい。

[0060] 本発明の第1実施形態においては、第1焼結層の周縁部の上面に、第2焼結層及びめっき層が設けられていない露出面を形成することにより、第2焼結層及びめっき層を第1焼結層の内側に配置することができる。その結果、表面電極と電子部品本体との間の接合強度を、外部から表面電極に加わる応力に耐え得る程度まで高くすることができるため、表面電極及び／又は電子部品本体に発生するクラックを防止することができる。

[0061] [第2実施形態]

図3は、本発明の第2実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

図3には全体的な構成が示されていないが、セラミック電子部品2は、表面に基材セラミック層11を有する電子部品本体10と、電子部品本体10の表面に設けられた表面電極20とを備えている。表面電極20は、3層構造を有しており、電子部品本体10の表面に位置する基材セラミック層11の上面に設けられた第1焼結層21と、第1焼結層21の上面に設けられた第2焼結層22と、第2焼結層22の上面に設けられためっき層23とを含んでいる。

そして、第1焼結層21の周縁部には、第2焼結層22及びめっき層23が上面に設けられていない露出面Eが存在する。

[0062] 図3に示すセラミック電子部品2では、第1焼結層21の露出面Eにおける金属酸化物の含有比率が、第1焼結層21の基材セラミック層11との境界面Bにおける金属酸化物の含有比率よりも高くなっている。

[0063] 本明細書において、「第1焼結層の露出面における金属酸化物の含有比率」とは、第1焼結層の露出面から、第1焼結層の厚み方向に厚み1/10まで

の領域における金属酸化物の含有比率を意味する。同様に、「第1焼結層の基材セラミック層との境界面Bにおける金属酸化物」とは、第1焼結層の基材セラミック層との境界面から、第1焼結層の厚み方向に厚み1/10までの領域における金属酸化物の含有比率を意味する。

[0064] 金属酸化物の含有比率は、測定対象の領域に対して、FE-EPMA（装置名：日本電子製 JXA-8530F）を用いてマッピング分析を行い、金属酸化物（例えば Al_2O_3 もしくは SiO_2 ）が存在している部分の面積比率を求めることにより算出する。

[0065] 本発明の第2実施形態に係るセラミック電子部品は、第1焼結層の露出面における金属酸化物の含有比率が第1焼結層の基材セラミック層との境界面における金属酸化物の含有比率よりも高いことを除いて、第1実施形態に係るセラミック電子部品と同じ構成を有している。

したがって、本発明の第2実施形態において、電子部品本体の構成は第1実施形態と同じであり、電子部品本体を構成する基材セラミック層の好ましい材料等も第1実施形態と同じである。また、表面電極を構成する第1焼結層、第2焼結層及びめっき層に含有される導電成分や好ましい厚み、並びに、露出面の好ましい構成等も第1実施形態と同じである。

[0066] 図3に示すセラミック電子部品2は、好ましくは以下のように製造される。図4A～図4Cは、図3に示すセラミック電子部品2の製造方法の一例を模式的に示す断面図である。

[0067] まず、図4Aに示す未焼結の複合積層体200を作製する。

図4Aに示す未焼結の複合積層体200は、本発明の第1実施形態で作製した未焼結の積層体100の最表面に、未焼結の積層体100の焼結温度では実質的に焼結しない金属酸化物を主成分とする拘束グリーンシート140を配置した構造を有している。

[0068] 拘束グリーンシートは、好ましくは、上記金属酸化物の粉末と有機バインダと溶剤とを含有するスラリーを、ドクターブレード法等によってシート状に成形したものである。上記スラリーには、分散剤、可塑剤等の種々の添加剤

が含有されていてもよい。

- [0069] 上記スラリーに含有される金属酸化物としては、例えば、 Al_2O_3 、 ZrO_2 、 TiO_2 、 SiO_2 、 MgO 等を用いることができ、これらの中では Al_2O_3 を用いることが好ましい。
- [0070] 未焼結の複合積層体200は、必要に応じてビアホール導体13となるべき導電性ペースト体113又は内部導体膜12となるべき導電性ペースト膜112が形成された基材セラミックグリーンシート111と、第1焼結層21となるべき導電性ペースト膜121及び第2焼結層22となるべき導電性ペースト膜122が形成された基材セラミックグリーンシート111と、拘束グリーンシート140とを積層し、圧着することにより作製することができる。
- [0071] なお、拘束グリーンシート140に代えて、ペースト状組成物を未焼結の積層体100の最表面に塗布することによっても、未焼結の複合積層体200を作製することができる。この場合、積層する前の基材セラミックグリーンシートの最表面にペースト状組成物を塗布してもよい。
- [0072] その後、未焼結の複合積層体200を焼成し、拘束グリーンシート140に由来する部分を除去する。これによって、図4Bに示すように、表面に基材セラミック層11を有する電子部品本体10と、基材セラミック層11の上面に設けられた第1焼結層21と、第1焼結層21の上面に設けられた第2焼結層22とを備える積層体が得られる。
- [0073] 拘束グリーンシート140は、焼成時において実質的に焼結しないので収縮が生じず、積層体100に対して主面方向での収縮を抑制するように作用する。さらに、金属酸化物を含有する第1焼結層21となるべき導電性ペースト膜121の上面が拘束グリーンシート140と反応し、拘束グリーンシート140に含有される金属酸化物が導電性ペースト膜121に拡散、浸透していくと考えられる。その結果、焼成後に得られる第1焼結層21の上面に、金属酸化物の含有比率が基材セラミック層11との境界面よりも高い領域が形成される。なお、第1焼結層21となるべき導電性ペースト膜121の

側面も拘束グリーンシート140と反応すると考えられるため、焼成後に得られる第1焼結層21の側面に、金属酸化物の含有比率が基材セラミック層11との境界面よりも高い領域が形成されてもよい。一方、第2焼結層22となるべき導電性ペースト膜122は、金属酸化物を含有しないため、拘束グリーンシート140と反応する前に速やかに焼結が完了すると考えられる。

[0074] 未焼結の複合積層体200の焼成、及び、拘束グリーンシート140に由来する部分の除去後、電解めっき又は無電解めっきを施すことによって、図4Cに示すように、第2焼結層22の上面にめっき層23を形成する。

以上により、第1焼結層21、第2焼結層22及びめっき層23を含む表面電極20が電子部品本体10の表面に設けられたセラミック電子部品2が得られる。

[0075] 上記の方法では、第1焼結層となるべき導電性ペーストに金属酸化物が含有されていることに加えて、拘束グリーンシートとの反応によって第1焼結層の上面における金属酸化物の含有比率が相対的に高くなっているため、第1焼結層の上面にはめっき層が形成されない。これに対し、第2焼結層となるべき導電性ペーストに金属酸化物が含有されておらず、拘束グリーンシートと反応しないため、第2焼結層の上面にはめっき層が形成される。その結果、第1焼結層の周縁部には、第2焼結層及びめっき層が上面に設けられていない露出面が形成されることになる。

[0076] 本発明の第2実施形態においても、第1実施形態と同様、第1焼結層の周縁部の上面に、第2焼結層及びめっき層が設けられていない露出面を形成することにより、第2焼結層及びめっき層を第1焼結層の内側に配置することができる。その結果、表面電極と電子部品本体との間の接合強度を、外部から表面電極に加わる応力に耐え得る程度まで高くすることができるため、表面電極及び／又は電子部品本体に発生するクラックを防止することができる。

[0077] また、本発明の第2実施形態においては、拘束グリーンシートを用いた焼成により、第2焼結層及びめっき層が設けられていない第1焼結層の露出面に

における金属酸化物の含有比率を、第1焼結層の基材セラミック層との境界面における金属酸化物の含有比率よりも高くすることによって、表面電極と電子部品本体との間の接合強度をさらに高くすることができる。

[0078] [第3実施形態]

図5は、本発明の第3実施形態に係るセラミック電子部品の一例を模式的に示す断面図である。

図5には全体的な構成が示されていないが、セラミック電子部品3は、表面に基材セラミック層11を有する電子部品本体10と、電子部品本体10の表面に設けられた表面電極20とを備えている。表面電極20は、3層構造を有しており、電子部品本体10の表面に位置する基材セラミック層11の上面に設けられた第1焼結層21と、第1焼結層21の上面に設けられた第2焼結層22と、第2焼結層22の上面に設けられためっき層23とを含んでいる。

そして、第1焼結層21の周縁部には、第2焼結層22及びめっき層23が上面に設けられていない露出面Eが存在する。

[0079] 図5に示すセラミック電子部品3は、表面電極20の周縁部を被覆する被覆セラミック層30をさらに備えている。図5に示すセラミック電子部品3では、被覆セラミック層30は、電子部品本体10の表面に位置する基材セラミック層11上と第1焼結層21上に設けられており、第1焼結層21の露出面Eを完全に被覆している。

[0080] 図6は、本発明の第3実施形態に係るセラミック電子部品の別の一例を模式的に示す断面図である。

図6に示すセラミック電子部品4では、被覆セラミック層30は、電子部品本体10の表面に位置する基材セラミック層11上と第1焼結層21上と第2焼結層22上に設けられており、第1焼結層21の露出面Eを完全に被覆している。

[0081] 被覆セラミック層は、第1焼結層の露出面の一部を被覆していればよいが、図5及び図6に示すように、第1焼結層の露出面を完全に被覆することが好

ましい。図6に示すように、被覆セラミック層が第2焼結層上にも設けられる場合には、めっき層は、被覆セラミック層が設けられていない第2焼結層の上面に設けられる。

[0082] また、表面電極の周縁部の一部に露出面が存在していない場合、被覆セラミック層は、露出面が存在していない表面電極の周縁部も被覆するように設けられていることが好ましい。

[0083] 被覆セラミック層は、低温焼結セラミック材料を含有することが好ましい。この場合、被覆セラミック層に含有される低温焼結セラミック材料は、基材セラミック層に含有される低温焼結セラミック材料と同一であっても異なってもよいが、基材セラミック層に含有される低温焼結セラミック材料と同一であることが好ましい。

[0084] 被覆セラミック層は、第1焼結層に含有される金属酸化物と同じ金属酸化物を含有してもよく、被覆セラミック層が上記金属酸化物を含有する場合、被覆セラミック層中の上記金属酸化物の含有量は、5重量%未満であることが好ましい。

[0085] 被覆セラミック層の厚みは特に限定されないが、0.5 μm 以上、40 μm 以下であることが好ましい。

[0086] 本発明の第3実施形態に係るセラミック電子部品は、被覆セラミック層を備えることを除いて、第1実施形態に係るセラミック電子部品と同じ構成を有している。

したがって、本発明の第3実施形態において、電子部品本体の構成は第1実施形態と同じであり、電子部品本体を構成する基材セラミック層の好ましい材料等も第1実施形態と同じである。また、表面電極を構成する第1焼結層、第2焼結層及びめっき層に含有される導電成分や好ましい厚み、並びに、露出面の好ましい構成等も第1実施形態と同じである。

[0087] 図5に示すセラミック電子部品3は、好ましくは以下のように製造される。図7A～図7Cは、図5に示すセラミック電子部品3の製造方法の一例を模式的に示す断面図である。

[0088] まず、図 7 A に示す未焼結の積層体 300 を作製する。

図 7 A に示す未焼結の積層体 300 は、本発明の第 1 実施形態で作製した未焼結の積層体 100 の表面に位置する基材セラミックグリーンシート 111 上と第 1 焼結層 21 となるべき導電性ペースト膜 121 上とに、被覆セラミックグリーンシート 130 を配置した構造を有している。被覆セラミックグリーンシート 130 は、焼成後に被覆セラミック層 30 となるものである。

[0089] 被覆セラミックグリーンシートは、例えば低温焼結セラミック材料のようなセラミック原料の粉末と、有機バインダと溶剤とを含有するスラリーを、ドクターブレード法等によってシート状に成形したものである。上記スラリーには、分散剤、可塑剤等の種々の添加剤が含有されていてもよい。なお、被覆セラミックグリーンシートを作製するためのスラリーとして、基材セラミックグリーンシートを作製するためのスラリーを使用することもできる。

[0090] 未焼結の積層体 300 は、必要に応じてビアホール導体 13 となるべき導電性ペースト体 113 又は内部導体膜 12 となるべき導電性ペースト膜 112 が形成された基材セラミックグリーンシート 111 と、第 1 焼結層 21 となるべき導電性ペースト膜 121 及び第 2 焼結層 22 となるべき導電性ペースト膜 122 が形成された基材セラミックグリーンシート 111 と、被覆セラミックグリーンシート 130 とを積層し、圧着することにより作製することができる。

被覆セラミックグリーンシート 130 は、第 2 焼結層 22 となるべき導電性ペースト膜 122 が形成されていない領域を被覆するように、積層後に表面に配置される基材セラミックグリーンシート 111 上と第 1 焼結層 21 となるべき導電性ペースト膜 121 上とに配置する。

[0091] なお、被覆セラミックグリーンシート 130 に代えて、ペースト状組成物を、未焼結の積層体 100 の表面に位置する基材セラミックグリーンシート 111 上と第 1 焼結層 21 となるべき導電性ペースト膜 121 上とに塗布することによっても、未焼結の積層体 300 を作製することができる。この場合、積層する前の基材セラミックグリーンシート 111 上と第 1 焼結層 21 と

なるべき導電性ペースト膜 121 上とにペースト状組成物を塗布してもよい。

[0092] その後、未焼結の積層体 300 を焼成する。これによって、図 7 B に示すように、表面に基材セラミック層 11 を有する電子部品本体 10 と、基材セラミック層 11 の上面に設けられた第 1 焼結層 21 と、第 1 焼結層 21 の上面に設けられた第 2 焼結層 22 と、基材セラミック層 11 上及び第 1 焼結層 21 上に設けられた被覆セラミック層 30 とを備える積層体が得られる。

[0093] 未焼結の積層体 300 の焼成後、電解めっき又は無電解めっきを施すことによって、図 7 C に示すように、第 2 焼結層 22 の上面にめっき層 23 を形成する。

以上により、第 1 焼結層 21、第 2 焼結層 22 及びめっき層 23 を含む表面電極 20 が電子部品本体 10 の表面に設けられ、表面電極 20 の周縁部を被覆セラミック層 30 が被覆するセラミック電子部品 3 が得られる。

[0094] 上記の方法では、第 1 焼結層となるべき導電性ペーストに金属酸化物が含有されていることに加えて、第 1 焼結層の上面に被覆セラミック層が設けられているため、第 1 焼結層の上面にはめっき層が形成されない。これに対し、第 2 焼結層となるべき導電性ペーストに金属酸化物が含有されていないため、第 2 焼結層の上面にはめっき層が形成される。その結果、第 1 焼結層の周縁部には、第 2 焼結層及びめっき層が上面に設けられていない露出面が形成されることになる。

[0095] なお、本発明の第 2 実施形態と同様、未焼結の積層体 300 の焼結温度では実質的に焼結しない金属酸化物 (Al_2O_3 等) を主成分とする拘束グリーンシートを準備し、未焼結の積層体 300 の最表面に拘束グリーンシートを配置した状態で未焼結の積層体 300 を焼成してもよい。この場合、拘束グリーンシートは、焼成時において実質的に焼結しないので収縮が生じず、積層体に対して主面方向での収縮を抑制するように作用する。

[0096] 本発明の第 3 実施形態においても、第 1 実施形態と同様、第 1 焼結層の周縁部の上面に、第 2 焼結層及びめっき層が設けられていない露出面を形成する

ことにより、第2焼結層及びびめつき層を第1焼結層の内側に配置することができる。その結果、表面電極と電子部品本体との間の接合強度を、外部から表面電極に加わる応力に耐え得る程度まで高くすることができるため、表面電極及び／又は電子部品本体に発生するクラックを防止することができる。

[0097] また、本発明の第3実施形態においては、いわゆるフレーミング層と呼ばれる被覆セラミック層を表面電極の周縁部に設けることによって、表面電極の高周波特性の劣化を防止することができる。

さらに、第1焼結層の露出面を被覆するように被覆セラミック層を設けることによって、露出面のない第1焼結層に積層された第2焼結層の周縁部を被覆するように被覆セラミック層を設ける場合に比べて、被覆セラミック層と基材セラミック層との間の距離を短くすることができる。また、第1焼結層が金属酸化物を含有する場合には、被覆セラミック層と第1焼結層との間の密着性を高くすることもできる。その結果、被覆セラミック層と表面電極との間の密着性を高くすることができるため、セラミック電子部品に対してブラスト処理等の表面処理を行った場合であっても、被覆セラミック層を表面電極から剥がれにくくすることができる。

実施例

[0098] 以下、本発明のセラミック電子部品をより具体的に開示した実施例を示す。

なお、本発明は、これらの実施例のみに限定されるものではない。

[0099] [第2焼結層の周縁部の長さに対する露出面の内周縁の長さの割合と接合強度との関係]

図8(a)～図8(f)は、セラミック電子部品1A-1～1A-6の平面図である。

図8(a)～図8(f)に示すように、第2焼結層(図示せず)及びびめつき層23のサイズが2mm×2mm、露出面Eの幅が100μmであり、露出面Eのサイズが異なるセラミック電子部品1A-1～1A-6を作製した。各サイズのセラミック電子部品を20個ずつ作製し、N=20で電極引張試験を行い、基材セラミック層と表面電極との間の接合強度を測定した。なお

、図8(a)～図8(f)には、図9(a)及び図9(b)に示す金属棒50の位置を破線で示している。

[0100] セラミック電子部品1A-1～1A-6は、低温焼結セラミック材料からなる基材セラミック層の表面に、基材セラミック層側から第1焼結層、第2焼結層及びめっき層を含む表面電極を形成することにより作製した。第1焼結層は、導電材料としてのCu及び金属酸化物としての Al_2O_3 を含有する導電性ペースト(Al_2O_3 含有量：3重量%)を焼き付けることによって形成し、第2焼結層は、導電材料としてのCuを含有する導電性ペーストを焼き付けることによって形成した。また、めっき層として、第2焼結層側からNiめっき膜及びAuめっき膜を形成した。

[0101] 図9(a)及び図9(b)は、電極引張試験の方法を模式的に示す説明図である。

基材セラミック層11側から第1焼結層21、第2焼結層22及びめっき層23を含む表面電極20のめっき層23上にL字の金属棒50を載置した後、金属棒50を半田51によって固定し、金属棒50を引っ張る際の強度を測定した。これにより、電子部品本体の表面に位置する基材セラミック層と表面電極との間の接合強度を評価した。

[0102] 表1に、セラミック電子部品1A-1～1A-6の露出面の露出条件、第2焼結層の周縁部の長さに対する露出面の内周縁の長さの割合、接合強度、破壊モード、半田破壊の割合及び判定結果を示す。

破壊モードのうち、基板破壊とは、電子部品本体の強度が低く、表面の基材セラミック層がえぐれる現象、電極破壊とは、基材セラミック層と表面電極との間の接合が弱く、表面電極が基材セラミック層から剥がれる現象、半田破壊とは、基材セラミック層と表面電極との接合が充分強く、金属棒が半田から分離する現象である。半田破壊では、表面電極が基材セラミック層から剥がれないため、実際の接合強度は測定値以上であることを意味する。

判定結果では、セラミック電子部品1A-1を基準とし、接合強度及び半田破壊の割合が向上しているものを○(良)、接合強度が60N以上で半田破

壊の割合が80%以上のものを◎（優）とした。

[0103] [表1]

No.	露出面		評価			
	露出条件	第2焼結層の周縁部の長さに対する内周縁の長さの割合	接合強度 [N]	破壊モード	半田破壊の割合	判定結果
1A-1*	露出なし	0%	32	基板破壊	0%	-
1A-2	1辺露出(半分)	12.5%	45	基板破壊／電極破壊／半田破壊	30%	○
1A-3	1辺露出	25%	56	基板破壊／電極破壊／半田破壊	50%	○
1A-4	2辺露出	50%	60	基板破壊／電極破壊／半田破壊	80%	◎
1A-5	3辺露出	75%	65	半田破壊	100%	◎
1A-6	4辺露出	100%	63	半田破壊	100%	◎

[0104] 表1において、*を付したセラミック電子部品1A-1は、本発明の範囲外のものである。

[0105] 表1より、露出面が存在しないセラミック電子部品1A-1に比べて、露出

面が存在するセラミック電子部品1A-2~1A-6では、基材セラミック層と表面電極との間の接合強度及び半田破壊の割合が向上することが確認された。具体的には、第2焼結層の周縁部の長さに対する露出面の内周縁の長さの割合が12.5%以上であると、基材セラミック層と表面電極との間の接合強度及び半田破壊の割合が向上する傾向が確認された。

以上の結果から、露出面を形成することにより、半田接合による応力の起点を、接合強度が低い表面電極の端部から、接合強度が高い表面電極の内側にずらすことができるため、表面電極と電子部品本体との間の接合強度を高くすることができると考えられる。

[0106] [露出面の幅と接合強度との関係]

図8(f)に示すように、第2焼結層の4辺から露出面が露出し、露出面の幅が異なるセラミック電子部品1B-1~1B-6を作製した。各セラミック電子部品に対して上述の電極引張試験を行い、基材セラミック層と表面電極との間の接合強度を測定した。接合強度の結果を表2に示す。

[0107] また、各セラミック電子部品に対して以下の方法により落下試験を行い、落下強度を評価した。

まず、基板厚み1.0mmのプリント配線基板上に、半田ペーストを塗布し、各セラミック電子部品を、表面電極が半田ペースト上に位置するように搭載して、リフロー実装した。

次いで、概略直方体の樹脂製筐体に、セラミック電子部品を実装したプリント配線基板を、実装面が下面となるように取り付けた。このとき、樹脂製筐体と、セラミック電子部品を実装したプリント基板との総重量が100gとなるように重量を調整した。

そして、樹脂製筐体を所定の高さに保持し、上面が水平になるように静置したコンクリートブロック上に落下させ、樹脂製筐体が、その下面がコンクリートブロックの上面に対して平行な姿勢でコンクリートブロックに衝突するようにした落下テストを10回繰り返して行い、セラミック電子部品の破断状況を確認した。

落下強度は、表面電極を形成した領域において、1回の落下でクラックの発生が認められたものを×（不良）、2回以上10回以下の落下でクラックの発生が認められたものを○（良）、10回の落下でもクラックの発生が認められないものを◎（優）として評価した。落下強度の結果を表2に示す。

[0108] [表2]

No.	露出面の幅 [μm]	接合強度 [N]	落下強度
1B-1*	0	35	×
1B-2	3	35	○
1B-3	5	40	○
1B-4	10	65	◎
1B-5	50	70	◎
1B-6	100	65	◎

[0109] 表2において、*を付したセラミック電子部品1B-1は、本発明の範囲外のものである。

[0110] 表2より、露出面が存在しないセラミック電子部品1B-1では、1回の落下でクラックが発生するのに対し、露出面が存在するセラミック電子部品1B-2～1B-6では、1回の落下でのクラックの発生を防止することができ、落下強度が高いことが確認された。特に、露出面の幅が10 μm 以上であるセラミック電子部品1B-4～1B-6では、接合強度及び落下強度がともに高いことが確認された。

以上の結果から、露出面の幅を広くすることにより、表面電極の端部への応力の負荷を低減させることができ、その結果、表面電極と電子部品本体との間の接合強度を高くすることができると考えられる。

[0111] [拘束グリーンシートを用いることによる接合強度の向上]

セラミック電子部品1B-1～1B-6と同様、第2焼結層の4辺から露出面が露出し、露出面の幅が異なるセラミック電子部品2-1～2-6を作製した。ただし、セラミック電子部品2-1～2-6を作製する際には、第2

実施形態で説明したように、 Al_2O_3 を主成分とする拘束グリーンシートを未焼結の積層体の最表面に配置して焼成を行い、焼成後、拘束グリーンシートに由来する部分を除去した。

[0112] 得られたセラミック電子部品2-1～2-6に対して、上記と同様の方法により、接合強度の測定及び落下強度の評価を行った。接合強度及び落下強度の結果を表3に示す。

[0113] [表3]

No.	露出面の幅 [μm]	接合強度 [N]	落下強度
2-1*	0	35	×
2-2	3	40	○
2-3	5	45	○
2-4	10	70	◎
2-5	50	70	◎
2-6	100	70	◎

[0114] 表3において、*を付したセラミック電子部品2-1は、本発明の範囲外のものである。

[0115] 表3より、拘束グリーンシートを用いて作製したセラミック電子部品2-2～2-6においても、セラミック電子部品1B-2～1B-6と同様、露出面を形成することにより、落下強度が向上することが確認された。特に、露出面の幅が $10\mu m$ 以上であるセラミック電子部品2-4～2-6では、接合強度及び落下強度がともに高いことが確認された。

[0116] さらに、セラミック電子部品2-2～2-6では、それぞれ、セラミック電子部品1B-2～1B-6に比べて接合強度が向上していることが確認された。

これは、焼成時、第1焼結層となるべき導電性ペースト膜の上面が拘束グリーンシートと反応する結果、第1焼結層の上面に、金属酸化物の含有比率が基材セラミック層との境界面よりも高い領域が形成されたためと考えられる

。

[0117] [被覆セラミック層による被覆セラミック層と表面電極との間の密着性の向上]

セラミック電子部品 1 B-1 ~ 1 B-6 と同様、第 2 焼結層の 4 辺から露出面が露出し、露出面の幅が異なるセラミック電子部品 3-1 ~ 3-6 を作製した。ただし、セラミック電子部品 3-1 ~ 3-6 を作製する際には、第 3 実施形態で説明したように、第 1 焼結層の露出面を完全に被覆するように表面電極の周縁部を被覆する被覆セラミック層を形成した。

[0118] 得られたセラミック電子部品 3-1 ~ 3-6 に対して、表面の汚れを除去するためのブラスト処理を行った。ブラスト処理の後、各セラミック電子部品の断面研磨を行い、被覆セラミック層と表面電極との界面に剥がれが発生していないかを確認し、被覆セラミック層と表面電極との間の密着性を評価した。また、上記と同様の方法により、接合強度の測定及び落下強度の評価を行った。

被覆セラミック層と表面電極との間の密着性は、被覆セラミック層と表面電極との界面に剥がれが発生していないものを○（良）、剥がれが発生したものを×（不良）として評価した。結果を表 4 に示す。

[0119] [表4]

No.	露出面の幅 [μm]	被覆セラミック層と表面電極との界面での剥がれ	被覆セラミック層と表面電極との間の密着性	接合強度 [N]	落下強度
3-1*	0	あり	×	35	×
3-2	3	なし	○	47	○
3-3	5	なし	○	56	○
3-4	10	なし	○	70	◎
3-5	50	なし	○	70	◎
3-6	100	なし	○	70	◎

[0120] 表 4 において、*を付したセラミック電子部品 3-1 は、本発明の範囲外のものである。

[0121] 表4より、露出面が存在しないセラミック電子部品3-1では、被覆セラミック層と表面電極との界面に剥がれが発生するのに対し、露出面が存在するセラミック電子部品3-2~3-6では、被覆セラミック層と表面電極との界面に剥がれが発生せず、被覆セラミック層と表面電極との間の密着性が高いことが確認された。

これは、金属酸化物を含有する第1焼結層の方が、金属酸化物を含有しない第2焼結層よりも被覆セラミック層との密着性が高いため、第1焼結層の露出面を被覆するように被覆セラミック層を形成することにより、被覆セラミック層と表面電極との間の密着性が向上したためと考えられる。

[0122] 特に、露出面の幅が10 μ m以上であるセラミック電子部品3-4~3-6では、接合強度及び落下強度がともに高いことが確認された。

これは、露出面の幅を広くすることにより、表面電極の端部への応力の負荷を低減させることができ、その結果、表面電極と電子部品本体との間の接合強度を高くすることができるためと考えられる。

符号の説明

[0123] 1, 2, 3, 4 セラミック電子部品

10 電子部品本体

11 基材セラミック層

20 表面電極

21 第1焼結層

22 第2焼結層

23 めっき層

30 被覆セラミック層

B 境界面 (第1焼結層の基材セラミック層との境界面)

E 露出面 (第1焼結層の露出面)

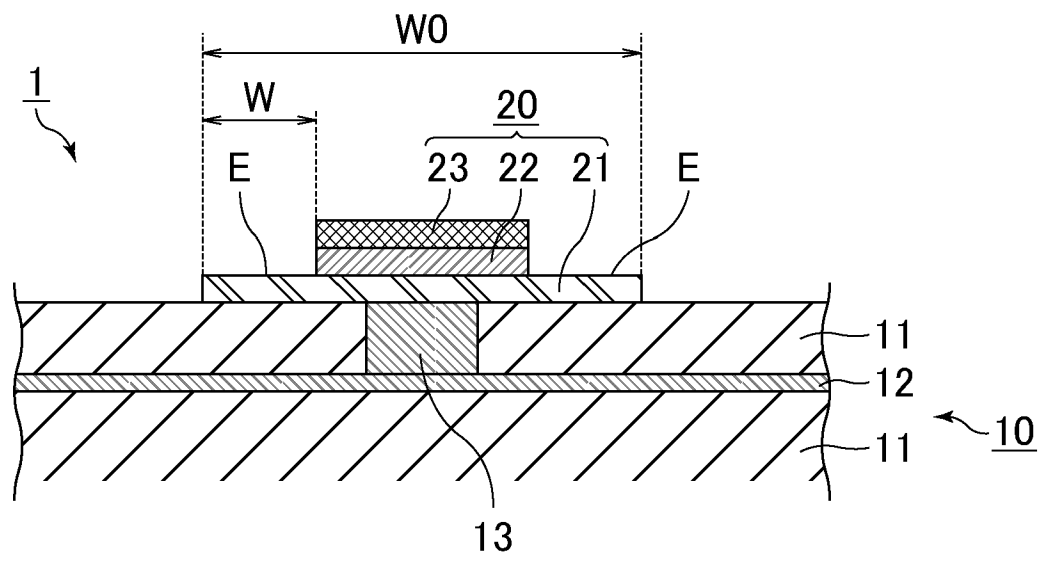
W 露出面の幅

請求の範囲

- [請求項1] 表面に基材セラミック層を有する電子部品本体と、前記電子部品本体の表面に設けられた表面電極とを備えるセラミック電子部品であって、
- 前記表面電極は、前記基材セラミック層の上面に設けられた第1焼結層と、前記第1焼結層の上面に設けられた第2焼結層と、前記第2焼結層の上面に設けられためっき層とを含み、
- 前記第1焼結層の周縁部には、前記第2焼結層及び前記めっき層が上面に設けられていない露出面が存在することを特徴とするセラミック電子部品。
- [請求項2] 前記露出面の内周縁の長さは、前記第2焼結層の周縁部の長さの50%以上である請求項1に記載のセラミック電子部品。
- [請求項3] 前記露出面の幅は、10 μ m以上である請求項1又は2に記載のセラミック電子部品。
- [請求項4] 前記第1焼結層は、Al、Zr、Ti、Si及びMgからなる群より選択される少なくとも1種の金属元素を含む金属酸化物を含有する請求項1～3のいずれか1項に記載のセラミック電子部品。
- [請求項5] 前記第2焼結層は、前記第1焼結層よりも少ない前記金属酸化物を含有する請求項4に記載のセラミック電子部品。
- [請求項6] 前記第1焼結層の露出面における前記金属酸化物の含有比率は、前記第1焼結層の前記基材セラミック層との境界面における前記金属酸化物の含有比率よりも高い請求項4又は5に記載のセラミック電子部品。
- [請求項7] 前記表面電極の周縁部を被覆する被覆セラミック層をさらに備え、前記被覆セラミック層は、前記第1焼結層の露出面を被覆する請求項1～5のいずれか1項に記載のセラミック電子部品。

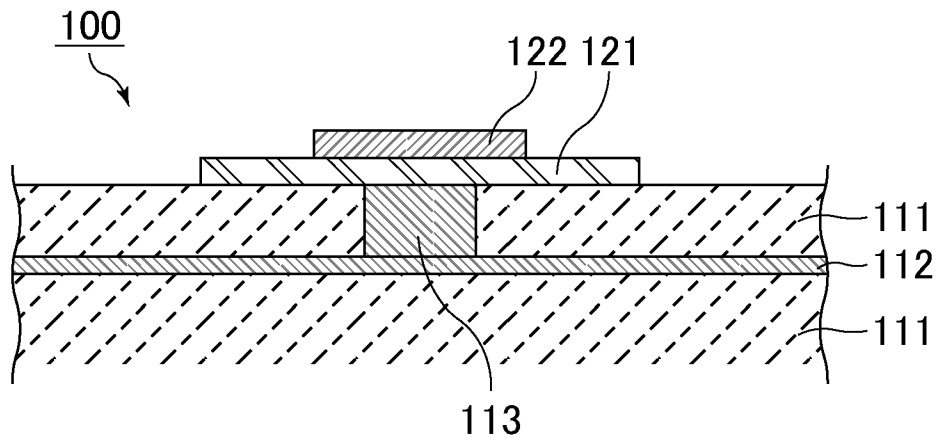
[図1]

[図1]

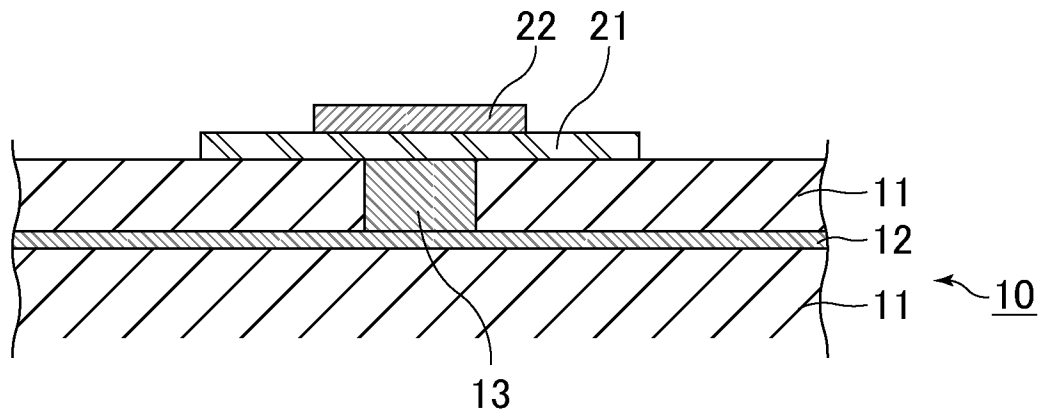


[]2[]2

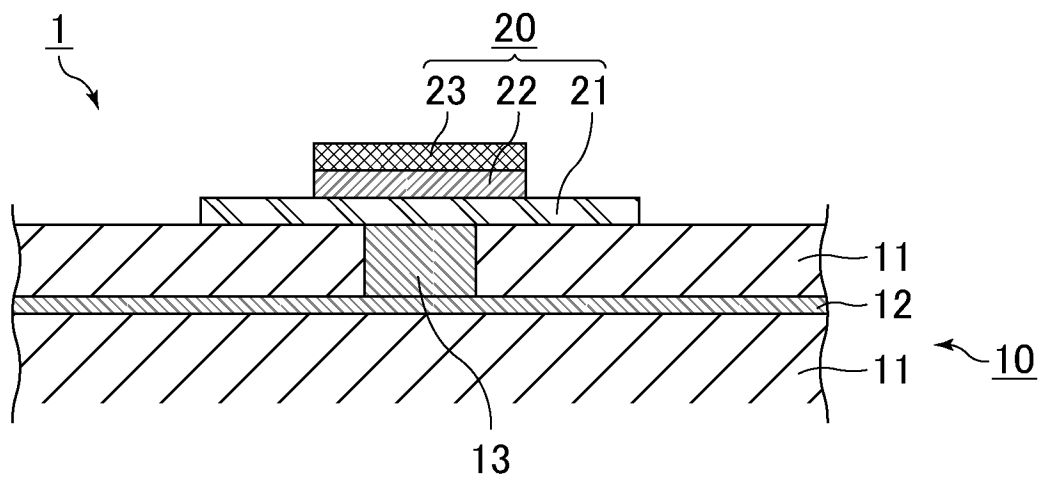
A



B

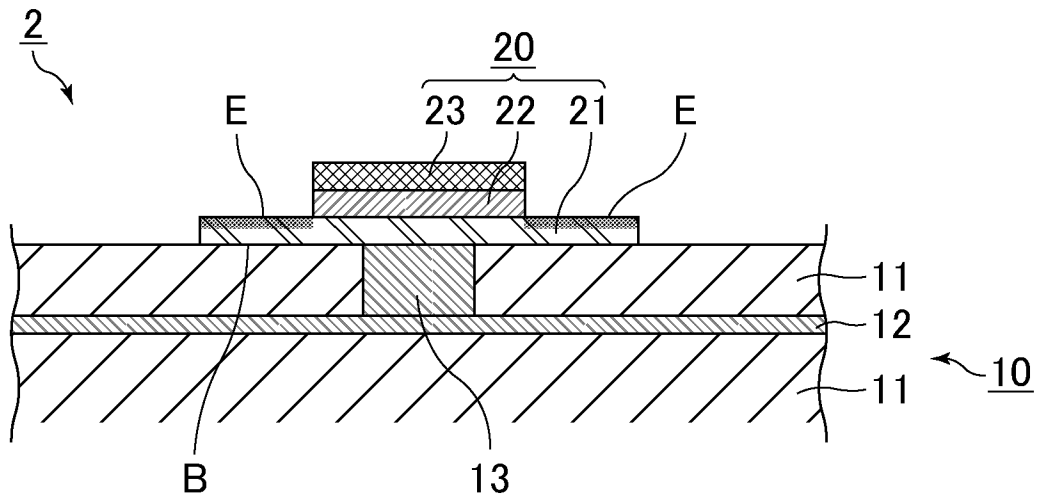


C



[図3]

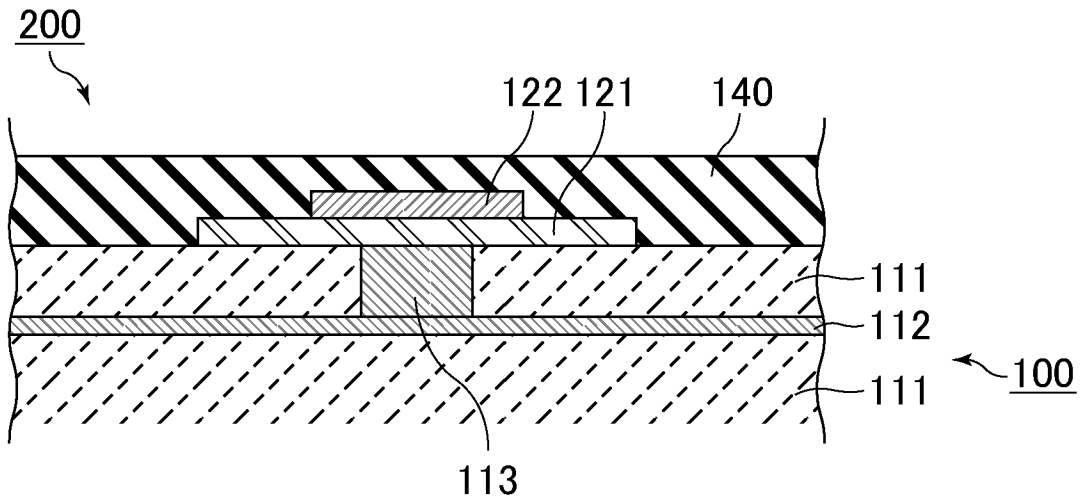
[図3]



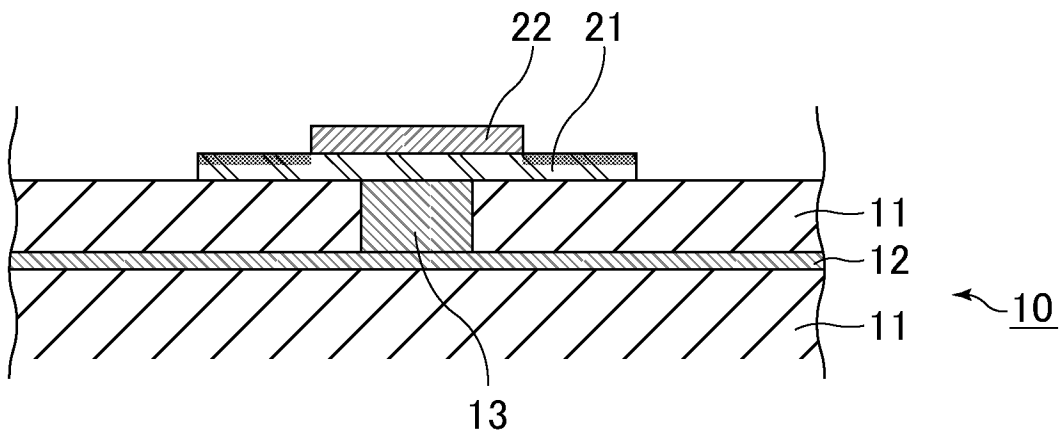
[図4]

図4

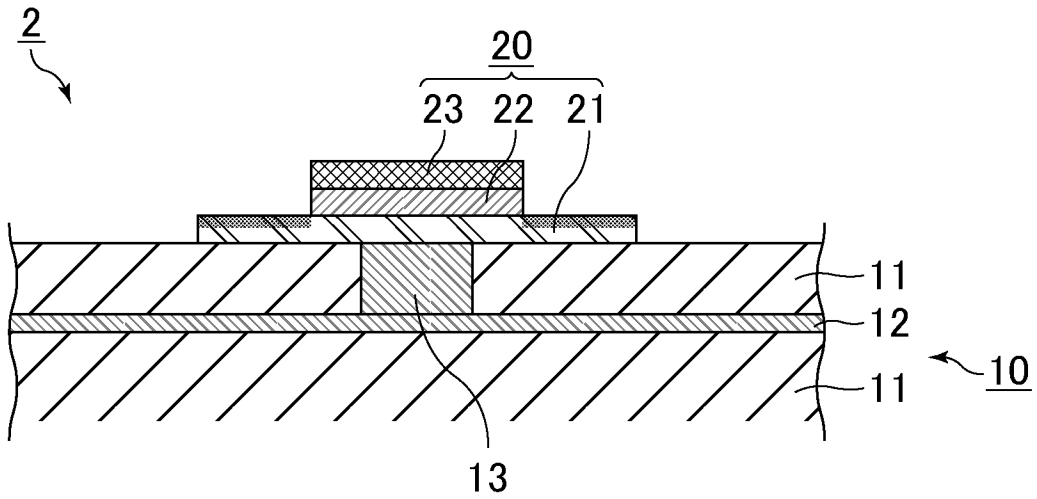
A



B

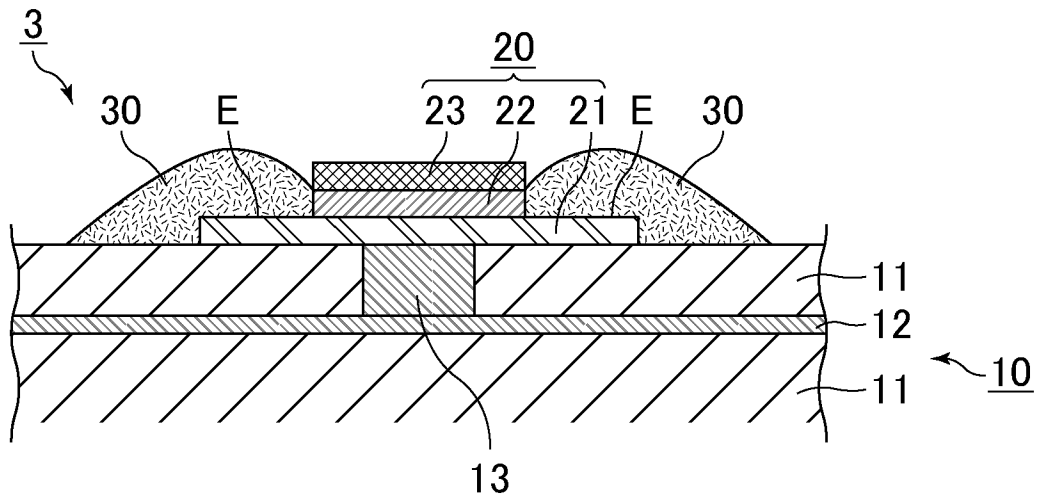


C



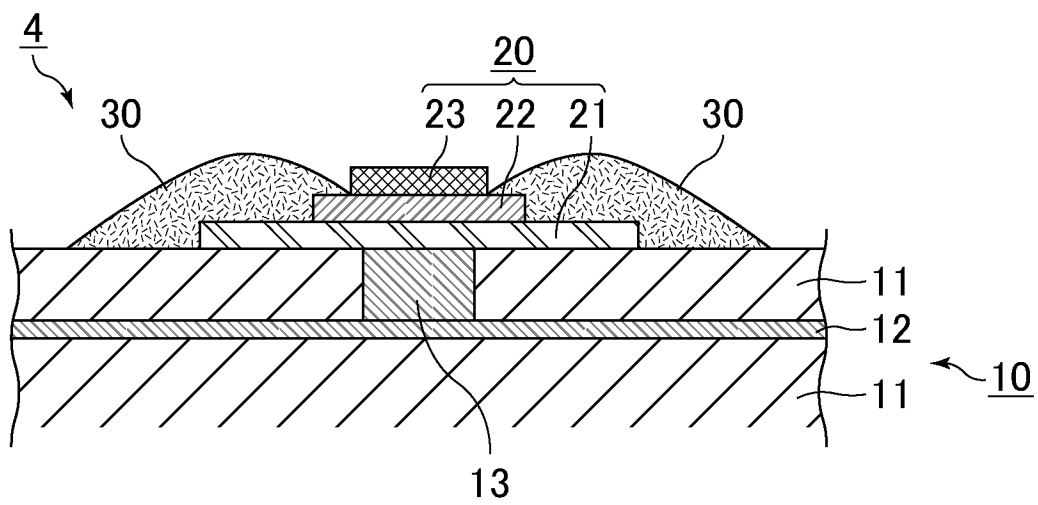
[図5]

図5



[図6]

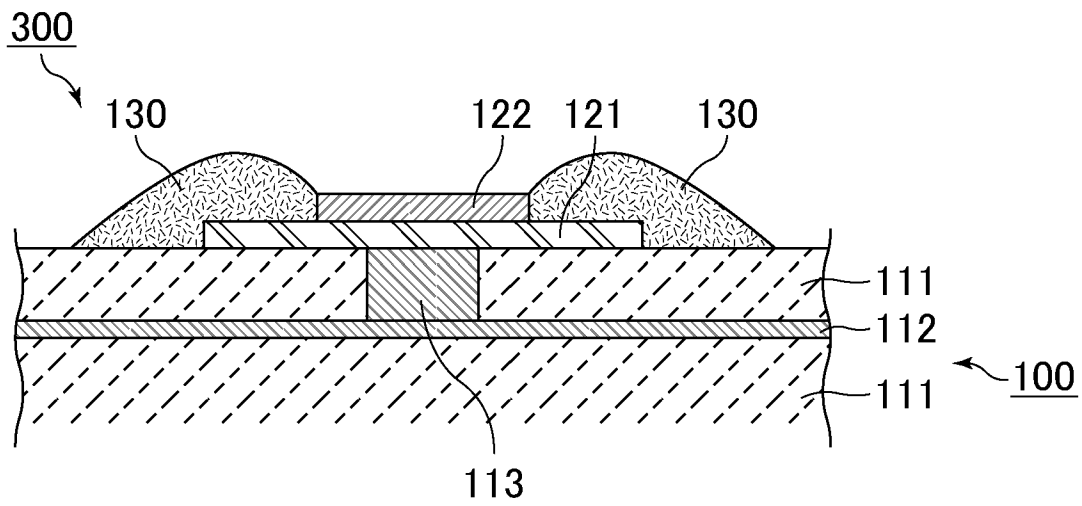
図6



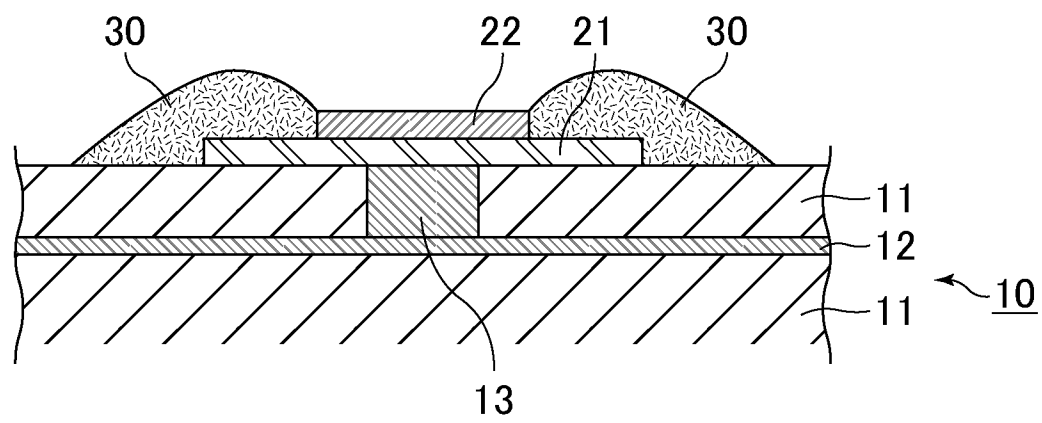
[図7]

[図7]

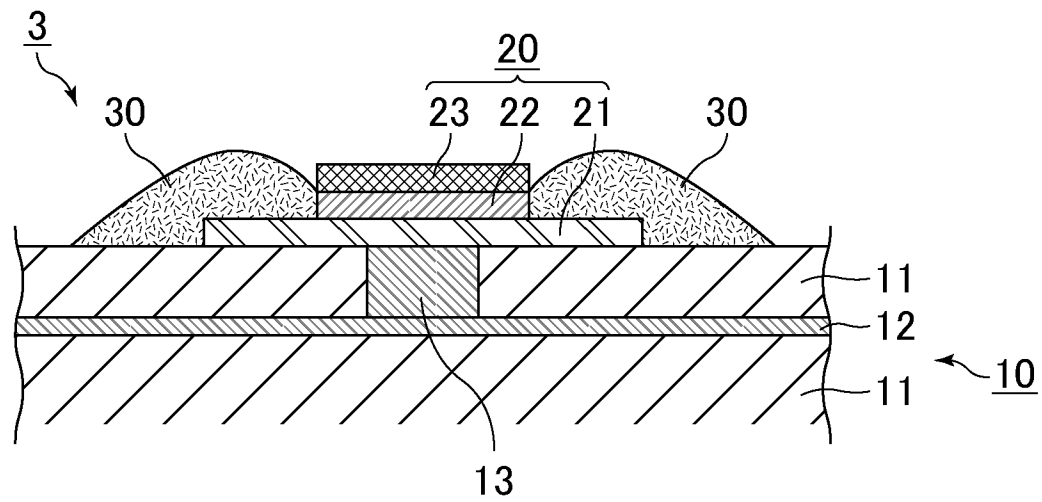
A



B



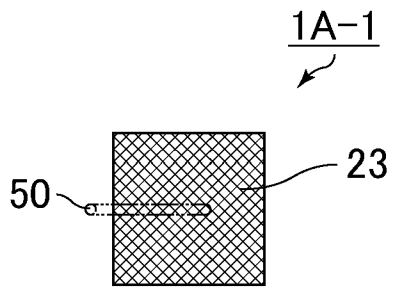
C



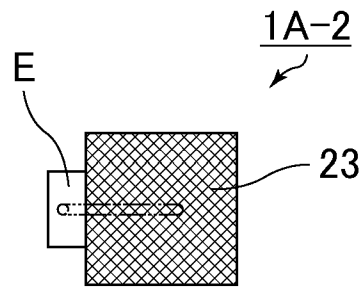
[図8]

図8

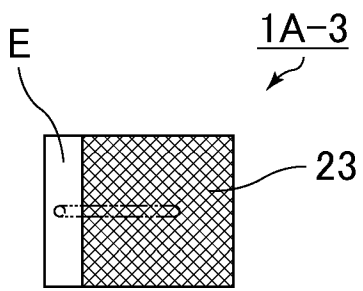
(a)



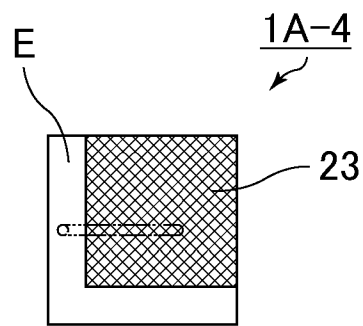
(b)



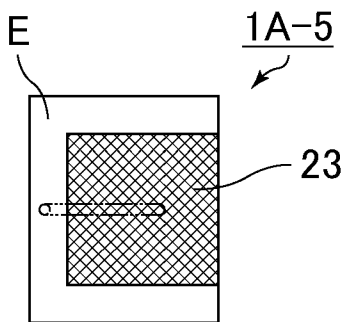
(c)



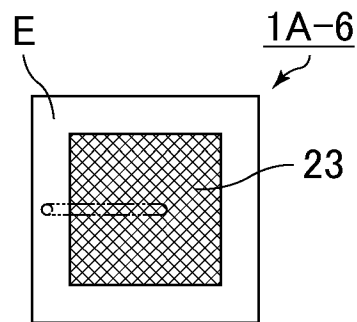
(d)



(e)



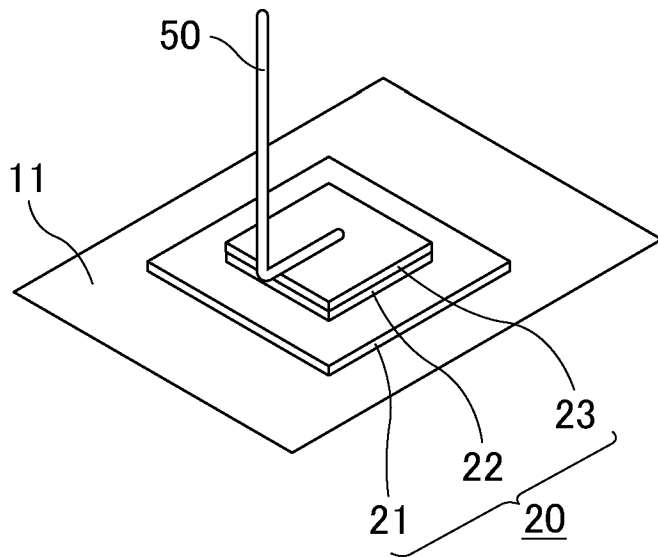
(f)



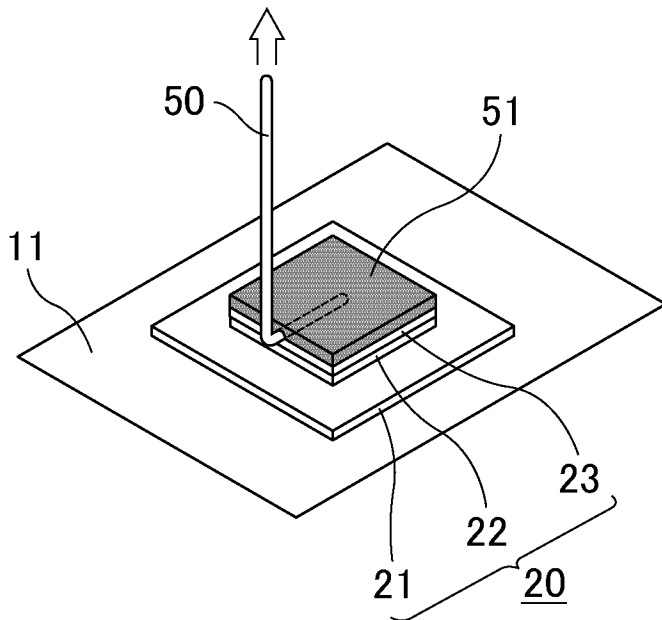
[図9]

[図9]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/016013

A. CLASSIFICATION OF SUBJECT MATTER
H05K3/24(2006.01)i, H01L23/13(2006.01)i, H05K1/09(2006.01)i, H05K3/34(2006.01)i, H05K3/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05K3/24, H01L23/13, H05K1/09, H05K3/34, H05K3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-201346 A (Mitsuboshi Belting Ltd.), 09 August 2007 (09.08.2007), paragraphs [0024] to [0056], [0070], [0074] to [0075]; fig. 1 to 2, 4 (Family: none)	1-5 7
Y	WO 2015/016173 A1 (Kyocera Corp.), 05 February 2015 (05.02.2015), paragraphs [0014] to [0028]; fig. 1 to 2 & US 2015/0334834 A1 paragraphs [0024] to [0038]; fig. 1 to 2 & EP 3030061 A1	1-7
Y	JP 50-015549 B1 (NEC Corp.), 05 June 1975 (05.06.1975), column 5, line 43 to column 6, line 34; fig. 1 (Family: none)	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 July 2017 (06.07.17)	Date of mailing of the international search report 18 July 2017 (18.07.17)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016013

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-173222 A (NGK Spark Plug Co., Ltd.), 29 June 2006 (29.06.2006), paragraphs [0013], [0017] to [0023]; fig. 1, 3 to 9 (Family: none)	7
A	WO 2005/004565 A1 (Seiko Epson Corp.), 13 January 2005 (13.01.2005), entire text; all drawings & US 2005/0056458 A1 entire text; all drawings & EP 1651020 A1	1-7
A	WO 2013/061727 A1 (Kyocera Corp.), 02 May 2013 (02.05.2013), entire text; all drawings & US 2014/0284088 A1 entire text; all drawings & EP 2773169 A1	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/24(2006.01)i, H01L23/13(2006.01)i, H05K1/09(2006.01)i, H05K3/34(2006.01)i, H05K3/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K3/24, H01L23/13, H05K1/09, H05K3/34, H05K3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-201346 A（三ツ星ベルト株式会社）2007.08.09, 段落 [0024] ~ [0056], [0070], [0074] ~ [0075], 図1 ~ 図2, 図4（ファミリーなし）	1-5 7
Y	WO 2015/016173 A1（京セラ株式会社）2015.02.05, 段落 [0014] ~ [0028], 図1 ~ 図2 & US 2015/0334834 A1, 段落 [0024] ~ [0038], 図1 ~ 図2 & EP 3030061 A1	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|---|---|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日

06.07.2017

国際調査報告の発送日

18.07.2017

国際調査機関の名称及びあて先
 日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 内田 勝久	5D	3799
電話番号 03-3581-1101 内線	3551	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 50-015549 B1 (日本電気株式会社) 1975.06.05, 第5欄第43行 ～第6欄第34行, 第1図 (ファミリーなし)	1-7
Y	JP 2006-173222 A (日本特殊陶業株式会社) 2006.06.29, 段落 [0 013], [0017] ~ [0023], 図1, 図3～図9 (ファミリ ーなし)	7
A	WO 2005/004565 A1 (セイコーエプソン株式会社) 2005.01.13, 全文, 全図 & US 2005/0056458 A1, 全文, 全図 & EP 1651020 A1	1-7
A	WO 2013/061727 A1 (京セラ株式会社) 2013.05.02, 全文, 全図 & US 2014/0284088 A1, 全文, 全図 & EP 2773169 A1	1-7