

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-3821

(P2010-3821A)

(43) 公開日 平成22年1月7日 (2010. 1. 7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/146 (2006.01)	H O 1 L 27/14 C	4 M 1 1 8
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 2 C	5 F O 3 3
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 Z	5 F 1 1 0
H O 1 L 23/52 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号	特願2008-160659 (P2008-160659)	(71) 出願人	306037311 富士フイルム株式会社 東京都港区西麻布2丁目26番30号
(22) 出願日	平成20年6月19日 (2008. 6. 19)	(74) 代理人	100079049 弁理士 中島 淳
		(74) 代理人	100084995 弁理士 加藤 和詳
		(74) 代理人	100085279 弁理士 西元 勝一
		(74) 代理人	100099025 弁理士 福田 浩志
		(72) 発明者	岡田 美広 神奈川県足柄上郡開成町宮台798番地 富士フイルム株式会社内

最終頁に続く

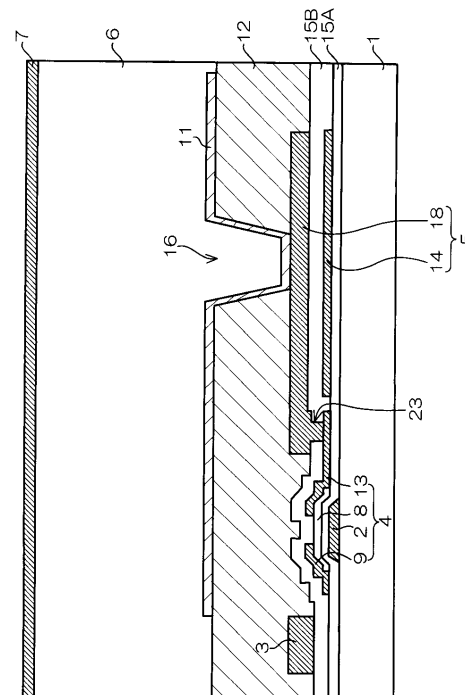
(54) 【発明の名称】 電磁波検出素子

(57) 【要約】

【課題】 信号配線の電子ノイズをより低減させた電磁波検出素子を提供する。

【解決手段】 走査配線101(2)、信号配線3、及び共通配線102(18)をセンサ部103よりも下層に各々絶縁膜を介して設けられた異なる金属層により形成されており、信号配線3を走査配線101及び共通配線102よりも厚く形成した。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

並列に設けられた複数の走査配線と、
前記走査配線と交差して並列に設けられた複数の信号配線と、
前記走査配線と前記信号配線との交差部に対応して設けられ、前記走査配線と前記信号配線に接続された薄膜トランジスタと、

電磁波の照射に応じて電荷を発生する半導体層及び当該半導体層に発生した電荷を収集する収集電極を有し、前記薄膜トランジスタの各々に接続されたセンサ部と、

前記センサ部に対して共通にバイアス電圧を印加するために設けられた複数の共通配線と、を備え、

前記走査配線、前記信号配線、及び前記共通配線は前記センサ部よりも下層に各々絶縁膜を介して別々に設けられた配線層により形成され、前記信号配線は前記走査配線及び前記共通配線よりも厚く形成された

電磁波検出素子。

【請求項 2】

前記走査配線、前記信号配線、及び前記共通配線が形成された前記配線層は当該配線層を保護するための保護金属及び当該保護金属よりも低抵抗な低抵抗金属を積層した構成とし、

前記信号配線が形成された前記配線層は前記走査配線及び前記共通配線が形成された前記配線層よりも前記低抵抗金属が厚く形成された

請求項 1 記載の電磁波検出素子。

【請求項 3】

前記薄膜トランジスタのソース電極及びドレイン電極は前記信号配線と異なる配線層に前記保護金属によって形成された

請求項 2 記載の電磁波検出素子。

【請求項 4】

前記薄膜トランジスタのソース電極及びドレイン電極が形成された前記配線層は、前記低抵抗金属の層を含まず、前記保護金属又は保護金属化合物のみによって形成された

請求項 3 記載の電磁波検出素子。

【請求項 5】

前記複数の共通配線を、前記信号配線に並列に設けた

請求項 1～請求項 4 の何れか 1 項記載の電磁波検出素子。

【請求項 6】

前記センサ部は、前記半導体層に対してバイアス電圧を印加するバイアス電極を各々有し、

前記共通配線を、前記バイアス電極に接続した

請求項 1～請求項 5 の何れか 1 項記載の電磁波検出素子。

【請求項 7】

前記センサ部は、電磁波が照射されることにより前記半導体層に発生した電荷を蓄積する蓄積容量を各々有し、

前記共通配線を、前記蓄積容量に接続した

請求項 1～請求項 5 の何れか 1 項記載の電磁波検出素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電磁波検出素子に係り、特に、照射された電磁波により示される画像を検出する電磁波検出素子に関する。

【背景技術】

【0002】

近年、TFT (Thin film transistor) アクティブマトリックス基板上に X 線感応層を

10

20

30

40

50

配置し、X線情報を直接デジタルデータに変換できるFPD (flat panel detector) 等の電磁波検出素子が実用化されている。この電磁波検出素子は、従来のイメージングプレートに比べて、即時に画像を確認でき、動画も確認できるといったメリットがあり、急速に普及が進んでいる。

【0003】

この種の電磁波検出素子は、種々のタイプのものが提案されており、例えば、放射線を直接、半導体層で電荷に変換して蓄積する直接変換方式や、放射線を一度CsI：Tl、GOS (Gd₂O₂S：Tb) などのシンチレータで光に変換し、変換した光を半導体層で電荷に変換して蓄積する間接変換方式がある。

【0004】

この電磁波検出素子は、例えば、複数の走査配線及び複数の信号配線が互いに交差して配設され、当該走査配線及び信号配線の各交差部に対応して電荷蓄積部及びTF Tスイッチが設けられ、各交差部の電荷蓄積部及びTF Tスイッチ素子を覆うように半導体層が設けられている。このような電磁波検出素子を用いた放射線画像撮影装置では、放射線画像を撮影する場合、X線が照射される間、各走査配線に対してOFF信号を出力して各TF Tスイッチをオフにして半導体層に発生した電荷を各電荷蓄積部に蓄積し、画像を読み出す場合、各走査配線に対して1ラインずつ順にON信号を出力して各電荷蓄積部に蓄積された電荷を電気信号として読み出し、読み出した電気信号をデジタルデータへ変換することにより、放射線画像を得ている。

【0005】

この電磁波検出素子に関する技術として、特許文献1には、基板上の半導体層よりも下層に3層の別な配線層で走査配線、信号配線、共通電極をこの順に形成した構成が記載されている。また、信号配線を半導体層よりも上層に形成した場合に、図面上信号配線を厚く形成した構成が記載されている。

【特許文献1】特表2008-503086号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、電磁波検出素子において信号配線に発生する電子ノイズは、信号配線の配線容量による影響が大きい。従って、電子ノイズを低減させて検出画像の画質を向上させるためには、信号配線の配線容量の低減が課題となっている。

【0007】

しかし、特許文献1に記載の構成では、信号配線と収集電極との間の配線容量をより低下させるには不十分な構成である。また、特許文献1には、信号配線を半導体層よりも上層に形成した場合に、図面上信号配線が厚く形成されているが厚さに関して具体的記載はない。

【0008】

本発明は、上記の事情に鑑み、信号配線の電子ノイズをより低減させた電磁波検出素子を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、請求項1記載の発明の電磁波検出素子は、並列に設けられた複数の走査配線と、前記走査配線と交差して並列に設けられた複数の信号配線と、前記走査配線と前記信号配線との交差部に対応して設けられ、前記走査配線と前記信号配線に接続された薄膜トランジスタと、電磁波の照射に応じて電荷を発生する半導体層及び当該半導体層に発生した電荷を収集する収集電極を有し、前記薄膜トランジスタの各々に接続されたセンサ部と、前記センサ部に対して共通にバイアス電圧を印加するために設けられた複数の共通配線と、を備え、前記走査配線、前記信号配線、及び前記共通配線は前記センサ部よりも下層に各々絶縁膜を介して別々に設けられた配線層により形成され、前記信号配線は前記走査配線及び前記共通配線よりも厚く形成されている。

【0010】

本発明の電磁波検出素子は、走査配線が並列に複数設けられ、信号配線が走査配線と交差して複数並列に設けられており、薄膜トランジスタが走査配線と前記信号配線との交差部に対応して設けられ、走査配線と信号配線に接続されている。

【0011】

また、本発明では、電磁波の照射に応じて電荷を発生する半導体層及び当該半導体層に発生した電荷を収集する収集電極を有するセンサ部が、薄膜トランジスタの各々に接続されており、共通配線センサ部に対して共通にバイアス電圧を印加するために複数設けられている。

【0012】

そして、本発明では、走査配線、信号配線、及び共通配線がセンサ部よりも下層に各々絶縁膜を介して別々に設けられた配線層により形成されており、信号配線が走査配線及び共通配線よりも厚く形成されている。

【0013】

このように、本発明では、走査配線、信号配線、及び共通配線をセンサ部よりも下層に各々絶縁膜を介して設けられた異なる配線層により形成されており、信号配線を走査配線及び共通配線よりも厚く形成しているので、信号配線の電子ノイズをより低減させることができる。

【0014】

なお、本発明は、請求項2に記載の発明のように、前記走査配線、前記信号配線、及び前記共通配線が形成された前記配線層を当該配線層を保護するための保護金属及び当該保護金属よりも低抵抗な低抵抗金属を積層した構成とし、前記信号配線が形成された前記配線層を前記走査配線及び前記共通配線が形成された前記配線層よりも前記低抵抗金属が厚く形成してもよい。

【0015】

また、請求項2に記載の発明は、請求項3に記載の発明のように、前記薄膜トランジスタのソース電極及びドレイン電極を前記信号配線と異なる配線層に前記保護金属によって形成してもよい。

【0016】

また、請求項3に記載の発明は、請求項4に記載の発明のように、前記薄膜トランジスタのソース電極及びドレイン電極が形成された前記配線層を、前記低抵抗金属の層を含まず、前記保護金属又は保護金属化合物のみによって形成してもよい。

【0017】

また、本発明は、請求項5に記載の発明のように、前記複数の共通配線を、前記信号配線に並列に設けることが好ましい。

【0018】

また、本発明は、請求項6に記載の発明のように、前記センサ部が、前記半導体層に対してバイアス電圧を印加するバイアス電極を各々有し、前記共通配線を、前記バイアス電極に接続してもよい。

【0019】

さらに、本発明は、請求項7に記載の発明のように、前記センサ部が、電磁波が照射されることにより前記半導体層に発生した電荷を蓄積する蓄積容量を各々有し、前記共通配線を、前記蓄積容量に接続してもよい。

【発明の効果】

【0020】

本発明の電磁波検出素子は、信号配線の電子ノイズをより低減させることができる、という優れた効果を有する。

【発明を実施するための最良の形態】

【0021】

以下、図面を参照して本発明の画像検出器の一実施の形態を適用した放射線画像撮影装

10

20

30

40

50

置 1 0 0 について説明する。

【0022】

図 1 には、本実施の形態に係る放射線画像撮影装置 1 0 0 の全体構成が示されている。

【0023】

同図に示すように、本実施の形態に係る放射線画像撮影装置 1 0 0 は、電磁波検出素子 1 0 を備えている。

【0024】

電磁波検出素子 1 0 は、後述する上部電極と半導体層と下部電極を備え、照射された放射線を受けて電荷を発生するセンサ部 1 0 3 と、センサ部 1 0 3 で発生した電荷を蓄積する電荷蓄積容量 5 と、電荷蓄積容量 5 に蓄積された電荷を読み出すための T F T スイッチ 4 と、を含んで構成される画素が 2 次元状に多数設けられている。電荷蓄積容量 5 の一方の電極は蓄積容量配線 1 0 2 を介して接地されて電圧レベルがグラウンドレベルとされている。

【0025】

また、電磁波検出素子 1 0 には、上記 T F T スイッチ 4 を O N / O F F するための複数の走査配線 1 0 1 と、上記電荷蓄積容量 5 に蓄積された電荷を読み出すための複数の信号配線 3 と、が互いに交差して設けられている。

【0026】

各信号配線 3 には、当該信号配線 3 に接続された何れかの T F T スイッチ 4 が O N されることにより電荷蓄積容量 5 に蓄積された電荷量に応じた電気信号が流れる。各信号配線 3 には、各信号配線 3 に流れ出した電気信号を検出する信号検出回路 1 0 5 が接続されており、各走査配線 1 0 1 には、各走査配線 1 0 1 に T F T スイッチ 4 を O N / O F F するための制御信号を出力するスキャン信号制御装置 1 0 4 が接続されている。

【0027】

信号検出回路 1 0 5 は、各信号配線 3 毎に、入力される電気信号を増幅する増幅回路を内蔵している。信号検出回路 1 0 5 では、各信号配線 3 より入力される電気信号を増幅回路により増幅して検出することにより、画像を構成する各画素の情報として、各電荷蓄積容量 5 に蓄積された電荷量を検出する。

【0028】

この信号検出回路 1 0 5 及びスキャン信号制御装置 1 0 4 には、信号検出回路 1 0 5 において検出された電気信号に所定の処理を施すとともに、信号検出回路 1 0 5 に対して信号検出のタイミングを示す制御信号を出力し、スキャン信号制御装置 1 0 4 に対してスキャン信号の出力のタイミングを示す制御信号を出力する信号処理装置 1 0 6 が接続されている。

【0029】

次に、図 2 及び図 3 を参照して、本実施の形態に係る電磁波検出素子 1 0 についてより詳細に説明する。なお、図 2 には、本実施の形態に係る電磁波検出素子 1 0 の 1 画素単位の構造を示す平面図が示されており、図 3 には、図 2 の A - A 線断面図が示されている。

【0030】

図 3 に示すように、電磁波検出素子 1 0 は、無アルカリガラス等からなる絶縁性の基板 1 上に、ゲート電極 2、及び走査配線 1 0 1 (図 2 参照。)が形成されており、ゲート電極 2 は走査配線 1 0 1 に接続されている。このゲート電極 2、及び走査配線 1 0 1 が形成された金属層 (以下、この金属層を「第 1 信号配線層」ともいう。)は、A l 若しくは C u、又は A l 若しくは C u を主体とした積層膜を用いて形成されているが、これらに限定されるものではない。

【0031】

この第 1 信号配線層上には、一面に絶縁膜 1 5 A が形成されており、ゲート電極 2 上に位置する部位が T F T スイッチ 4 におけるゲート絶縁膜として作用する。この絶縁膜 1 5 A は、例えば、S i N _x 等からなっており、例えば、C V D (Chemical Vapor Deposition) 成膜により形成される。

10

20

30

40

50

【0032】

絶縁膜15A上のゲート電極2に対応する位置には、半導体活性層8が形成されている。この半導体活性層8は、TFTスイッチ4のチャネル部であり、例えば、アモルファスシリコン膜からなる。

【0033】

これらの上層には、ソース電極9、及びドレイン電極13が形成されている。このソース電極9及びドレイン電極13が形成された金属層には、ソース電極9、ドレイン電極13とともに、蓄積容量下部電極14、及び蓄積容量配線102（図2参照。）が形成されており、蓄積容量下部電極14は蓄積容量配線102に接続されている。このソース電極9、ドレイン電極13、蓄積容量下部電極14、及び蓄積容量配線102が形成された金属層（以下、この金属層を「第2信号配線層」ともいう。）も、Al若しくはCu、又はAl若しくはCuを主体とした積層膜を用いて形成されているが、これらに限定されるものではない。

10

【0034】

このソース電極9及びドレイン電極13と半導体活性層8との間にはコンタクト層（不図示）が形成されている。このコンタクト層は、不純物添加アモルファスシリコン等の不純物添加半導体からなる。

【0035】

第2信号配線層上には、一面に絶縁膜15Bが形成されている。この絶縁膜15Bも、例えば、SiN_x等からなっており、例えば、CVD成膜により形成される。

20

【0036】

絶縁膜15C上には、信号配線3が形成され、また、蓄積容量下部電極14に対応する位置に蓄積容量上部電極18が形成されている。信号配線3は絶縁膜15Bに形成されたコンタクト21（図2参照。）を介してソース電極9に接続されている。また、蓄積容量上部電極18は絶縁膜15Bに形成されたコンタクト23を介してドレイン電極13に接続されている。この信号配線3及び蓄積容量上部電極18が形成された金属層（以下、この金属層を「第3信号配線層」ともいう。）も、Al若しくはCu、又はAl若しくはCuを主体とした積層膜が用いて形成されるが、これらに限定されるものではない。

【0037】

そして、これら第3信号配線層を覆い、基板1上の画素が設けられた領域のほぼ全面（ほぼ全領域）には、層間絶縁膜12が形成されている。この層間絶縁膜12は、感光性を有するアクリル樹脂などの有機材料からなり、膜厚が1～4μm、比誘電率が2～4である。本実施の形態に係る電磁波検出素子10では、この層間絶縁膜12によって層間絶縁膜12上層と下層に配置される金属間の容量を低く抑えている。また、一般的にこのような材料は平坦化膜としての機能も有しており、下層の段差が平坦化される効果も有する。これにより、上層に配置される半導体層6の形状が平坦化されるため、半導体層6の凹凸による吸収効率の低下や、リーク電流の増加を抑制することができる。この層間絶縁膜12には、蓄積容量上部電極18と対向する位置にコンタクトホール16が形成されている。なお、第3信号配線層と層間絶縁膜12との間に蓄積容量上部電極18を保護するため、絶縁膜をさらに形成するようにしてもよい。

30

40

【0038】

層間絶縁膜12上には、各画素毎に、各々コンタクトホール16を埋めつつ、画素領域を覆うようにセンサ部103の下部電極11が形成されており、この下部電極11は、非晶質透明導電酸化膜（ITO）からなり、蓄積容量上部電極18と接続されている。

【0039】

下部電極11上の基板1上の画素が設けられた画素領域のほぼ全面には、半導体層6が一様に形成されている。この半導体層6は、X線などの電磁波が照射されることにより、内部に電荷（電子－正孔）を発生するものである。つまり、半導体層6は電磁波導電性を有し、X線による画像情報を電荷情報に変換するためのものである。半導体層6は、例えば、セレンを主成分とする非晶質のa-Se（アモルファスセレン）からなる。ここで、

50

主成分とは、50%以上の含有率を有するということである。

【0040】

この半導体層6上には、上部電極7が形成されている。この上部電極7には、不図示のバイアス電源が接続されており、バイアス電源からバイアス電圧が供給されている。

【0041】

ところで、本実施の形態では、各配線が形成される金属層を、低抵抗の低抵抗金属（例えば、Al、Ag、Cu及びこれの合金）及び当該低抵抗金属を拡散等から保護する保護金属（例えば、Ti、W、Mo、Cr）又は保護金属化合物（例えば、MoN、TiN）を積層した構成としており、例えば、図4に示すように、下層側順に、MoN層40A、Al層40B、MoN層40Cを積層する。

10

【0042】

また、電磁波検出素子10を製造工程において、ソース電極9・ドレイン電極13を形成するパターンはもっとも精度を必要とするパターンニング工程である。チャンネル部をアモルファスシリコン膜としたTFETでは、移動度が $0.5\text{ cm}^2/\text{V}\cdot\text{s}$ 程度と小さい。このため、電磁波検出素子10では、TFETスイッチ4のチャンネル長L（ソース電極9・ドレイン電極13間のギャップ部分の長さ）を $3\sim 8\text{ }\mu\text{m}$ と小さくする必要がある。これはアモルファスシリコン膜を用いたTFETの製造ラインの最小線幅に相当し、精度よくソース電極9・ドレイン電極13のパターンニングを行なうためには金属層を薄くすることが好ましく、また、精度高いパターンニングが可能な材料を用いることが好ましい。

【0043】

これに対し、電磁波検出素子10では、信号配線3の配線抵抗を低減しようとした場合、金属層が厚い方が好ましい。

20

【0044】

このため、本実施の形態では、ソース電極9・ドレイン電極13と信号配線3を別の金属層で形成しており、ソース電極9・ドレイン電極13が形成された第2信号配線層を薄く形成し、また、信号配線3が形成された第3信号配線層を厚くしている。

【0045】

次に、図5(A)～(H)を参照して、本実施形態に係る電磁波検出素子10の製造工程の一例を説明する。

【0046】

まず、基板1上に、第1信号配線層として、ゲート電極2、及び走査配線101を形成する（図5(A)）。本実施の形態では、第1信号配線層として、MoN層40A／Al層40B／MoN層40Cをそれぞれ厚さ 100 nm ／ 200 nm ／ 50 nm でスパッタリング法にてガラス基板上に堆積する。その後、フォトリソグラフィ技術にてレジスト膜のパターンニングを行う。その後、ウェットエッチ法か、ドライエッチ法にて金属膜をパターンニングする。その後、レジストを除去することにより第1信号配線層が完成する。

30

【0047】

次に、第1信号配線層が形成された基板1上に、絶縁膜15Aを堆積する（図5(B)）。絶縁膜15Aは、SiNxからなり膜厚は $200\sim 600\text{ nm}$ で、P-CVD（Plasma-Chemical Vapor Deposition）法にて堆積する。

40

【0048】

次に、絶縁膜15A上に、半導体活性層8、コンタクト層（不図示）を順次堆積する（図5(C)）。半導体活性層8はアモルファスシリコンからなり膜厚 $20\sim 200\text{ nm}$ 前後、コンタクト層は不純物添加アモルファスシリコンからなり膜厚 $10\sim 100\text{ nm}$ 前後で、P-CVD法にて堆積する。その後、フォトリソグラフィ技術によりレジストのパターンニングを行う。その後、半導体活性層8と不純物添加半導体によるコンタクト層を絶縁膜15に対し選択的にドライエッチングすることにより半導体活性領域を形成する。

【0049】

次に、絶縁膜15A、及び半導体活性層8の上層に、第2信号配線層として、ソース電

50

極 9、ドレイン電極 13、蓄積容量下部電極 14、及び蓄積容量配線 102 を形成する（図 5（D））。本実施の形態では、第 2 信号配線層として、MoN 層 40A/A1 層 40B/MoN 層 40C をそれぞれ厚さ 100 nm/100 nm/50 nm でスパッタリング法にて堆積する。その後、第 1 信号配線層と同様に、フォトリソグラフィ技術にてレジスト膜のパターンニングを行い、ウェットエッチ法か、ドライエッチ法にて金属膜をパターンニングする。その後、レジストを除去することにより第 2 信号配線層が完成する。

【0050】

次に、第 2 信号配線層上に、絶縁膜 15B、及び第 3 信号配線層として、信号配線 3 及び蓄積容量上部電極 18 を順次形成する（図 5（E））。絶縁膜 15C も、SiNx からなり膜厚は 200～600 nm で、P-CVD 法にて堆積する。その後、絶縁膜 15B に対して、フォトリソグラフィ技術にてコンタクト 21 及びコンタクト 23 のパターンニングを行い、ドライエッチ法にて選択的にパターンニングする。その後、本実施の形態では、第 3 信号配線層として、MoN 層 40A/A1 層 40B/MoN 層 40C をそれぞれ厚さ 100 nm/400 nm/50 nm でスパッタリング法にて堆積する。その後、第 1 及び第 2 信号配線層と同様に、フォトリソグラフィ技術にてレジスト膜のパターンニングを行い、ウェットエッチ法か、ドライエッチ法にて金属膜をパターンニングする。その後、レジストを除去することにより第 3 信号配線層が完成する。

【0051】

次に、上記のように形成された層の上層に、層間絶縁膜 12 を堆積し、コンタクトホール 16 を形成する（図 5（F））。層間絶縁膜は SiNx、SiO₂ 等の無機材料か、もしくは SOG、感光性アクリル材料等の有機絶縁膜材料からなる。一般的に有機絶縁膜材料の方が誘電率が低く、また厚膜化が容易なため信号配線 3－電荷収集電極間の容量低減に効果があり好ましい。感光性有機絶縁膜材料の場合には、材料を 1～3 μm 前後の膜厚でスピン塗布後、フォトリソグラフィ技術にてコンタクトホール 16 のパターンニングを行い、専用エッチャントにてパターンニングし、焼成することにより完成する。感光性材料でない場合には他のレイヤーと同様にフォトリソグラフィ後にドライエッチなどを行いコンタクトホールの形成を行う。なお、コンタクトホール 16 の大きさは、10 μm 角よりも小さいことが望ましい。コンタクトホール 16 が大きい場合、半導体膜 6 を製膜後に段差部により結晶化が生じるからである。

【0052】

次に、上記の層の上層に Al 系材料もしくは ITO 等の金属材料をスパッタリング法により堆積する。膜厚は 20～200 nm 前後である。フォトリソグラフィ技術にてパターンニングを行い、メタル用のエッチャント等によるウェットエッチ法か、ドライエッチ法にてパターンニングして下部電極 14 を形成する（図 5（G））。

【0053】

次に、上記のように形成された層の上層に、半導体層 6 を一様に形成し、半導体層 6 上に上部電極 7 を形成する（図 5（H））。半導体層 6 は、例えば、セレンを主成分とする非晶質の a-Se（アモルファスセレン）からなる。上部電極 7 には、不図示のバイアス電源が接続されており、バイアス電源からバイアス電圧が供給されている。

【0054】

次に、本実施の形態に係る放射線画像撮影装置 100 の動作原理について説明する。

【0055】

上部電極 7 と蓄積容量下部電極 14 との間に電圧を印加した状態で、半導体層 6 に X 線が照射されると、半導体層 6 内に電荷（電子－正孔対）が発生する。

【0056】

半導体層 6 と電荷蓄積容量 5 とは電氣的に直列に接続された構造となっているので、半導体層 6 内に発生した電子は＋電極側に移動すると共に、正孔は－電極側に移動し、その結果、電荷蓄積容量 5 に電荷が蓄積される。

【0057】

画像読出時には、TF T スイッチ 4 のゲート電極 2 に走査配線 101 を介して順次 ON

10

20

30

40

50

信号（＋１０～２０Ｖ）が印加される。これにより、ＴＦＴスイッチ４が順次ＯＮされ、電荷蓄積容量５に蓄積された電荷量に応じた電気信号が信号配線３に流れ出す。信号検出回路１０５は、信号配線３に流れ出した電気信号に基づいて各センサ部１０３の電荷蓄積容量５に蓄積された電荷量を、画像を構成する各画素の情報として検出する。これにより、電磁波検出素子１０に照射されたＸ線により示される画像を示す画像情報を得ることができる。

【００５８】

ところで、本実施の形態では、第１～第３信号配線層の金属層を同じ層構成としている。このように、第１～第３信号配線層の金属層を同じ層構成とすることにより、製造装置、材料の共有化が可能となり、生産ロスを減らすことができる。

10

【００５９】

また、本実施の形態に係る放射線画像撮影装置１００では、第１～第３信号配線層で低抵抗のＡ１層４０Ｂの膜厚を変えることにより、図２に示すように、信号配線３を走査配線１０１や蓄積容量配線１０２よりも厚く形成している。このように、信号配線３を厚く形成することにより、信号配線３の配線抵抗が低下するため、信号配線３の電子ノイズをより低減させることができる。

【００６０】

また、本実施の形態によれば、走査配線１０１、信号配線３、及び蓄積容量配線１０２をセンサ部１０３よりも下層の金属層により形成しているので、センサ部１０３に照射されるＸ線が走査配線１０１、信号配線３、及び蓄積容量配線１０２によって遮られず、また、信号配線３とＴＦＴスイッチ４との接続部分がセンサ部の配置に影響を与えなくなるため、フィルファクタの低下を抑えることができる。

20

【００６１】

また、本実施の形態によれば、信号配線３をソース電極９とドレイン電極１３と異なる金属層に形成するようにしたので、信号配線３を厚膜化して低抵抗な信号配線３を実現することができ、信号配線３ノイズを低減できる。また、ソース電極９及びドレイン電極１３等の金属層を薄くすることができるので、ソース電極９及びドレイン電極１３を精度良くパターンニングすることができる。

【００６２】

また、ＴＦＴスイッチ４の製造工程において、静電破壊に起因して各信号配線間でリーク不良が多発することが問題となっている。本実施の形態の構造を採用した場合、ＴＦＴスイッチ４のソース電極－ゲート電極間の方が信号配線３と走査配線１０１の交差部よりも絶縁膜が薄くすることができるため、耐電圧が低く設定される。これにより、静電気によりリーク不良が発生した場合にも、高い確率でＴＦＴスイッチ４のリーク不良となる。電磁波検出素子１０では、配線間のリーク不良が発生した場合、ライン欠陥不良となるが、ＴＦＴスイッチ４でのリーク不良が発生した場合、ＴＦＴスイッチ４を切り離せば単一画素の不良とすることができる。通常、放射線画像撮影装置１００では、単一画素の不良の場合、周辺画素のデータから欠陥画素の情報を生成し、画像補正することにより良品化することができるが、ライン欠陥不良の場合、画像補間による修正は困難な場合が多い。したがって、上記のようにライン欠陥不良を回避するようにすることによって製造歩留まりを向上することができる。

30

40

【００６３】

なお、上記実施の形態では、蓄積容量配線１０２を走査配線１０１に並行に設けたが、蓄積容量配線１０２を信号配線３に並行に設けてもよい。例えば、図６には、上記実施の形態に係る電磁波検出素子１０において、蓄積容量配線１０２を信号配線３に並行に設けた場合の構造を示す平面図が示されている。このように蓄積容量配線１０２を信号配線３に並行に設けることにより、画素領域において蓄積容量配線１０２と信号配線３が交差しなくなるため、信号配線３の配線容量を小さくすることができる。

【００６４】

また、電荷蓄積容量５を構成する絶縁膜１５Ｃと、ＴＦＴスイッチ４を構成する絶縁膜

50

15Bとを異ならせている。このように絶縁膜を異ならせた場合、例えば、TF TスイッチのON電流をアップするために絶縁膜15Bを薄くしても、電荷蓄積容量5の蓄積容量が増加しないため、画素の電荷転送時間を短縮できる。

【0065】

また、上記実施の形態では、第1～第3信号配線層でA1層40Bの膜厚を変えることによって信号配線3を走査配線101や蓄積容量配線102よりも厚く形成した場合について説明したが、本発明はこれに限定されるものではなく、例えば、第2信号配線層ではA1層40Bを積層せず、例えば、MoN層40Aのみにより金属層を形成することによ

【0066】

また、上記各実施の形態では、共通配線として、各電荷蓄積容量5の蓄積容量下部電極14に対して共通にバイアス電圧を印加するための蓄積容量配線102を設けた場合について説明したが、本発明はこれに限定されるものではない。例えば、各センサ部103に対応して個別に上部電極7を形成して、半導体層6に対して各上部電極7からバイアス電圧を印加するように構成した場合、共通配線として、例えば、半導体層6の下層に、各上部電極7にバイアス電圧を印加するためのバイアス配線を信号配線3と並行に配置し、絶縁膜及び層間絶縁膜12に形成されたコンタクトホールを介して上部電極7と接続するよう

【0067】

また、上記実施の形態では、半導体層6において放射線を直接電荷に変換する、いわゆる直接変換方式の電磁波検出素子10に適用した場合について説明したが、本発明はこれに限定されるものではない。例えば、放射線が衝突することにより電磁波（例えば、光）を発する物質、いわゆるシンチレータにより発生した光を光電変換し、得られる電荷を各光電変換素子に付随する容量（補助容量をさらに付設する場合もある）に蓄積する、いわゆる間接変換方式の電磁波検出素子において、各光電変換素子の電極にバイアス電圧を印加するためのバイアス配線を同様の構成としてもよい。

【0068】

この間接変換方式の電磁波検出素子では、半導体層6上にシンチレータによる層を形成し、一旦X線をシンチレータに吸収させ、その際にシンチレータから生じる光を受けて半導体層6が電荷を発生することになるが、半導体層6としては0.2μmから1μm程度の厚さでよい。これにより、画素毎の下部電極11の静電容量が大きくなるので、直接変換方式のように電荷蓄積容量5を別途形成しない場合も多い。

【0069】

間接変換方式の電磁波検出素子では、直接変換方式の電磁波検出素子のように半導体層6を連続的に形成しても良いが、半導体層6が画素毎に区切られてアレイ状に設けられることが多い。その場合、上部電極7は共通配線によって接続される。

【0070】

また、上記実施の形態では、検出対象とする電磁波としてX線を検出することにより画像を検出する放射線画像撮影装置100に本発明を適用した場合について説明したが、本発明はこれに限定されるものではなく、例えば、検出対象とする電磁波は可視光や紫外線、赤外線等いずれであってもよい。

【0071】

その他、上記実施の形態で説明した放射線画像撮影装置100の構成（図1参照。）及び電磁波検出素子10の構成（図2～図6）は一例であり、本発明の主旨を逸脱しない範囲内において適宜変更可能であることは言うまでもない。

【図面の簡単な説明】

【0072】

【図1】実施の形態に係る放射線画像撮影装置の全体構成を示す構成図である。

【図2】実施の形態に係る電磁波検出素子の構成を示す平面図である。

【図3】実施の形態に係る電磁波検出素子の線断面図である。

10

20

30

40

50

【図 4】 実施の形態に係る金属層の層構成を示す図である。

【図 5】 実施の形態に係る電磁波検出素子の製造工程を示す図である。

【図 6】 他の実施の形態に係る電磁波検出素子の構成を示す平面図である。

【符号の説明】

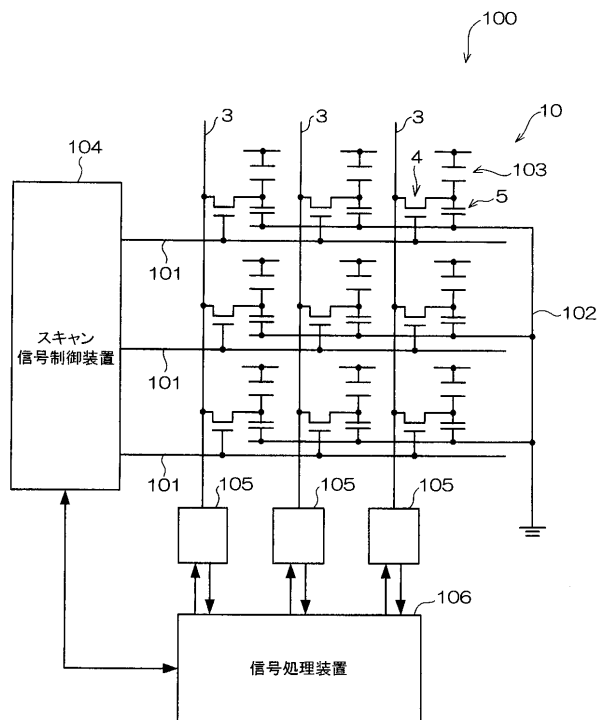
【 0 0 7 3 】

- 3 信号配線
- 4 T F Tスイッチ（薄膜トランジスタ）
- 5 電荷蓄積容量
- 6 半導体層
- 7 上部電極（バイアス電極）
- 10 電磁波検出素子
- 11 下部電極
- 12 層間絶縁膜
- 13 ドレイン電極
- 14 蓄積容量下部電極
- 15 A 絶縁膜
- 15 B 絶縁膜
- 15 C 絶縁膜
- 100 放射線画像撮影装置
- 101 走査配線
- 102 蓄積容量配線（共通配線）
- 103 センサ部

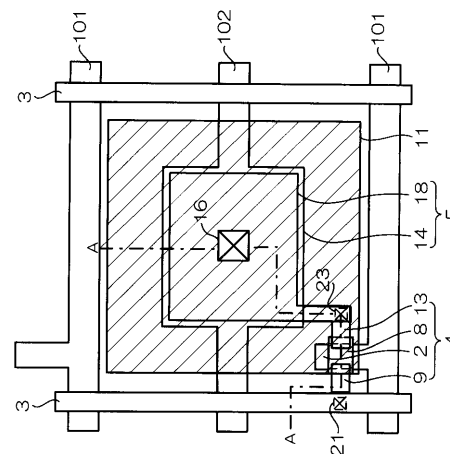
10

20

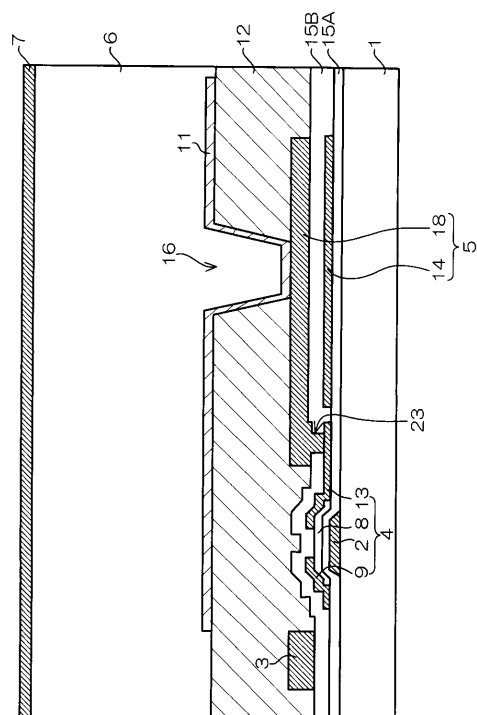
【図 1】



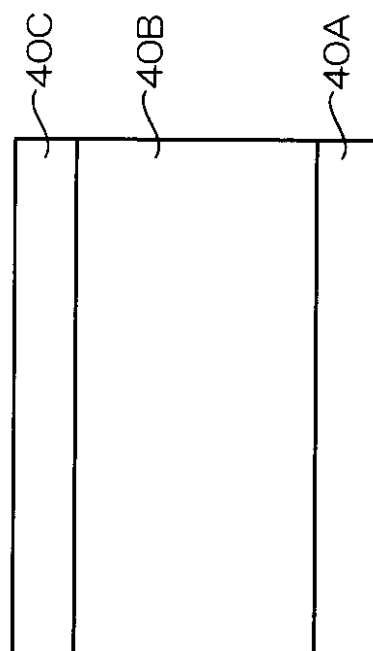
【図 2】



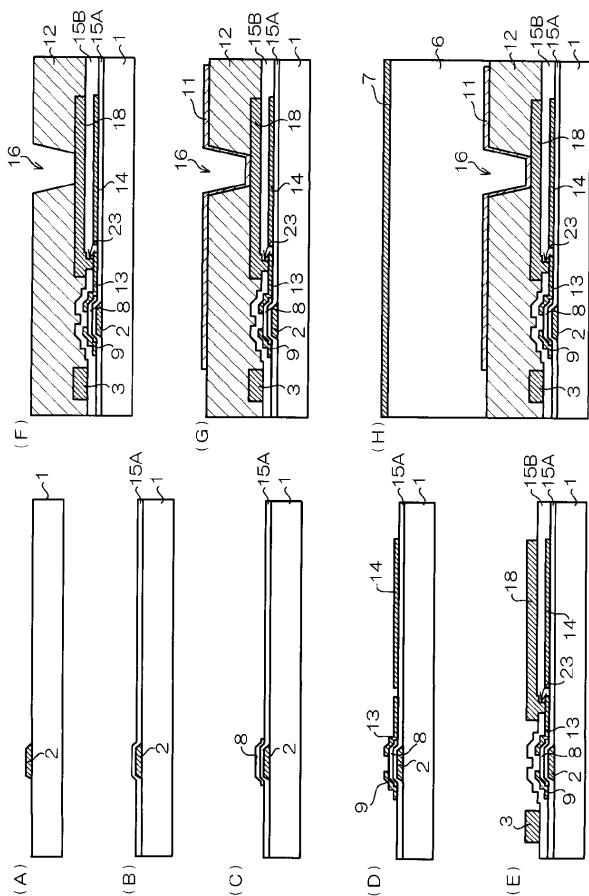
【図 3】



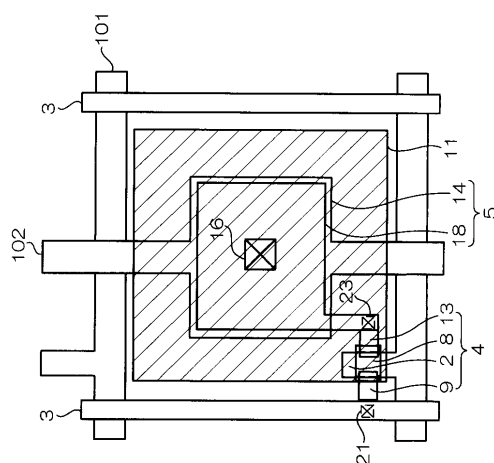
【图 4】



【図 5】



【图 6】



フロントページの続き

Fターム(参考) 4M118 AA05 AA08 AB01 BA05 CA32 CB05 CB11 CB14 FB09 FB13
FB16 FB20 FB25 FB26 GA10
5F033 GG04 HH08 HH09 HH11 HH12 HH14 HH17 HH18 HH19 HH20
HH32 HH33 HH35 HH38 JJ01 JJ08 JJ09 JJ11 JJ12 JJ20
JJ32 JJ35 JJ38 KK08 KK09 KK11 KK12 KK20 KK32 MM05
MM08 MM13 MM28 NN06 NN07 PP15 QQ08 QQ09 QQ11 QQ19
QQ37 RR04 RR06 RR09 RR21 RR27 SS11 VV06 VV10 VV15
XX01 XX10 XX23
5F110 AA30 BB10 CC07 DD02 DD14 EE01 EE03 EE44 FF03 FF30
GG02 GG15 GG24 GG45 HK02 HK03 HK09 HK16 HK22 HK33
HK35 NN03 NN04 NN24 NN27 NN35 NN71 NN72