



(12) 发明专利

(10) 授权公告号 CN 1886838 B

(45) 授权公告日 2011.03.16

(21) 申请号 200480035297.X

(22) 申请日 2004.10.26

(30) 优先权数据

10/727,999 2003.12.03 US

(85) PCT申请进入国家阶段日

2006.05.29

(86) PCT申请的申请数据

PCT/US2004/035408 2004.10.26

(87) PCT申请的公布数据

W02005/062387 EN 2005.07.07

(73) 专利权人 先进微装置公司

地址 美国加利福尼亚州

(72) 发明人 W·P·马斯扎拉

(74) 专利代理机构 北京戈程知识产权代理有限公司
11314

代理人 程伟

(51) Int. Cl.

H01L 29/78(2006.01)

H01L 29/417(2006.01)

H01L 21/336(2006.01)

(56) 对比文件

US 4885617, 1989.12.05, 说明书第3栏66行到第6栏31行、附图1-7.

US 4769686, 1988.09.06, 全文.

Jie J. Sun 等. Elevated n+/p Junctions by Implant into CoSi₂ Formed on Selective Epitaxy for Deep Submicron MOSFET's. IEEE TRANSACTIONS ON ELECTRON DEVICES 45. 1998, 45(9), 1946-1951.M. Wittmer 等. Redistribution of As during Pd₂Si formation: Ion channeling measurements. J. Appl. Phys 53. 1982, 53(10), 6781-6786.

审查员 王小东

权利要求书 2 页 说明书 5 页 附图 4 页

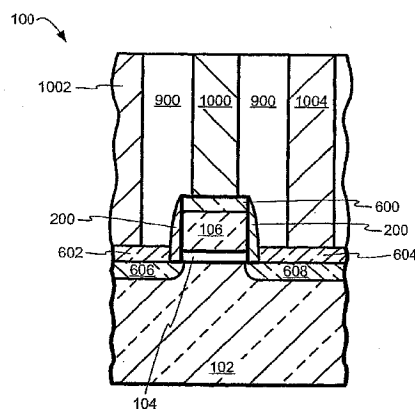
(54) 发明名称

藉利用硅化物生长掺杂物雪耙效应于装置中形成陡接面

(57) 摘要

本发明系提供一种具有半导体衬底(102)的陡接面装置(100)的形成方法。在半导体衬底(102)上形成(1104)栅极电介质(104),且在栅极电介质(104)上形成(1106)栅极(106)。在邻近于栅极(106)及栅极电介质(104)的半导体衬底(102)上形成侧壁间隙壁(200)。藉由在邻近于侧壁间隙壁(200)的半导体衬底(102)上选择性外延成长形成(1110)加厚层(300)。在加厚层(300)的至少一部分中形成(1112)隆起的源极/漏极掺杂物注入区域(402,404)。在隆起的源极/漏极掺杂物注入区域(402,404)的至少一部分中形成(1114)硅化物层(602,604)以在硅化物层(602,604)之下形成源极/漏极区域(606,608),该源极/漏极富含来自硅化物层(602,604)的掺杂物。在硅化物层(602,604)上沉积介电层(900),然后在介电层(900)中形成至硅化物层(602,604)的接

触(1002,1004)。



1. 一种形成半导体装置 (100) 的方法 (1100), 包括:
 - 提供 (1102) 半导体衬底 (102);
 - 在半导体衬底 (102) 上形成 (1104) 栅极电介质 (104);
 - 在栅极电介质 (104) 上形成 (1106) 栅极 (106);
 - 在半导体衬底 (102) 上邻近于栅极 (106) 及栅极电介质 (104) 形成 (1108) 侧壁间隔壁 (200);
 - 在半导体衬底 (102) 上邻近于侧壁间隔壁 (200) 通过选择性外延生长形成 (1110) 加厚层 (300);
 - 在加厚层 (300) 的至少一部分中形成 (1112) 隆起的源极 / 漏极掺杂物注入区域 (402, 404);
 - 退火该隆起的源极 / 漏极掺杂物注入区域 (402, 404);
 - 在该退火后, 在隆起的源极 / 漏极掺杂物注入区域 (402, 404) 的至少一部分中形成 (1114) 硅化物层 (602, 604) 以在硅化物层 (602, 604) 之下形成源极 / 漏极区域 (606, 608), 该源极 / 漏极区域富含来自硅化物层 (602, 604) 的掺杂物, 使得该源极 / 漏极区域 (606, 608) 富含掺杂物分布 (800), 且该掺杂物分布 (800) 比初始注入时的掺杂物分布 (700) 更陡峭;
 - 在硅化物层 (602, 604) 上沉积 (1116) 介电层 (900); 以及
 - 在介电层 (900) 中形成 (1118) 对硅化物层 (602, 604) 的接触 (1002, 1004)。
2. 如权利要求 1 所述的方法 (1100), 其中形成隆起的源极 / 漏极掺杂物注入区域 (402, 404) 进一步包括将掺杂物注入至加厚层 (300) 及半导体衬底 (102) 的邻近顶部中。
3. 如权利要求 1 所述的方法 (1100), 其中在隆起的源极 / 漏极掺杂物注入区域 (402, 404) 中形成硅化物层 (602, 604) 进一步包括:
 - 在隆起的源极 / 漏极掺杂物注入区域 (402, 404) 上沉积金属层 (502); 以及
 - 通过金属层 (502) 的热硅化进入至隆起的源极 / 漏极掺杂物注入区域 (402, 404) 的材料中而形成硅化物层 (602, 604)。
4. 如权利要求 1 所述的方法 (1100), 其中:
 - 形成 (1112) 隆起的源极 / 漏极掺杂物注入区域 (402, 404) 进一步包括将选自于由砷、磷、锑、硼、铟、及其组合所组成组群的掺杂物注入区域 (402, 404) 中; 以及
 - 形成 (1114) 硅化物层 (602, 604) 进一步包括沉积选自于由钴、镍、钛、钨、铂、及其组合所组成组群的金属层 (502)。
5. 一种半导体装置 (100), 包括:
 - 半导体衬底 (102);
 - 在半导体衬底 (102) 上的栅极电介质 (104);
 - 在栅极电介质 (104) 上的栅极 (106);
 - 在半导体衬底 (102) 上邻近于栅极 (106) 及栅极电介质 (104) 的侧壁间隔壁 (200);
 - 在半导体衬底 (102) 上邻近于侧壁间隔壁 (200) 的外延加厚层 (300);
 - 在外延加厚层 (300) 的至少一部分中的硅化物层 (602, 604);
 - 在硅化物层 (602, 604) 之下的富含来自硅化物层 (602, 604) 的掺杂物的源极 / 漏极区域 (606, 608), 使得该源极 / 漏极区域 (606, 608) 富含掺杂物分布 (800), 且该掺杂物分布

(800) 比初始注入时的掺杂物分布 (700) 更陡峭, 其中, 该硅化物层 (602, 604) 是在跟随用于形成该源极 / 漏极区域 (606, 608) 的掺杂物注入过程的退火之后形成;

在硅化物层 (602, 604) 上的介电层 (900); 以及

在介电层 (900) 中对硅化物层 (602, 604) 的接触 (1002, 1004)。

6. 如权利要求 5 所述的装置 (100), 其中外延加厚层 (300) 及半导体衬底 (102) 的邻近顶部为掺杂物注入区域 (402, 404)。

7. 如权利要求 5 所述的装置 (100), 其中外延加厚层 (300) 中的硅化物层 (602, 604) 进一步包括通过沉积金属层 (502) 的热硅化进入至掺杂物注入外延加厚层 (300) 中而形成的硅化物层 (602, 604)。

8. 如权利要求 5 所述的装置 (100), 其中:

掺杂物为选自于由砷、磷、锑、硼、铟、及其组合所组成组群的材料; 以及

硅化物层 (602, 604) 为选自于由钴、镍、钛、钎、铂、及其组合所组成组群的金属 (502) 的硅化物。

藉利用硅化物生长掺杂物雪耙效应于装置中形成陡界面

技术领域

[0001] 本发明一般而言系有关半导体技术,更明确地说系有关藉由硅化物生长掺杂物的雪耙 (snowplow effect) 效应使半导体装置硅化以形成陡界面 (abrupt junctions)。

背景技术

[0002] 集成电路系由数百至数百万个单独组件所构成。一个普通组件为半导体晶体管。目前所使用的最普通且重要的半导体技术系以硅为主,而最佳的以硅为主的半导体装置为金属氧化物半导体 (“MOS”) 晶体管。

[0003] 晶体管含有在硅衬底上的栅极电介质上的栅极电极 (通常为多晶硅)。在多晶硅栅极的两侧上的硅衬底系藉由硼或磷或其它杂质原子的离子注入而掺杂至硅衬底的表面中,因而变成导电者。硅衬底的这些掺杂区域称为浅源极 / 漏极界面 (shallow source/drain junctions), 其系以在多晶硅栅极之下的信道区域予以分开。

[0004] 在多晶硅栅极的侧面上的称为 “侧壁间隔壁 (side wall spacer)” 的氧化硅或氮化硅间隔壁可再额外掺杂沉积以形成浅源极 / 漏极界面的更为重度掺杂的区域,其被称为 “深源极 / 漏极界面”。此浅及深源极 / 漏极界面统称为 “S/D 界面”。

[0005] 为了完成晶体管,沉积氧化硅介电层以覆盖栅极、间隔壁、及硅衬底。为了提供晶体管的电性连接,在氧化硅介电层中蚀刻对多晶硅栅极及 S/D 界面的开孔。以金属填充开孔以形成电性接点。为了完成集成电路,在介电材料的其它平面至介电材料之外部中使接点连接于配线的其它平面。

[0006] 随着晶体管的尺寸变小,发现到金属接点与硅衬底或多晶硅间的电阻增加至对晶体管的性能造成负面冲击的程度。为了降低电阻,在金属接点与硅衬底或多晶硅之间形成过渡材料。已发现最佳的过渡材料为硅化钴 (CoSi_2) 及硅化镍 (NiSi_2)。

[0007] 硅化物系藉由首先在 S/D 界面及多晶硅栅极的上的硅衬底上施加钴 (Co) 或镍 (Ni) 的薄层予以形成。在低于 800°C 的温度对半导体晶圆施加一个或多个退火步骤而此造成钴或镍与硅及多晶硅选择性地反应以形成金属硅化物。此制程通常称为 “硅化” (siliciding)。

[0008] 随着那些电路的复杂度及封装密度持续增加,则使用于集成电路中的晶体管相对地要做的更小。那些晶体管使用 p-n 界面,其系藉由在选择的区域中控制导入一种或多种掺杂物物种而在半导体衬底中形成。现代,尺度下降,高性能的装置需要这些界面为浅且陡者。

[0009] 当藉由离子注入形成该些界面时,该界面在衬底中具有由离子注入参数及衬底性质所决定的离子分布图案或掺杂浓度图形 (profile)。该种离子分布在其边缘具有有限的锐度或陡度。然后当掺杂物进行热退火以使其在衬底中呈电性活性时陡度会缓和。掺杂物浓度图形的该种有限的陡度,尤其是掺杂物浓度图形的活性部分的有限的陡度,将使该种装置的尺度性达到非常小尺寸时造成限制。

[0010] 为使源极及漏极界面的活性掺杂浓度分布图尖锐化已有各种方法。这些包含掺杂

区域的预非晶形化 (preamorphized) 部分的固相外延再生长, 以及藉由雷射的该区域的浅且快速的熔化。在该两种情形下, 所达成的在接面的活性掺杂物浓度图形变得比初始注入时的浓度图形更为尖锐。然而, 这些是复杂的制程而有本质上的限制, 而无法完全符合较佳且改良的解决的道的需求。

[0011] 长期以来寻求该问题的解决的道, 但先前的研发尚未教示或建议解决的道, 因此, 这些问题的解决的道长期以来困惑着熟习此项技艺人士。

发明内容

[0012] 本发明系提供具有陡接面的装置, 及其形成方法。在半导体衬底上形成栅极电介质 (gate dielectric), 且在栅极电介质上形成栅极。在邻近于栅极及栅极电介质的半导体衬底上形成侧壁间隔壁。藉由在邻近于侧壁间隔壁的半导体衬底上选择性外延成长以形成加厚层。在加厚层的至少一部分中形成隆起的源极 / 漏极掺杂物注入区域。在隆起的源极 / 漏极掺杂物注入区域的至少一部分中形成硅化物层以在硅化物层之下形成源极 / 漏极区域, 其富含来自硅化物层的掺杂物。在硅化物层上沉积介电层, 然后在介电层中形成硅化物层的接点。此方法因此提供高度效率且经济的离子注入及形成陡、浅、高浓度集成电路源极与漏极的硅化方法。

[0013] 本发明的某些具体实例具有除了那些上述者以外或取代那些上述者的其它优点。由参照随附的图式阅读以下的详细说明, 这些优点对熟习此项技艺人士而言将是显而易知者。

附图说明

[0014] 图 1 为依据本发明制造之中间阶段的晶体管的图式。

[0015] 图 2 为在沉积及蚀刻以形成侧壁间隔壁后的图 1 的结构。

[0016] 图 3 为在半导体衬底的表面上形成加厚层后的图 2 的结构。

[0017] 图 4 为在加厚层及半导体衬底的邻近顶部中于形成隆起的源极 / 漏极掺杂物注入区域的期间的图 3 的结构。

[0018] 图 5 为在栅极及隆起的源极 / 漏极掺杂物注入区域上于形成金属层的期间的图 4 的结构。

[0019] 图 6 为硅化物层形成期间的图 5 的结构。

[0020] 图 7 为初始注入时的掺杂物浓度的轮廓的表示图。

[0021] 图 8 为形成硅化物层及源极 / 漏极区域后掺杂物浓度的轮廓的表示图。

[0022] 图 9 为在硅化物及侧壁间隔壁上沉积介电层后的图 6 的结构。

[0023] 图 10 为在金属接点形成后的图 9 的结构 ; 以及

[0024] 图 11 为依据本发明的装置形成方法的简化流程图。

具体实施方式

[0025] 在下述说明中, 提供许多特定细节以彻底了解本发明。然而, 熟习此项技艺人士将可清楚了解没有这些特定细节亦可实施本发明。为了避免模糊本发明, 不详细揭露某些众所周知的构型及制程步骤。此外, 还显示本装置的具体实例的图式为半图解式而无刻度, 尤

其,某些尺寸系为了清晰呈现而在图式中可能较为夸张。所有图式中所使用的相同数字系指相同组件。

[0026] 本文所用“平行”一词系定义为平行于衬底或晶圆的平面。”垂直”一词系指垂直于刚才定义的平行的方向。用语,如”上”、”的上”、”以下”、”底部”、”顶部”、”侧面”(如”侧壁”)、”较高”、”较低”、”的上”,及”之下”,皆系相对于平行平面予以定义。

[0027] 在集成电路装置的形成中,比例缩小装置(半导体装置)的源极/漏极(source/drain 简写成“S/D”)接面非常浅。因此其需要具有非常陡峭的掺杂物浓度图形以达致高性能。如本文所教导,已发现可产生比初始注入掺杂物的浓度图形更为陡峭的掺杂物浓度图形。

[0028] 如本发明所教导,利用自生长硅化物来作掺杂物的排斥使掺杂物浓度图形陡峭。更明确地说,硅化物生长进入硅中至 S/D 接面注入区域中。当硅化物生长进入至硅中时,硅化物排斥硅中的掺杂物而使掺杂物沿着硅化物的正前方推进。掺杂物的排斥系由于掺杂物在硅化物中有限的固体溶解度,以及在硅化物-硅界面的其相关的离析所致。

[0029] 在一具体实例中,晶体管系以首先藉由具有选择性外延生长(“SEG”或”epi”)予以加厚的 S/D 区域予以形成。然后藉由以所要的掺杂物例如,砷(As)或硼(B)初始浓度予以注入而在加厚的 S/D 区域中以形成 S/D 区域。然后部分的掺杂物因在选择性外延生长层的上方生成例如硅化钴(CoSi_2)或硅化镍(NiSi)的硅化物而雪耙化。当硅化物向下生长进入至硅中时,其将过多的掺杂物注入至其正前方的硅中。

[0030] 现在参照图 1,其中显示半导体装置,尤其是依据本发明制造之中间阶段的晶体管 100。

[0031] 为了形成此中间阶段,在如硅的材料的半导体衬底 102 上已沉积如氧化硅的栅极电介质层,及如多晶硅的导电性栅极层。将这些层图案化及蚀刻以形成栅极电介质 104 及栅极 106。

[0032] 现在参照图 2,其中显示在侧壁间隔壁层,通常是氮化硅沉积及蚀刻以形成侧壁间隔壁 200 后的图 1 的结构。侧壁间隔壁 200 防止从短路的 S/D 区域 606 及 608(参见图 6)以及栅极 106 的选择性外延生长(参见下一段落)。如可见者,侧壁间隔壁 200 相当薄,而可使 S/D 区域 606 及 608 非常接近于栅极 106 的边缘(如图 6 所说明者)。

[0033] 现在参考图 3,其中显示在邻近于侧壁间隔壁 200 及栅极 106 的半导体衬底 102 的表面上藉由加厚层 300 的 SEG 后形成图 2 的结构。该加厚层 300 提升邻近于侧壁间隔壁 200 及栅极 106 的半导体衬底表面的水平或高度,提供此处邻近隆起结构的形成。

[0034] 现在参照图 4,其中显示于掺杂物离子注入 400 以形成该种隆起结构期间的图 3 的结构。尤其,该掺杂物离子注入 400 在加厚层 300(图 3)及半导体衬底 102 的邻近顶部中形成隆起的 S/D 掺杂物注入区域 402 及 404。栅极 106 及侧壁间隔壁 200 系作为隆起的 S/D 掺杂物注入区域 402 及 404 形成时的光罩。掺杂物离子注入 400 后接着高温退火(例如,高于 700°C)以活化隆起的 S/D 掺杂物注入区域 402 及 404 中所注入的杂质原子。

[0035] 可使用于隆起的 S/D 掺杂物注入区域 402 及 404 的掺杂物包含:用于 NMOS 装置的砷(As)、磷(P),及锑(Sb),以及用于 PMOS 装置的硼(B)及铟(In)。

[0036] 现在参照图 5,其中显示分别在栅极 106 上及隆起的 S/D 掺杂物注入区域 402 及 404 上形成金属层 502 的沉积制程 500。例如,正如适当选择掺杂物一样,金属层 502 可由

钴 (Co)、镍 (Ni)、钛 (Ti)、钪 (Hf)、或铂 (Pt) 所形成。

[0037] 现在参照图 6, 其中显示依据本发明形成硅化物层 600、602, 及 604。硅化物层 600、602, 及 604 系分别藉由进入至栅极 106 与隆起的 S/D 掺杂物注入区域 402 (图 5) 及 404 (图 5) 的硅材料中的金属层 502 (图 5) 的热硅化而形成。在热硅化退火后, 以习知方式蚀去金属层 502 所留下的任何残留金属。

[0038] 当硅化物向下生长进入至隆起的 S/D 掺杂物注入区域 402 及 404 中时, 其将过多的掺杂物自先前的掺杂物离子注入 400 (图 4) 注入在向下生长的硅化物层 602 及 604 之前的硅中。此发生的原因系因掺杂物在硅化物中的溶解度远小于掺杂物在硅中的溶解度。结果, 在硅化物层 602 及 604 之下的 S/D 掺杂物注入区域 402 及 404 的残留部分, 变成高度富含掺杂物。然后在硅化物层 602 及 604 之下的这些 S/D 掺杂物注入区域 402 及 404 的残留部分变成晶体管 100 的个别 S/D 区域 606 及 608。

[0039] S/D 区域 606 及 608 不仅具有高度富含来自硅化物层的掺杂物的长处, 而且亦具有非常浅的长处。因此, 其呈现陡状, 非常陡峭的掺杂物浓度图形, 比初始注入及退火时的掺杂物浓度图形更为陡峭, 同样地比缺乏来自硅化物层的富含掺杂物的掺杂物浓度图形更为陡峭。此较为陡峭的掺杂物浓度图形系使浅、比例缩小半导体装置呈现高性能所需的掺杂物浓度图形。

[0040] 现在参照图 7, 其中显示在隆起的 S/D 掺杂物注入区域 402 及 404 中当初始注入及退火时的掺杂物浓度的图形 700 的表示图。如习知所了解般, 垂直轴 (标示为 "浓度") 表示掺杂物浓度, 而平行轴 (标示为 "d") 表示隆起的 S/D 掺杂物注入区域 402 及 404 的表面以下的深度。

[0041] 现在参照图 8, 其中显示类似于图 7 的随硅化物层 602 及 604, 以及 S/D 区域 606 及 608 形成后的掺杂物浓度的图形 800 的表示图。

[0042] 在一具体实例中, 于足够低的温度下进行与图 6 有关所述的硅化, 而进入至 S/D 区域 606 及 608 中的掺杂物离析 (dopant segregation) 或雪耙效应 (polowing effect) 主宰 S/D 区域 606 及 608 本身的硅内的任何掺杂物扩散。此保持及锐化在 S/D 区域 606 及 608 中的掺杂物分布。事实上, 藉由保持足够低的硅化温度, 可保持 S/D 区域及邻近的硅衬底内基本上不会有掺杂物扩散。

[0043] 加厚层 (图 3) 的 epi 沉积可使硅化物层 602 (图 6) 及 604 (图 6) 厚甚多, 因此减轻寄生的 S/D 电阻。因此, epi 沉积较佳应尽可能厚以产生相对应厚的硅化物。另一方面, epi 沉积不能太厚否则可能造成与栅极 106 的过多电容。

[0044] 一般相信本发明的优点为当硅化物生长时, 其可将超过刚好过量的掺杂物注入其前方的硅中。其亦可将空隙注入其前方的硅中, 此改善掺杂物终结在硅晶格的取代位置中的机会, 因此变成被活化。结果, 不仅得到更陡峭且更富含的掺杂物分布, 而且掺杂物活化亦可更为完全。

[0045] 现在参照图 9, 其中显示在硅化物 600、602、和 604, 及侧壁间隔壁 200 上介电层 900 沉积后的图 6 的结构。该介电层 900 系以已知的方式予以沉积且可由, 例如, 具有适合于现有可应用的介电常数的适合的已知材料所组成。

[0046] 现在参照图 10, 其中显示在金属接点 1000、1002, 及 1004 形成后的图 9 的结构。金属接点 1000、1002, 及 1004 系分别电性连接于硅化物层 600、602, 及 604, 以及分别电性连接

于栅极 106 以及 S/D 区域 606 及 608。

[0047] 在各种具体实例中,金属接点 1000、1002,及 1004 系由金属如钽 (Ta)、钛 (Ti)、钨 (W)、及其合金,及其化合物所制成。在其它具体实例中,金属接点 1000、1002,及 1004 系由金属如铜 (Cu)、金 (Au)、银 (Ag)、及其合金、及其化合物,以及其与一种或多种在其周围具有扩散阻隔的上述元素的组合所制成。

[0048] 现在参照图 11,其中显示依据本发明的方法 1100 的简化流程图。该方法 1100 包含:在步骤 1102 中提供半导体衬底;在步骤 1104 中在半导体衬底上形成栅极电介质;在步骤 1106 中在栅极电介质上形成栅极;在步骤 1108 中在邻近于栅极及栅极电介质的半导体衬底上形成侧壁间隔壁;在步骤 1110 中在邻近于侧壁间隔壁的半导体衬底上藉由选择性外延生长形成加厚层;在步骤 1112 中在加厚层的至少一部分中形成隆起的源极/漏极掺杂物注入区域;在步骤 1114 中在隆起的源极/漏极掺杂物注入区域的至少一部分中形成硅化物层以形成硅化物层之下的源极/漏极区域,该源极/漏极区域富含来自硅化物层的掺杂物;在步骤 1116 中在硅物层上沉积介电层;以及在步骤 1118 中在介电层中形成对硅化物层的接触。

[0049] 因此已发现本发明提供许多优点。例如,其完成一用于形成陡、浅、高浓度集成电路源极及漏极接面的高度效率且经济的离子注入及硅化方法。

[0050] 另一优点为,当硅化物生长且将过多的掺杂物注入至其前方的硅中时,其亦可注入空隙,此可改善掺杂物终结在硅晶格的取代位置中的机会而变成被活化。

[0051] 因此,已发现本发明的方法及所得的结构藉由使用硅化物生长掺杂物雪耙效应用以形成集成电路装置中的陡接面而具备重要且迄今不可得的解决的道、性能,及功能上的优点。

[0052] 虽然本发明已针对特定的最佳模式予以说明,但应可了解征诸前述说明许多替代方案、修改,及变化对熟知此项技艺人士而言系显而易见者。因此,意欲包含落在所主张的保护范围内的所有该些替代方案、修改,及变化。迄今揭示于本文或显示于随附图式中的所有组件皆阐释为说明性且非限制性。

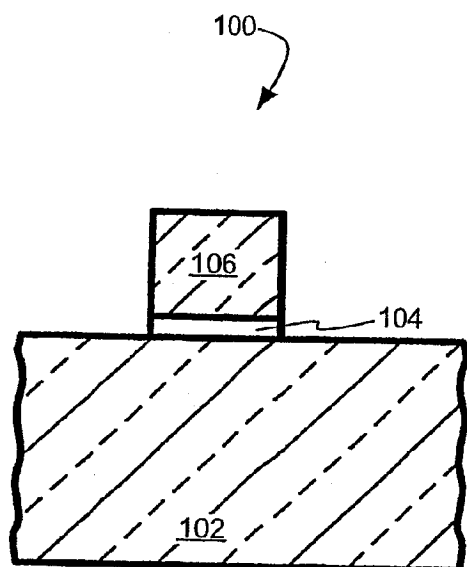


图 1

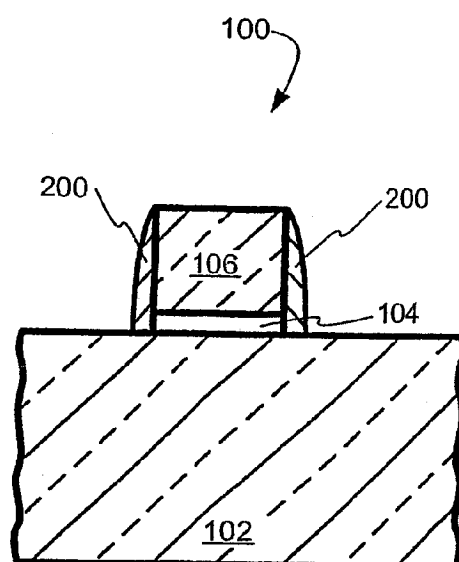


图 2

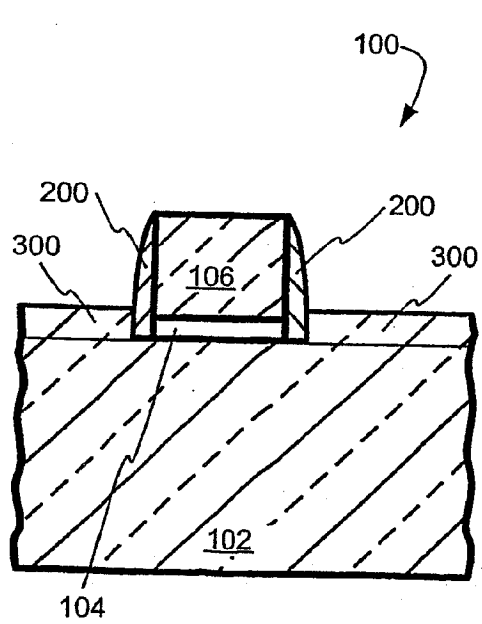


图 3

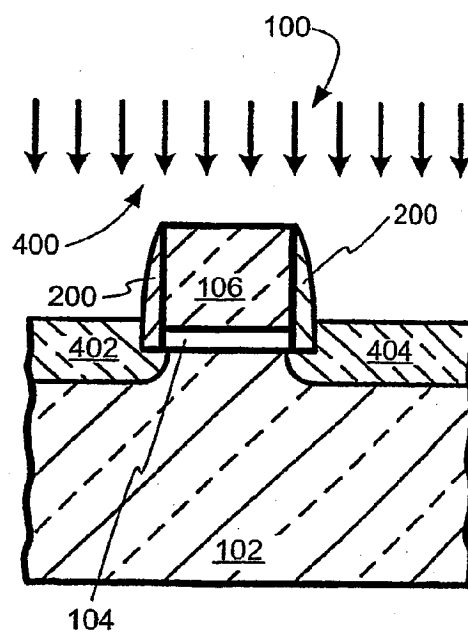


图 4

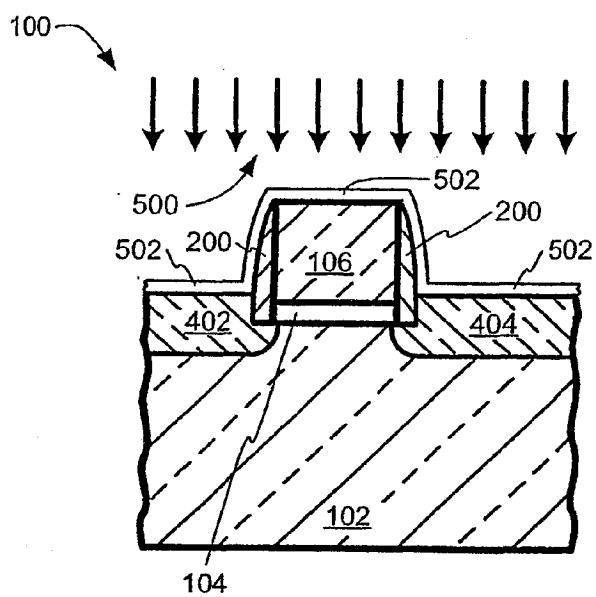


图 5

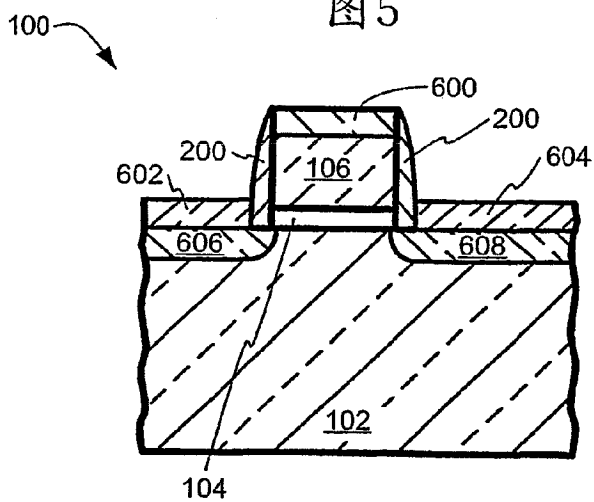


图 6

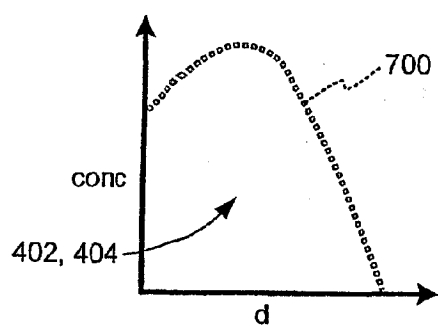


图 7

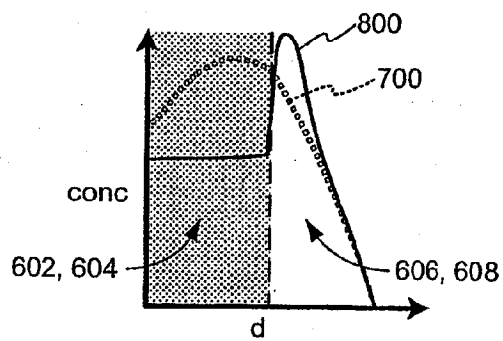


图 8

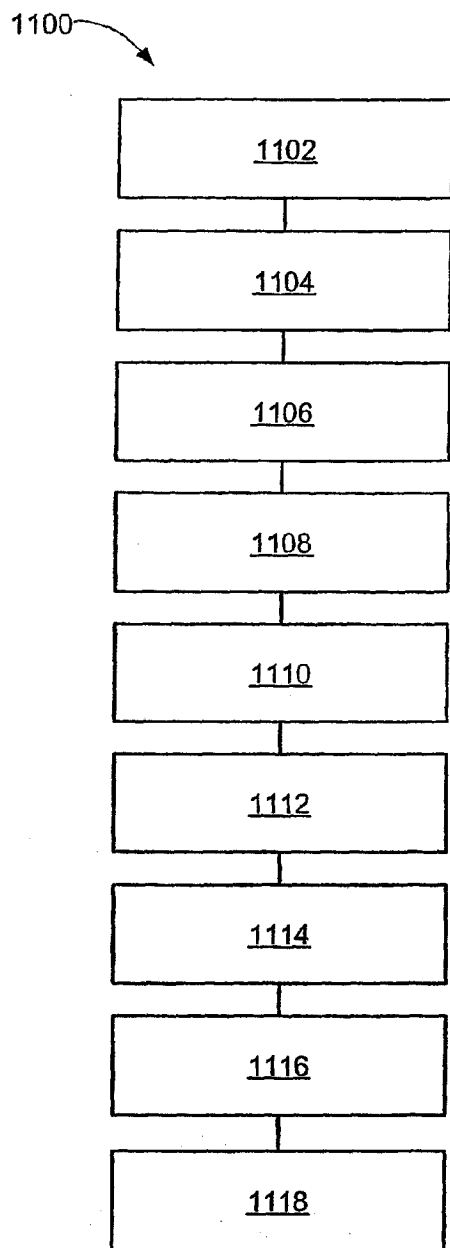


图 11