

19



Europäisches Patentamt
European Patent Office
Office européen des brevets



11 Veröffentlichungsnummer: **0 428 785 B1**

12

EUROPÄISCHE PATENTSCHRIFT

45 Veröffentlichungstag der Patentschrift: **16.02.94**

51 Int. Cl.⁵: **G11C 5/02, G11C 11/408,
G11C 11/409**

21 Anmeldenummer: **89121736.6**

22 Anmeldetag: **24.11.89**

54 Halbleiterspeicher.

43 Veröffentlichungstag der Anmeldung:
29.05.91 Patentblatt 91/22

45 Bekanntmachung des Hinweises auf die
Patenterteilung:
16.02.94 Patentblatt 94/07

84 Benannte Vertragsstaaten:
AT DE FR GB IT NL

56 Entgegenhaltungen:
EP-A- 0 130 798
US-A- 4 796 224

IEEE JOURNAL OF SOLID-STATE CIRCUITS,
Band SC-19, Nr. 5, Oktober 1984, Sei-
ten 627-633, IEEE, New York, US; J. YAMADA
et al.: "A submicron 1 Mbit dynamic RAM with
a 4-bit-at-a-time built-IN ECC circuit"

73 Patentinhaber: **SIEMENS AKTIENGESELL-**
SCHAFT
Wittelsbacherplatz 2
D-80333 München(DE)

72 Erfinder: **Utesch, Matthias Christoph,**
Dipl.-Ing.
Martinsreuther Strasse 39
D-8670 Hof/Saale(DE)
Erfinder: **Peisl, Martin, Dr.-Ing.**
Rohdestrasse 4
D-8000 München 60(DE)

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung betrifft einen Halbleiterspeicher auf einer rechteckförmigen Chipfläche, wobei

- der Halbleiterspeicher Dekoderblöcke, Peripherieschaltungsblöcke, Zellenfelder mit Wort- und Bitleitungen und eine von Zellenfeldern freie Fläche enthält,
- die Zellenfelder zu vier rechteckigen Zellenfeldblöcken zusammengefaßt sind,
- die Dekoderblöcke jeweils an einander gegenüberliegenden Rändern von je zwei Zellenfeldblöcken angeordnet sind,
- die Peripherieschaltungsblöcke innerhalb der von Zellenfeldern freien Fläche angeordnet sind, und
- Anschlußpads zum Verbinden des Halbleiterspeichers mit den Anschlüssen eines Gehäuses vorgesehen sind.

Die Entwicklung der Halbleiterspeicher ist in den letzten Jahren stetig vorangegangen. War noch vor wenigen Jahren der 256kBit-Chip Stand der Technik, so werden heute schon die ersten 4MBit-Chips bzw. 16MBit-Chips ausgeliefert. Jeder Generationswechsel der Halbleiterspeicher bedeutet dabei eine Vervierfachung der Speicherkapazität, wobei die Chipfläche meist nur um maximal das 1,5-fache größer wird. Dies bedeutet, daß die Strukturen des Halbleiterspeichers so klein werden, daß bei der Layouterstellung nachfolgend beschriebene Bedingungen eingehalten werden müssen.

Die Speicherzellen z.B. eines dynamischen Halbleiterspeichers sind in Zellenfeldern an Kreuzungspunkten von Wort- und Bitleitungen angeordnet. Jede Speicherzelle besteht aus einem Schalttransistor und einem Kondensator. Der Gateanschluß eines jeden Transistors ist mit einer Wortleitung verbunden. Der Kondensator einer Speicherzelle ist über die Laststrecke des Schalttransistors mit je einer Bitleitung verbunden. Über die Wortleitungen wird nun eine Spalte eines Zellenfeldes ausgewählt. Auf diese Weise werden den dieser Spalte zugeordneten Bitleitungen die jeweiligen Kapazitäten der angesprochenen Zellen dieser Spalte zugeschaltet. Eine erste Bedingung ist daher, daß die Bitleitungen möglichst kurz sind, um parasitäre Effekte bedingt durch zusätzliche Leitungskapazitäten zu vermeiden. Dies bedeutet, daß das Verhältnis von Zellkapazität zu Bitleitungskapazität zuzüglich der Junctionkapazität des Schalttransistors möglichst groß sein muß. Dies ist bei kurzen Bitleitungen gewährleistet.

Eine Möglichkeit, den Einfluß der Bitleitungskapazität zu verringern, besteht darin, Treiberstufen zwischen einzelne Zellenfelder zu schalten. Solche Treiberstufen können aber nicht in beliebiger Anzahl verwendet werden, da die Größe der Chipfläche durch die Gehäusegröße begrenzt ist. Eine

weitere Bedingung ist, daß der Speicherchip montierbar sein muß, sowie daß die Lage der Pads zum Anschluß der Speicherchips an die Gehäuseanschlüsse die Bedingung der Bondbarkeit erfüllen.

Aus der "IEEE INTERNATIONAL Solid-State Circuits Conference 1989", Seiten 246 bis 249 und Seiten 352 bis 355 ist ein hochintegrierter 16MBit-Chip bekannt, bei dem das Layout derart gestaltet ist, daß die Pads am Chiprand liegen, daß die Zellenfelder in vier einfachen Zellschaltblöcken rechteckig angeordnet sind, daß die Dekoderblöcke an einander gegenüberliegenden Rändern von je zwei einfachen Zellenfeldblöcken zwischen den gegenüberliegenden Dekoderblöcken angeordnet sind und daß die Peripherieschaltungsblöcke parallel zur kürzeren Chipseite innerhalb der freien Fläche zwischen den gegenüberliegenden Dekoderblöcken und an den Rändern der Chipfläche angeordnet sind.

In FIG 1 ist die Aufsicht auf einen 16MBit-Halbleiterspeicherchip gemäß dem Stand der Technik dargestellt. Auf der rechteckförmigen Chipfläche 1 sind Zellenfelder 7 in vier einfachen Zellenfeldblöcken 8 rechteckig angeordnet. Parallel zur kürzeren Seite der einfachen Zellenfeldblöcke 8 sind zwischen den Zellenfeldern 7 Treiberstufen 6 angeordnet. An einander gegenüberliegenden Rändern von je zwei einfachen Zellenfeldblöcken 8 sind Dekoderblöcke 2, 3 angeordnet. An den kürzeren Seiten der einfachen Zellenfeldblöcke 8 befinden sich die Bitdekoder 3, und an der längeren Seite der einfachen Zellenfeldblöcke 8 befinden sich die Wortdekoder 2. Die zwischen je zwei einfachen Zellenfeldblöcken 8 liegenden Wortdekoder 2 bilden hier einen zusammenhängenden Block, wohingegen die freie Fläche 4 zwischen den Bitdekodern 3 und die restliche um die einfachen Zellenfeldblöcke 8 liegende freie Fläche 4 am Chiprand für Peripherieschaltungen genutzt werden kann. An den beiden Rändern der längeren Chipseite sind die Anschlußpads 5 angeordnet.

Diese Anordnung hat den Nachteil, daß die Leitungen zum Verbinden von Peripherieschaltungen bzw. der Anschlußpads 5 und anderen Schaltungsblöcken sehr lang werden. Außerdem kann bei höherer Integration die Länge der Wortleitungen in einen kritischen Bereich zu großer Wortleitungslaufzeit kommen.

Aufgabe der Erfindung ist es, eine Anordnung eines Halbleiterspeichers zu entwickeln, die einen möglichst kompakten Aufbau und eine minimale Chipfläche bei möglichst kleiner Wortleitungslaufzeit gewährleistet.

Diese Aufgabe wird bei dem eingangs genannten Halbleiterspeicher dadurch gelöst, daß

- die Zellenfelder zu vier kombinierten Zellenfeldblöcken zusammengefaßt sind,

- die vier Zellenfeldblöcke an den Ecken der Chipfläche angeordnet sind,
- die von Zellenfeldern freie Fläche zwischen den gegenüberliegenden Dekoderblöcken vorgesehen ist und
- daß die Anschlußpads innerhalb der von Zellenfeldern freien Fläche angeordnet sind.

Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Im folgenden wird die Erfindung anhand der Figuren 2 und 3 erläutert. Es zeigen dabei:

- FIG 2 ein erstes Ausführungsbeispiel eines erfindungsgemäßen Halbleiterspeichers,
- FIG 3 ein zweites Ausführungsbeispiel eines erfindungsgemäßen Halbleiterspeichers.

In FIG 2 ist die Aufsicht auf einen Halbleiterspeicherchip mit der erfindungsgemäßen Anordnung dargestellt. Hierbei handelt es sich um einen 64MBit-Halbleiterspeicherchip, bei dem nun vier kombinierte Zellenfeldblöcke 10 an den Ecken der Chipfläche 1 angeordnet sind. Innerhalb eines kombinierten Zellenfeldblocks 10 sind vier einfache Zellenfeldblöcke 8 rechteckig angeordnet, wobei jeder dieser einfachen Zellenfeldblöcke 8 einem Zellenfeldblock 8 des in FIG 1 beschriebenen 16MBit-Halbleiterspeicherchips entspricht. Innerhalb eines kombinierten Zellenfeldblocks 10 ist parallel zu dessen längeren Seite zwischen je zwei einfachen Zellenfeldblöcken 8 eine Treiberstufe 9 angeordnet. Diese Treiberstufe 9 verstärkt die Signale der Wortleitungen der einfachen Zellenfeldblöcke 8. An den gegenüberliegenden Rändern von je zwei kombinierten Zellenfeldblöcken 10 sind wiederum die Dekoderblöcke 2, 3 angeordnet, wobei die Wortdekoderblöcke 2 keinen zusammenhängenden Block bilden. Die für die Peripherieschaltungsblöcke nutzbare freie Fläche 4 liegt hier nur zwischen den Dekoderblöcken 2, 3. Die Anschlußpads 5 sind parallel zu den Wortdekoderblöcken 2 und/oder parallel zu Bitdekoderblöcken 3 innerhalb dieser freien Fläche 4 angeordnet.

FIG 3 zeigt ein weiteres Ausführungsbeispiel einer erfindungsgemäßen Anordnung anhand einer Aufsicht auf einen Halbleiterspeicherchip. Dieser ist im wesentlichen wie der in FIG 2 gezeigte Halbleiterspeicherchip aufgebaut. Es sind wiederum vier kombinierte Zellenfeldblöcke 10 vorgesehen, wobei ein kombinierter Zellenfeldblock 10 wiederum vier einfache der aus FIG 1 bekannten Zellenfeldblöcke 8 enthält. Diese sind hier nebeneinander angeordnet und gegenüber den in FIG 1 und FIG 2 dargestellten einfachen Zellenfeldblöcken 8 um 90° gedreht. Die Anordnung der kombinierten Zellenfeldblöcke 10 und der Dekoderblöcke 2, 3 entspricht dabei der in FIG 2 gezeigten mit dem Unterschied, daß die Bitdekoderblöcke 3 hier parallel zur länge-

ren Seite der kombinierten Zellenfeldblöcke 10 liegen. Die Wortdekoderblöcke 2 liegen dementsprechend parallel zur kürzeren Seite der kombinierten Zellenfeldblöcke 10. Zwischen den ersten beiden einfachen Zellenfeldblöcken 8 und den letzten beiden einfachen Zellenfeldblöcken 8 eines jeden kombinierten Zellenfeldblocks 10 befindet sich jeweils eine Treiberstufe 9 für die Wortleitungssignale. Die freie Fläche 4 und die Anordnung der Anschlußpads 5 entspricht der in FIG 2 gezeigten.

Die in FIG 2 und FIG 3 gezeigte Anordnung gewährleistet kürzere Verbindungen zwischen den Anschlußpads 5 und den verschiedenen Schaltungsblöcken. Der Einfluß der Wortleitungslänge auf die Schaltzeiten wird durch Treiberstufen 9 verringert. Diese Anordnung ist nicht auf die Anwendung in 64MBit DRAM-Speichern beschränkt.

Patentansprüche

1. Halbleiterspeicher mit einer rechteckförmigen Chipfläche (1), wobei
 - der Halbleiterspeicher Dekoderblöcke (2, 3), Peripherieschaltungsblöcke, Zellenfelder (7) mit Wort- und Bitleitungen und eine von Zellenfeldern freie Fläche (4) enthält,
 - die Zellenfelder (7) zu rechteckigen Zellenfeldblöcken (8) zusammengefaßt sind,
 - die Dekoderblöcke (2, 3) jeweils an einander gegenüberliegenden Rändern von je zwei Zellenfeldblöcken angeordnet sind,
 - die Peripherieschaltungsblöcke innerhalb der von Zellenfeldern freien Fläche (4) angeordnet sind,
 - Anschlußpads (5) zum Verbinden des Halbleiterspeichers mit den Anschlüssen eines Gehäuses vorgesehen sind,
 dadurch gekennzeichnet, daß
 - die Zellenfeldblöcke zu vier kombinierten Zellenfeldblöcken (10) zusammengefaßt sind,
 - die vier kombinierten Zellenfeldblöcke (10) an den Ecken der Chipfläche (1) angeordnet sind,
 - die von Zellenfeldern freie Fläche (4) zwischen den gegenüberliegenden Dekoderblöcken (2, 3) vorgesehen ist,
 - die Anschlußpads (5) innerhalb der von Zellenfeldern freien Fläche (4) angeordnet sind.
2. Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die Bitleitungssignale der Zellenfelder (7) verstärkende Treiberstufen (6) zwischen den Zellenfeldern (7) angeordnet sind.

3. Halbleiterspeicher nach Anspruch 1, **dadurch gekennzeichnet, daß** Treiberstufen (9), die die Wortleitungssignale der Zellenfelder (7) verstärken, zwischen den Zellenfeldblöcken (8) angeordnet sind.

4. Halbleiterspeicher nach Anspruch 1, **dadurch gekennzeichnet, daß** die Bitleitungssignale der Zellenfelder (7) verstärkende Treiberstufen (6) zwischen den Zellenfeldblöcken (8) angeordnet sind.

Claims

1. Semiconductor memory having a rectangular chip surface (1), in which
 - the semiconductor contains decoder blocks (2, 3), peripheral circuit blocks, cell fields (7) having word and bit lines, and a surface area (4) free of cell fields,
 - the cell fields (7) are combined to form rectangular cell field blocks (8),
 - the decoder blocks (2, 3) are arranged in each case on mutually opposite edges of two cell field blocks in each case,
 - the peripheral circuit blocks are arranged within the surface area (4) free of cell fields,
 - terminal pads (5) for connecting the semiconductor memory to the connections of a housing are provided,
 characterized in that
 - the cell field blocks are combined to form four combined cell field blocks (10),
 - the four combined cell field blocks (10) are arranged at the corners of the chip surface (1),
 - the surface area (4) free of cell fields is provided between the opposite decoder blocks (2, 3),
 - the terminal pads (5) are arranged within the surface area (4) free of cell fields.
2. Semiconductor memory according to Claim 1, characterized in that driver stages (6) amplifying the bit line signals of the cell fields (7) are arranged between the cell fields (7).
3. Semiconductor memory according to Claim 1, characterized in that driver stages (9) which amplify the word line signals of the cell fields (7) are arranged between the cell field blocks (8).
4. Semiconductor memory according to Claim 1, characterized in that driver stages (6) amplifying the bit line signals of the cell fields (7) are arranged between the cell field blocks (8).

Revendications

1. Mémoire à semiconducteurs comportant une surface rectangulaire de microplaquette (1), dans laquelle
 - la mémoire à semiconducteurs comporte des blocs de décodeurs (2, 3), des blocs de circuits périphériques, des zones de cellules (7) comportant des lignes de transmission de mots et des lignes de transmission de bits, et une surface (4) ne comportant aucune zone de cellules,
 - les zones de cellules (7) sont réunies pour former des blocs rectangulaires (8) de zones de cellules,
 - les blocs de décodeurs (2,3) sont disposés respectivement contre des bords, situés en vis-à-vis, de respectivement deux blocs de cellules de zones de cellules,
 - les blocs de circuits périphériques sont disposés à l'intérieur de la surface (4) ne comportant aucune zone de cellules,
 - des plots de connexion (5) sont prévus pour relier la mémoire à semiconducteurs aux bornes d'un boîtier,
 caractérisée par le fait que
 - les blocs de zones de cellules sont réunis pour former quatre blocs combinés (10) de zones de cellules,
 - les quatre blocs combinés (10) de zones de cellules sont disposés aux angles de la surface de microplaquette (1),
 - la surface (4), qui ne comporte aucune zone de cellules, est disposée entre les blocs de décodeurs opposés (2, 3),
 - les plots de connexion (5) sont disposés à l'intérieur de la surface (4) qui ne comporte aucune zone de cellule.
2. Mémoire à semiconducteurs suivant la revendication 1, caractérisée par le fait que des étages d'attaque (6), qui amplifient les signaux des lignes de transmission de bits des zones de cellules (7), sont disposés entre les zones de cellules (7).
3. Mémoire à semiconducteurs suivant la revendication 1, caractérisée par le fait que des étages d'attaque (9), qui amplifient les signaux des lignes de transmission de mots des zones de cellules (7), sont disposés entre les blocs (8) de zones de cellules.
4. Mémoire à semiconducteurs suivant la revendication 1, caractérisée par le fait que des étages d'attaque (6), qui amplifient les signaux des lignes de transmission de bits des zones

de cellules (7), sont disposés entre les blocs (8) des zones de cellules.

5

10

15

20

25

30

35

40

45

50

55

5

FIG 1

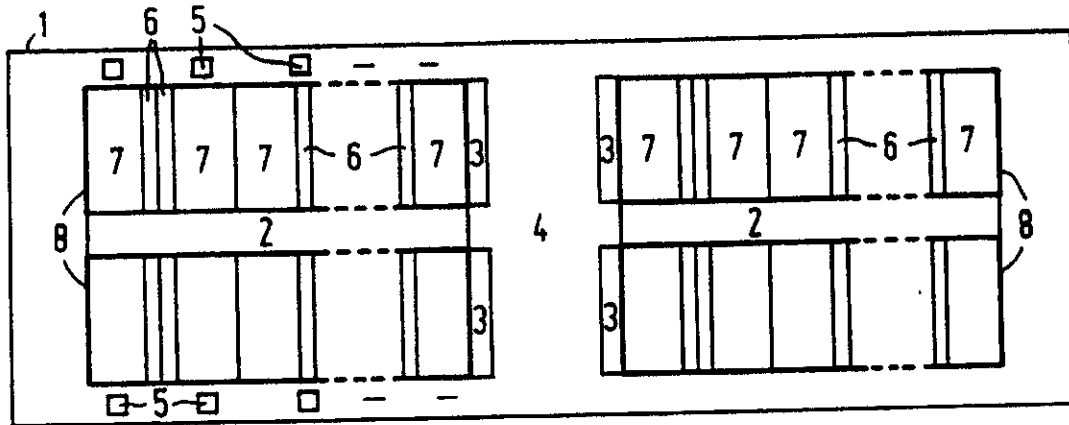


FIG 2

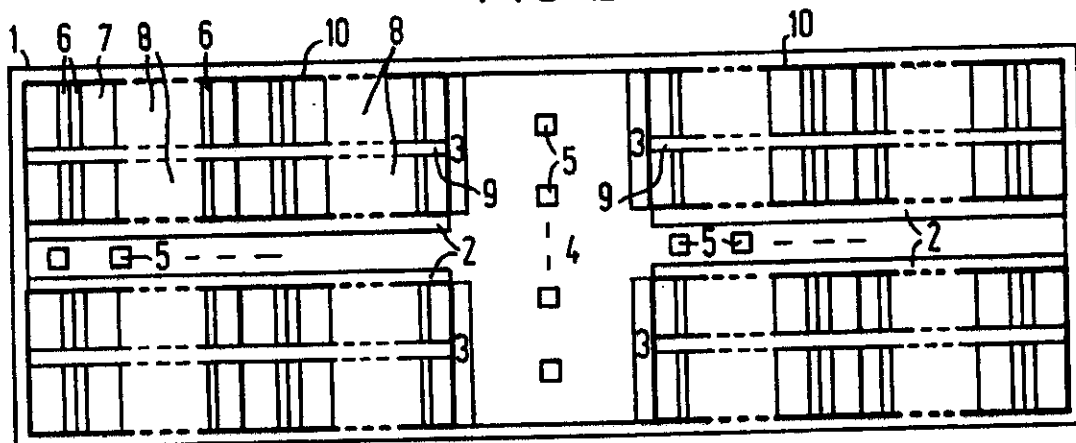
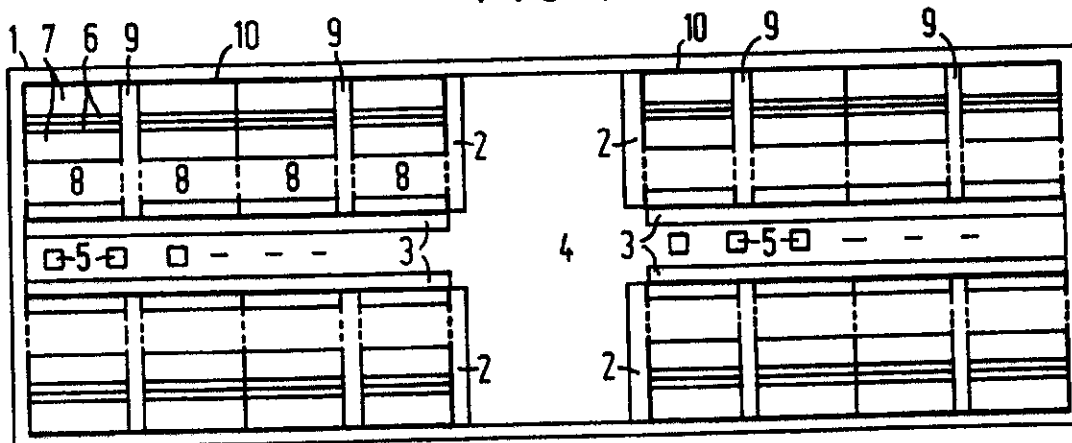


FIG 3



THE PATENT OFFICE

20 APR 1994#00407270

PAT 54 77 UC

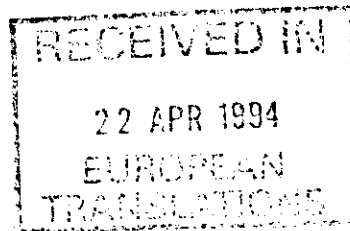
35.00

PATENTS ACT 1977

PATENTS FORM NO. 54/77

FILING OF TRANSLATION OF EUROPEAN
(UK) UNDER SECTION 77(6)(a)

18 APR 1994



Please write or type in **BLOCK LETTERS** using dark ink. For details of current fees Please contact the Patent Office

Enter the name and address of the proprietor(s) of the European Patent (UK). If you do not have enough space please continue on a separate sheet.

Enter the date on which the mention of the grant of the European Patent (UK) was published in the European Patent Bulletin, or, if it has not yet been published, the date on which it will be published.

A UK Address for Service **MUST** be provided to which all communications from the Patent Office will be sent

Please sign here

Attention is drawn to rules 90 and 106 of the Patents Rules 1982

This form must be filed in duplicate and must be accompanied by a translation into English in duplicate of:

- 1) the whole description
- 2) those claims appropriate to the UK (in the language of the proceedings),
- 3) all drawings, whether or not these contain any textual matter

but excluding the front page which contains bibliographic information. The translation must be verified to the satisfaction of the comptroller as corresponding to the original text.

1. European Patent Number

0 428 785

2. Name Siemens Aktiengesellschaft

Address WITTELSBACHERPLATZ 2
D-80333 MUNCHEN
FEDERAL REPUBLIC OF GERMANY

3. European Patent Bulletin Date:

16 02 94
Day Month Year

4. Name of Agent (if any)

Agent's Patent Office
ADP number (if known)

5. Address for Service

SIEMENS
INTELLECTUAL PROPERTY DEPT., GR 89P8079E
ROKE MANOR
OLD SALISBURY LANE
ROMSEY
HAMPSHIRE Postcode SO51 0ZN

6. Signature:

K Muggardge

Date: 18 04 94
Day Month Year

pp RWS TRANSLATIONS LTD

Reminder

Have you attached

One duplicate copy of this form



Two copies of the Translation



Any continuation sheets (if appropriate)



068151RDS

GREAT BRITAIN)
ENGLAND)
LONDON)

IN THE MATTER OF an Application
for a Hong Kong Registration
Patent

I, Derek Ernest LIGHT BA BDÜ,
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,
England and known as such to the undersigned Notary Public;

THAT I have a competent knowledge of the German and English
languages;

AND THAT, to the best of my knowledge and belief, the attached
document is a true and correct translation of the cover page of
the European Patent in the name of

SIEMENS AKTIENGESELLSCHAFT
granted under No. 0,428,785

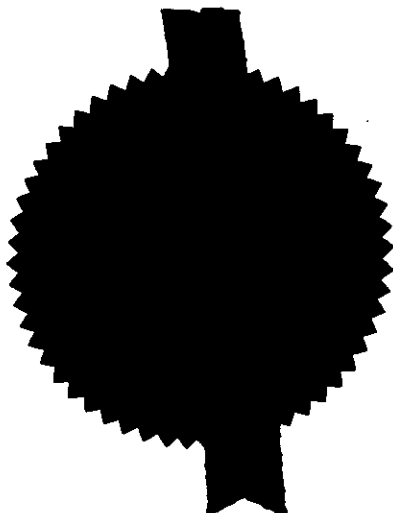
Signed by DEREK ERNEST LIGHT)
For and on behalf of RWS Translations Ltd.)
This 26th day of June)
1995)

D. Ernest Light
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of
DEREK ERNEST LIGHT whose identity I attest.

London, the 26th day of June 1995

Nicholas W. Smith
NOTARY PUBLIC OF LONDON ENGLAND



19 European Patent Office
European Patent Office
European Patent Office

11 Publication No.: 0 428 785 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the
patent specification: 16.02.94

51 Int. Cl.⁵: G11C 5/02, G11C 11/408,
G11C 11/409

21 Application No.: 89121736.6

22 Filing date: 24.11.89

54 Semiconductor memory. [Title as printed]

43 Date of publication of the
application:
29.05.91 Bulletin 91/22

73 Patent proprietor: SIEMENS
AKTIENGESELLSCHAFT
Wittelsbacherplatz 2
D-80333 Munich(DE)

45 Publication of the notice
of the patent grant:
16.02.94 Bulletin 94/07

72 Inventor: Dipl.-Ing. Matthias
Christoph Utesch
Martinsreuther Strasse 39
D-8670 Hof/Saale(DE)
Inventor: Dr.-Ing. Martin Peisl
Rohdestrasse 4
D-8000 Munich 60(DE)

84 Designated contracting States:
AT DE FR GB IT NL

56 Cited documents:
EP-A- 0 130 798
US-A- 4 796 224

IEEE JOURNAL OF SOLID-STATE CIRCUITS,
volume SC-19, No. 5, October 1984,
pages 627-633, IEEE, New York, US;
J. YAMADA et al.: "A submicron
1 Mbit dynamic RAM with a 4-bit-at-a-time
built-IN ECC circuit"

EP 0 428 785 B1

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Bulletin, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid (Art. 99(1) of the European Patent Convention).

Rank Xerox (UK) Business Services
(3.10/3.09/3.3.3)

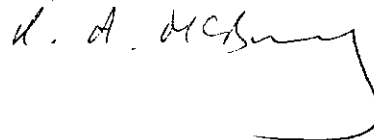
PATENTS ACT 1977

and

PATENTS (AMENDMENT) RULES 1987

I, Kay Anne McBURNEY, M.A.,
translator to Randall Woolcott Services plc of Europa House,
Marsham Way, Gerrards Cross, Buckinghamshire, England, hereby
declare that I am conversant with the German and English
languages and that to the best of my knowledge and belief the
accompanying document is a true translation of the text on which
the European Patent Office intends to grant or has granted
European Patent No. 0,428,785
in the name of SIEMENS AKTIENGESELLSCHAFT

Signed this 8th day of April 1994.

A handwritten signature in dark ink, appearing to read 'K. A. McBurney', with a long, sweeping horizontal stroke at the end.

K. A. McBURNEY

For and on behalf of RWS Translations Ltd.

The invention relates to a semiconductor memory on a rectangular chip surface, in which

- the semiconductor memory contains decoder blocks, peripheral circuit blocks, cell fields having word and bit lines, and a surface area free of cell fields,
- the cell fields are combined to form four rectangular cell field blocks,
- the decoder blocks are arranged in each case on mutually opposite edges of two cell field blocks in each case,
- the peripheral circuit blocks are arranged within the surface area free of cell fields, and
- terminal pads for connecting the semiconductor memory to the connections of a housing are provided.

There has been steady progress in the development of semiconductor memories in recent years. While the 256 kbit chip was state of the art just a few years ago, today the first 4 Mbit chips and 16 Mbit chips are already being shipped. Each new generation of semiconductor memories represents a quadrupling of the memory capacity here, although the chip surface usually increases by a maximum of only 1.5 times. This means that the structures of the semiconductor memory are becoming so small that the conditions described below must be adhered to when designing the layout.

The memory cells of, for example, a dynamic semiconductor memory are arranged in cell fields at intersections of word and bit lines. Each memory cell comprises a switching transistor and a capacitor. The gate terminal of each transistor is connected to a word line. The capacitor of a memory cell is connected to one bit line in each case via the load path of the switching transistor. A column of a cell field is then selected via the word lines. The respective capacitances of the cells of said column addressed are connected through in this way to the bit lines associated with said column. A first condition is therefore that the bit lines are as short as possible in order to avoid parasitic effects due to

additional line capacitances. This means that the ratio of cell capacitance to bit line capacitance plus the junction capacitance of the switching transistor must be as high as possible. This is ensured with short bit lines.

One way of reducing the influence of the bit line capacitance is to connect driver stages between individual cell fields. It is not, however, possible to use any number of such driver stages since the size of the chip surface is limited by the size of the housing. A further condition is that it must be possible to mount the memory chip, and also that the position of the pads for connecting the memory chips to the housing terminals fulfil the condition of bondability.

Known from the "IEEE INTERNATIONAL Solid-State Circuits Conference 1989", pages 246 to 249 and pages 352 to 355, is a large-scale integrated 16 Mbit chip, in which the layout is designed in such a way that the pads are situated at the edge of the chip, that the cell fields are arranged in four single cell circuit blocks in the form of a rectangle, that the decoder blocks are arranged between the opposite decoder blocks on mutually opposite edges of two single cell field blocks in each case, and that the peripheral circuit blocks are arranged parallel to the shorter chip side within the free area between the opposite decoder blocks and at the edges of the chip surface.

Fig. 1 shows the plan view of a 16 Mbit semiconductor memory chip according to the prior art. Cell fields 7 are arranged in four single cell field blocks 8 in the form of a rectangle on the rectangular chip surface 1. Driver stages 6 are arranged between the cell fields 7 parallel to the shorter side of the single cell field blocks 8. Decoder blocks 2, 3 are arranged on mutually opposite edges of two single cell field blocks 8 in each case. The bit decoders 3 are located on the shorter sides of the single cell field blocks 8, and the word decoders 2 are located on the longer side of the single cell field blocks 8. The word decoders 2 situated

between two single cell field blocks 8 in each case form a contiguous block here, whereas the free surface area 4 between the bit decoders 3 and the remaining free surface area 4 at the edge of the chip situated around the single
5 cell field blocks 8 can be used for peripheral circuits. The terminal pads 5 are arranged on the two edges of the longer chip side.

This arrangement has the disadvantage that the lines for connecting peripheral circuits, or the terminal
10 pads 5 and other circuit blocks respectively, become very long. In addition, with larger scale integration, the length of the word lines can result in a long word line transit time in a critical area.

The object of the invention is to develop an
15 arrangement of a semiconductor memory which ensures as compact a design as possible and a minimum chip surface with the shortest possible word line transit time.

This object is achieved in the semiconductor memory mentioned at the beginning, in that
20 - the cell fields are combined to form four combined cell field blocks,
- the four cell field blocks are arranged at the corners of the chip surface,
- the surface area free of cell fields is provided
25 between the opposite decoder blocks, and
- that the terminal pads are arranged within the surface area free of cell fields.

Further developments of the invention form the subject-matter of the subclaims.

30 The invention will be explained below with reference to Figures 2 and 3, in which:

FIG 2 shows a first exemplary embodiment of a semiconductor memory according to the invention, and

35 FIG 3 shows a second exemplary embodiment of a semiconductor memory according to the invention.

FIG 2 shows the plan view of a semiconductor memory chip with the arrangement according to the invention. This chip is a 64 Mbit semiconductor memory chip, in which four combined cell field blocks 10 are now

arranged at the corners of the chip surface 1. Four single cell field blocks 8 are arranged in the form of a rectangle within a combined cell field block 10, each of said single cell field blocks 8 corresponding to a cell field block 8 of the 16 Mbit semiconductor memory chip described in FIG 1. A driver stage 9 is arranged within a combined cell field block 10 parallel to its longer side between two single cell field blocks 8 in each case. Said driver stage 9 amplifies the signals of the word lines of the single cell field blocks 8. In turn, the decoder blocks 2, 3 are arranged on the opposite edges of two combined cell field blocks 10 in each case, the word decoder blocks 2 forming no contiguous block. In this case the free surface area 4 that can be used for the peripheral circuit blocks is situated only between the decoder blocks 2, 3. The terminal pads 5 are arranged parallel to the word decoder blocks 2 and/or parallel to bit decoder blocks 3 within said free surface area 4.

FIG 3 shows a further exemplary embodiment of an arrangement according to the invention with reference to a plan view of a semiconductor memory chip. The latter is substantially constructed like the semiconductor memory chip illustrated in FIG 2. Again four combined cell field blocks 10 are provided, a combined cell field block 10 again containing four single cell field blocks 8 known from FIG 1. The latter are arranged here next to one another and are rotated by 90° with respect to the single cell field blocks 8 shown in FIG 1 and FIG 2. The arrangement of the combined cell field blocks 10 and the decoder blocks 2, 3 corresponds here to the one shown in FIG 2, with the difference that the bit decoder blocks 3 are situated here parallel to the longer side of the combined cell field blocks 10. The word decoder blocks 2 are accordingly situated parallel to the shorter side of the combined cell field blocks 10. A driver stage 9 for the word line signals is located in each case between the first two single cell field blocks 8 and the last two single cell field blocks 8 of each combined cell field block 10. The free surface area 4 and the arrangement of

the terminal pads 5 correspond to that shown in FIG 2.

The arrangement shown in FIG 2 and FIG 3 ensures shorter connections between the terminal pads 5 and the various circuit blocks. The influence of the word line
5 length on the switching times is reduced by driver stages 9. This arrangement is not restricted to application in 64 Mbit DRAM memories.

Patent claims

1. Semiconductor memory having a rectangular chip surface (1), in which
 - the semiconductor memory contains decoder blocks (2, 3), peripheral circuit blocks, cell fields (7) having word and bit lines, and a surface area (4) free of cell fields,
 - the cell fields (7) are combined to form rectangular cell field blocks (8),
 - 10 - the decoder blocks (2, 3) are arranged in each case on mutually opposite edges of two cell field blocks in each case,
 - the peripheral circuit blocks are arranged within the surface area (4) free of cell fields,
 - 15 - terminal pads (5) for connecting the semiconductor memory to the connections of a housing are provided, characterized in that
 - the cell field blocks are combined to form four combined cell field blocks (10),
 - 20 - the four combined cell field blocks (10) are arranged at the corners of the chip surface (1),
 - the surface area (4) free of cell fields is provided between the opposite decoder blocks (2, 3),
 - the terminal pads (5) are arranged within the surface area (4) free of cell fields.
2. Semiconductor memory according to Claim 1, characterized in that driver stages (6) amplifying the bit line signals of the cell fields (7) are arranged between the cell fields (7).
- 30 3. Semiconductor memory according to Claim 1, characterized in that driver stages (9) which amplify the word line signals of the cell fields (7) are arranged between the cell field blocks (8).
4. Semiconductor memory according to Claim 1, characterized in that driver stages (6) amplifying the bit line signals of the cell fields (7) are arranged between the cell field blocks (8).
- 35

List of reference symbols

- 1 = Chip surface
- 2 = Word decoder block
- 3 = Bit decoder
- 4 = Free surface area
- 5 = Terminal pad
- 6 = Driver stage for bit lines
- 7 = Cell field
- 8 = Single cell field block
- 9 = Driver stage for word lines
- 10 = Combined cell field block

1/1

FIG 1

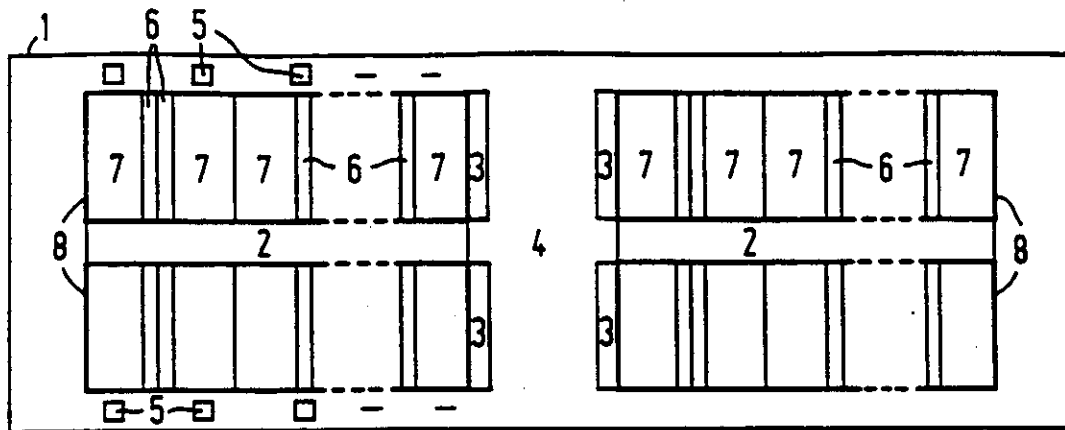


FIG 2

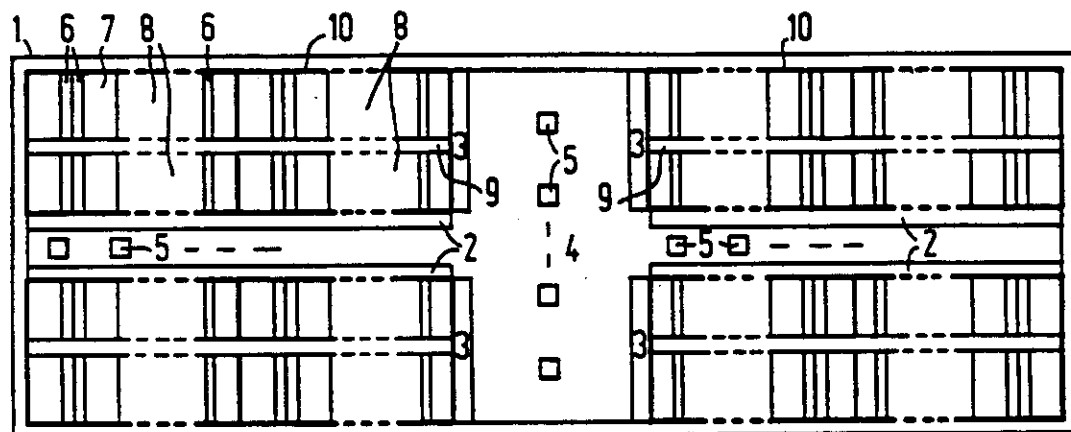
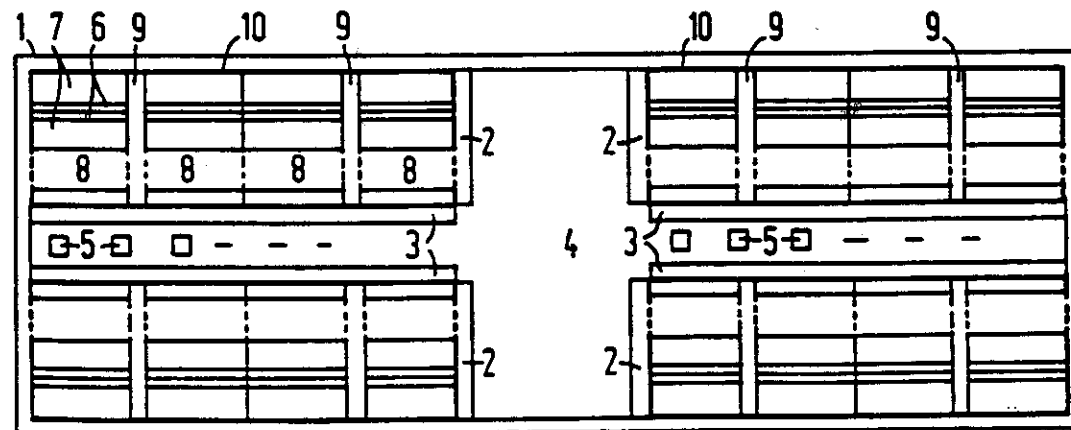


FIG 3



REGISTER ENTRY FOR EP0428785

European Application No EP89121736.6 filing date 24.11.1989

Application in German

Designated States DE FR GB IT NL AT

Title SEMICONDUCTOR MEMORY.

Applicant/Proprietor

SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic of
Germany [ADP No. 50908391001]

Inventors

DIPL.-ING. MATTHIAS CHRISTOPH UTESCH, Martinsreuther Strasse 39, W-8670
Hof/Saale, Federal Republic of Germany [ADP No. 58590373001]

DR.-ING. MARTIN PEISL, Rohdestrasse 4, W-8000 München 60, Federal Republic
of Germany [ADP No. 58590381001]

Classified to

G11C

Address for Service

SIEMENS GROUP SERVICES LIMITED, Intellectual Property Department, Roke
Manor, Old Salisbury Lane, ROMSEY, Hampshire, SO51 0ZN, United Kingdom
[ADP No. 05886494002]

Publication No EP0428785 dated 29.05.1991 and granted by EPO 16.02.1994.

Publication in German

Examination requested 20.12.1990

Patent Granted with effect from 16.02.1994 (Section 25(1)) with title
SEMICONDUCTOR MEMORY.. Translation filed 18.04.1994

14.01.1994 Notification from EPO of change of Applicant/Proprietor details
from

SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, W-8000 München 2, Federal Republic
of Germany [ADP No. 50908391001]

to

SIEMENS AKTIENGESELLSCHAFT, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, D-80333 München, Federal Republic of
Germany [ADP No. 50908391001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

14.01.1994 Notification from EPO of change of Inventor details from

DIPL.-ING. MATTHIAS CHRISTOPH UTESCH, Martinsreuther Strasse 39,
W-8670 Hof/Saale, Federal Republic of Germany [ADP No. 58590373001]

DR.-ING. MARTIN PEISL, Rohdestrasse 4, W-8000 München 60, Federal
Republic of Germany [ADP No. 58590381001]

to

DIPL.-ING. MATTHIAS CHRISTOPH UTESCH, Martinsreuther Strasse 39,
D-8670 Hof/Saale, Federal Republic of Germany [ADP No. 61648978001]

TIMED: 18/05/95 10:18:38

REGISTER ENTRY FOR EP0428785 / (Cont.)

PAGE: 2

DR.-ING. MARTIN PEISL, Rohdestrasse 4, D-8000 München 60, Federal
Republic of Germany [ADP No. 61648986001]

Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

- 17.01.1994 FILE RAISED.

Entry Type 10.1 Staff ID. ER1 Auth ID. AA

**** END OF REGISTER ENTRY ****

OA80-01
EP

OPTICS - PATENTS

18/05/95 10:19:24
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER

EP0428785

PROPRIETOR(S)

Siemens Aktiengesellschaft, Incorporated in the Federal Republic of
Germany, Wittelsbacherplatz 2, D-80333 München, Federal Republic of
Germany

DATE FILED

24.11.1989

DATE GRANTED

16.02.1994

DATE NEXT RENEWAL DUE

24.11.1995

DATE NOT IN FORCE

DATE OF LAST RENEWAL

18.10.1994

YEAR OF LAST RENEWAL

06

STATUS

PATENT IN FORCE

**** END OF REPORT ****