(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 2 月 23 日 (23.02.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/019658 A1

(51) 国际专利分类号:
G11C 29/56 (2006.01)

(21) 国际申请号: PCT/CN2021/117150

(22) 国际申请日: 2021 年 9 月 8 日 (08.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110941212.X 2021年8月16日 (16.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 陈鑫旺 (CHEN, Xinwang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。 马茂松 (MA, Maosong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。 刘建斌 (LIU, Jianbin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路80号汇华商贸大厦1508室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) **Title:** MEMORY TESTING METHOD, DEVICE AND APPARATUS

(54) **发明名称**: 一种存储器测试方法、设备及装置

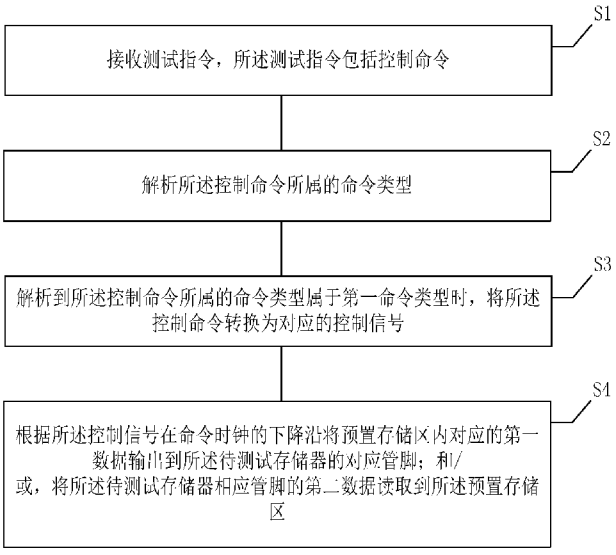


图 1

(57) **Abstract:** The present application relates to the technical field of dynamic memory, and discloses a memory testing method, a device and an apparatus. In the memory testing method, device and apparatus, a command that cannot be directly decoded is converted into a corresponding control signal, thereby further executing a memory test operation according to the control signal. The present application can be applied to debugging and testing of back-end memory products. Costs are low and flexibility is high, and the present application supports test instructions that cannot be directly decoded.

(57) **摘要**: 本申请涉及动态存储器技术领域，公开了一种存储器测试方法、设备及装置。该存储器测试方法、设备及装置通过将不能直接解码的命令转换成相应的控制信号，进而根据控制信号执行存储器的测试操作。本申请可应用于后端存储器产品的调试和测试，成本低，灵活性高，同时支持不能直接解码的测试指令。

WO 2023/019658 A1

[见续页]

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) **指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种存储器测试方法、设备及装置

相关申请

本申请基于申请号为202110941212.X，申请日为2021年08月16日，申请名称为“一种存储器测试方法、设备及装置”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体技术领域，尤其涉及一种存储器测试方法、设备及装置。

背景技术

目前，存储器的测试主要依靠机台进行测试，但机台测试方法成本高，不灵活。

相关技术中还采用SLT测试（系统级测试）的方式进入存储器测试模式，其使用CPU主板来对存储器进行测试，但对于存储器测试模式中不能直接解码的测试指令，例如不满足JEDEC（ Joint Electron Device Engineering Council，电子器件工程联合委员会）规范的测试指令，CPU主板并不能实现测试。

发明内容

本申请实施例提供一种存储器测试方法、设备及装置，可应用于后端存储器产品的调试和测试，成本低，灵活性高，同时支持不能直接解码的指令。

根据一些实施例，本申请第一方面提供一种存储器测试方法，所述方法包括:

接收测试指令，所述测试指令包括控制命令;

解析所述控制命令所属的命令类型;

解析到所述控制命令所属的命令类型属于第一命令类型时，将所述控制命令转换为对应的控制信号;

根据所述控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；和/或，将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

本申请第二方面提供了一种存储器测试设备，所述设备包括：

接收模块，用于接收测试指令，所述测试指令包括控制命令；

解析模块，用于解析所述控制命令所属的命令类型；

转换模块，用于在所述解析模块解析到所述控制命令所属的命令类型属于第一命令类型时，将所述控制命令转换为对应的控制信号；

执行模块，用于根据所述控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；和/或，将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

本申请第三方面提供了一种存储器测试装置，所述装置包括如上任意一项所述的存储器测试设备，所述装置还包括：

指令发送设备，用于向所述存储器测试设备发送所述测试指令。

根据本申请第三方面的一种能够实现的方式，所述指令发送设备为 CPU。

根据本申请第三方面的一种能够实现的方式，所述装置还包括通用异步收发传输器；

所述 CPU 通过所述通用异步收发传输器连接用户终端，以接收所述用户终端输入的与所述测试指令对应的操作信息。

本申请对接收的测试指令中的控制命令进行解析，当解析到所述控制命令所属的命令类型为第一命令类型时，将控制命令转换为对应的控制信号，进而在该控制信号的驱动下进行存储器的测试。本申请能够对不能直接解码的控制命令进行解析转换，因此能够实现相应的测试指令，例如不满足 JEDEC 规范的测试指令，而对于其他常规的测试指令，可以直接根据该测试指令实现存储器的测试，无需进行控制命令转换操作。本申请可应用于后端存储器产品的调试和测试，成本低，灵活性高，除能实现 JEDEC 规范要求的测试指令外，还能实现所有不满足 JEDEC 规范的测试指令。

附图说明

图 1 是本申请提供的存储器测试方法的一个实施例的流程示意图；

图 2 是本申请提供的 Read Chipid 指令的一个实施例的时序关系示意图；

图 3 是本申请提供的存储器测试设备的一个实施例的数据流向示意图；

图 4 是本申请提供的存储器测试设备的一个实施例的结构连接示意图。

附图标记：

1、接收模块；2、解析模块；3、转换模块；4、执行模块。

具体实施方式

本申请描述了多个实施例，但是该描述是示例性的，而不是限制性的，并且对于本领域的普通技术人员来说显而易见的是，在本申请所描述的实施例包含的范围内可以有更多的实施例和实现方案。尽管在附图中示出了许多可能的特征组合，并在具体实施方式中进行了讨论，但是所公开的特征的许多其它组合方式也是可能的。除非特意加以限制的情况以外，任何实施例的任何特征或元件可以与任何其它实施例中的任何其他特征或元件结合使用，或可以替代任何其它实施例中的任何其他特征或元件。

本申请包括并设想了与本领域普通技术人员已知的特征和元件的组合。本申请已经公开的实施例、特征和元件也可以与任何常规特征或元件组合，以形成由权利要求限定的独特的发明方案。任何实施例的任何特征或元件也可以与来自其它发明方案的特征或元件组合，以形成另一个由权利要求限定的独特的发明方案。因此，应当理解，在本申请中示出和/或讨论的任何特征可以单独地或以任何适当的组合来实现。因此，除了根据所附权利要求及其等同替换所做的限制以外，实施例不受其它限制。此外，可以在所附权利要求的保护范围内进行各种修改和改变。

此外，在描述具有代表性的实施例时，说明书可能已经将方法和/或过程呈现为特定的步骤序列。然而，在该方法或过程不依赖于本文所述步骤的特定顺

序的程度上，该方法或过程不应限于所述的特定顺序的步骤。如本领域普通技术人员将理解的，其它的步骤顺序也是可能的。因此，说明书中阐述的步骤的特定顺序不应被解释为对权利要求的限制。此外，针对该方法和/或过程的权利要求不应限于按照所写顺序执行它们的步骤，本领域技术人员可以容易地理解，这些顺序可以变化，并且仍然保持在本申请实施例的精神和范围内。

存储器测试模式是一种原厂才能访问的超级模式，通常不开放给客户使用。例如 DRAM(Dynamic Random Access Memory，动态随机存取存储器）芯片，在 DRAM 芯片流片封装完成后，可以通过进入 DRAM 芯片测试模式访问并修改 DRAM 芯片内部的 DFT 寄存器，从而更改 DRAM 芯片内部的部分电源电压、I/O 时序以及可供调试用的接口参数等，这有利于提高 DRAM 芯片调试的效率，加快定位错误，使整个 DRAM 芯片测试流程快速收敛。

相关技术中采用 SLT 测试（系统级测试）的方式进入存储器测试模式，其通过把存储器安装到 CPU 主板上，由 CPU 主板来对存储器进行测试。这种方式需要拥有完整的 CPU 主板底层代码以及能正确修改存储器的 PHY（物理层）的控制代码，成本过高。而且，存储器测试模式的测试指令有部分不能够被直接解码，例如是不满足 JEDEC 规范的测试指令，即不属于 JEDEC 规范中定义的测试指令，对于这部分测试指令 CPU 主板不能实现。例如，对于 DRAM 芯片，在测试模式下，DRAM 芯片对外输出的信息通常使用 DQ 管脚来实现，没有 DQS 信号的跳变。这就导致了使用 CPU 主板进入 DRAM 芯片测试模式后不能进行读取芯片 ID 等操作。

本申请实施例提供了一种存储器测试方法，该方法如图 1 所示，包括如下步骤：

S1 接收测试指令，所述测试指令包括控制命令。

其中，测试指令可以为执行该方法的器件能够直接解码的指令，例如属于 JEDEC 规范中定义的测试指令，也可以为不能够直接解码的指令，例如不属于 JEDEC 规范中定义的测试指令。不满足 JEDEC 规范的测试指令一般为存储器生产原厂自定义的测试指令，用于完成调试、测试等功能。例如 Read Chipid（读

芯片标识）指令，在 JEDEC 规范里并没有定义，其用于读取 DRAM 芯片的 ID，ID 里存储了 DRAM 芯片的生产日期、封测厂商等信息。当该测试指令为属于 JEDEC 规范中定义的测试指令时，则测试指令中的控制命令即为 JEDEC 规范定义的命令，反之，则认为该控制命令不为 JEDEC 规范定义的命令。

S2 解析所述控制命令所属的命令类型。

S3 解析到所述控制命令所属的命令类型属于第一命令类型时，将所述控制命令转换为对应的控制信号。

S4 根据所述控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；和/或，将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

执行该步骤 S4 时，具体地，当测试指令对应的测试操作仅需将相关数据输出到待测试存储器时，则根据对应的控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；

当测试指令对应的测试操作仅需从待测试存储器读取数据时，则将所述待测试存储器相应管脚的第二数据读取到所述预置存储区；

当测试指令对应的测试操作需将相关数据输出到待测试存储器并从待测试存储器读取数据时，则根据对应的控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚，并将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

根据一些实施例，第一命令类型为不能直接解码获取对应控制信号的命令，例如为不满足 JEDEC 规范的命令，需要对这种控制命令进行转换/解释。

为实现不满足 JEDEC 规范的命令的解析，可以预存储不满足 JEDEC 规范的测试指令所对应的命令信息，根据存储的命令信息进行控制命令的类型解析。通过对不满足 JEDEC 规范的命令转换为对应的控制信号，进而根据该控制信号执行对存储器的测试操作，本申请实施例能够实现对不满足 JEDEC 规范的测试指令的相应操作。

在一些实施例中，所述将所述控制命令转换为对应的控制信号，具体包括：

在存储的命令列表查找所述控制命令对应的信号生成数据，根据所述信号生成数据生成转换的控制信号。

其中，该命令列表包括多个预置的控制命令，每个控制命令对应一个或者多个信号生成数据，该信号生成数据用于生成相应的控制信号。

具体地，在一种实施方式中，若在存储的命令列表查找到对应所述控制命令的多条信号生成数据，所述测试指令还包括待测试存储器的类型标识。从而在接收到测试指令后，可以根据测试指令携带的待测试存储器的类型标识在多条信号生成数据中选取符合待测试存储器类型的信号生成数据，以生成相应的控制信号。

其中，该类型标识用于区别不同的待测试存储器，例如区别不同种类的存储器，或者区别同一种类的不同型号的存储器。

在又一种实施方式中，可以在查找到多条信号生成数据时，输出用于提示选择待测试存储器的类型的信息，根据测试人员所选择的待测试存储器的类型标识确定信号生成数据。

在一些实施例中，所述方法还包括:

根据存储的命令列表查找不到所述控制命令对应的信号生成数据时，输出用于提示所述测试指令为错误指令的信息。此实施例可以实现对测试指令的合法性检测。

在一些实施例中，所述方法还包括:

解析到所述控制命令所属的命令类型属于第二命令类型时，对所述控制命令进行解码以得到对应的控制信号。

在一些实施方式中，所述第二命令类型为满足 JEDEC 规范的命令。

此申请实施例对满足 JEDEC 规范的命令直接进行解码，实现了对满足 JEDEC 规范的测试指令的测试操作。

在一些实施例中，该第一数据为预先存储在预置存储区中的本地数据，以缩短对测试指令的处理时长。

在另一些实施例中，所述第一数据随着控制命令一起接收，即测试指令还

包括第一数据，由设备在接收控制命令时将该第一数据存储到该预置存储区。

执行测试指令时，一般会向存储器的管脚输入对应的地址数据和/或控制数据。本申请实施例根据不同的数据类型对第一数据进行分区存储。

在一些实施例中，所述第一数据包括地址数据。

其中，所述地址数据包括存储单元阵列地址、组地址、行地址和列地址，所述预置存储区包括第一子存储区和第二子存储区，所述方法包括:

将所述存储单元阵列地址存储至其内的第一子存储区，将所述组地址、行地址和列地址存储至其内的第二子存储区。

其中，所述存储单元阵列地址即 bank 地址，通常每个存储器具有多个存储单元阵列（即 bank），每个数据位独立存储在指定 bank 的由行地址和列地址寻址的存储单元格内。

在一些实施例中，所述预置存储区还包括第三子存储区，所述第一数据还包括控制数据，所述方法还包括:

将所述控制数据存储至所述第三子存储区。

在一些实施例中，所述预置存储区包括第四子存储区，所述方法包括:

将所述存储器相应管脚的第二数据读取到所述第四子存储区。

在一些实施例中，所述第一子存储区、第二子存储区、第三子存储区和第四子存储区为由能够随时读写的存储器构成的存储区，该存储器可以是先进先出（FIFO）存储器、BRAM 存储器等，本申请实施例不限定于此。

在一种可选施方式中，所述第一子存储区、第二子存储区、第三子存储区和第四子存储区皆为 FIFO 存储区。

FIFO 存储区为由先进先出存储器构成的存储区，根据上述实施例的方法，该方法的执行设备在控制信号的驱动下，会控制从第一子存储区、第二子存储区和第三子存储区中读取数据并同时输出到存储器管脚，直到第一子存储区、第二子存储区和第三子存储区为空。

在实现每个测试指令过程中，由于发送测试指令的设备与根据测试指令控制存储器的设备的时钟不同，该第一子存储区、第二子存储区、第三子存储区

和第四子存储区皆为异步的先进先出存储器。通过该异步的先进先出存储器来缓存测试指令对应的数据，使得发送测试指令的设备与根据测试指令控制存储器的设备的时序如何并不会影响到存储器。

在一些实施例中，将数据输出到存储器管脚时，输出的数据为波形信号。该波形信号输出优选使用 RTL（寄存器传输级）来实现，进而能够兼顾输出波形的时序准确性和灵活性。

上述实施例中，所述待测试存储器为 DRAM 芯片，还可以是其他能够保存信息的记忆设备，例如 SRAM（静态存储器）。

一些示例性实施例中，本申请上述实施例的方法可以由 FPGA 或者其他可编程逻辑器件执行。需要说明的是，FPGA（ Field Programmable Gate Array，现场可编程门阵列），它是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。需要说明的是，上述的预置存储区设置于本申请方法的执行器件内。

一些示例性实施例中，该测试指令由 CPU 进行发送。需要说明的是，这里的 CPU 是指能够使用 C 语言等高级语言进行软件开发的处理器，包括但不限于中央处理器、MPU（微处理器）、MCU（微控制单元）、DSP（数字信号处理）、GPU（图形处理器）和 FPGA 内部的 CPU 内核等。 在 CPU 中，使用 C 语言代码来编写针对存储器的相关控制程序。该 CPU 可以从串口解析单元中接收用户通过串口终端软件输入的相关操作信息，进而使用 C 语言代码生成该测试指令。作为优选，该 CPU 设置相应的串口命令解析模块，用于接收该相关操作信息。该 CPU 还设置有相应的通信模块，以下发该测试指令信息。该存储器测试方法由 FPGA 执行时，该通信模块可以包括与 FPGA 通信单元，与 FPGA 通信单元用于将测试指令按照跟 FPGA 约定的通信方式下发给 FPGA，进而 FPGA 通过与 CPU 通信的接口接收该测试指令。

本申请上述实施例的方法通过在发送测试指令的设备（例如 CPU）和存储器之间设置相应的设备（例如 FPGA）来进入存储器的测试模式，并进一步实现对不规范命令的解析。通过将测试指令转换为适用的控制信号，进而在控制信号的驱动下对存储器进行测试操作，能够完成对存储器相关参数的修改/调节，

例如对存储器内部的电压和/或时序进行调节、修改存储器可供调试用的接口的参数等等。

为更好地理解本发明申请，本实施例设定该方法执行设备为 FPGA，由 CPU 向 FPGA 发送 Read Chipid 指令为例来解析上述方法的执行。Read Chipid 指令，如上所述，即用于读取 DRAM 芯片的 ID 的指令，ID 里存储了 DRAM 芯片的生产日期、封测厂商等信息。Read Chipid 指令的时序图如图 2 所示。其中，CK_t，CK_c 表示差分时钟（信号）输入，Dummy-A 表示对应差分时钟下没有进行读写，该 DQ5（数据总线 5）管脚没有变化，DATA1……DATAn 是组成 Chipid（芯片标识）信息的位。根据该图 2 可知，此指令没有 DQS（数据选通信号）的变化，属于不满足 JEDEC 规范的指令。

此场景中，CPU 发送测试指令后， FPGA 解析到其中的控制命令为第一类型命令，进而对控制命令进行转换得到相应的控制信号。

如图 3 所示， FPGA 的接收模块同步接收到第一数据，该第一数据包括控制数据和地址数据，其中控制数据从前到后分别是 3′b111，3′b101，3′b111，3′b111，……，3′b111，共 63 个 3bit 二进制数据，地址数据包括 BANK 信号和地址信号，其中，BANK 信号从前到后共 63 个 4bit 二进制数据 4′b0000；地址信号从前到后分别是 0x1FFFF，0x0008A，0x1FFFF，0x1FFFF，…，0x1FFFF，共 63 个 17bit 二进制数据；

FPGA 进而将控制数据、BANK 信号、地址信号分别存储到相应的第一先进先出存储器、第二先进先出存储器、第三先进先出存储器，这三个先进先出存储器里分别存入了 63 个 3bit 二进制数据、 63 个 4bit 二进制数据和 63 个 17bit 二进制数据；

FPGA 的执行模块在控制信号的驱动下，控制从三个先进先出存储器里读取数据并同时输出到对应的 DRAM 芯片管脚，直到这三个先进先出存储器为空，同时，检测到下发的是 Read Chipid 指令时，立即将 DRAM 芯片所有 DQ（选通数据）管脚的信号读取出来存入对应的第四先进先出存储器，共 60 个数据，其中只有 DQ5 的数据是我们需要的 Chipid 数据；

如果第四先进先出存储器里的数据不为空，则将第四先进先出存储器里的数据读空并发送给 CPU，CPU 收到数据后将 DQ5 管脚的数据单独提取出来并在串口里打印。

本申请第二方面提供了一种存储器测试设备，所述存储器测试设备内置有以下程序模块：

接收模块 1，用于接收测试指令，所述测试指令包括控制命令；

解析模块 2，用于解析所述控制命令所属的命令类型；

转换模块 3，用于在所述解析模块 2 解析到所述控制命令所属的命令类型属于第一命令类型时，将所述控制命令转换为对应的控制信号；

执行模块 4，用于根据所述控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；和/或，将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

在一些实施例中，所述第一命令类型为不满足 JEDEC 规范的命令。

在一些实施例中，所述转换模块 3 具体用于：

在存储的命令列表查找所述控制命令对应的信号生成数据，根据所述信号生成数据生成转换的控制信号。

在一些实施例中，所述转换模块 3 还具体用于：

若在存储的命令列表查找到对应所述控制命令的多条信号生成数据，从中选取与所述待测试存储器的类型标识对应的信号生成数据进行控制信号生成。

在一些实施例中，所述设备还包括：

第一提示模块，用于在根据存储的命令列表查找不到所述控制命令对应的信号生成数据时，输出用于提示所述测试指令为错误指令的信息。

在一些实施例中，所述设备还包括：

解码模块，用于在所述解析模块 2 解析到所述控制命令所属的命令类型属于第二命令类型时，对所述控制命令进行解码以得到对应的控制信号。

在一些实施例中，所述第二命令类型为满足 JEDEC 规范的命令。

在一些实施例中，所述执行模块 4 包括：

输出单元，用于将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚;

和/或，

读取单元，用于将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

在一些实施例中，所述测试指令还包括所述第一数据，所述设备还包括:

存储模块，用于将所述第一数据存储到所述预置存储区。

在一些实施例中，所述第一数据包括地址数据。

在一些实施例中，所述地址数据包括存储单元阵列地址、组地址、行地址和列地址，所述预置存储区包括第一子存储区和第二子存储区，所述存储模块具体包括:

第一存储单元，用于将所述存储单元阵列地址存储至其内的第一子存储区;

第二存储单元，用于将所述组地址、行地址和列地址存储至其内的第二子存储区。

在一些实施例中，所述预置存储区还包括第三子存储区，所述第一数据还包括控制数据，所述存储模块还包括:

第三存储单元，用于将所述控制数据存储至所述第三子存储区。

在一个实施示例中，所述存储器测试设备包括处理器，其中所述处理器用于执行存在存储器测试设备的上述程序模块和单元，包括：接收模块 1、解析模块 2、转换模块 3、执行模块 4、第一提示模块、解码模块和存储模块。

在一些实施例中，所述预置存储区包括第四子存储区，所述读取单元具体用于:

将所述存储器相应管脚的第二数据读取到所述第四子存储区。

在一些实施例中，所述第一子存储区、第二子存储区、第三子存储区和第四子存储区皆为 FIFO 存储区。

在一些实施例中，所述待测试存储器为 DRAM 芯片。

本申请第三方面提供了一种存储器测试装置，所述装置包括如上任一项所

述的存储器测试设备，所述装置还包括:

指令发送设备，用于向所述存储器测试设备发送所述测试指令。

在一些实施例中，所述指令发送设备为 CPU。

其中，所述装置还包括通用异步收发传输器;

所述 CPU 通过所述通用异步收发传输器连接用户终端，以接收所述用户终端输入的与所述测试指令对应的操作信息。

本申请设备上述实施例各单元或模块的功能及实现方式与上述存储器测试方法的实施例相同，具体解析可以参照上述存储器测试方法的实施例，为了避免重复，在此不再赘述。

以上所述是本申请的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也视为本申请的保护范围。

权利要求书

1.一种存储器测试方法，所述方法包括:

接收测试指令，所述测试指令包括控制命令;

解析所述控制命令所属的命令类型;

解析到所述控制命令所属的命令类型属于第一命令类型时，将所述控制命令转换为对应的控制信号;

根据所述控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；和/或，将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

2.根据权利要求 1 所述的一种存储器测试方法，其中，

所述第一命令类型为不满足 JEDEC 规范的命令。

3.根据权利要求 1 所述的一种存储器测试方法，其中，所述将所述控制命令转换为对应的控制信号，具体包括:

在存储的命令列表查找所述控制命令对应的信号生成数据，根据所述信号生成数据生成控制信号。

4.根据权利要求 1 所述的存储器测试方法，其中，所述方法还包括:

解析到所述控制命令所属的命令类型属于第二命令类型时，对所述控制命令进行解码以得到对应的控制信号。

5.根据权利要求 1 所述的存储器测试方法，其中，所述测试指令还包括所述第一数据，所述方法还包括:

将所述第一数据存储到所述预置存储区。

6.根据权利要求 5 所述的存储器测试方法，其中，所述第一数据包括地址数据和控制数据，所述地址数据包括存储单元阵列地址、组地址、行地址和列地址，所述预置存储区包括第一子存储区、第二子存储区和第三子存储区，所述方法包括:

将所述存储单元阵列地址存储至其内的第一子存储区，将所述组地址、行

地址和列地址存储至其内的第二子存储区，将所述控制数据存储至所述第三子存储区。

7.一种存储器测试设备，其中，所述设备包括:

接收模块，用于接收测试指令，所述测试指令包括控制命令;

解析模块，用于解析所述控制命令所属的命令类型;

转换模块，用于在所述解析模块解析到所述控制命令所属的命令类型属于第一命令类型时，将所述控制命令转换为对应的控制信号;

执行模块，用于根据所述控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；和/或，将所述待测试存储器相应管脚的第二数据读取到所述预置存储区。

8.根据权利要求 7 所述的存储器测试设备，其中，

所述第一命令类型为不满足 JEDEC 规范的命令。

9.根据权利要求 8 所述的存储器测试设备，其中，所述转换模块具体用于:

在存储的命令列表查找所述控制命令对应的信号生成数据，根据所述信号生成数据生成控制信号。

10.根据权利要求 7 所述的存储器测试设备，其中，所述设备还包括:

解码模块，用于在所述解析模块解析到所述控制命令所属的命令类型属于第二命令类型时，对所述控制命令进行解码以得到对应的控制信号。

11.根据权利要求 7 所述的存储器测试设备，其中，所述测试指令还包括所述第一数据，所述设备还包括:

存储模块，用于将所述第一数据存储到所述预置存储区。

12.根据权利要求 11 所述的存储器测试设备，其中，

所述第一数据包括地址数据和控制数据，所述地址数据包括存储单元阵列地址、组地址、行地址和列地址，所述预置存储区包括第一子存储区、第二子存储区和第三子存储区，所述存储模块具体包括:

第一存储单元，用于将所述存储单元阵列地址存储至其内的第一子存储区;

第二存储单元，用于将所述组地址、行地址和列地址存储至其内的第二子

存储区；

第三存储单元，用于将所述控制数据存储至所述第三子存储区。

13.一种存储器测试装置，其中，所述装置包括如权利要求 7-12 任意一项所述的存储器测试设备，所述装置还包括：

指令发送设备，用于向所述存储器测试设备发送所述测试指令。

14.根据权利要求 13 所述的存储器测试装置，其中，所述指令发送设备为 CPU。

15.根据权利要求 14 所述的存储器测试装置，其中，

所述装置还包括通用异步收发传输器；

所述 CPU 通过所述通用异步收发传输器连接用户终端，以接收所述用户终端输入的与所述测试指令对应的操作信息。

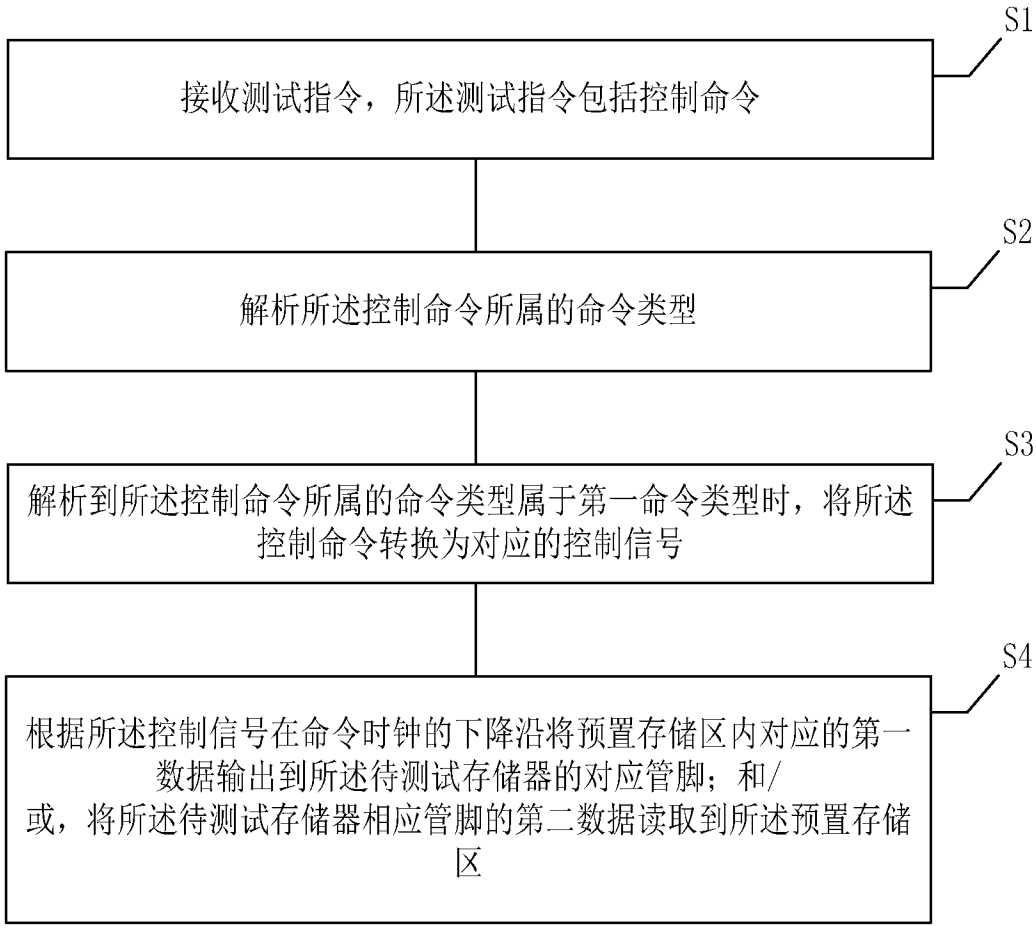

S1
接收测试指令，所述测试指令包括控制命令
S2
解析所述控制命令所属的命令类型
S3
解析到所述控制命令所属的命令类型属于第一命令类型时，将所述控制命令转换为对应的控制信号
S4
根据所述控制信号在命令时钟的下降沿将预置存储区内对应的第一数据输出到所述待测试存储器的对应管脚；和/或，将所述待测试存储器相应管脚的第二数据读取到所述预置存储区

图 1

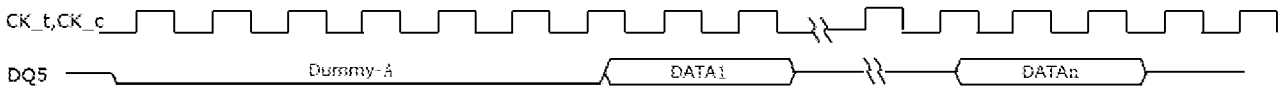

CK_t,CK_c
DQ5
Dummy-A
DATA1
DATAn

图 2

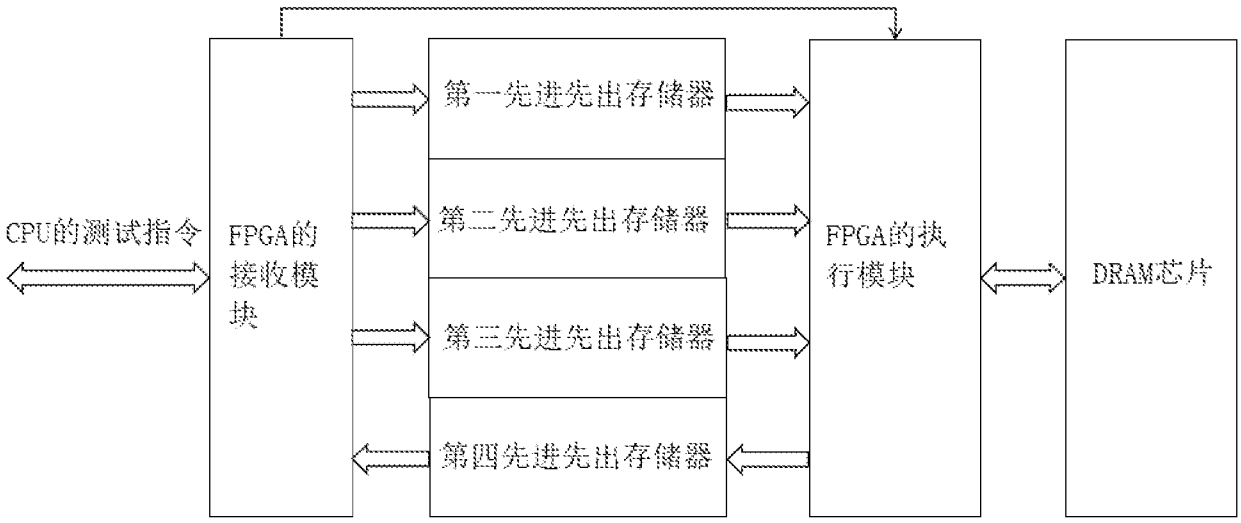

CPU的测试指令
FPGA的接收模块
第一先进先出存储器
第二先进先出存储器
第三先进先出存储器
第四先进先出存储器
FPGA的执行模块
DRAM芯片

图 3

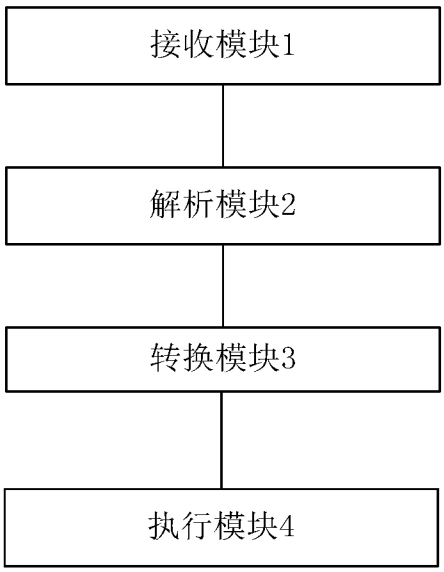

接收模块1
解析模块2
转换模块3
执行模块4

图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/117150

A. CLASSIFICATION OF SUBJECT MATTER

G11C 29/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 测试, 不能直接解码, 存储器测试, 命令, 解码, 指令, JEDEC, 不能, 存储器, 解析, 类型, test, storage, analysis, order, command

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109087686 A (WUHAN JINGHONG ELECTRONIC TECHNOLOGY CO., LTD.) 25 December 2018 (2018-12-25) description, paragraphs [0041]-[0085]	1-15
A	CN 101493762 A (ARM LTD.) 29 July 2009 (2009-07-29) entire document	1-15
A	CN 110956998 A (JIANGSU XINSHENG INTELLIGENT TECHNOLOGY CO., LTD.) 03 April 2020 (2020-04-03) entire document	1-15
A	CN 111552475 A (WUHAN JINGCE ELECTRONIC TECHNOLOGY CO., LTD.) 18 August 2020 (2020-08-18) entire document	1-15
A	US 2019121570 A1 (SAMSUNG ELECTRONICS CO., LTD.) 25 April 2019 (2019-04-25) entire document	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 April 2022	**13 May 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/117150

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 109087686 A	25 December 2018	None	
CN 101493762 A	29 July 2009	GB 0821520 D0	31 December 2008
		US 2009187742 A1	23 July 2009
		JP 2009176303 A	06 August 2009
CN 110956998 A	03 April 2020	None	
CN 111552475 A	18 August 2020	None	
US 2019121570 A1	25 April 2019	CN 109697026 A	30 April 2019
		KR 20190045697 A	03 May 2019

国际检索报告

国际申请号
PCT/CN2021/117150

A. 主题的分类

G11C 29/56(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, CNKI, WPI, EPODOC: 测试，不能直接解码，存储器测试，命令，解码，指令，JEDEC，不能，存储器，解析，类型，test，storage，analysis，order，command

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 109087686 A (武汉精鸿电子技术有限公司) 2018年12月25日 (2018-12-25) 说明书第[0041]-[0085]段	1-15
A	CN 101493762 A (ARM有限公司) 2009年7月29日 (2009-07-29) 全文	1-15
A	CN 110956998 A (江苏芯盛智能科技有限公司) 2020年4月3日 (2020-04-03) 全文	1-15
A	CN 111552475 A (武汉精测电子集团股份有限公司) 2020年8月18日 (2020-08-18) 全文	1-15
A	US 2019121570 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2019年4月25日 (2019-04-25) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年4月18日	2022年5月13日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 张曼 电话号码 86-(10)-53961309

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/117150

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109087686	A	2018年12月25日	无			
CN	101493762	A	2009年7月29日	GB	0821520	D0	2008年12月31日
				US	2009187742	A1	2009年7月23日
				JP	2009176303	A	2009年8月6日
CN	110956998	A	2020年4月3日	无			
CN	111552475	A	2020年8月18日	无			
US	2019121570	A1	2019年4月25日	CN	109697026	A	2019年4月30日
				KR	20190045697	A	2019年5月3日