

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)



(10) 国際公開番号

WO 2017/208735 A1

(51) 国際特許分類:

H01L 29/12 (2006.01) H01L 27/08 (2006.01)
H01L 21/8234 (2006.01) H01L 29/06 (2006.01)
H01L 27/06 (2006.01) H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2017/017428

(22) 国際出願日: 2017年5月8日(08.05.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-111760 2016年6月3日(03.06.2016) JP

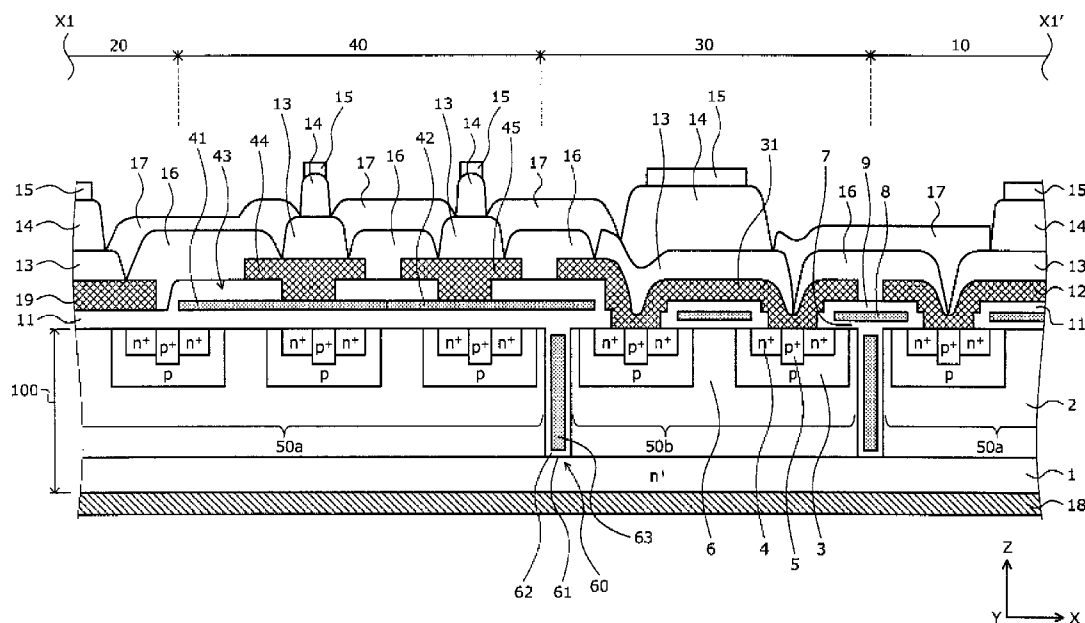
(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

(72) 発明者: 星 保幸 (HOSHI, Yasuyuki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 椎木 崇 (SHIIGI, Takashi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 山田 昭治 (YAMADA, Shoji); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1020094 東京都千代田区紀尾井町3番12号 紀尾井町ビル7階 酒井総合特許事務所 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A current sense section (30) that detects overcurrent of a main semiconductor element (10) is disposed on a silicon carbide base body (100) on which the main semiconductor element (10) is also disposed. An isolating section (60) is disposed between the main semiconductor element (10) and the current sense section (30). The isolating section (60) has a function of suppressing electrical interference between the main semiconductor element (10) and the current sense section (30) on the side of the silicon carbide base body (100). The isolating section (60) is configured from a trench



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(61) that is provided at a predetermined depth from the front surface of the silicon carbide base body (100). In the trench (61), an insulating film (62) is provided along the inner wall of the trench (61), and a polysilicon layer (63) is provided on the inner side of the insulating film (62). Consequently, withstand voltage deterioration of the current sense section (30) can be eliminated.

(57) 要約: メイン半導体素子(10)と同一の炭化珪素基体(100)に、メイン半導体素子(10)の過電流を検出する電流センス部(30)が配置されている。メイン半導体素子(10)と電流センス部(30)との間には、分離部(60)が配置されている。分離部(60)は、メイン半導体素子(10)と電流センス部(30)とが炭化珪素基体(100)側において電氣的に干渉することを抑制する機能を有する。分離部(60)は、炭化珪素基体(100)のおもて面から所定深さで設けられたトレンチ(61)で構成される。トレンチ(61)の内部には、トレンチ(61)の内壁に沿って絶縁膜(62)が設けられ、絶縁膜(62)の内側にポリシリコン層(63)が設けられている。このようにすることで、電流センス部(30)の耐圧低下を防止することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] 従来、高電圧や大電流を制御するパワー半導体装置の構成材料として、シリコン（Si）が用いられている。パワー半導体装置は、バイポーラトランジスタやIGBT（Insulated Gate Bipolar Transistor：絶縁ゲート型バイポーラトランジスタ）、MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）など複数種類あり、これらは用途に合わせて使い分けられている。

[0003] 例えば、バイポーラトランジスタやIGBTは、MOSFETに比べて電流密度は高く大電流化が可能であるが、高速にスイッチングさせることができない。具体的には、バイポーラトランジスタは数kHz程度のスイッチング周波数での使用が限界であり、IGBTは数十kHz程度のスイッチング周波数での使用が限界である。一方、パワーMOSFETは、バイポーラトランジスタやIGBTに比べて電流密度が低く大電流化が難しいが、数MHz程度までの高速スイッチング動作が可能である。

[0004] 市場では大電流と高速性とを兼ね備えたパワー半導体装置への要求が強く、IGBTやパワーMOSFETはその改良に力が注がれ、現在ではほぼ材料限界に近いところまで開発が進んでいる。このため、パワー半導体装置の観点からシリコンに代わる半導体材料が検討されており、低オン電圧、高速特性、高温特性に優れた次世代のパワー半導体装置を作製（製造）可能な半導体材料として炭化珪素（SiC）が注目を集めている（例えば、下記非特許文献1参照。）。

[0005] 炭化珪素は、化学的に非常に安定した半導体材料であり、バンドギャップ

が3 e Vと広く、高温でも半導体として極めて安定的に使用することができる。また、炭化珪素は、最大電界強度もシリコンより1桁以上大きいため、オン抵抗を十分に小さくすることができる半導体材料として期待される。このような炭化珪素の特長は、例えば窒化ガリウム（Ga N）などシリコンよりもバンドギャップの広い他の半導体（以下、ワイドバンドギャップ半導体とする）にも同様にあてはまる。このため、ワイドバンドギャップ半導体を用いることにより、半導体装置の高耐圧化が可能となる（例えば、下記非特許文献2参照。）。

[0006] このような炭化珪素を用いた高耐圧半導体装置では、高耐圧半導体装置で発生する損失が少なくなった分、例えばインバータで用いる際、シリコンを用いた従来の半導体装置よりも1桁高いキャリア周波数で適用される。高耐圧半導体装置を高いキャリア周波数で適用する場合、高耐圧半導体装置を構成する半導体チップの発熱温度が高くなり、デバイスの信頼性に悪影響を及ぼす。特に、半導体チップのおもて面に設けられたおもて面電極には、ボンディング装置（ボンダー）によりボンディングワイヤが接合されており、高温での適用によりおもて面電極とボンディングワイヤとの密着性が低下し、半導体装置の信頼性に悪影響が及ぶ。

[0007] 別の配線構造として、ボンディングワイヤに代えて、おもて面電極の電位を外部に取り出す外部接続用端子となる平板状の配線部材をおもて面電極に接合した構造が提案されている（例えば、下記特許文献1（第0032～0034段落）参照。）。下記特許文献1では、配線部材自体がもつ熱容量をボンディングワイヤ自体がもつ熱容量よりも大きくし、かつ半導体チップとの接触面積を大きくすることで、放熱効率を向上させている。

[0008] また、別の配線構造として、外部接続用端子となるピン状の配線部材（以下、端子ピンとする）をチップおもて面に対して略垂直に立てた状態でおもて面電極に接合した構造が提案されている。端子ピンを用いて配線構造を構成した半導体装置では、チップおもて面に配置された電極パッド（おもて面電極）上に、めっき膜およびはんだ層を介して端子ピンが接合される。

[0009] また、従来の半導体装置として、所定動作を行うメイン半導体素子と同一の炭化珪素基板に、当該メイン半導体素子を保護するための保護回路を配置した装置が公知である。このような半導体装置として、電力用半導体素子部と同一の半導体基板に、電力用半導体素子部の温度変化を検出する温度センサダイオード部を設けた装置が提案されている（例えば、下記特許文献2参照。）。

先行技術文献

特許文献

[0010] 特許文献1：特開2014-099444号公報

特許文献2：特開2014-216465号公報

非特許文献

[0011] 非特許文献1：ケイ・シェナイ（K. Shenai）、外2名、オプティウム

セミコンダクターズ フォー ハイパワー エレクトロニクス（Optimum Semiconductors for High-Power Electronics）、アイ・トリプル・イー トランザクションズ オン エレクトロン デバイシズ（IEEE Transactions on Electron Devices）、1989年9月、第36巻、第9号、p. 1811-1823

非特許文献2：ビー・ジャヤン・バリガ（B. Jayant Baliga）著、シリコン カーバイド パワー デバイシズ（Silicon Carbide Power Divices）、（米国）、ワールド サイエティフィック パブリッシング カンパニー（World Scientific Publishing Co.）、2006年3月30日、p. 61

発明の概要

発明が解決しようとする課題

[0012] しかしながら、メイン半導体素子と同一の半導体基板に、メイン半導体素

子を保護するための保護回路として、当該メイン半導体素子に流れる電流を検出する電流センス部を配置した場合、電流センス部の耐圧が低下するという問題がある。

[0013] この発明は、上述した従来技術による問題点を解消するため、メイン半導体素子と同一の半導体基板に当該メイン半導体素子に流れる電流を検出する電流センス部を備えた半導体装置であって、電流センス部の耐圧低下を防止することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0014] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、半導体素子、電流センス部および分離部を備える。前記半導体素子は、シリコンよりもバンドギャップの広い半導体からなる半導体基板に配置されている。前記電流センス部は、前記半導体基板に配置され、前記半導体素子に流れる電流を検出する。前記分離部は、前記半導体素子と前記電流センス部との間に設けられ、前記半導体素子と前記電流センス部とを分離する。前記分離部は、前記半導体基板に所定の深さで設けられたトレンチと、前記トレンチの内部に設けられた絶縁膜と、を有することを特徴とする。

[0015] また、この発明にかかる半導体装置は、上述した発明において、前記トレンチの内部には、前記絶縁膜を介して導電体層が埋め込まれていることを特徴とする。

[0016] また、この発明にかかる半導体装置は、上述した発明において、前記トレンチの内部は、前記絶縁膜のみで埋め込まれていることを特徴とする。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記電流センス部の素子構造は、前記半導体素子の素子構造の一部で構成されていることを特徴とする。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記半導体素子は、前記電流センス部の周囲を囲むことを特徴とする。

[0019] また、この発明にかかる半導体装置は、上述した発明において、前記半導

体素子は、第2導電型の第1半導体領域、第1導電型の第2半導体領域、ゲート絶縁膜、ゲート電極および第1，2電極を備える。前記第1半導体領域は、第1導電型の前記半導体基板のおもて面側に設けられている。前記第2半導体領域は、前記第1半導体領域の内部に選択的に設けられている。前記ゲート絶縁膜は、前記第1半導体領域の、前記第2半導体領域と前記半導体基板との間の領域に接して設けられている。前記ゲート電極は、前記ゲート絶縁膜を挟んで前記第1半導体領域の反対側に設けられている。前記第1電極は、前記第1半導体領域および前記第2半導体領域に接する。前記第2電極は、前記半導体基板の裏面に接することを特徴とする。

[0020] また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板のおもて面に所定の平面レイアウトに配置された複数の電極パッドをさらに備える。前記第1電極は、前記半導体素子に電氣的に接続された前記電極パッドである。前記半導体素子および前記電流センス部はそれぞれ異なる前記電極パッドに電氣的に接続されていることを特徴とする。

[0021] また、この発明にかかる半導体装置は、上述した発明において、前記第1半導体領域および前記第2半導体領域は、複数の前記電極パッドに深さ方向に対向する所定のレイアウトに配置されていることを特徴とする。

[0022] また、この発明にかかる半導体装置は、上述した発明において、前記第1半導体領域および前記第2半導体領域の、前記電流センス部に電氣的に接続された前記電極パッドに深さ方向に対向する部分で前記電流センス部が構成されていることを特徴とする。

[0023] また、この発明にかかる半導体装置は、上述した発明において、前記電極パッドの電位を外部に取り出す端子ピンを、すべての前記電極パッド上にそれぞれめっき膜を介して半田接合したことを特徴とする。

[0024] また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップの広い半導体は、炭化珪素であることを特徴とする。

[0025] また、この発明にかかる半導体装置は、上述した発明において、第1導電型の第3，4半導体領域をさらに備える。前記第3半導体領域は、前記半導

体基板の裏面側に設けられ、前記第 2 電極に接する。前記第 3 半導体領域は、前記半導体基板よりも不純物濃度が高い。前記前記第 4 半導体領域は、前記半導体基板の、前記第 1 半導体領域および前記第 3 半導体領域以外の部分である。前記分離部は、前記第 3 半導体領域と前記第 4 半導体領域との界面に達していることを特徴とする。

[0026] 上述した発明によれば、分離部によりシリコン部（半導体基板）においてメイン半導体素子（半導体素子）と電流センス部とが分離される。これにより、半導体基板側から電流センス部に直接かかる過電圧が抑制され、電流センス部のサージ耐量を向上させることができる。かつ、メイン半導体素子の内蔵ダイオードから流れ込む電流を遮断することができ、電流センス部の破壊耐量を向上させることができる。

発明の効果

[0027] 本発明にかかる半導体装置によれば、メイン半導体素子と同一の半導体基板に当該メイン半導体素子に流れる電流を検出する電流センス部を備えた半導体装置であって、電流センス部の耐圧低下を防止することができるという効果を奏する。

図面の簡単な説明

[0028] [図1A]図 1 A は、実施の形態 1 にかかる半導体装置の平面レイアウトの一例を示す平面図である。

[図1B]図 2 B は、図 1 A の要部の平面レイアウトを示す平面図である。

[図2]図 2 は、図 1 A の切断線 X 1 - X 1' における断面構造を示す断面図である。

[図3]図 3 は、図 1 A の切断線 Y 1 - Y 1' における断面構造を示す断面図である。

[図4]図 4 は、実施の形態 2 にかかる半導体装置の構造を示す断面図である。

[図5]図 5 は、実施の形態 3 にかかる半導体装置の構造を示す断面図である。

発明を実施するための形態

[0029] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の

形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。本明細書では、ミラー指数の表記において、“ $-$ ”はその直後の指数につくバーを意味しており、指数の前に“ $-$ ”を付けることで負の指数を表している。

[0030] (実施の形態1)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態1においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について説明する。図1Aは、実施の形態1にかかる半導体装置の平面レイアウトの一例を示す平面図である。図1Bは、図1Aの要部の平面レイアウトを示す平面図である。図1Aに示すように、実施の形態1にかかる半導体装置は、炭化珪素からなる同一の半導体基体(以下、炭化珪素基体(半導体基板(半導体チップ)))とする)100に、メイン半導体素子10と、このメイン半導体素子10を保護・制御する複数の回路部と、を備える。

[0031] メイン半導体素子10を保護・制御するための回路部としては、例えば、電流センス部30、温度センス部40、過電圧保護部(不図示)および演算回路部(不図示)等が挙げられる。メイン半導体素子10は、オン状態で縦方向(炭化珪素基体100の深さ方向Z)にドリフト電流が流れる縦型MOSFETであり、活性領域101に隣接して配置された複数(例えば数百〜数万個程度)の単位セル(機能単位)で構成され、主動作を行う。電流センス部30は、メイン半導体素子10に流れる過電流(OC: Over Current)を検出する機能を有する。電流センス部30は、メイン半導体素子10と同一構成の単位セルを数個程度備えた縦型MOSFETである。

[0032] 温度センス部40は、ダイオードの温度特性を利用してメイン半導体素子

10の温度を検出する機能を有する。過電圧保護部は、例えばサージ等の過電圧（OV：Over Voltage）からメイン半導体素子10を保護するダイオードである。演算回路部は、電流センス部30、温度センス部40および過電圧保護部を制御し、これら電流センス部30、温度センス部40および過電圧保護部等の出力信号に基づいてメイン半導体素子10を制御する機能を有する。演算回路部は、例えばCMOS（Complementary MOS：相補型MOS）回路など複数の半導体素子で構成される。

[0033] これらメイン半導体素子10、および、メイン半導体素子10を保護・制御する回路部の各電極パッドは、炭化珪素基体100のおもて面上に所定間隔で離して、所定の平面レイアウトに配置されている。図1Aには、すべての電極パッドを活性領域101に配置した場合を示す。活性領域101は、オン状態のときに電流が流れる領域である。エッジ終端領域102は、ドリフト領域の基体おもて面側の電界を緩和し耐圧を保持する領域である。また、図1Aには、ソースパッド12、ゲートパッド19、OCパッド31、アノードパッド44およびカソードパッド45を、それぞれS、G、OC、AおよびKと示す。

[0034] メイン半導体素子10は、他の回路部に比べて電流能力が大きい。このため、メイン半導体素子10のソースパッド（電極パッド）12は、活性領域101内の有効領域（活性領域101として用いる領域）の、ソースパッド12以外の電極パッドを配置した領域を除く領域のほぼ全面に配置される。ソースパッド12の平面レイアウトは、要求される仕様等に応じて種々変更可能である。例えば、ソースパッド12はソースパッド12以外のすべての電極パッドを囲む略矩形枠状の平面レイアウトに配置し、ソースパッド12以外の電極パッドは活性領域101の中央部に直線状に1列に配置してもよい。

[0035] 電流センス部30は、メイン半導体素子10と同じ条件で動作させるため、メイン半導体素子10と同じ素子構造を備える。このため、電流センス部30および電流センス部30の電極パッド（以下、OCパッドとする）31

は、活性領域 101 内の有効領域に配置される。電流センス部 30 は、例えば、メイン半導体素子 10 の一部の単位セルを用いて構成されてもよい。ソースパッド 12 および OC パッド 31 以外の電極パッドは、活性領域 101 内の無効領域（活性領域 101 として用いない領域）に配置してもよい。メイン半導体素子 10 のゲートパッド 19 は、エッジ終端領域 102 に配置してもよい。

[0036] また、電流センス部 30 は、分離部 60 に周囲を囲まれ、分離部 60 によりメイン半導体素子 10 と分離されている（図 1 B）。分離部 60 は、例えば、OC パッド 31 とほぼ同様の大きさの矩形枠状の平面レイアウトに配置されている。分離部 60 は、深さ方向 Z に OC パッド 31 と対向するように配置されてもよい。分離部 60 は、メイン半導体素子 10 の MOS ゲート構造部を構成する半導体領域（p 型ベース領域 3、n⁺型ソース領域（不図示）および p⁺型コンタクト領域（不図示））と、その一部で電流センス部 30 の MOS ゲート構造部となる部分と、を分離する。図 1 B には、分離部 60 を太線で示す。また、図 1 B には、p 型ベース領域 3（ハッチング部分）をストライプ状の平面レイアウトに配置した場合を示し、MOS ゲート構造部の他の構成部を図示省略する。分離部 60 の構成については後述する。

[0037] 温度センス部 40 および温度センス部 40 の電極パッド（アノードパッド 44 およびカソードパッド 45）は、メイン半導体素子 10 の電流量の多い領域付近（例えば活性領域 101 の中央部）に配置されることが好ましいが、エッジ終端領域 102 に配置してもよい。図示省略するが、過電圧保護部の電極パッド（以下、OV パッドとする）や、演算回路部の電極パッド（以下、演算部パッドとする）は、活性領域 101 の有効領域および無効領域のいずれに配置してもよいし、エッジ終端領域 102 に配置してもよい。ソースパッド 12 以外の電極パッドの並び順は、要求される仕様等に応じて種々変更可能である。

[0038] 次に、実施の形態 1 にかかる半導体装置の断面構造について、メイン半導体素子 10 をプレーナゲート構造の縦型 MOSFET とし、電流センス部 3

0をメイン半導体素子10の一部の単位セルを用いて構成した場合を例に説明する。図2は、図1Aの切断線X1-X1'における断面構造を示す断面図である。図3は、図1Aの切断線Y1-Y1'における断面構造を示す断面図である。図2、3には、炭化珪素基体100の活性領域101を図示し、活性領域の周囲を囲むエッジ終端領域102を図示省略する。メイン半導体素子10、および、メイン半導体素子10を保護・制御する回路部は、電極パッドに半田接合されたピン状の配線部材（後述する端子ピン）を用いた同一構成の配線構造を有する。

[0039] 具体的には、メイン半導体素子10は、炭化珪素基体100のおもて面側に、p型ベース領域3、n⁺型ソース領域4、p⁺型コンタクト領域5、ゲート絶縁膜7およびゲート電極8からなるMOSゲート構造部50aを備える。1つのMOSゲート構造部50aで1つの単位セルが構成される。複数のMOSゲート構造部50aは、例えば、基体おもて面に平行な方向（以下、第1方向とする）Xに所定のピッチで配置される。メイン半導体素子10のMOSゲート構造部50aは、例えば、第1方向Xと直行する方向（図面奥行方向、以下、第2方向とする）Yに延びるストライプ状の平面レイアウトに配置される。

[0040] メイン半導体素子10のMOSゲート構造部50aを構成する半導体領域は、活性領域101に配置される各電極パッドの平面レイアウトによらず、活性領域101全体にわたって所定のピッチで配置される。すなわち、活性領域101全体が有効領域となる。炭化珪素基体100は、例えば、炭化珪素からなるn⁺型支持基板（以下、n⁺型炭化珪素基板とする）1のおもて面上に、炭化珪素からなるn⁻型半導体層（以下、n⁻型炭化珪素層とする）2を積層してなる。n⁺型炭化珪素基板1は、メイン半導体素子10のドレイン領域として機能する。

[0041] p型ベース領域3は、n⁻型炭化珪素層2の、n⁺型炭化珪素基板1側に対して反対側（基体おもて面側）の表面層に選択的に設けられている。n⁻型炭化珪素層2の、p型ベース領域3以外の部分がドリフト領域である。n⁺型ソー

ス領域4 および p⁺型コンタクト領域5 は、 p 型ベース領域3 の内部にそれぞれ選択的に設けられている。 n⁻型炭化珪素層2 の、隣り合う p 型ベース領域3 間に挟まれた部分が n 型 J F E T (J u n c t i o n F E T) 領域6 である。 n 型 J F E T 領域6 は、 n⁺型ソース領域4 に対して p⁺型コンタクト領域5 の反対側に、 n⁺型ソース領域4 と離して配置される。

[0042] n⁺型炭化珪素基板1、 n⁻型炭化珪素層2、および、炭化珪素からなる p 型半導体層（以下、 p 型炭化珪素層とする）を順に積層して炭化珪素基板100 が構成されてもよい。この場合、炭化珪素基板100 の表面層となる p 型炭化珪素層の内部に、 n⁺型ソース領域4 および p⁺型コンタクト領域5 が配置される。かつ当該 p 型炭化珪素層の一部をイオン注入により n 型に打ち返して（反転させて）、 p 型炭化珪素層を深さ方向に貫通してドリフト領域に接する n 型 J F E T 領域6 が配置される。 p 型炭化珪素層の、 n⁺型ソース領域4、 p⁺型コンタクト領域5 および n 型 J F E T 領域6 以外の部分が p 型ベース領域3 となる。

[0043] n⁺型ソース領域4 および p⁺型コンタクト領域5 は、 p 型ベース領域3 の内部において、 p 型ベース領域3 と同様に第2方向Yに延びるストライプ状の平面レイアウトに配置される。 n 型 J F E T 領域6 は、隣り合う p 型ベース領域3 間において p 型ベース領域3 と同様に第2方向Yに延びるストライプ状の平面レイアウトに配置される。これら p 型ベース領域3、 n⁺型ソース領域4、 p⁺型コンタクト領域5 および n 型 J F E T 領域6 は、ソースパッド12 直下の部分（深さ方向にドレイン側に対向する部分）だけでなく、活性領域101 の全体にわたってソースパッド12 直下以外の部分にも配置されている。

[0044] n⁺型ソース領域4 および p⁺型コンタクト領域5 は、ソースパッド12 の直下の部分で、層間絶縁膜9 に設けられたコンタクトホールを介してソースパッド12 に接する。 n⁺型ソース領域4 および p⁺型コンタクト領域5 の、ゲートパッド19、アノードパッド44 およびカソードパッド45 の直下の部分は、図示省略する部分でソースパッド12 に接する。 p 型ベース領域3、 n⁺

型ソース領域4およびp⁺型コンタクト領域5は、ソースパッド12とのコンタクト（電氣的接触）のために、例えば第2方向Yに延びるストライプ状の平面レイアウトに配置されることが好ましい。

[0045] 炭化珪素基体100にメイン半導体素子10として配置したMOSゲート構造部のうち、OCパッド31直下の部分が電流センス部30のMOSゲート構造部50bとして用いられ、それ以外の部分がメイン半導体素子10のMOSゲート構造部50aとなる。すなわち、電流センス部30は、メイン半導体素子10の一部で構成され、メイン半導体素子10と同じ素子構造のMOSゲート構造部50bを備える。OCパッド31の直下の部分において、n⁺型ソース領域4およびp⁺型コンタクト領域5はOCパッド31に接する。

[0046] 具体的には、ストライプ状のp型ベース領域3の少なくとも1本の一部が、電流センス部30のMOSゲート構造部50bを構成するp型ベース領域3となる。このため、メイン半導体素子10のMOSゲート構造部50aと電流センス部30のMOSゲート構造部50bとは、第2方向Yに連続している（図3）。OCパッド31は、ストライプ状のp型ベース領域3の複数本に深さ方向に対向する幅（第1方向Xの幅）で配置されてもよい（図2）。

[0047] ソースパッド12およびOCパッド31の直下において、p型ベース領域3の、n⁺型ソース領域4とn型JFET領域6とに挟まれた部分の表面上には、ゲート絶縁膜7を介してゲート電極8が設けられている。同一の単位セルを構成するn型JFET領域6の表面上にゲート絶縁膜7を延在させ、ゲート絶縁膜7を挟んでn型JFET領域6と深さ方向に対向するようにゲート電極8が設けられていてもよい。

[0048] ゲート電極8は、温度センス部40およびゲートパッド部20には配置されていない。これらp型ベース領域3、n⁺型ソース領域4、p⁺型コンタクト領域5、n型JFET領域6、ゲート絶縁膜7およびゲート電極8でMOSゲート構造部50aが構成される。層間絶縁膜9は、炭化珪素基体100の

おもて面全面にゲート電極 8 を覆うように設けられている。

[0049] 層間絶縁膜 9 には、各電極パッド（ソースパッド 12、ゲートパッド 19、OCパッド 31、アノードパッド 44 およびカソードパッド 45）とのコンタクトのための複数のコンタクトホールが設けられている。層間絶縁膜 9 上には、各電極パッドが互いに離して配置されている。各電極パッドは、層間絶縁膜 9 や、後述する酸化膜 11 および第 1, 2 保護膜 16, 17 等により電氣的に絶縁されている。

[0050] ソースパッド 12 は、メイン半導体素子 10 のソース電極である。上述したように、ソースパッド 12 は、層間絶縁膜 9 に設けられたコンタクトホールを介して n^+ 型ソース領域 4 および p^+ 型コンタクト領域 5 に接している。ソースパッド 12 は、複数の金属膜を積層した積層構造を有していてもよい。例えば、ソースパッド 12 は、基体おもて面側から、バリアメタルと、アルミニウム (Al) を含む金属膜と、を順に積層した積層構造であってもよい。

[0051] ソースパッド 12 を構成するバリアメタルは、例えば、基体おもて面側から窒化チタン (TiN) 膜、チタン (Ti) 膜、窒化チタン膜およびチタン膜を順に積層してなる積層構造であってもよい。バリアメタルは、ソース電極から炭化珪素基体 100 および層間絶縁膜 9 側への金属原子の拡散を防止したり、バリアメタルを挟んで対向する領域間での相互反応を防止する機能を有する。

[0052] ソースパッド 12 上には、めっき膜 13 および半田膜 14 を介して端子ピン 15 が接合されている。端子ピン 15 は、所定直径を有する丸棒状（円柱状）の配線部材であり、ソースパッド 12 の電位を外部に取り出す外部接続用端子（例えばインプラントピン）となる。端子ピン 15 の一方の端部は、半導体チップ（炭化珪素基体 100）を実装したケース（不図示）の外側に露出し、外部装置（不図示）と電氣的に接続される。

[0053] 端子ピン 15 は、高温条件（例えば $200^{\circ}\text{C} \sim 300^{\circ}\text{C}$ ）においてもソースパッド 12 との密着性が高く、ワイヤボンディングに比べて剥離しに

く。端子ピン 15 の他方の端部は、基体おもて面に対して略垂直に立てた状態で、めっき膜 13 に半田接合されている。図 2, 3 には、端子ピン 15 を簡略して図示するが、実際には、半田膜 14 上に棒状の端子ピン 15 が縦長に直立して接合される。

[0054] ソースパッド 12 に複数の端子ピン 15 が接合されていてもよい。ソースパッド 12 に接合される端子ピン 15 の直径および本数は、メイン半導体素子 10 の電流能力の大きさに基づいて決定される。端子ピン 15 の直径が大きくなるほど、また、ソースパッド 12 に接合される端子ピン 15 の本数が多いほど、メイン半導体素子 10 の電流能力が大きくなる。

[0055] ソースパッド 12 の表面の、めっき膜 13 に覆われた部分以外の部分は、第 1 保護膜 16 で覆われている。第 1 保護膜 16 は、めっき膜 13 形成時に、めっき膜 13 の濡れ広がりを防止するマスクとして機能する。めっき膜 13 と第 1 保護膜 16 との境界上に、めっき膜 13 および第 1 保護膜 16 の端部を覆うように第 2 保護膜 17 が設けられている。第 2 保護膜 17 は、端子ピン 15 の半田接合時に、半田膜 14 の濡れ広がりを防止するマスクとして機能する。第 2 保護膜 17 は、第 1 保護膜 16 の全面を覆っていてもよい。第 2 保護膜 17 を設けることで、めっき膜 13 と第 1 保護膜 16 との間に隙間が生じている場合であっても、ソースパッド 12 が露出されることはない。

[0056] ゲートパッド 19 は、ゲートパッド部 20 に配置されている。ゲートパッド 19 の積層構造は、ソースパッド 12 と同様である。ゲートパッド 19 は、図示省略する部分で、層間絶縁膜 9 に設けられたコンタクトホールを介して、メイン半導体素子 10 および電流センス部 30 を構成するすべての単位セルのゲート電極 8 に電氣的に接続されている。また、ゲートパッド 19 は、層間絶縁膜 9 により炭化珪素基体 100 と電氣的に絶縁されている。ゲートパッド 19 上には、ソースパッド 12 と同様に、めっき膜 13 および半田膜 14 を介して端子ピン 15 が接合されている。ゲートパッド 19 に接合される端子ピン 15 の直径および本数は、メイン半導体素子 10 の電流能力に

基づいて決定すればよい。また、ゲートパッド19は、電流センス部30のゲートパッドとして機能する。

[0057] OCパッド31は、電流センス部30のソース電極である。上述したように、OCパッド31は、層間絶縁膜9に設けられたコンタクトホールを介してn⁺型ソース領域4およびp⁺型コンタクト領域5に接している。OCパッド31の積層構造は、ソースパッド12と同様である。OCパッド31上には、ソースパッド12と同様に、めっき膜13および半田膜14を介して端子ピン15が接合されている。OCパッド31に接合される端子ピン15の直径および本数は、電流センス部30の電流能力に基づいて決定すればよい。また、OCパッド31は、図示省略するセンス抵抗を介してソースパッド12に電氣的に接続されている。センス抵抗は、メイン半導体素子10のオン・オフで流れるドレイン電流の一部を微小電流として検出し分流する機能を有する。

[0058] 温度センス部40は、p型ポリシリコン(Poly-Si)層41とn型ポリシリコン層42との間のpn接合で形成されたダイオード43である。p型ポリシリコン層41およびn型ポリシリコン層42は、酸化膜11により炭化珪素基体100と電氣的に絶縁されている。また、p型ポリシリコン層41およびn型ポリシリコン層42は、層間絶縁膜9で覆われている。アノードパッド44およびカソードパッド45は、それぞれ層間絶縁膜9に設けられたコンタクトホールを介してp型ポリシリコン層41およびn型ポリシリコン層42に接している。アノードパッド44およびカソードパッド45は、それぞれ、ダイオード43のアノード電極およびカソード電極である。カソードパッド45は、図示省略する部分で、ソースパッド12に電氣的に接続されている。

[0059] アノードパッド44およびカソードパッド45の積層構造は、ソースパッド12と同様である。アノードパッド44およびカソードパッド45上には、それぞれ、ソースパッド12と同様に、めっき膜13および半田膜14を介して端子ピン15が接合されている。アノードパッド44およびカソード

パッド45それぞれに接合される端子ピン15の直径および本数は、温度センス部40の電流能力に基づいて決定すればよい。温度センス部40は、炭化珪素基板100のおもて面の表面層に形成されたp型領域とn型領域との間のpn接合で形成されたダイオードであってもよい。温度センス部40を構成するダイオード43は、エッジ終端領域102に配置してもよい。

[0060] 過電圧保護部（不図示）は、エッジ終端領域102に配置してもよい。演算回路部（不図示）を構成する複数の半導体素子の素子構造（おもて面電極も含む）は、活性領域101の有効領域に配置されている。演算回路部を構成する他の半導体素子のおもて面電極は、演算部パッドに電氣的に接続されている。OVパッドおよび演算部パッドの積層構造は、それぞれソースパッド12と同様である。OVパッドおよび演算部パッド上には、それぞれ、ソースパッド12と同様に、めっき膜13および半田膜14を介して端子ピン15が接合されている。OVパッドおよび演算パッドに接合される端子ピン15の直径および本数は、それぞれ、過電圧保護部および演算回路部の電流能力に基づいて決定すればよい。

[0061] すなわち、炭化珪素基板100のおもて面のほぼ全面が所定間隔で離して配置した複数のめっき膜13で覆われる。各電極パッド上のめっき膜13は、第1保護膜16により電氣的に絶縁されている。炭化珪素基板100の裏面（n⁺型炭化珪素基板1の裏面）全面に、裏面電極18が設けられている。裏面電極18は、メイン半導体素子10のドレイン電極として機能する。裏面電極18は、電流センス部30のドレイン電極として機能する。すなわち、電流センス部30のゲートパッドおよびドレイン電極は、それぞれ、メイン半導体素子10のゲートパッドおよびドレイン電極と共通である。

[0062] メイン半導体素子10と電流センス部30との間には、分離部60が設けられている。分離部60は、メイン半導体素子10と電流センス部30とを分離する。具体的には、分離部60は、炭化珪素基板100のおもて面から所定深さで設けられたトレンチ61で構成される。炭化珪素基板100の、トレンチ61によりメイン半導体素子10の素子構造と分離された領域に、

電流センス部 30 の素子構造が配置される。トレンチ 61 は、電流センス部 30 の周囲を囲む略矩形枠状の平面レイアウトに配置される（図 1 B 参照）。

[0063] 具体的には、トレンチ 61 は、例えば第 2 方向 Y に平行な部分で、電流センス部 30 の MOS ゲート構造部 50 b を構成する p 型ベース領域 3 と、当該 p 型ベース領域 3 に第 1 方向 X に隣り合うメイン半導体素子 10 の p 型ベース領域 3 と、を分離する（図 2）。トレンチ 61 は、例えば第 1 方向 X に平行な部分で、第 2 方向 Y に直線状（ストライプ状）に延びる p 型ベース領域 3 の、メイン半導体素子 10 の MOS ゲート構造部 50 a となる部分と、電流センス部 30 の MOS ゲート構造部 50 b となる部分と、を分離する（図 3）。

[0064] トレンチ 61 を深くするほど、電流センス部 30 のサージ耐量および破壊耐量を向上させることができるが、トレンチ 61 の深さは、電流センス部 30 の所定のサージ耐量および所定の破壊耐量を得られる程度の深さに設定することが好ましい。その理由は、エッチング時間が長くなることや、トレンチ 61 のアスペクト比（＝高さ／幅）が大きくなり、後述するポリシリコン層 63 の埋め込み不良が生じることなど、トレンチ 61 を深くした場合に生じる問題を回避することができるからである。

[0065] 例えば、トレンチ 61 の深さは、 n^+ 型炭化珪素基板 1 と n^- 型炭化珪素層 2 との界面に達していなくてもよい。また、トレンチ 61 を深くする場合、トレンチ 61 の深さは、基体おもて面から n^+ 型炭化珪素基板 1 と n^- 型炭化珪素層 2 との界面に達していてもよいし、 n^+ 型炭化珪素基板 1 内部に到達していてもよい。トレンチ 61 の幅（第 1 方向 X の幅）、絶縁膜 62 の厚さおよびポリシリコン層 63 の厚さは、電流センス部 30 の所定のサージ耐量および所定の破壊耐量を得られればよく、種々変更可能である。

[0066] トレンチ 61 の内部には、トレンチ 61 の内壁に沿って絶縁膜 62 が設けられ、絶縁膜 62 の内側にポリシリコンなどの導電体層（以下、ポリシリコン層とする）63 が設けられている。トレンチ 61 の内壁に沿って絶縁膜 6

2を設けることで、炭化珪素基板100の、分離部60を挟んで第1, 2方向X, Yに隣り合う部分が電氣的に絶縁される。かつ、トレンチ61の内部の、絶縁膜62の内側にポリシリコン層63を埋め込むことで、トレンチ61の内部に空洞を残さずに完全に埋め込むことができる。ポリシリコン層63は、層間絶縁膜9で覆われている。

[0067] この分離部60は、メイン半導体素子10と電流センス部30とが炭化珪素基板100側において電氣的に干渉することを抑制する機能を有する。具体的には、分離部60は、例えばサージ等の過電圧から電流センス部30を保護する機能を有する。すなわち、分離部60は、過電圧に対する電流センス部30のサージ耐量を向上させる。また、分離部60は、メイン半導体素子10の内蔵ダイオードの動作時にメイン半導体素子10から電流センス部30へ流れ込む電流を遮断する機能を有する。すなわち、分離部60は、メイン半導体素子10の内蔵ダイオードの動作時にメイン半導体素子10から電流センス部30へ流れ込む電流に対する電流センス部30の破壊耐量を向上させる。メイン半導体素子10の内蔵ダイオードとは、p型ベース領域3とドリフト領域（n⁻型炭化珪素層2）との間のpn接合で形成されるボディダイオードである。

[0068] ここでは、メイン半導体素子10と電流センス部30との第1方向Xとの間隔がメイン半導体素子10のセルピッチと等しい場合を例に説明しているが、メイン半導体素子10と電流センス部30との第1方向Xの間隔は要求される仕様等に応じて種々変更可能である。メイン半導体素子10と電流センス部30との第1方向Xとの間隔が狭いほど、電流センス部30のサージ耐量および破壊耐量が高いことが望まれるため、分離部60を設けたことによる効果が高くなる。

[0069] 次に、実施の形態1にかかる半導体装置の製造方法について、例えば1200Vの耐圧クラスのメイン半導体素子10を作製する場合を例に説明する。まず、n⁺型炭化珪素基板（半導体ウエハ）1を用意する。n⁺型炭化珪素基板1は、例えば、 $2.0 \times 10^{19} / \text{cm}^3$ の不純物濃度となるように窒素（N）

などのn型不純物（ドーパント）をドーピングした炭化珪素単結晶基板であってもよい。n⁺型炭化珪素基板1のおもて面は、例えば<11-20>方向に4度程度のオフ角を有する（000-1）面であってもよい。

[0070] 次に、n⁺型炭化珪素基板1のおもて面に、n⁻型炭化珪素層2を例えば10 μmの厚さでエピタキシャル成長させる。n⁻型炭化珪素層2は、例えば $1.0 \times 10^{16} / \text{cm}^3$ の不純物濃度となるように窒素などのn型不純物をドーピングしてもよい。ここまでの工程で、n⁺型炭化珪素基板1のおもて面上にn⁻型炭化珪素層2を積層してなる炭化珪素基体100が作製される。次に、フォトリソグラフィおよびイオン注入により、n⁻型炭化珪素層2の表面層にメイン半導体素子10のp型ベース領域3を選択的に形成する。

[0071] 次に、フォトリソグラフィおよびイオン注入を1組とする工程を異なるイオン注入条件で繰り返し行うことで、n⁺型ソース領域4、p⁺型コンタクト領域5およびn型JFET領域6を形成する。これらのイオン注入時、メイン半導体素子10の各領域とともに、メイン半導体素子10と同一の炭化珪素基体100に配置される回路部の同一構成（導電型、不純物濃度、深さ）の領域を形成する。次に、イオン注入により炭化珪素基体100に形成した複数の領域を活性化させるための熱処理（アニール）を例えば1620℃程度の温度で2分間程度行う。

[0072] 次に、フォトリソグラフィおよびエッチングにより、トレンチ61を形成する。次に、例えば熱処理により炭化珪素基体100のおもて面およびトレンチ61の内壁を熱酸化し、絶縁膜62を形成する。次に、トレンチ61の内部を埋め込むように、絶縁膜62上にポリシリコン層63を堆積する。次に、ポリシリコン層63をエッチバックして、トレンチ61の内部にのみポリシリコン層63を残す。トレンチ61、絶縁膜62およびポリシリコン層63の形成は、n⁻型炭化珪素層2の堆積後、後述するゲート絶縁膜7の形成前のいずれのタイミングで行ってもよい。

[0073] 次に、例えば、熱処理により炭化珪素基体100のおもて面を熱酸化し、例えば100nm程度の厚さで絶縁膜を形成する。この熱酸化は、例えば、

酸素（ O_2 ）ガスと水素（ H_2 ）ガスとの混合ガス雰囲気中において $1000^{\circ}C$ 程度の温度で行ってもよい。これにより、炭化珪素基板100のおもて面全面が絶縁膜で覆われる。この絶縁膜は、メイン半導体素子10および電流センス部30等のゲート絶縁膜7や、ダイオード43と炭化珪素基板100とを電氣的に絶縁する酸化膜11となる。さらに、例えば化学気相成長（CVD：Chemical Vapor Deposition）法により酸化膜11を厚くしてもよい。

[0074] 次に、絶縁膜上に、例えばリン（P）がドーパされたポリシリコン層を形成する。次に、このポリシリコン層をパターニングして選択的に除去し、メイン半導体素子10や電流センス部30等のゲート電極8として残す。このとき、このリンドーパのポリシリコン層から、ダイオード43となる部分を残してもよい。その後、リンドーパのポリシリコン層の、ダイオード43として残した部分に所定のタイミングでイオン注入を行うことで、ダイオード43のp型ポリシリコン層41およびn型ポリシリコン層42が形成される。

[0075] 次に、炭化珪素基板100のおもて面全面に、ゲート電極8を覆うように、層間絶縁膜9を例えば $1.0\mu m$ の厚さで成膜（形成）する。層間絶縁膜9は、例えばリンガラス（PSG：Phospho Silicate Glass）などを材料としてもよい。次に、フォトリソグラフィおよびエッチングにより層間絶縁膜9およびゲート絶縁膜7をパターニングし、メイン半導体素子10および各回路部のコンタクトホールを形成する。次に、熱処理（リフロー）により層間絶縁膜9を平坦化する。

[0076] 次に、例えばスパッタ法により、コンタクトホールに埋め込むように、層間絶縁膜9上に例えばバリアメタルとなる金属膜を形成（成膜）する。次に、例えばスパッタ法により、炭化珪素基板100の裏面（ n^+ 型炭化珪素基板1の裏面）に、裏面電極18となる例えばニッケル（Ni）膜を形成する。次に、例えば $970^{\circ}C$ の温度での熱処理により、炭化珪素基板100の両面にそれぞれオーミックコンタクトを形成する。次に、例えばスパッタ法によ

り、層間絶縁膜 9 上にさらに金属膜を形成して、電極パッドとなる金属積層膜を形成する。

[0077] 次に、基体おもて面上の金属積層膜をパターニングして選択的に除去し、ソースパッド 12、ゲートパッド 19、OCパッド 31、アノードパッド 44 およびカソードパッド 45 等の各電極パッドを所定の平面レイアウトで残す。次に、基体裏面のニッケル膜上に、裏面電極 18 となる例えばチタン膜、ニッケル膜および金 (Au) 膜を順に形成する。次に、各電極パッドのめっき膜 13 の形成領域以外の部分を第 1 保護膜 16 で覆う。このとき、各電極パッド間に第 1 保護膜 16 を埋め込み、電極パッド同士を電氣的に絶縁する。

[0078] 次に、第 1 保護膜 16 をマスクとして、各電極パッドの表面にめっき膜 13 を形成する。これにより、炭化珪素基体 100 のおもて面のほぼ全面がめっき膜 13 で選択的に覆われる。次に、第 1 保護膜 16 とめっき膜 13 との境界を第 2 保護膜 17 で覆う。次に、各電極パッドのめっき膜 13 上に端子ピン 15 を半田 (半田膜 14) 接合する。その後、炭化珪素基体 100 をチップ状に切断 (ダイシング) して個片化することで、図 1A~3 に示す MOSFET が完成する。

[0079] また、上述した実施の形態 1 にかかる半導体装置は、メイン半導体素子 10 および電流センス部 30 の MOS ゲート構造部 50a, 50b をトレンチゲート構造としてもよい (不図示)。この場合、分離部 60 を構成するトレンチ 61、絶縁膜 62 およびポリシリコン層 63 は、それぞれ、MOS ゲート構造部 50a, 50b のトレンチゲート構造を構成するトレンチ、ゲート絶縁膜およびゲート電極と同一の工程により同時に形成してもよい。

[0080] 以上、説明したように、実施の形態 1 によれば、メイン半導体素子と電流センス部との間に少なくとも内壁を絶縁膜で覆ったトレンチを設けることで、炭化珪素部 (炭化珪素基体) においてメイン半導体素子と電流センス部とが分離される。これにより、炭化珪素基体側から電流センス部に直接かかる過電圧が抑制され、電流センス部のサージ耐量を向上させることができる。

かつ、メイン半導体素子の内蔵ダイオードから流れ込む電流を遮断することができ、電流センス部の破壊耐量を向上させることができる。したがって、電流センス部の耐圧が低下することを防止することができる。

[0081] また、実施の形態1によれば、電流センス部の破壊耐量が向上することで、メイン半導体素子の内蔵ダイオードを、例えば負荷電流を転流させるための還流ダイオード（FWD：Free Wheeling Diode）として用いることができる。このため、例えば、メイン半導体素子を用いてインバータ等を作製する際に、メイン半導体素子と異なる半導体チップに形成されたダイオードを負荷電流を転流させるための還流ダイオードとして用いる必要がなく、チップ枚数を削減することができる。これにより、半導体装置の小型化が可能である。

[0082] （実施の形態2）

次に、実施の形態2にかかる半導体装置の構造について説明する。図4は、実施の形態2にかかる半導体装置の構造を示す断面図である。実施の形態2にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、ゲートパッド19、アノードパッド44およびカソードパッド45の直下にMOSゲート構造部50aを構成する半導体領域を配置せずは無効領域とした点である。この場合、電流センス部30のMOSゲート構造部50bの周囲を囲むように、メイン半導体素子10のMOSゲート構造部50aが配置される。

[0083] MOSゲート構造部は、第2方向Yに延びるストライプ状の平面レイアウトに配置されてもよいし、マトリクス状の平面レイアウトに配置されていてもよい。MOSゲート構造部をストライプ状の平面レイアウトに配置する場合、p型ベース領域3、n⁺型ソース領域4、p⁺型コンタクト領域5およびn型JFET領域6は、活性領域101の有効領域に、第2方向Yに延びるストライプ状の平面レイアウトに配置される。

[0084] MOSゲート構造部をマトリクス状の平面レイアウトに配置する場合、p型ベース領域3は、活性領域101の有効領域に、マトリクス状の平面レイ

アウトに配置される。p⁺型コンタクト領域5はp型ベース領域3の中央部付近に配置され、n⁺型ソース領域4はp⁺型コンタクト領域5の周囲を囲む平面レイアウトに配置される。n型JFET領域6は、隣り合うp型ベース領域3間を通る格子状の平面レイアウトに配置される。

[0085] ゲートパッド19、アノードパッド44およびカソードパッド45の直下には、隣接するメイン半導体素子10または電流センス部30を構成するp型ベース領域3およびp⁺型コンタクト領域5が延在していてもよい。分離部60によりメイン半導体素子10と電流センス部30とが電氣的に分離されていればよく、メイン半導体素子10のMOSゲート構造部50aと、電流センス部30のMOSゲート構造部50bと、が異なる平面レイアウトで配置されていてもよい。

[0086] ゲートパッド19、アノードパッド44およびカソードパッド45の直下の無効領域に、有効領域との境界から当該無効領域全体にわたって一様に、p型ベース領域3およびp⁺型コンタクト領域5が延在していてもよい。

[0087] 以上、説明したように、実施の形態2によれば、活性領域に無効領域を設けた場合においても、実施の形態1と同様の効果を得ることができる。

[0088] (実施の形態3)

次に、実施の形態3にかかる半導体装置の構造について説明する。図5は、実施の形態3にかかる半導体装置の構造を示す断面図である。実施の形態3にかかる半導体装置が実施の形態2にかかる半導体装置と異なる点は、分離部60を構成するトレンチ61の内部を絶縁膜62のみで埋め込んだ点である。トレンチ61を絶縁膜62で完全に埋め込むことができれば、トレンチ61内にポリシリコンを埋め込まなくても分離部60としての機能が得られる。例えば、CVD法等の堆積法を用いることにより、トレンチ61の内部を絶縁膜62で完全に埋め込むことができる。このため、トレンチ61の内部にポリシリコン層を埋め込まなくても、トレンチ61の内部を完全に埋め込むことができる。

[0089] 実施の形態3を実施の形態1に適用してもよい。

[0090] 以上、説明したように、実施の形態3によれば、トレンチに絶縁膜のみを埋め込んだ構成の分離部を電流センス部とメイン半導体素子との間に配置した場合においても、実施の形態1, 2と同様の効果を得ることができる。

[0091] 以上において本発明は、上述した各実施の形態に限らず、本発明の趣旨を逸脱しない範囲で種々変更可能である。例えば、電流センス部によりメイン半導体素子の過電流を検出する場合を例に説明しているが、電流センス部と同一の炭化珪素基体に配置された他のMOSFETの過電流を検出する構成とした半導体装置にも適用可能である。また、端子ピンに代えて、例えば、ボンディングワイヤや、平板状の配線部材を用いて配線構造を構成した半導体装置にも適用可能である。

[0092] また、各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、本発明は、窒化ガリウム（GaN）などの他のワイドバンドギャップ半導体を用いた半導体装置や、シリコンを用いた半導体装置においても同様の効果を奏する。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

産業上の利用可能性

[0093] 以上のように、本発明にかかる半導体装置は、スイッチングデバイスとして用いられる半導体装置に有用であり、特に炭化珪素を用いた縦型半導体装置に適している。

符号の説明

- [0094]
- 1 n⁺型炭化珪素基板
 - 2 n⁻型炭化珪素層
 - 3 p型ベース領域
 - 4 n⁺型ソース領域
 - 5 p⁺型コンタクト領域
 - 6 n型JFET領域
 - 7 ゲート絶縁膜

- 8 ゲート電極
- 9 層間絶縁膜
- 10 メイン半導体素子
- 11 酸化膜
- 12 ソースパッド
- 13 めっき膜
- 14 半田膜
- 15 端子ピン
- 16, 17 保護膜
- 18 裏面電極
- 19 ゲートパッド
- 20 ゲートパッド部
- 30 電流センス部
- 31 OCパッド
- 40 温度センス部
- 41 p型ポリシリコン層
- 42 n型ポリシリコン層
- 43 ダイオード
- 44 アノードパッド
- 45 カソードパッド
- 50a, 50b MOSゲート構造部
- 60 分離部
- 61 トレンチ
- 62 絶縁膜
- 63 ポリシリコン層
- 100 炭化珪素基体
- 101 活性領域
- 102 エッジ終端領域

X, Y 基体おもて面に平行な方向

Z 深さ方向

請求の範囲

- [請求項1] シリコンよりもバンドギャップの広い半導体からなる半導体基板に配置された半導体素子と、
- 前記半導体基板に配置され、前記半導体素子に流れる電流を検出する電流センス部と、
- 前記半導体素子と前記電流センス部との間に設けられ、前記半導体素子と前記電流センス部とを分離する分離部と、
- を備え、
- 前記分離部は、
- 前記半導体基板に所定の深さで設けられたトレンチと、
- 前記トレンチの内部に設けられた絶縁膜と、を有することを特徴とする半導体装置。
- [請求項2] 前記トレンチの内部には、前記絶縁膜を介して導電体層が埋め込まれていることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記トレンチの内部は、前記絶縁膜のみで埋め込まれていることを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記電流センス部の素子構造は、前記半導体素子の素子構造の一部で構成されていることを特徴とする請求項1～3のいずれか一つに記載の半導体装置。
- [請求項5] 前記半導体素子は、前記電流センス部の周囲を囲むことを特徴とする請求項1～4のいずれか一つに記載の半導体装置。
- [請求項6] 前記半導体素子は、
- 第1導電型の前記半導体基板のおもて面側に設けられた第2導電型の第1半導体領域と、
- 前記第1半導体領域の内部に選択的に設けられた第1導電型の第2半導体領域と、
- 前記第1半導体領域の、前記第2半導体領域と前記半導体基板との間の領域に接して設けられたゲート絶縁膜と、

前記ゲート絶縁膜を挟んで前記第 1 半導体領域の反対側に設けられたゲート電極と、

前記第 1 半導体領域および前記第 2 半導体領域に接する第 1 電極と、

前記半導体基板の裏面に接する第 2 電極と、を有することを特徴とする請求項 1 ～ 5 のいずれか一つに記載の半導体装置。

[請求項7] 前記半導体基板のおもて面に所定の平面レイアウトに配置された複数の電極パッドをさらに備え、

前記第 1 電極は、前記半導体素子に電氣的に接続された前記電極パッドであり、

前記半導体素子および前記電流センス部は、それぞれ異なる前記電極パッドに電氣的に接続されていることを特徴とする請求項 6 に記載の半導体装置。

[請求項8] 前記第 1 半導体領域および前記第 2 半導体領域は、複数の前記電極パッドに深さ方向に対向する所定のレイアウトに配置されていることを特徴とする請求項 7 に記載の半導体装置。

[請求項9] 前記第 1 半導体領域および前記第 2 半導体領域の、前記電流センス部に電氣的に接続された前記電極パッドに深さ方向に対向する部分で前記電流センス部が構成されていることを特徴とする請求項 7 または 8 に記載の半導体装置。

[請求項10] 前記電極パッドの電位を外部に取り出す端子ピンを、すべての前記電極パッド上にそれぞれめっき膜を介して半田接合したことを特徴とする請求項 9 に記載の半導体装置。

[請求項11] シリコンよりもバンドギャップの広い半導体は、炭化珪素であることを特徴とする請求項 1 ～ 10 のいずれか一つに記載の半導体装置。

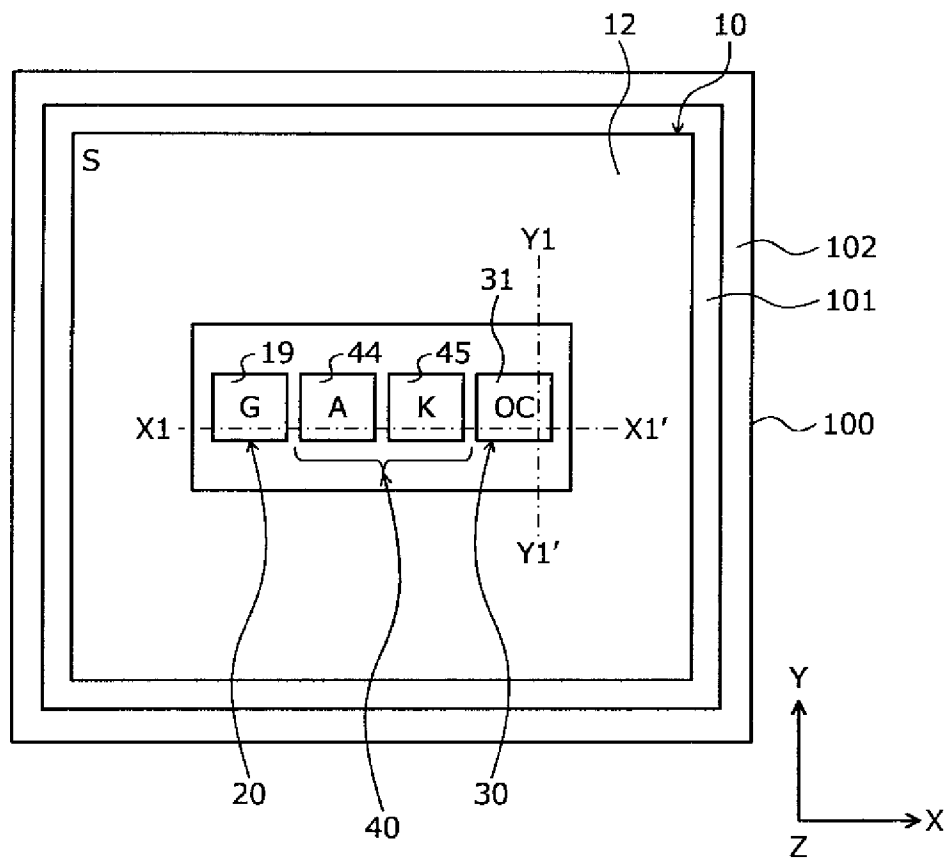
[請求項12] 前記半導体基板の裏面側に設けられ、前記第 2 電極に接する、前記半導体基板よりも不純物濃度の高い第 1 導電型の第 3 半導体領域と、
前記半導体基板の、前記第 1 半導体領域および前記第 3 半導体領域

以外の部分である第 1 導電型の第 4 半導体領域と、

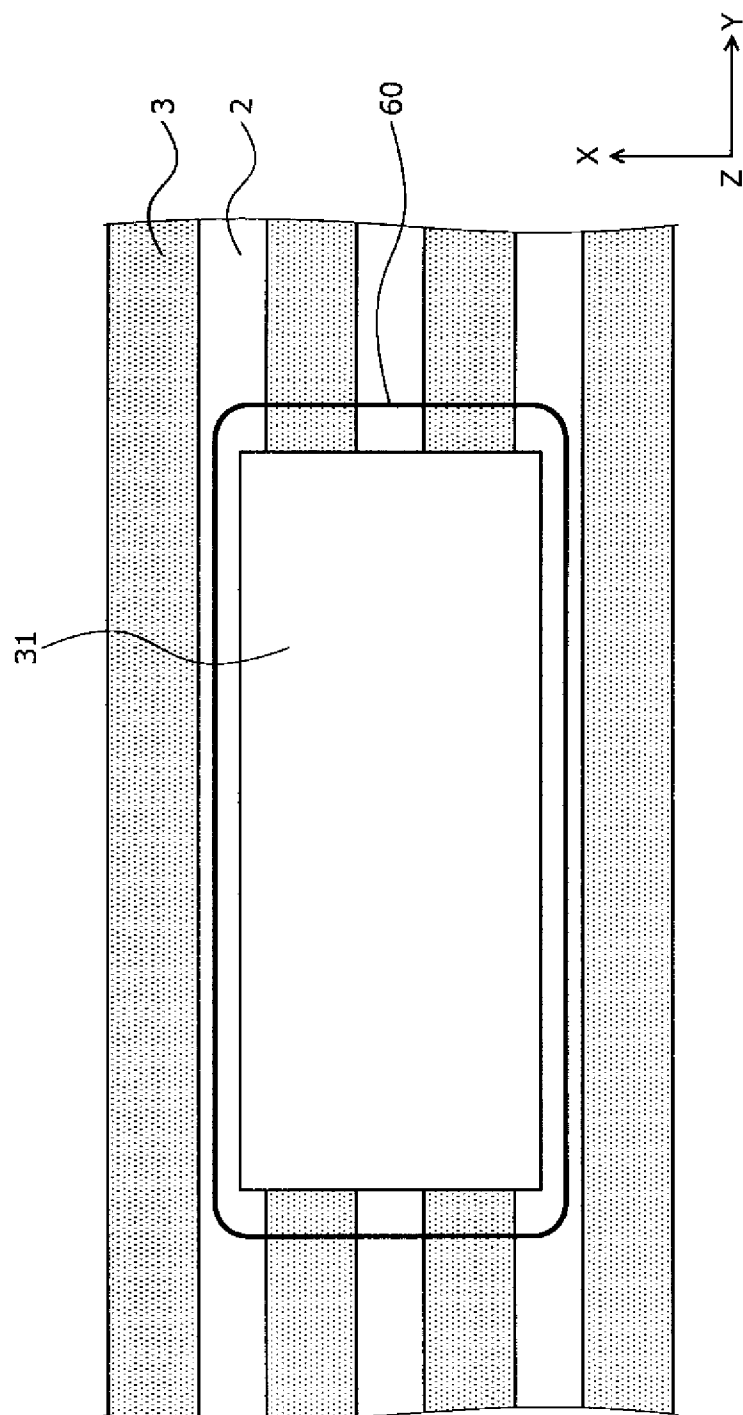
をさらに備え、

前記分離部は、前記第 3 半導体領域と前記第 4 半導体領域との界面に達していることを特徴とする請求項 6 ～ 10 のいずれか一つに記載の半導体装置。

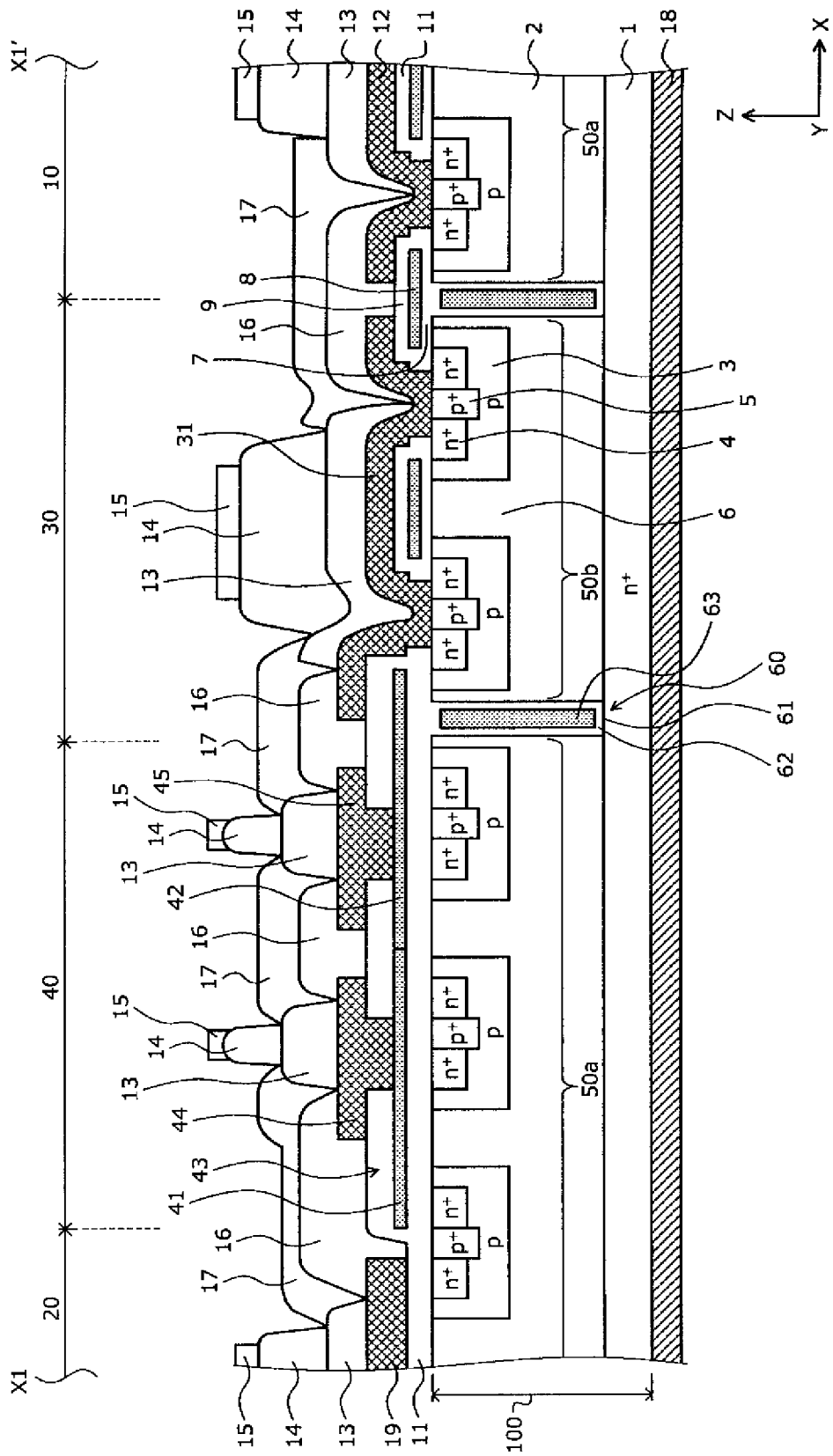
[図1A]



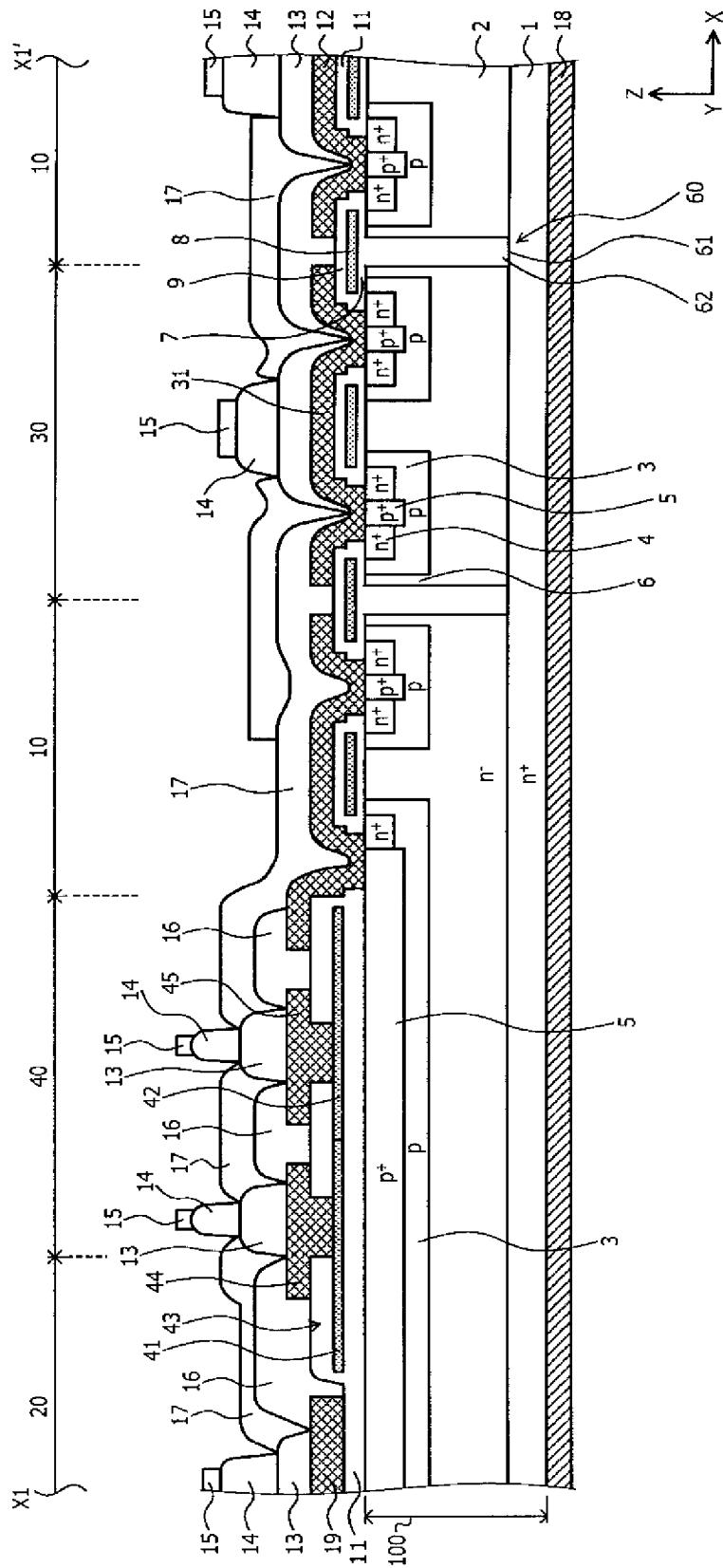
[図1B]



[図2]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/017428

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/12(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i,
H01L27/08(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/12, H01L21/8234, H01L27/06, H01L27/08, H01L29/06, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2016-063107 A (Toyota Motor Corp., Toyota Central Research and Development Laboratories, Inc., Denso Corp.), 25 April 2016 (25.04.2016), paragraphs [0008] to [0029], [0043], [0046] to [0047], [0058]; fig. 1 to 5 & US 2016/0087094 A1 paragraphs [0013] to [0034], [0048], [0051] to [0052], [0063]; fig. 1 to 5	1-9, 11 10, 12
Y	JP 2014-216465 A (Toyota Motor Corp., Denso Corp.), 17 November 2014 (17.11.2014), paragraphs [0019] to [0037]; fig. 1 to 3 & US 2014/0319540 A1 paragraphs [0027] to [0045]; fig. 1 to 3	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
22 May 2017 (22.05.17)

Date of mailing of the international search report
06 June 2017 (06.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/017428

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-147297 A (Denso Corp.), 02 July 2009 (02.07.2009), paragraphs [0030] to [0044], [0077] to [0083]; fig. 1, 11, 12 & US 2009/0127624 A1 paragraphs [0036] to [0050], [0084] to [0090]; fig. 1, 11, 12 & US 2012/0302036 A1 & DE 102008058013 A1	1-12
Y A	JP 2013-016538 A (Toyota Motor Corp.), 24 January 2013 (24.01.2013), paragraphs [0019] to [0030]; fig. 1 (Family: none)	10,12 1-9,11
Y A	JP 2006-513563 A (Fraunhofer-Gesellschaft zur Forderung der angewandten Forschung e.V.), 20 April 2006 (20.04.2006), paragraphs [0027], [0034] to [0037]; fig. 1 to 3 & US 2006/0172494 A1 paragraphs [0035], [0045] to [0048]; fig. 1 to 3 & JP 4718187 B2 & WO 2004/064123 A2 & EP 1581966 A2 & DE 10300577 A1 & CA 2511842 A1 & AU 2003299284 A1	12 1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/12(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i,
H01L29/06(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/12, H01L21/8234, H01L27/06, H01L27/08, H01L29/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2016-063107 A（トヨタ自動車株式会社，株式会社豊田中央 研究所，株式会社デンソー）2016.04.25， 段落[0008]-[0029]，[0043]，[0046]-[0047]，[0058]，図1-5 & US 2016/0087094 A1，段落[0013]-[0034]，[0048]， [0051]-[0052]，[0063]，図1-5	1-9, 11 10, 12
Y	JP 2014-216465 A（トヨタ自動車株式会社，株式会社デンソー） 2014.11.17， 段落[0019]-[0037]，図1-3	1-12

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

22.05.2017

国際調査報告の発送日

06.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

恩田 和彦

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	& US 2014/0319540 A1, 段落[0027]-[0045], 図 1-3 JP 2009-147297 A (株式会社デンソー) 2009. 07. 02, 段落[0030]-[0044], [0077]-[0083], 図 1, 11, 12 & US 2009/0127624 A1, 段落[0036]-[0050], [0084]-[0090], 図 1, 11, 12 & US 2012/0302036 A1 & DE 102008058013 A1	1-12
Y A	JP 2013-016538 A (トヨタ自動車株式会社) 2013. 01. 24, 段落[0019]-[0030], 図 1 (ファミリーなし)	10, 12 1-9, 11
Y A	JP 2006-513563 A (フラウンホーファーゲゼルシャフト ツアー フォルデルング デア アンゲバンデン フォルシュンク エー. ファオ.) 2006. 04. 20, 段落[0027], [0034]-[0037], 図 1-3 & US 2006/0172494 A1, 段落[0035], [0045]-[0048], 図 1-3 & JP 4718187 B2 & WO 2004/064123 A2 & EP 1581966 A2 & DE 10300577 A1 & CA 2511842 A1 & AU 2003299284 A1	12 1-11