



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 295 656**

51 Int. Cl.:
H04L 7/00 (2006.01)
H04L 27/06 (2006.01)
H04B 1/69 (2006.01)
G06F 7/38 (2006.01)
G06F 17/17 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **03770595 .1**
86 Fecha de presentación : **30.09.2003**
87 Número de publicación de la solicitud: **1552641**
87 Fecha de publicación de la solicitud: **13.07.2005**

54 Título: **Método de interpolador óptimo y aparato para el ajuste de temporización digital.**

30 Prioridad: **02.10.2002 US 415682 P**

45 Fecha de publicación de la mención BOPI:
16.04.2008

45 Fecha de la publicación del folleto de la patente:
16.04.2008

73 Titular/es:
INTERDIGITAL TECHNOLOGY CORPORATION
3411 Silverside Road, Concord Plaza
Suite 105, Hagley Building
Wilmington, Delaware 19810, US

72 Inventor/es: **Bultan, Aykut y**
Grieco, Donald, M.

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 295 656 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Método de interpolador óptimo y aparato para el ajuste de temporización digital.

5 Campo de la invención

Esta invención está relacionada en general con los sincronizadores de temporización digital, y más en particular con una implementación eficiente de un interpolador a utilizar en los sincronizadores de temporización digital.

10 Antecedentes

De aquí en adelante una unidad de transmisión/recepción (WTRU) incluirá, aunque sin limitación, un equipo de usuario, una estación fija o una unidad de abonado móvil, un buscaperonas, o cualquier otro tipo de dispositivo capaz de operar en un entorno radioeléctrico. Al referirse de ahora en adelante a una estación base se incluirá, aunque sin limitación, a una estación base, un nodo B, controlador del sitio, un punto de acceso o bien otro dispositivo de interfaz en un entorno radioeléctrico.

La solicitud de patente europea que tiene el número de publicación EP12044215 expone un aparato de búsqueda de la trayectoria, el cual se utiliza en un aparato de la estación base de acuerdo con el sistema CDMA, para incrementar la detección del trayecto dependiendo del número de canales de comunicación a procesar. El aparato de búsqueda de la trayectoria tiene medios de búsqueda de la trayectoria para generar un perfil del retardo a través de un proceso de búsqueda de la trayectoria compuesto por una pluralidad de unidades de procesamiento, con unos medios de almacenamiento de información de interpolación, para almacenar la información de interpolación indicativa de si se tiene que ejecutar o no el proceso de interpolación para reducir el intervalo de los segmentos transmitidos, antes y después de cada una de las unidades de procesamiento, con los medios de control del proceso de la posición de la interpolación, para habilitar los medios de búsqueda del trayecto, para la ejecución del proceso de interpolación antes y después de cada una de las unidades de procesamiento, basándose en la información de interpolación almacenada en los medios de almacenamiento de interpolación, de acuerdo con el número de canales de comunicación a procesar, y los medios de detección de los trayectos para detectar un trayecto de recepción, basándose en el perfil de retardo generado por los medios de búsqueda de trayectos.

El documento titulado “Interpolación en los módems digitales, Parte I: Fundamentos”, Transacciones en Comunicaciones, Marzo, 1993, de M. Gardner, expone una ecuación fundamental para la interpolación y propone un método para el control, describiendo las características del procesamiento de señales apropiadas para un interpolador.

El documento “Implementación FPGA de la recuperación de temporización digital en el radioreceptor de software”, Circuito y Sistemas, 4 de Diciembre de 2000, por Yik-Chung Wu, y Tung-Sang Ng, expone una implementación de un esquema de recuperación de la temporización totalmente digital. La cuadratura de la no linealidad se utiliza para generar la estimación de la temporización y en donde el sistema IIR se utiliza para extraer el componente espectral con el régimen de los símbolos.

En un sistema de telecomunicaciones radioeléctricas duplex por división de frecuencias (FDD) o duplex por división en el tiempo (TDD), la sincronización de la temporización entre las señales transmitidas y recibidas de una estación base, y una unidad WTRU es imperativa para una comunicación bilateral apropiada. Así mismo, el efecto Doppler puede contribuir a la diferencia de frecuencias si el receptor móvil se encuentra en movimiento. Para compensar la diferencia de tiempos entre el oscilador local de la estación base y el oscilador local de la unidad WTRU, un sencillo ajuste en el oscilador local del receptor WTRU puede corregir el error, mediante la aplicación de un avance o un retardo en la velocidad de muestreo en la forma apropiada, si no existe un procesamiento de multitrayecto en el receptor. No obstante, debido a los efectos de las señales multitrayecto, los receptores convencionales de los sistemas de comunicaciones radioeléctricas utilizan unos medios para la detección de las señales multitrayecto, y unos medios para la reconstitución de la señal transmitida, tal como los receptores del tipo RAKE.

La temporización para cada trayecto se estima en dos etapas. En primer lugar, se utiliza un estimador de canales para encontrar las localizaciones aproximadas de cada trayecto en el tiempo para un canal de comunicaciones multitrayecto. En segundo lugar, para cada trayecto, se utiliza un seguidor del código dedicado, en correlación con cada rama RAKE para la localización precisa del trayecto en el tiempo y realiza el seguimiento del mismo de forma continua. Puesto que cada trayecto tiene una localización exclusiva en el tiempo, controlando la temporización del código a través del oscilador local solamente no se corrige el error de temporización en un entorno de canales multitrayecto.

Para poder enfocar el problema del multitrayecto, los seguidores de códigos pueden utilizar interpoladores para ejecutar la sincronización de la temporización digital en lugar de controlar el oscilador local. Para una implementación eficiente de un interpolador, puede utilizarse un interpolador de respuesta finita al impulso (FIR). Existen diferentes soluciones conocidas para los interpoladores FIR. La solución más simple es utilizar una función “sinc” truncada como un interpolador FIR. Otra opción es utilizar un interpolador polinómico. Así mismo, puede utilizarse un interpolador de error cuadrático medio mínimo (MMSE). Entre todos estos algoritmos, el interpolador MMSE proporciona un error mínimo en comparación con el interpolador ideal de longitud infinita. Se observará que sin una unidad de control del interpolador eficiente que asegure que el interpolador está centralizado con respecto al lóbulo principal de la función “sinc” (es decir, centralizado con respecto a la función de interpolación), el interpolador podría dar lugar a un

ES 2 295 656 T3

número más alto de coeficientes FIR que pudieran ser necesarios para una precisión dada. El inconveniente de unos coeficientes excesivos es que el número de cálculos de interpolación llegará a ser un problema, y en un cierto punto, un factor de limitación para la implementación. Esto es especialmente compuesto, conforme aumenta el número de seguidores utilizados, con el fin de afrontar realmente los efectos de multitrayecto. Así pues, existe un compromiso entre la extensión del número de los seguidores de las ramas RAKE, con respecto a la cantidad de la ganancia de diversidad en el tiempo obtenida a partir de un canal multitrayecto.

Sumario

Se proporciona un sincronizador de temporización digital de un receptor para la sincronización de temporización a un transmisor en un sistema de comunicaciones radioeléctricas, en donde la señal recibida tiene un error de temporización con respecto a un código de referencia. Un estimador de canales realiza la estimación de una fase del código inicial de la señal recibida. Un generador de códigos genera un código de referencia de temporización que es ajustable por incrementos enteros. Se encuentra configurado un circuito de realimentación negativa de interpolación para la interpolación y corrección del error de temporización, por lo que se consigue la interpolación a través de un desplazamiento de códigos de enteros, más una estimación del retardo fraccional cuantificado a partir de una tabla de consulta de valores cuantificados de estimaciones de retardo fraccional asociadas con unos coeficientes de interpolación predeterminados, a partir de los cuales se genera la versión corregida en el tiempo de la señal recibida.

Dentro del circuito de realimentación negativa de interpolación, se encuentra configurado un interpolador normalizado para una velocidad de muestreo, para desplazar la señal recibida en el tiempo con un retardo o avance fraccional. Un estimador de errores de temporización determina una estimación del error de temporización, basándose en la diferencia de tiempos entre una señal de salida del circuito de realimentación negativa de interpolación y el código de referencia de temporización del generador de códigos. Un controlador del interpolador, sensible a la estimación del error de temporización genera y envía una señal de desplazamiento del código al generador de códigos en una dirección opuesta a la estimación del error de temporización, y genera una estimación del retardo fraccional, por lo que la interpolación está controlada mediante el mantenimiento de una estimación del retardo fraccional dentro de un rango predeterminado. Un cuantificador que tiene una tabla de consulta con los coeficientes del interpolador predeterminados almacenados, está asociado con los valores de estimación del retardo fraccional cuantificado, selecciona una estimación del retardo fraccional cuantificado que está más próximo al valor de la estimación del retardo fraccional. El interpolador procesa los coeficientes asociados con la estimación del retardo fraccional cuantificado.

Breve descripción de los dibujos

Se puede comprender con más detalle la invención a partir de la siguiente descripción de una realización preferida, que se proporciona a modo de ejemplo, y para ser comprendida con conjunción con los dibujos adjuntos en los que:

la figura 1 muestra un diagrama de bloques de un seguidor de códigos con una interpolación optimizada:

la figura 2 muestra un diagrama de bloques de un filtro de bucle; y

las figuras 3A, 3B muestran unos diagramas de temporización del desplazamiento de códigos del seguidor de códigos.

Descripción detallada de las realizaciones preferidas

Aunque las realizaciones están descritas en conjunción con el sistema de acceso múltiple por división de códigos de banda ancha (W-CDMA) del programa de asociación de la tercera generación (3GPP), utilizando el modo dúplex de división en el tiempo, las realizaciones son aplicables a cualquier sistema híbrido de comunicaciones de acceso múltiple por división de códigos (CDMA)/acceso múltiple por división en el tiempo (TDMA). Adicionalmente, las realizaciones son aplicables a los sistemas CDMA, en general, tal como el modo dúplex por división de frecuencias (FDD) del sistema 3GPP W-CDMA.

La figura 1 muestra un diagrama de bloques de la realización preferida de un seguidor de códigos 10, que comprende: un estimador de canales 11, una unidad 12 de post-procesamiento, un generador de códigos 13, un interpolador 14, un muestreador descendente 15, un estimador 16 de errores de temporización, un filtro de bucle 17, un control 18 del interpolador, un cuantificador 19, y una unidad de medida de la potencia 20. La señal recibida 21 llega a ser una señal de entrada para el estimador de canales 11 y para el interpolador 14. El seguidor de códigos 10 ejecuta la sincronización de temporización digital de un receptor para el correspondiente transmisor radioeléctrico. En un sistema similar al 3GPP, por ejemplo, el seguidor de códigos 10 está dentro de un receptor móvil WTRU para la sincronización de temporización digital con un transmisor de la estación base.

El estimador de canales 11 realiza la estimación aproximada de la fase del código inicial de la señal de entrada 21, es decir, las localizaciones del código en el tiempo. Un método para estimar la estimación del canal incluye, aunque sin limitación, la utilización de correladores de ventanas deslizantes. El periodo de la muestra del estimador de canales 11 deberá ser inferior o igual a $2T_c$, en donde T_c es la duración de un periodo del segmento transmitido. Por ejemplo: si se utiliza cualquier sincronizador de puerta de sistema temprano-tardío para el estimador 16 del error de temporización, entonces la estimación del error de temporización inicial deberá estar confinado en un rango de $-T_c$ a T_c . De lo

ES 2 295 656 T3

contrario, el error de temporización puede estar fuera del rango y el algoritmo puede fallar en su funcionamiento. No obstante, esta invención no está limitada a un sincronizador de puertas de temprano-tardío, y pudiendo utilizar cualquier otro estimador 16 del error de temporización. En el último caso, puede utilizarse un periodo de muestra distinto para el estimador de canales. Mediante el uso de un estimador de canales 11 con un periodo de la muestra que sea inferior a $2T_c$, el error inicial en la localización del trayecto estará limitado al rango de $-T_c$ a T_c .

La unidad de post-procesamiento 12 estima la señal y la potencia de ruido con respecto a un umbral de ruido. Después se completará el post-procesamiento, todos los trayectos que tengan un nivel de potencia por encima del umbral de ruido quedarán identificados. La localización de estos trayectos fuertes en el tiempo se denomina como la fase del código inicial 22. Cualquiera que sea el más fuerte de estos trayectos podrá ser utilizado solo, o bien un conjunto de trayectos por encima de un cierto umbral podrá utilizarse como en una estructura de receptor del tipo RAKE. El receptor similar a RAKE es muy útil en un entorno de canales multitrayecto, puesto que hace una utilización eficiente de la diversidad en el tiempo del canal.

En el caso de tener un trayecto más fuerte seleccionado, existe solo un seguidor de código 10, incluyendo un interpolador 14 y un control 18 del interpolador. Para un receptor similar a un tipo RAKE, existirá un seguidor de código 10 dedicado a cada trayecto utilizado. En dicho caso, el estimador de canales 11 y la unidad de post-procesamiento 12 serán comunes para todos los seguidores de códigos utilizados. Mediante la aplicación de la fase del código inicial 22 para un solo trayecto de la unidad 12 de post-procesamiento hacia el generador de códigos 13, comenzará la sincronización de la temporización.

Para cada seguidor de códigos 10 de un receptor similar al RAKE, el generador de códigos 13 genera un código de referencia para la temporización básica, funcionando como un reloj. La fase inicial del código 22 ajusta el desfase de la temporización inicial del generador de códigos 13 en múltiplos del segmento transmitido, sencillamente mediante el avance o retardo en el tiempo del código de referencia que se esté generando. Después de completar la corrección inicial, el generador de códigos 13 se controla solamente mediante la orden 28 de desplazamiento del código que procede del control del interpolador 18. La fase 22 del código inicial se aplica solamente bajo dos circunstancias: en la primera vez que se active el receptor, y en cualquier instante en que la potencia de la señal caiga por debajo de un umbral de ruido. El desplazamiento 28 del código es una orden de desfase de un segmento generado por el controlador 18 del interpolador en la dirección de avance o de retardo. Después de completar la corrección inicial, la estimación del error de temporización en el peor de los casos queda confinada en un rango de un periodo de $-T_c$ a T_c .

El bucle de realimentación negativa de interpolación 35 del seguidor de códigos 10, comprende el interpolador 14, el muestreador descendente 15, el estimador de errores de temporización 16, filtro de bucle 17, el controlador 18 del interpolador, y el cuantificador 19, que se explicarán a continuación. El bucle 35 de realimentación negativa de interpolación controla la señal 24 de estimación del error de temporización para un valor cercano a cero, y controla la estimación del retardo 25 hacia la duración del retardo en curso.

El interpolador 14 desplaza la señal recibida en el tiempo matemáticamente con una magnitud igual a la estimación del retardo fraccional cuantificado 29, recibida desde el cuantificador 19. La señal de salida del de un interpolador ideal está representada por la Ecuación 1:

$$y(n) = x(n + \hat{\alpha}) = \sum_{m=0}^n x(n-m) \text{Sinc}(m + \hat{\alpha}), \quad \text{Ecuación 1}$$

en donde n es un índice entero del tiempo, $x(n)$ es la señal recibida 21 sobremuestreada, α representa la estimación 29 del retardo fraccional cuantificado, y la función Sinc se define como:

$$\text{Sinc}(x) = \frac{\sin(\pi x)}{\pi x}, \quad \text{Ecuación 2}$$

Para la interacción inicial a través del bucle 35 de realimentación negativa de interpolación, la estimación del retardo fraccional cuantificada 29 se repone a cero, lo cual da lugar a la señal recibida que pasa a través del interpolador 14 no modificado. Con respecto a la operación del interpolador 14 y de la estimación 29 del retardo fraccional cuantificado (es decir, el valor de α), se describe a continuación con más detalles una descripción con referencia a la segunda iteraciones y adicionales del bucle 35 de realimentación negativa de la interpolación.

El muestreador descendente 15 reduce la velocidad de sobremuestreo de la señal recibida 21 en un factor L de sobremuestreo después de haber sido procesado por el interpolador 14. El seguidor de códigos 10 con interpolador 14 puede aplicarse a un receptor que opere con una velocidad de muestreo de cualquier valor entero de L mayor o igual a la unidad. El rango óptimo de la velocidad de muestreo para el cual el seguidor de códigos 10 puede ejecutar el ajuste de la temporización es $1 \leq L \leq 8$. El caso $L = 1$ corresponde al no sobremuestreo. Si por el contrario la velocidad de muestreo está correlacionada con un entero $L \geq 8$, el error de temporización se reduce a un valor del orden de

ES 2 295 656 T3

1/16T_c, por lo que la contribución de la unidad del interpolador 14 se reduce significativamente, y entonces un simple desplazamiento de la muestra a través del muestreador descendente 15 comienza a ser suficiente de por sí. No obstante, puesto que las velocidades de sobremuestreo altas, tales como L ≥ 8 dan lugar a un consumo extra de energía de los recursos del receptor, es ventajoso operar con velocidades de muestreo inferiores, y ejecutar el seguimiento de códigos 5 con el seguidor de códigos 10, de acuerdo con la figura 1.

El muestreador descendente 15 convierte la velocidad de muestreo a la velocidad de los segmentos transmitidos, tal que en la salida del muestreador descendente 15, el periodo T_s de la velocidad de muestreo será igual al periodo T_c de la velocidad de los segmentos transmitidos. En consecuencia, la salida del muestreador descendente 15 puede ser representada por z(n), de la forma siguiente:

$$z(n) = y(L \cdot n + k) \quad \text{Ecuación 3}$$

15 en donde k es un entero que representa el punto base 26 del muestreador descendente 15. Por ejemplo, para una señal sobremuestreada con el factor L = 4 de velocidad de muestreo, el periodo de la velocidad de muestreo con antelación al muestreador descendente 15 es T_s = T_c/L = T_c/4, mientras que después del muestreo descendente, es de T_s = T_c. Inicialmente, el punto base 26 se repone a cero. La derivación del valor k se explicará posteriormente con referencia a las ecuaciones 6a, 6b.

La salida del muestreador descendente 15 es la señal 23 de salida corregida en el tiempo, a procesar posteriormente por el receptor WTRU. La unidad de medida de potencia 20 procesa la salida 23 y envía las medidas de la potencia de la señal al estimador 11 de canales como una entrada para localizar las posiciones aproximadas de cada trayecto en el instante adecuado para el canal multitrayecto. Para una mejora de la temporización, la salida 23 del muestreador descendente 15 continua también a través del bucle 35 de realimentación negativa de interpolación del seguidor de códigos 10, para el estimador de errores de temporización 16, en donde el error de temporización de la señal de entrada se mide y se envía como una estimación del error de temporización 24. El estimador del error de temporización puede operar de acuerdo con una variedad de algoritmos conocidos de estimación del error de temporización. La realización preferida utiliza un sincronizador de puertas temprano-tardío.

A continuación, el filtro de bucle 17 recibe la estimación 24 del error de temporización, para generar una estimación del retardo 25. La selección del tipo de filtro de bucle 17 depende de las condiciones del canal. No obstante, la invención no está limitada al filtro de bucle en particular que se esté utilizando. Preferiblemente, el filtro de bucle 17 es filtro de primer o segundo orden. Como ejemplo, como filtro de bucle 17 se utiliza un filtro integrador (P) proporcional. Alternativamente, se utiliza como filtro de bucle 17 un filtro auto-regresivo de primer orden (AR).

La figura 2 muestra una configuración preferible para el filtro de bucle 17, que comprende un filtro 50 de segundo orden, acumulador 50, un multiplicador invertido 57. El filtro PI 50 comprende un integrador 51, que incluye un multiplicador 52 y acumulador 53, multiplicador 54 y sumador 55. Los multiplicadores 52 y 54 aplican las constantes a y b, respectivamente a la entrada de la estimación del error de temporización 24, la cual se divide en la entrada del filtro PI 50. La entrada de la estimación del error de temporización 24 es integrada por el integrador 51, mientras que se multiplica por la constante b en paralelo con el integrador 51. Las salidas en paralelo se suman mediante el sumador 55 para generar la salida del filtro PI. A continuación, la salida del filtro PI se acumula mediante el acumulador 56 y se procesa por el multiplicador 57 con una constante -c. La inversión de signo de la constante c en el multiplicador 57 da lugar a la corrección de la temporización en el sentido opuesto, para compensar la estimación del error de temporización 24 en la señal, que es útil para el sistema de realimentación negativa tal como el que se muestra en la figura 1. Dependiendo del orden del filtro de bucle 17, el seguidor de códigos 10 puede incluir un buche de realimentación de primer, segundo o superior orden. La salida del multiplicador 57 es la estimación del retardo 25.

La estimación del retardo de salida 25 del filtro de bucle 17 está representada por T_d de la forma siguiente:

$$T_d = -\mathfrak{I}(T_e), \quad \text{Ecuación 4}$$

en donde T_c es la estimación 24 del error de temporización del estimador 16 de errores de temporización, y en donde $\mathfrak{I}(\cdot)$ es un operador lineal. La estimación de retardo 25 se pasa al control del interpolador 18 para su procesamiento adicional.

El controlador 18 del interpolador atiende a dos funciones principales: regular el rango de la estimación 25 del retardo, y minimizar los coeficientes del interpolador. En primer lugar, con respecto a mantener la estimación 25 del retardo dentro del rango operativo para la velocidad del seguidor de códigos 10, el rango operativo depende de la selección en particular del estimador 16 de error de temporización. Por ejemplo, para un estimador 16 del error de temporización del tipo de sincronizador de puertas temprano-tardío, el periodo de muestreo del rango operativo está limitado a -T_c a T_c. Existen dos formas de limitar la desviación de la temporización de la señal en el rango operativo del estimador 16 del error de temporización. En primer lugar, esto puede conseguirse mediante el desplazamiento del punto base 26 del muestreador descendente 15 proporcional en el tiempo a la estimación del retardo 25. No obstante,

esto corresponde al comienzo de la trama para el receptor completo. Ello es solamente realizable si existiera solamente un trayecto de transmisión directa hacia el receptor. No obstante, en un entorno multitrayecto, es preferible desplazar el generador 13 de códigos, o el seguidor de códigos 10 dedicado al trayecto en cuestión, en el sentido opuesto de la estimación del retardo 25.

Independientemente de la implementación del estimador 16 del error de temporización, la estimación 24 del error de temporización de la señal recibida 21 se mide con respecto al código de referencia en el receptor, el cual se genera por el generador de códigos 13. El control del interpolador 18 monitoriza la estimación 25 del retardo, y cuando se encuentra fuera de un cierto rango, desplaza el generador de códigos 13 en el sentido opuesto. Puesto que el código generador 13 opera con una velocidad de transmisión de los segmentos con el periodo T_c , la cantidad mínima de desplazamiento es igual a la duración de los segmentos transmitidos, es decir, T_c . En consecuencia, es preferible ejecutar un desplazamiento del código 26 cuando la estimación del retardo 25 llegue a ser de $T_d > T_c$ ó bien $T_d < -T_c/2$.

En las implementaciones de los sistemas de comunicaciones actuales, el retardo relativo del trayecto entre la estación base y el receptor WTRU móvil puede cambiar con el tiempo. Principalmente, esto puede tener lugar por las razones siguientes. En primer lugar, el movimiento de un receptor WTRU móvil puede dar lugar a una estimación del retardo 25 a través del tiempo. Para un receptor WTRU que se esté desplazando con una velocidad constante, existe un cambio de primer orden en el error de temporización. Una segunda razón corresponde a las diferencias de la frecuencia del oscilador local entre una estación base y un receptor WTRU. Esto puede dar lugar a un cambio de primer orden en la estimación 25 del retardo. Ambos efectos son acumulativos. Sin embargo, los cambios del error de temporización no están limitados a los cambios de primer orden. Para el seguidor de códigos 10 que tenga cambios de un orden N, el controlador 18 del interpolador 18 es capaz de seguir los cambios de orden N-1 si fuera necesario, y ejecutando los desplazamientos del código en caso necesario.

Las decisiones del desplazamiento del código por el seguidor de códigos 10 son robustas, no pudiendo resistir una relación baja de señal/ruido (SNR) y las condiciones de debilitamiento del canal. Para eliminar las operaciones del desplazamiento del código oscilante debidas al ruido y a la interferencia, se utiliza una lógica sencilla de histéresis. Los diagramas de temporización de la estimación 25 del retardo cambian con respecto a la deriva del oscilador y un movimiento del WTRU móvil de velocidad constante, se muestran en las figuras 3A y 3B. Los desplazamientos en el tiempo dan lugar a una estructura de la forma de onda en diente de sierra, debido a los desplazamientos en el tiempo periódicos para un retardo de tiempo de cambio lineal. Tal como se muestra en la figura 3A, la estimación del retardo 25 se incrementa linealmente. Las transiciones de pico tienen lugar en un desplazamiento 28 del código, en donde en el pico $T_c/2 + \Delta$, el desplazamiento 28 del código se implementa en una dirección negativa, para compensar la estimación 25 del retardo en incremento. Inversamente, en la figura 3B, la estimación 25 del retardo se reduce linealmente, se compensa por un desplazamiento positivo 28 del código. Aunque en las figuras 3A y 3B se muestra cambio lineal del retardo de tiempo 25, se observará que el seguidor de códigos 10 no está restringido a los cambios lineales en la estimación del retardo 25, sino que operará para cualquier clase de cambio en las actualizaciones de la estimación 25 del retardo. El desplazamiento del código 28 tiene lugar en ambas direcciones, bien con retardo o con avance, tal como se expuso anteriormente. Tal como se muestra en las figuras 3A y 3B, se utiliza un valor pequeño arbitrario de Δ (por ejemplo, $0,05 T_c$) para prevenir el comportamiento oscilatorio en torno a los puntos del desplazamiento 25 del código.

Después de producirse el desplazamiento del código 28, el nuevo valor de estimación del retardo 25 que se utiliza por el controlador 18 del interpolador se calcula de la forma siguiente:

$$\tilde{T}_d = T_d - T_c \operatorname{sgn}[T_d], \quad \text{Ecuación 5a}$$

en donde $\operatorname{sgn}[\cdot]$ indica la dirección del desplazamiento del código 28 (es decir, positivo, negativo, o nulo), y que se define como:

$$\operatorname{sgn}[T_d] = \begin{cases} 1, & T_d \geq T_c/2 + \Delta \\ 0, & -T_c/2 - \Delta < T_d < T_c/2 + \Delta \\ -1, & T_d \leq -T_c/2 - \Delta \end{cases} \quad \text{Ecuación 5b}$$

Con respecto a la segunda función del controlador del interpolador 18, para minimizar los coeficientes, la interpolación en curso con una dimensión finita se optimiza para conseguir un error mínimo. Se recordará que el interpolador ideal en la Ecuación 1 tiene un numero infinito de coeficientes, y como tal no es realizable en una implementación. Los coeficientes óptimos del interpolador para un interpolador de dimensión finita se obtienen a través de un algoritmo de optimización, tal como el MMSE, para minimizar el error de aproximación. Esto se describe con detalle en los siguientes párrafos. No obstante, el error de aproximación debido a un interpolador de dimensión finita puede ser reducido adicionalmente, minimizando la estimación 27 del retardo fraccional en todo lo posible. El controlador 18 del

ES 2 295 656 T3

interpolador está configurado por tanto para conseguir esto. La estimación 25 del retardo después del procesamiento del desplazamiento del código puede escribirse tal como:

$$5 \quad \tilde{T}_d = k \cdot T_s + \alpha \cdot T_s, \quad \text{Ecuación 6a}$$

en donde k se define de la forma siguiente:

$$10 \quad k = \left\lfloor \frac{\tilde{T}_d}{T_s} \right\rfloor. \quad \text{Ecuación 6b}$$

15 La operación $\lfloor x \rfloor$ representa el entero mayor de x. El valor de k corresponde al numero de duraciones de la muestra sobremuestreada que existe en T_d . En consecuencia, el retardo o avance de $k \cdot T_s$ corresponde a un simple desplazamiento de la señal de entrada sobremuestreada en una cantidad igual a k muestras. Este desplazamiento se consigue fácilmente mediante el desplazamiento del punto base 26 del muestreador descendente mediante un entero k tal como se muestra en la Ecuación 3. Después del desplazamiento del punto base 26, el resto del desplazamiento en el tiempo que resta es igual a:

$$25 \quad T_d^m = \tilde{T}_d - k \cdot T_s = \alpha \cdot T_s. \quad \text{Ecuación 7}$$

30 Puesto que el interpolador 14 está normalizado para la velocidad de muestreo de T_s , el valor que pasa al interpolador 14 es la estimación del retardo fraccional 27 después de que sea cuantificado (es decir, α). Así mismo, es importante observar que después de la descomposición de la estimación del retardo 25 (es decir, el valor T_d en la Ecuación 6a y el valor k en la Ecuación 6b), la estimación 27 del retardo fraccional está limitada al rango de $-1 < \alpha < 1$. Esta limitación del rango mantiene a la estimación 27 del retardo fraccional en un valor mínimo y consigue la interpolación reducida deseada.

35 Para ilustrar la operación del controlador 18 del interpolador, se expone el siguiente ejemplo. Se supondrá que la estimación 25 filtrada del error de temporización es $T_d = 0,64T_c$, y que la velocidad de sobremuestreo es de $L = 4$. En consecuencia, la velocidad de muestreo es de $T_s = T_c/L = T_c/4$. De acuerdo con las ecuaciones 5a y 5b, se precisa del desplazamiento del código 28, y por tanto la estimación 25 del retardo desplazado del código es de $T_d = 0,64T_c - T_c = -0,36T_c$. A partir de la ecuación 6a, la estimación 27 de retardo fraccional es de $\alpha = -0,44$.

40 El cuantificador 19 es la última etapa restante del bucle 35 de realimentación negativa de interpolación. La estimación 27 del retardo fraccional está cuantificada (es decir, discretizada) por el cuantificador 19 antes de utilizarse por el interpolador. El cuantificador 19 es útil para limitar el cálculo de los coeficientes del interpolador, para evitar los cálculos de cada vez que se actualice la estimación 25 del retardo. El cuantificador 19 comprende una tabla de consulta para almacenar los coeficientes del interpolador precalculados, que se correlacionan con un conjunto de valores de estimación del retardo fraccional cuantificado disponible. Esta tabla de consulta reduce la complejidad del cálculo de la interpolación, y aumenta también la velocidad del proceso. El cuantificador 19 determina varios niveles para cuantificar la estimación del retardo fraccional, basándose en la precisión de la temporización requerida y la velocidad L de sobremuestreo. La precisión de la temporización necesaria para los ajustes de temporización es T_c/Q , en donde Q es un entero positivo. Se deduce que la dimensión del paso de cuantificación necesaria es $2T_c/Q$. Para la velocidad de sobremuestreo de L, esto corresponderá a los niveles de cuantificación Q/L para el rango de $-1 > \alpha > 1$. Por ejemplo, para $Q = 32$ y $L = 4$, la precisión de temporización requerida para el ajuste de temporización es de $T_c/16$, y en donde el cuantificador 19 tiene $Q/L = 8$ niveles. A continuación, si la estimación 27 del retardo fraccional es $\alpha = -0,44$, de acuerdo con el ejemplo anterior, el retardo cuantificado se determinaría a partir de la selección del valor equivalente más cercano a partir de la tabla de consulta en el cuantificador 19. Puesto que este es un cuantificador de 8 niveles, los valores disponibles se deducen del conjunto siguiente de estimaciones del retardo cuantificado: [-1, -0,75, -0,5, -0,25, 0,25, 0,5, 0,75, 1] (el valor 0 no se utiliza ya que da lugar a ninguna interpolación en absoluto). Puesto que -0,44 es el valor más próximo a -0,5, la estimación 29 del retardo fraccional cuantificado seleccionado es entonces de $\alpha = -0,5$, el cual pasa al interpolador 14.

55 A continuación de la iteración inicial del bucle 35 de realimentación negativa de la interpolación, la estimación del retardo y la operación de interpolación se repite continuamente para el seguimiento de los cambios en el error de temporización.

60 Volviendo al interpolador 14, la interpolación finita de la ecuación 1 se describirá a continuación, incluyendo el interpolador 14, que procesa la estimación 29 del retardo fraccional cuantificado, en donde $\alpha \neq 0$, a diferencia de cuando el interpolador 14 procesa la señal recibida 21. Tal como se observa en la Ecuación 1, la interpolación ideal

es una suma de longitud infinita. Para la implementación eficiente de un interpolador, se ejecutará la suma finita de la Ecuación 1. La Ecuación 8a inferior muestra esta representación finita de la salida x tal como sigue a continuación:

$$\tilde{x}(n + \hat{\alpha}) = \sum_{m=-M_1}^{M_2} x(n - m)h_a(n) \quad \text{Ecuación 8a}$$

en donde $h_a(n)$ representa los coeficientes del interpolador, deducidos tal como sigue:

$$h_a(n) = \text{Sinc}(m + \hat{\alpha}) \quad \text{Ecuación 8b}$$

La respuesta en frecuencia de un interpolador ideal, el cual es un filtro de longitud infinita, es como sigue a continuación:

$$S(\omega, \alpha T_s) = \begin{cases} T_s e^{j\omega \alpha T_s}, & |\omega/2\pi| < 1/(2T_s) \\ 0, & \text{de lo contrario} \end{cases} \quad \text{Ecuación 9}$$

El error $E(\alpha)$ de la señal de salida se define como la diferencia entre la salida del interpolador ideal y la representación finita del interpolador, tal como se expone a continuación:

$$E(\hat{\alpha}) = \tilde{x}(n + \hat{\alpha}) - x(n + \hat{\alpha}) \quad \text{Ecuación 10}$$

Los coeficientes $h_a(n)$ de un interpolador FIR óptimo se determinan mediante la minimización de la Ecuación 11, indicada mas adelante, para todos los valores posibles de α para la estimación del retardo fraccional cuantificado. El método de optimización utilizado es la solución del error cuadrático mínimo (MMSE). Puesto que el ancho de banda $F = \omega/2\pi$ de interés es menor que $1/(2T_s)$, aplicando la relación de Parseval a la Ecuación 10, da por resultado:

$$E^2(\hat{\alpha}) = \int_{-F}^F \left| e^{j\omega \alpha T_s} - \sum_{m=-M_1}^{M_2} h_a(n) e^{-j\omega m T_s} \right|^2 d\omega \quad \text{Ecuación 11}$$

La Ecuación 11 es representativa de una versión MMSE de un filtro FIR, el cual es el tipo preferible de interpolador para el interpolador 14. La Ecuación 11 tiene varias y distintas soluciones. Como ejemplo, el método de Fletcher-Powell puede utilizarse para resolver la Ecuación 11. Se observará que las realizaciones de la invención no están limitadas a cualquier solución en particular de la Ecuación 11. El error mínimo $E(\alpha)$ se consigue si $(M_1 = M)$ y $(M_2 = M-1)$ se seleccionan para un numero total de $2M$ coeficientes. Con los coeficientes calculados a partir de la Ecuación 12, el interpolador 14 FIR óptimo puede ser representado por la siguiente ecuación:

$$\tilde{x}(n + \hat{\alpha}) = \sum_{m=-M}^{M-1} x(n - m)h_a(m) \quad \text{Ecuación 12}$$

Tal como es sabido por los técnicos especializados en la técnica, los coeficientes del interpolador se encuentran simétricamente alrededor de $\alpha = 0,5$, los cuales pueden escribirse tal como:

$$h_{(1-\alpha)}(m) = h_a(-m - 1) \quad \text{Ecuación 13}$$

ES 2 295 656 T3

Puesto que no es posible el resolver la Ecuación 11 en tiempo real, la Ecuación 11 se resuelve para todos los valores posibles de α por adelantado, y los coeficientes predeterminados se almacenan en una tabla de consulta del cuantificador 19. Esto da lugar a una tabla de consulta de entradas de números reales de dimensión $M \cdot ((Q/L)-2)$, en donde Q/L es el número de niveles del cuantificador. No obstante, puesto que $\alpha = 0$ no da lugar a interpolación alguna en absoluto, se excluye de la tabla de consulta del cuantificador 19. Mediante la utilización de la propiedad de simetría de la Ecuación 13, la dimensión de la tabla de consulta puede ser reducida a la mitad para los números reales $M \cdot ((Q/L)-2)/2$. Alternativamente, dependiendo de la estructura del interpolador implementado, tal como un interpolador polinómico, puede omitirse la tabla de consulta, siendo reemplazada por un cálculo en tiempo real.

En la implementación, existen $2M$ números de coeficientes $h_\alpha(n)$ para $M \geq 1$, dependiendo del error de interpolación que pueda conseguirse. Por ejemplo, un diseño del seguidor de códigos para un receptor WTRU móvil compatible con FDD similar a 3GPP, incluyendo un sincronizador de puertas del tipo temprano-tardío, con sobremuestreo del doble de veces ($L = 2$), y un segundo filtro de bucle de segundo orden incluyendo un filtro PI en cascadas con un acumulador tal como el mostrado en la figura 2, da lugar a $M = 2$ o un total de cuatro coeficientes por nivel del cuantificador. Para una precisión requerida de $T_c/16$, (es decir, $Q = 16$), el número de niveles del cuantificador utilizados será de ocho.

Mediante la optimización de la interpolación de acuerdo con la presente invención, se consiguen los mejores resultados en la reducción del error de sincronización a pesar de utilizar un número limitado de coeficientes. Aunque la invención se ha descrito con referencia a canales de debilitamiento multitrayecto y receptores del tipo RAKE, no se realizará como limitada a estas aplicaciones. Las realizaciones alternativas del seguidor de códigos 10 incluyen, aunque sin limitación, el poder tener un interpolador de entre los tipos siguientes: interpolador FIR polinómico, interpolador lineal, e interpolación de Lagrange.

REIVINDICACIONES

5 1. Un sincronizador de temporización digital (10) de un receptor para la sincronización de temporización de un transmisor en un sistema de comunicaciones radioeléctricas, en donde el sincronizador está dispuesto para recibir una señal que tenga un error de temporización con respecto a un código de referencia, estando **caracterizado** el sincronizador porque comprende:

10 un estimador de canales (11) configurado para la estimación de una fase (22) del código inicial de la señal recibida (21);

15 un generador de códigos (13) configurado para generar un código de referencia de temporización que es inicialmente ajustable en el tiempo por la fase del código inicial del estimador de canales, y subsiguientemente por un desplazamiento de la fase del código (28) a cero o por incrementos o reducciones enteros de los segmentos transmitidos;

un circuito (35) de realimentación negativa de interpolación, que comprende:

20 un interpolador (14) configurado para la interpolación y corrección del error de temporización de la señal recibida, la cual es introducida en el interpolador, para producir una versión corregida en el tiempo (23) de la señal recibida, en donde la mencionada versión (23) corregida en el tiempo de la señal recibida se obtiene a la salida del circuito de realimentación negativa de interpolación para el procesado adicional;

25 un estimador (16) de error de temporización para determinar una estimación (24) del error de temporización, mediante la comparación de la versión (23) corregida en el tiempo de la señal recibida con el código de referencia de temporización provista por el generador de códigos;

30 un cuantificador (19) que tiene una tabla de consulta de los valores estimados del retardo fraccional cuantificado, y sus coeficientes asociados del interpolador predeterminado, en donde el mencionado cuantificador selecciona una estimación del retardo fraccional a partir de la tabla de consulta, sobre la base de que corresponda a una estimación (27) del retardo fraccional, derivada de la estimación (24) del error de temporización, y que se suministre al interpolador (14), el cual conseguirá la interpolación mediante el procesamiento de la estimación del retardo fraccional cuantificado seleccionado; y,

35 un controlador (18) del interpolador sensible a la estimación del error de temporización para producir y enviar el desplazamiento de la fase del código al generador de códigos (13).

40 2. El sincronizador (10) de la reivindicación 1, en donde el interpolador (14) está normalizado para una velocidad de muestreo, configurado para desplazar la señal recibida (21) en el tiempo mediante un retardo o avance fraccional, en donde:

45 el estimador del error de temporización (16) determina la estimación (24) del error de temporización, basándose en la diferencia de temporización entre una señal de salida (23) del circuito de realimentación negativa de interpolación y en el código de referencia de temporización;

50 el controlador del interpolador (18), envía el desplazamiento de fase del código (28) como una señal de desplazamiento del código entero al generador de códigos (13) en una dirección opuesta a la estimación del error de temporización, ajustando por tanto el código de referencia de temporización, y produciendo una estimación (27) del retardo fraccional dentro de un rango predeterminado para determinar los coeficientes de la interpolación; y,

55 el cuantificador (19) que tiene una tabla de consulta con los coeficientes del interpolador almacenados con los valores de estimación del retardo fraccional cuantificados predeterminados, configurados para seleccionar de la tabla de consulta una estimación (29) del retardo fraccional cuantificado que sea más cercano en el valor con respecto a la estimación (27) del retardo fraccional.

60 3. El sincronizador (10) de la reivindicación 2, en donde el circuito de realimentación negativa de interpolación (35) comprende además un filtro (17) para filtrar la estimación (24) del error de temporización, para producir un valor de estimación del retardo (25) con un signo opuesto a la estimación del error de temporización, por lo que el controlador del interpolador (18) regula la estimación del retardo dentro de un rango operativo predeterminado relacionado con la configuración del estimador (16) del error de temporización.

65 4. El sincronizador (10) de la reivindicación 3, en donde el circuito comprende además un muestreador descendente (15) sensible al controlador del interpolador (18), configurado para reducir la velocidad de muestreo de la señal recibida (21) por un factor de sobremuestreo, y de acuerdo con un punto base (26) relacionado con la tasa de la velocidad de muestreo de la señal recibida y de la estimación del retardo (25).

5. El sincronizador (10) de la reivindicación 2, en donde el interpolador (14) es un interpolador FIR optimizado de tipo MMSE.

ES 2 295 656 T3

6. El sincronizador (10) de la reivindicación 1, en donde la señal recibida (21) comprende trayectos múltiples y en donde el sincronizador comprende además una unidad de post-procesamiento (12) configurada para procesar la fase del código inicial estimada, y estimar la señal y la potencia de ruido con respecto a un umbral de ruido, produciendo por tanto una fase (22) del código inicial, desde la cual el generador de códigos (13) pueda desarrollar el código de referencia de temporización.
7. El sincronizador (10) de la reivindicación 1, en donde el rango predeterminado para la estimación (27) del retardo fraccional se encuentra entre -1 y 1.
8. El sincronizador (10) de la reivindicación 1, en donde la señal recibida (21) es sobremuestreada por un factor L y en donde el número predeterminado de valores de ajuste fraccionales cuantificados es el número Q/L de niveles de cuantificación, determinados de acuerdo con la precisión T/Q de sincronización deseada para el ajuste de la sincronización, en donde T representa el período de muestreo, Q representa un entero positivo, y siendo L un entero positivo.
9. Una unidad de transmisión/recepción que incluye el sincronizador (10) de temporización digital de acuerdo con la reivindicación 1.
10. Un método para la sincronización de la temporización digital de un receptor con un transmisor en un sistema de comunicaciones radioeléctricas, en donde el receptor está configurado para recibir una señal (21) que tenga un error de temporización con respecto a un código de referencia, estando **caracterizado** el método porque comprende las etapas de:
- estimación de una fase (22) del código inicial de la señal recibida;
 - generación de un código de referencia de temporización que sea inicialmente ajustable en el tiempo por la fase del código inicial, y subsiguientemente por un desplazamiento del código (28) con el valor cero o en incrementos o reducciones de los segmentos transmitidos enteros;
 - interpolarse y corregir el error de temporización para producir una versión corregida en el tiempo (23) de la señal recibida;
 - dar salida a la versión corregida en el tiempo de la señal recibida para el procesamiento posterior;
 - determinar una estimación (24) del error de temporización mediante la comparación de la versión corregida en el tiempo (23) de la señal de entrada recibida con el código de referencia de la temporización;
 - derivar el mencionado desplazamiento (28) de la fase del código a partir de la estimación del error de temporización (24); y
 - seleccionar un retardo (29) fraccional cuantificado a partir de una tabla de consulta de valores de retardos fraccionales cuantificados, y sus coeficientes del interpolador predeterminados asociados, en donde el mencionado retardo fraccional cuantificado es seleccionado a partir de la tabla de consulta sobre la base de que corresponda a una estimación (27) del retardo fraccional, derivada de la estimación del error de temporización a partir de la cual se produce la versión corregida del tiempo del retardo fraccional cuantificado seleccionado de la señal recibida, por lo que la interpolación se consigue mediante el procesamiento del retardo fraccional cuantificado (29).
11. El método de la reivindicación 10, en donde la interpolación y la etapa de corrección comprenden además:
- desplazar la señal recibida (21) en el tiempo mediante un retardo o avance fraccional;
 - determinar la estimación (24) del error de temporización, basándose en una diferencia de tiempo entre la versión corregida en el tiempo (23) de la señal recibida y el código de referencia de la temporización;
 - producir el desplazamiento (28) de la fase del código como una señal de desplazamiento del código entero en una dirección opuesta a la estimación del error de temporización;
 - producir la estimación (27) de retardo fraccional dentro de un rango predeterminado para determinar los coeficientes de interpolación;
 - almacenar en la tabla de consulta los valores de la estimación del retardo fraccional cuantificado predeterminado y sus coeficientes del interpolador asociados; y
 - seleccionar a partir de la tabla de consulta una estimación (29) del retardo fraccional cuantificado (29) más cercana al valor de la estimación del retardo fraccional.
12. El método de la reivindicación 11, en donde la etapa de interpolación comprende además el filtrado de la estimación (24) del error de temporización, para producir un valor estimado del retardo (25) con un signo opuesto al

ES 2 295 656 T3

de la estimación del error de temporización, por lo que la estimación del retardo se regula dentro de un rango operativo predeterminado en relación con la configuración del estimador (16) del error de temporización.

5 13. El método de la reivindicación 12, en donde la etapa de interpolación comprende además la reducción de la velocidad de muestreo de la señal recibida (21) mediante un factor de sobremuestreo, de acuerdo con un punto base (26) relacionado con la tasa de la velocidad de muestreo de la señal recibida y la estimación (25) del retardo.

10 14. El método de la reivindicación 10, en donde la señal recibida (21) comprende trayectos múltiples y la etapa de interpolación comprende además el procesamiento de la fase del código inicial estimado, y la señal de estimación y la potencia de ruido con respecto al umbral del ruido, produciendo por tanto una fase del código inicial (22) a partir del cual se desarrolla el código de referencia de la temporización.

15 15. El método de la reivindicación 11, en donde el rango predeterminado para la estimación (27) del retardo fraccional se encuentra entre -1 y 1.

15

20

25

30

35

40

45

50

55

60

65

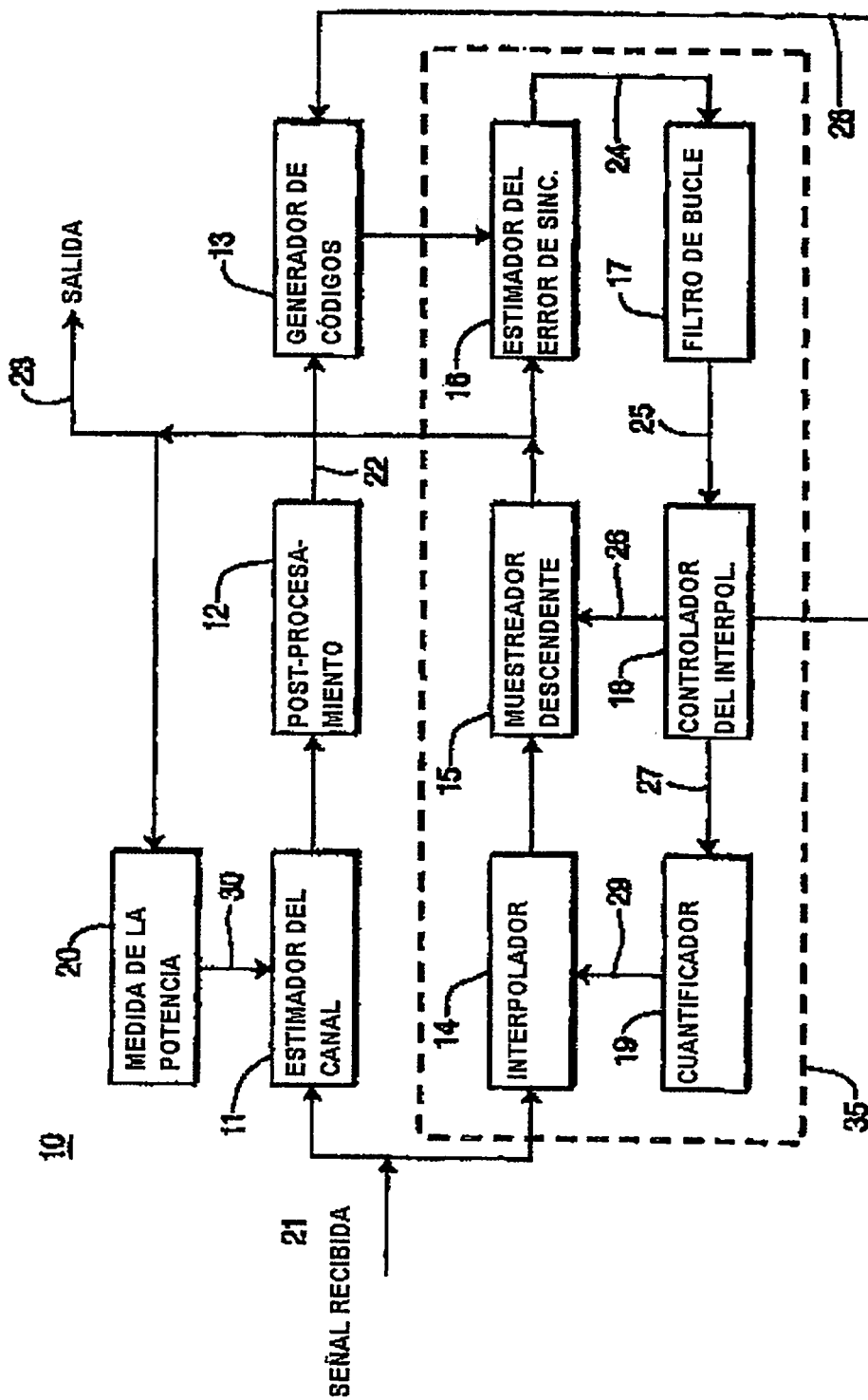


FIG. 1

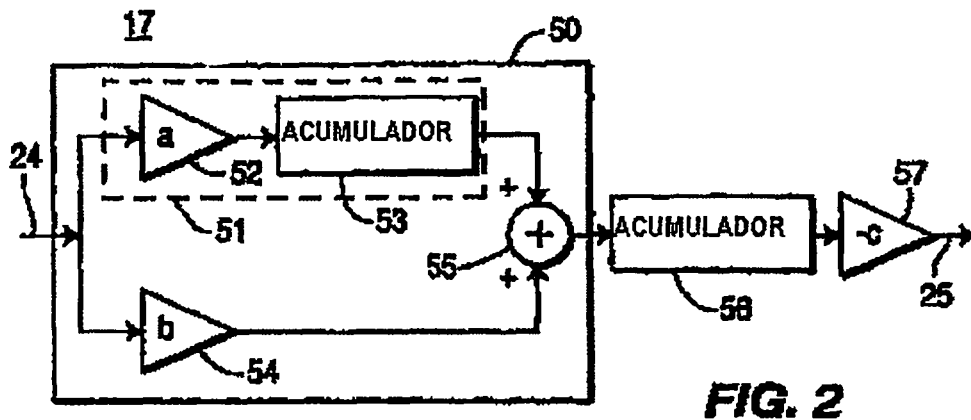


FIG. 2

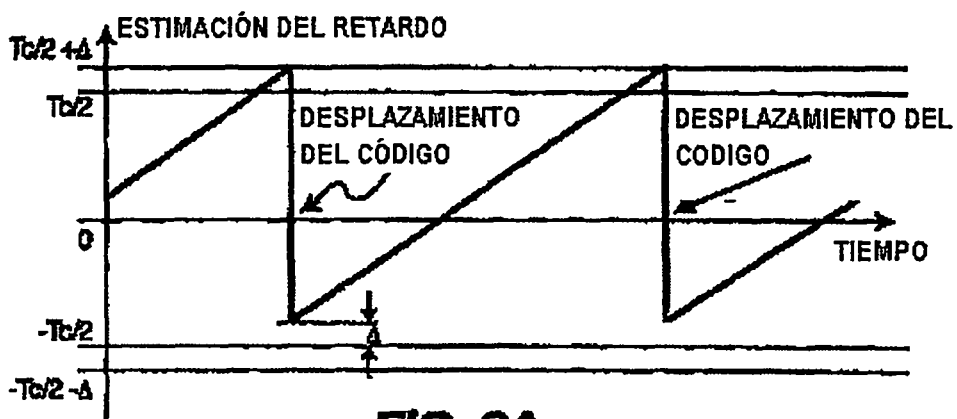


FIG. 3A

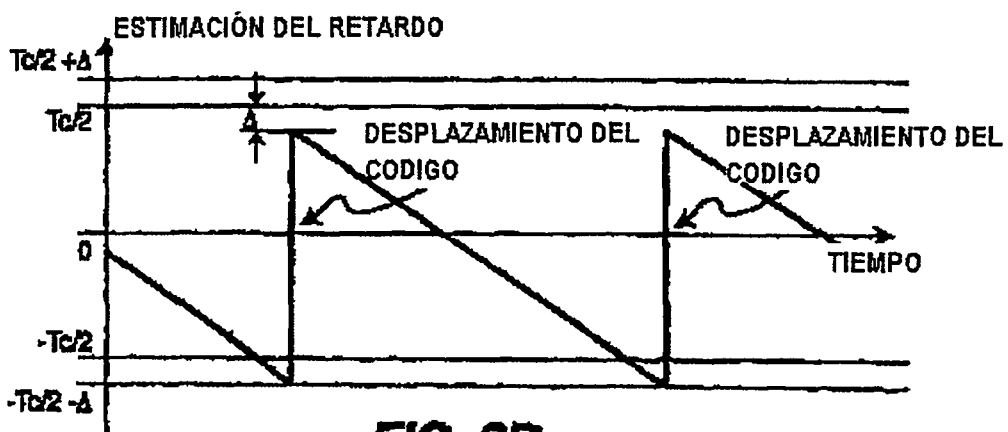


FIG. 3B