



공개특허 10-2022-0046701

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2022-0046701
(43) 공개일자 2022년04월14일

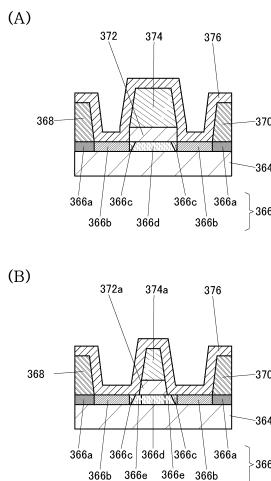
- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 27/32* (2006.01)
- (52) CPC특허분류
H01L 27/1248 (2013.01)
H01L 27/1225 (2013.01)
- (21) 출원번호 10-2022-7010448(분할)
- (22) 출원일자(국제) 2014년12월17일
심사청구일자 2022년03월29일
- (62) 원출원 특허 10-2021-7031409
원출원일자(국제) 2014년12월17일
심사청구일자 2021년09월29일
- (85) 번역문제출일자 2022년03월29일
- (86) 국제출원번호 PCT/IB2014/066992
- (87) 국제공개번호 WO 2015/097595
국제공개일자 2015년07월02일
- (30) 우선권주장
JP-P-2013-272539 2013년12월27일 일본(JP)
(뒷면에 계속)

- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
미야케 히로유키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고에즈카 준이치
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 4 항

(54) 발명의 명칭 **발광 장치****(57) 요 약**

화소 간의 회도 편차를 억제할 수 있는 발광 장치가 제공된다. 발광 장치는 화소와, 제1 및 제2 회로를 포함한다. 제1 회로는, 화소로부터 추출된 전류의 값을 포함하는 신호를 생성하는 기능을 갖는다. 제2 회로는, 신호에 따라, 화상 신호를 보정하는 기능을 갖는다. 화소는, 발광 소자와, 제1 및 제2의 트랜지스터를 적어도 포함한다. 제1 트랜지스터는, 화상 신호에 따라, 발광 소자에의 전류의 공급을 제어하는 기능을 갖는다. 제2 트랜지스터는, 화소로부터 전류의 추출을 제어하는 기능을 갖는다. 제1 및 제2 트랜지스터 각각의 반도체 막은, 게이트와 접치는 제1 반도체 영역과, 소스 또는 드레인과 접하는 제2 반도체 영역과, 제1 반도체 영역과 제2 반도체 영역의 사이의 제3 반도체 영역을 포함한다.

대 표 도 - 도18

(52) CPC특허분류

H01L 27/124 (2013.01)

H01L 27/3262 (2013.01)

(72) 발명자

진츄우 마사미

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

시마 유키노리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키 슈페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(30) 우선권주장

JP-P-2013-272532 2013년12월27일 일본(JP)

JP-P-2014-047197 2014년03월11일 일본(JP)

JP-P-2014-047200 2014년03월11일 일본(JP)

명세서**청구범위****청구항 1**

발광 장치로서,

발광 소자와,

제1 트랜지스터 및 제2 트랜지스터를 포함하는 화소와,

상기 화소로부터 추출된 전류값을 포함하는 신호를 생성하는 기능을 갖는 제1 회로와,

상기 신호에 따라 화상 신호를 보정하는 기능을 갖는 제2 회로를 포함하고,

상기 제1 트랜지스터는, 상기 화상 신호에 따라 상기 발광 소자에의 전류의 공급을 제어하는 기능을 가지고,

상기 제2 트랜지스터는, 상기 화소로부터의 전류의 추출을 제어하는 기능을 가지고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 위의 절연막을 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각은,

게이트 절연막을 개재하여 반도체층의 제1 영역과 겹치는 게이트 전극과,

상기 게이트 전극과 동일한 층에 제공된 소스 전극 또는 드레인 전극을 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각에서,

상기 절연막이, 상기 게이트 전극의 상면 및 측면에 접하고,

상기 절연막이, 상기 게이트 절연막의 상면 및 측면에 접하고,

상기 절연막이, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극과 겹치지 않는 영역에서, 상기 반도체층의 제2 영역과 접하고,

상기 절연막이, 상기 소스 전극 또는 상기 드레인 전극의 측면 및 상면에 접하고,

상기 소스 전극 또는 상기 드레인 전극이, 상기 반도체층의 제3 영역과 접하는, 발광 장치.

청구항 2

발광 장치로서,

발광 소자와,

제1 트랜지스터 및 제2 트랜지스터를 포함하는 화소와,

상기 화소로부터 추출된 전류값을 포함하는 신호를 생성하는 기능을 갖는 제1 회로와,

상기 신호에 따라 화상 신호를 보정하는 기능을 갖는 제2 회로를 포함하고,

상기 제1 트랜지스터는, 상기 화상 신호에 따라 상기 발광 소자에의 전류의 공급을 제어하는 기능을 가지고,

상기 제2 트랜지스터는, 상기 화소로부터의 전류의 추출을 제어하는 기능을 가지고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 위의 절연막을 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각은,

반도체층과,

게이트 절연막을 개재하여 상기 반도체층의 제1 영역과 겹치는 게이트 전극과,

상기 게이트 전극과 동일한 층에 제공된 소스 전극 또는 드레인 전극을 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각에서,

상기 절연막이, 상기 게이트 전극의 상면 및 측면, 상기 게이트 절연막의 상면 및 측면, 및 상기 소스 전극 또는 상기 드레인 전극의 측면 및 상면에 접하고,

상기 반도체층은, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극과 겹치지 않는 영역에서, 상기 절연막과 접하는 제2 영역과, 상기 소스 전극 또는 상기 드레인 전극과 접하는 제3 영역을 포함하고,

상기 제2 영역과 상기 제3 영역은 접하는, 발광 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각에서,

상기 소스 전극 또는 상기 드레인 전극은, 상기 반도체층의 단부와 겹치고, 상기 단부와는 접하지 않는, 발광 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각의 상기 반도체층은, 산화물 반도체를 포함하는, 발광 장치.

발명의 설명

기술 분야

[0001] 본 발명은 물체, 방법, 또는 제조 방법에 관한 것이다. 또한, 본 발명은 프로세스, 머신, 매뉴팩처, 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 실시 형태는, 반도체 장치, 표시 장치, 발광 장치, 메모리 장치, 그들의 구동 방법, 또는 그들의 제조 방법에 관한 것이다. 특히, 본 발명의 일 실시 형태는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 그들의 구동 방법, 또는 그들의 제조 방법에 관한 것이다. 예를 들어, 본 발명은 반도체 장치, 특히, 트랜지스터가 각 화소에 제공된 발광 장치에 관한 것이다.

[0002] 본 명세서 등에 있어서, 반도체 장치는, 반도체 특성을 이용함으로써 기능할 수 있는 장치를 일반적으로 의미한다. 표시 장치, 발광 장치, 전기 광학 장치, 반도체 회로, 및 전자 기기는, 반도체 장치를 갖는 경우가 있다.

배경 기술

[0003] 발광 소자를 포함하는 액티브 매트릭스형의 발광 장치의 구체적으로 제안된 구성은 제조업자에 따라 상이하다. 일반적으로, 적어도 발광 소자와, 화소에의 비디오 신호의 입력을 제어하는 트랜지스터(전환용 트랜지스터)와, 발광 소자에 공급된 전류값을 제어하는 트랜지스터(구동용 트랜지스터)가 각 화소에 제공되어 있다.

[0004] 화소 내의 모든 트랜지스터가 동일한 극성을 가지면, 트랜지스터의 제조 단계의 일부, 예를 들어, 반도체 막에 하나의 도전형을 부여하는 불순물 원소를 첨가하는 단계를 생략할 수 있다. 특히 문헌 1은, 화소 내에 포함된 트랜지스터가 모두 n 채널형 트랜지스터인 발광 소자형 디스플레이를 기재하고 있다.

[0005] 발광 소자를 포함하는 액티브 매트릭스형의 발광 장치에 있어서는, 화상 신호에 따라 발광 소자에 공급하는 전류값을 제어하는 트랜지스터(이러한 트랜지스터는 구동용 트랜지스터로도 지칭됨)의 역치 전압의 변동이, 발광 소자의 휘도에 반영되기 쉽다. 상기 역치 전압의 변동이 발광 소자의 휘도에 끼치는 영향을 방지하기 위해서, 특히 문헌2에서는, 구동용 트랜지스터의 소스 전압으로부터 역치 전압 및 이동도를 결정하고, 결정된 역치 전압 및 이동도에 기초하여, 표시 화상에 따라 프로그램 데이터 신호를 설정하는 표시 장치를 기재하고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2003-195810호 공보

(특허문헌 0002) 일본 특허 공개 제2009-265459호 공보

발명의 내용

해결하려는 과제

[0007] 구동용 트랜지스터의 전기적 특성을 결정하기 위해서 사용되는 화소로부터의 출력 전류의 값은, 몇십 nA 내지 몇백 nA 정도의 매우 작은 범위 내에 있다. 그로 인해, 해당 전류의 경로가 되는 배선에 전기적으로 접속된 회로 내에서, 전원 선을 통해 오프 전류가 흐르고 있으면, 구동용 트랜지스터의 전기적 특성을 정확하게 결정하는 것이 어려워진다. 이 경우, 화소로부터 출력되는 전류를 사용하여, 화소에 입력되는 화상 신호가 보정되는 경우에도, 구동용 트랜지스터의 전기적 특성의 영향이 작아지도록, 발광 소자에 공급되는 전류값을 보정하는 것이 어렵다.

[0008] 상술한 바와 같은 기술적 배경하에서, 본 발명의 일 실시 형태의 목적은, 화소간의 회도의 편차를 억제할 수 있는 발광 장치를 제공하는 것이다. 본 발명의 일 실시 형태의 또 다른 목적은, 신규의 발광 장치를 제공하는 것이다. 본 발명의 일 실시 형태의 또 다른 목적은, 신규의 반도체 장치를 제공하는 것이다.

[0009] 이를 목적의 설명이 다른 목적의 존재를 방해하는 것이 아니라는 것에 유의해야 한다. 본 발명의 일 실시 형태는, 반드시 상기 목록의 목적들을 모두 달성할 필요는 없다. 다른 목적들은, 명세서, 도면, 청구항 등의 설명으로부터 명확해지고, 유추될 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 실시 형태에 따르면, 발광 장치는 화소와, 제1 회로, 및 제2 회로를 갖는다. 제1 회로는, 화소로부터 추출된 전류의 값을 포함하는 신호를 생성하는 기능을 갖는다. 제2 회로는, 신호에 따라, 화상 신호를 보정하는 기능을 갖는다. 화소는, 발광 소자와, 제1 트랜지스터와, 제2 트랜지스터를 적어도 갖는다. 제1 트랜지스터는, 화상 신호에 따라, 발광 소자에의 전류의 공급을 제어하는 기능을 갖는다. 제2 트랜지스터는, 화소로부터의 전류의 추출을 제어하는 기능을 갖는다. 제1 트랜지스터 및 제2 트랜지스터 각각의 반도체 막은, 게이트 전극과 겹치는 제1 반도체 영역과, 소스 전극 또는 드레인 전극과 접하는 제2 반도체 영역과, 제1 반도체 영역과 제2 반도체 영역의 사이의 제3 반도체 영역을 포함한다. 제3 반도체 영역은, 제1 반도체 영역 및 제2 반도체 영역보다 더 높은 수소 농도를 함유하는 것이 바람직하다.

[0011] 상기 실시 형태에 있어서, 반도체 막은, 산화물 반도체가 바람직하다.

[0012] 본 발명의 다른 실시 형태에 따르면, 발광 장치는 배선과, 제1 트랜지스터와, 제2 트랜지스터와, 제1 용량 소자와, 제2 용량 소자와, 발광 소자를 적어도 포함한다. 제1 트랜지스터는, 제1 반도체 막과, 제1 반도체 막을 통해서 서로 중첩하는 제1 게이트 전극 및 제2 게이트 전극을 포함한다. 제2 트랜지스터는, 제2 반도체 막을 포함한다. 제1 용량 소자는, 제1 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과, 제1 게이트 전극과의 사이의 전위차를 유지하는 기능을 갖는다. 제2 용량 소자는, 제1 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과, 제2 게이트 전극과의 사이의 전위차를 유지하는 기능을 갖는다. 제2 트랜지스터는, 제2 게이트 전극과, 배선과의 사이의 도통 상태를 제어하는 기능을 갖는다. 제1 트랜지스터의 드레인 전류는, 발광 소자에 공급된다. 제1 반도체 막은, 제1 게이트 전극과 겹치는 제1 반도체 영역과, 제1 트랜지스터의 소스 전극 또는 드레인 전극과 접하는 제2 반도체 영역과, 제1 반도체 영역과 제2 반도체 영역의 사이의 제3 반도체 영역을 포함한다. 제2 반도체 막은, 제2 트랜지스터의 게이트 전극과 겹치는 제4 반도체 영역과, 제2 트랜지스터의 소스 전극 또는 드레인 전극과 접하는 제5 반도체 영역과, 제4 반도체 영역과 제5 반도체 영역의 사이의 제6 반도체 영역을 포함한다. 제3 반도체 영역은, 제1 반도체 영역 및 제2의 반도체 영역보다 높은 수소 농도를 함유하는 것이 바람직하고, 제6 반도체 영역은, 제4 반도체 영역 및 제5의 반도체 영역보다 높은 수소 농도를 함유하는 것이 바람직하다.

[0013] 상기 실시 형태에 있어서, 제1 반도체 막 및 제2 반도체 막은 각각, 산화물 반도체가 바람직하다.

[0014] 본 발명의 다른 실시 형태에 따르면, 발광 장치는 제1 배선과, 제2의 배선과, 제1 트랜지스터와, 제2 트랜지스터와, 제3 트랜지스터와, 제4 트랜지스터와, 제5 트랜지스터와, 용량 소자와, 발광 소자를 적어도 포함한다. 제1 트랜지스터는, 제1 배선과 용량 소자의 제1 전극과의 사이의 도통 상태를 제어하는 기능을 갖는다. 용량 소자의 제2 전극은, 제5 트랜지스터의 소스 전극 및 드레인 전극의 한쪽에 전기적으로 접속된다. 제2 트랜지스

터는, 제2 배선과 제5 트랜지스터의 게이트 전극과의 사이의 도통 상태를 제어하는 기능을 갖는다. 제3 트랜지스터는, 용량 소자의 제1 전극과 제5 트랜지스터의 게이트 전극과의 사이의 도통 상태를 제어하는 기능을 갖는다. 제4 트랜지스터는, 제5 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과, 발광 소자의 애노드와의 사이의 도통 상태를 제어하는 기능을 갖는다. 제1 트랜지스터와, 제2 트랜지스터와, 제3 트랜지스터와, 제4 트랜지스터와, 제5 트랜지스터의 각각의 반도체 막은, 게이트 전극과 겹치는 제1 반도체 영역과, 소스 전극 또는 드레인 전극과 접하는 제2 반도체 영역과, 제1 반도체 영역과 제2 반도체 영역의 사이의 제3 반도체 영역을 포함한다. 제3 반도체 영역은, 제1 반도체 영역 및 제2 반도체 영역보다 높은 수소 농도를 함유하는 것이 바람직하다.

[0015] 발광 장치는, 제1 배선과, 제2 배선과, 제3 배선과, 제1 트랜지스터와, 제2 트랜지스터와, 제3 트랜지스터와, 제4 트랜지스터와, 제5 트랜지스터와, 용량 소자와, 발광 소자를 적어도 포함한다. 제1 트랜지스터는, 제1 배선과 용량 소자의 제1 전극과의 사이의 도통 상태를 제어하는 기능을 갖는다. 용량 소자의 제2 전극은, 제5 트랜지스터의 소스 전극 및 드레인 전극의 한쪽 및 발광 소자의 애노드에 전기적으로 접속된다. 제2 트랜지스터는, 용량 소자의 제1 전극과 제5 트랜지스터의 게이트 전극과의 사이의 도통 상태를 제어하는 기능을 갖는다. 제3 트랜지스터는, 용량 소자의 제1 전극과 제5 트랜지스터의 게이트 전극과의 사이의 도통 상태를 제어하는 기능을 갖는다. 제4 트랜지스터는, 제5 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과 제3 배선과의 사이의 도통 상태를 제어하는 기능을 갖는다. 제1 트랜지스터와, 제2 트랜지스터와, 제3 트랜지스터와, 제4 트랜지스터와, 제5 트랜지스터의 각각의 반도체 막은, 게이트 전극과 겹치는 제1 반도체 영역과, 소스 전극 또는 드레인 전극과 접하는 제2 반도체 영역과, 제1 반도체 영역과 제2 반도체 영역의 사이의 제3 반도체 영역을 포함한다. 제3 반도체 영역은, 제1 반도체 영역 및 제2 반도체 영역보다 높은 수소 농도를 함유하는 것이 바람직하다.

[0016] 상기 실시 형태에 있어서, 반도체 막은, 산화물 반도체가 바람직하다.

[0017] 상기 형태에 있어서, 산화물 반도체는, 인듐, 아연, M(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)을 함유하는 것이 바람직하다.

[0018] 본 발명의 다른 실시 형태는, 상기 실시 형태에 따른 발광 장치와, 마이크로폰과, 조작 키를 포함하는 전자 기기이다.

발명의 효과

[0019] 본 발명의 일 실시 형태는, 화소간의 휘도의 편차를 억제할 수 있는 발광 장치를 제공할 수 있다. 본 발명의 다른 실시 형태는, 신규의 발광 장치를 제공할 수 있다. 본 발명의 다른 실시 형태는, 신규의 반도체 장치를 제공할 수 있다.

[0020] 이를 효과의 설명이, 다른 효과의 존재를 방해하는 것이 아니라는 것에 유의해야 한다. 본 발명의 일 실시 형태는, 반드시 상기 목록의 효과 모두를 달성할 필요는 없다. 다른 효과들은, 명세서, 도면, 청구항 등의 설명으로부터, 명확해지고 유출될 수 있다.

도면의 간단한 설명

[0021] 도 1은 발광 장치의 구성을 도시한다.

도 2는 화소의 구성을 도시한다.

도 3은 화소의 동작을 나타내는 타이밍 차트이다.

도 4는 화소부와 샘플링 회로 간의 접속 관계를 도시한다.

도 5는 화소의 구성을 도시한다.

도 6의 (A) 및 (B)는 각각 화소의 동작을 나타내는 타이밍 차트이다.

도 7은 화소의 구성을 도시한다.

도 8의 (A) 및 (B)는 각각 화소의 동작을 나타내는 타이밍 차트이다.

도 9는 화소의 구성을 도시한다.

도 10의 (A) 및 (B)는 각각 화소의 동작을 나타내는 타이밍 차트이다.

도 11은 모니터 회로의 회로도이다.

도 12는 발광 장치의 구성을 도시한다.

도 13은 화소부의 구성을 도시한다.

도 14의 (A) 및 (B)는 각각 화소의 구성을 도시한다.

도 15의 (A) 및 (B)는 각각 화소의 동작을 나타내는 타이밍 차트이다.

도 16의 (A) 및 (B)는 각각 트랜지스터의 상면도이다.

도 17의 (A) 및 (B)는 각각 트랜지스터의 단면도이다.

도 18의 (A) 및 (B)는 각각 트랜지스터의 단면도이다.

도 19의 (A) 내지 (C)는 트랜지스터의 상면도 및 단면도이다.

도 20의 (A) 내지 (C)는 트랜지스터의 상면도 및 단면도이다.

도 21의 (A) 내지 (C)는 트랜지스터의 상면도 및 단면도이다.

도 22의 (A) 및 (B)는 각각 트랜지스터의 밴드 다이어그램을 도시한다.

도 23의 (A) 내지 (C)는 트랜지스터의 상면도 및 단면도이다.

도 24는 트랜지스터의 단면도이다.

도 25의 (A) 내지 (C)는 트랜지스터의 상면도 및 단면도이다.

도 26의 (A) 및 (B)는 각각 트랜지스터의 단면도이다.

도 27의 (A) 내지 (F)는 각각 트랜지스터의 단면도이다.

도 28의 (A) 내지 (F)는 각각 트랜지스터의 단면도이다.

도 29의 (A) 내지 (E)는 각각 트랜지스터의 단면도이다.

도 30은 화소의 상면도이다.

도 31은 발광 장치의 단면도이다.

도 32는 발광 장치의 사시도이다.

도 33의 (A) 내지 (F)는 전자 기기를 도시한다.

도 34는 저항률의 온도 의존성을 도시한다.

도 35의 (A) 내지 (D)는 CAAC-OS의 단면에 있어서의 Cs-보정 고분해능 TEM 상 및 CAAC-OS의 단면 개략도이다.

도 36의 (A) 내지 (D)는 CAAC-OS의 평면에 있어서의 Cs-보정 고분해능 TEM 상이다.

도 37의 (A) 내지 (C)는 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조적 해석을 도시한다.

도 38의 (A) 및 (B)는 CAAC-OS의 전자 회절 패턴을 도시한다.

도 39는 In-Ga-Zn 산화물의 전자 조사에 의한 결정부의 변화를 도시한다.

도 40의 (A) 및 (B)는 CAAC-OS 및 nc-OS의 성막 모델을 설명하는 개략도이다.

도 41의 (A) 내지 (C)는 InGaZnO₄ 결정 및 펠릿을 도시한다.

도 42의 (A) 내지 (D)는 CAAC-OS 및 nc-OS의 성막 모델을 설명하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하에서는, 본 발명의 실시 형태에 대해서 도면을 참조해서 상세하게 설명한다. 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 범위로부터 일탈하지 않고 본 발명의 형태 및 상세를 다양한 방식으로 변경할 수 있는 것을 본 기술분야의 기술자라면 용이하게 이해한다는 점에 유의한다. 따라서, 본 발명은 이하의 실시 형태의 설명에 한정되는 것이 아니다. 이하의 실시 형태에 있어서, 동일 부분 또는 마찬가지의 기능을 갖는 부

분에는 동일한 부호로 다른 도면들에서 표시하고, 그 설명은 반복되지 않는다.

[0023] 도면에 있어서, 사이즈, 층 두께, 또는 영역은, 명료화를 위해서 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시 형태는 그러한 스케일에 한정되지 않는다. 도면은, 이상적인 예를 도시한 개략도이며, 본 발명의 실시 형태는 도면에 나타내는 형상 또는 값에 한정되지 않는다. 예를 들어, 다음이 포함될 수 있다: 노이즈에 의한 신호, 전압, 또는 전류의 변동 또는 타이밍의 차이.

[0024] 본 명세서 등에 있어서, 트랜지스터는 적어도 3개의 단자를 갖는 소자이다: 게이트, 드레인, 및 소스. 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극)의 사이에 채널 영역을 갖고 있으며, 전류는 드레인과 채널 영역과 소스를 통해서 흐를 수 있다. 여기서, 트랜지스터의 소스와 드레인이, 트랜지스터의 구성 또는 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 정의하는 것이 어렵다. 따라서, 소스로서 기능하는 부분 및 드레인으로서 기능하는 부분은, 소스 또는 드레인으로 칭해지지 않는 경우가 있다. 그 경우, 소스와 드레인 중 한쪽은 제1 전극과 지칭되고, 소스와 드레인 중 다른 쪽은 제2 전극으로 지칭될 경우가 있다.

[0025] 또한, 본 명세서에 있어서, "노드"는 소자들을 전기적으로 접속하기 위해서 제공되는 배선 상의 임의의 포인트로 지칭된다.

[0026] 본 명세서에서, 구성 요소들 간의 혼동을 피하기 위해서 "제1", "제2", 및 "제3" 등의 서수사가 사용되고, 따라서 구성 요소들의 수를 한정하는 것은 아니라는 점에 유의한다.

[0027] 본 명세서에 있어서, "A와 B가 서로 접속되어 있다"는 것으로 설명되면, A와 B가 서로 직접 접속되어 있는 것 외에, A와 B가 서로 전기적으로 접속되어 있는 경우가 포함된다는 것에 유의한다. 여기서, "A와 B가 전기적으로 접속되어 있다"라는 표현은, A와 B 사이에서 임의의 전기적 작용을 갖는 대상물이 존재할 때, A와 B와의 사이에서 전기 신호가 전송 및 수신될 수 있는 경우를 의미한다.

[0028] 도면에 있어서의 회로 블록의 배치는, 설명 때문에 위치 관계를 특정하는 것에 유의한다. 따라서, 다른 회로 블록에서 상이한 기능을 실현하는 것을 도면에서 나타내고 있어도, 실제의 회로나 영역은, 동일한 회로 블록 내에서 상이한 기능을 실현할 수 있게 구성될 수 있다. 또한, 도면에 있어서의 각각의 회로 블록의 기능은, 설명 때문에 특정된다. 따라서, 하나의 회로 블록이 설명되어도, 실제의 회로나 영역은, 하나의 회로 블록에서 행해지는 것으로 설명되는 처리를 복수의 회로 블록으로 행할 수 있도록 구성될 수 있다.

[실시 형태 1]

[0029] 본 실시 형태에서는, 본 발명의 일 실시 형태의 발광 장치의 회로 구성에 대해서 설명한다.

<발광 장치의 구체적인 구성에 1>

[0030] 본 발명의 일 실시 형태의 발광 장치의 구성의 일례에 대해서 설명한다. 도 1은, 본 발명의 일 실시 형태의 발광 장치(10)의 구성을 일례로서 나타내는 블록도이다. 블록도에서는, 독립된 블록으로 그들의 기능에 따라 분류된 요소들을 나타내고 있지만, 요소들을 기능에 따라 완전히 분리하는 것이 실질적으로는 어렵고, 하나의 요소가 복수의 기능에 관계될 수도 있다.

[0031] 도 1에 도시하는 발광 장치(10)는, 복수의 화소(11)를 화소부(24) 내에 포함하는 패널(25)과, 컨트롤러(26)와, CPU(27)와, 화상 처리 회로(13)와, 화상 메모리(28)와, 메모리(29)와, 모니터 회로(12)를 포함한다. 또한, 도 1에 도시하는 발광 장치(10)는, 패널(25)에, 구동 회로(30) 및 구동 회로(31)를 포함한다.

[0032] CPU(27)는, 외부로부터 입력된 명령 또는 CPU(27) 내에 제공된 메모리에 기억되어 있는 명령을 디코딩하고, 발광 장치(10)에 포함된 각종 회로의 동작을 통괄적으로 제어함으로써 명령을 실행하는 기능을 갖는다.

[0033] 모니터 회로(12)는, 화소(11)로부터 출력된 드레인 전류로부터, 드레인 전류의 값에 대한 데이터를 포함하는 신호를 생성한다. 메모리(29)는, 신호에 포함된 데이터를 기억하는 기능을 갖는다.

[0034] 화상 메모리(28)는, 발광 장치(10)에 입력된 화상 데이터(32)를 기억하는 기능을 갖는다. 도 1에서는, 화상 메모리(28)를 1개만을 발광 장치(10)에 제공하는 경우를 예시하고 있지만, 복수의 화상 메모리(28)가 발광 장치(10)에 제공될 수 있다는 점에 유의한다. 예를 들어, 적, 청, 녹 등의 색상에 대응하는 3개의 화상 데이터(32)에 의해, 화소부(24)가 풀-컬러의 화상을 표시하는 경우, 각 화상 데이터(32)에 대응하는 각각의 화상 메모리(28)가 제공될 수도 있다.

- [0037] 화상 메모리(28)로서는, 예를 들어, DRAM(Dynamic Random Access Memory) 또는 SRAM(Static Random Access Memory) 등의 메모리 회로를 사용할 수 있다. 또는, 화상 메모리(28)로서는, VRAM(Video RAM)을 사용할 수 있다.
- [0038] 화상 처리 회로(13)는, CPU(27)로부터의 명령에 따라, 화상 데이터(32)의 화상 메모리(28)에의 기입과, 화상 메모리(28)로부터의 판독을 행하고, 화상 데이터(32)로부터 화상 신호 Sig를 생성하는 기능을 갖는다. 또한, 화상 처리 회로(13)는, CPU(27)로부터의 명령에 따라, 메모리(29)에 기억되어 있는 데이터를 판독하고, 해당 데이터를 사용하여, 화상 신호 Sig의 보정하는 기능을 갖는다.
- [0039] 컨트롤러(26)는, 화상 데이터(32)를 포함하고 컨트롤러(26)에 입력되는 화상 신호 Sig를, 패널(25)의 사양에 따라, 처리한 다음에 이 처리된 화상 신호 Sig를 패널(25)에 공급하는 기능을 갖는다.
- [0040] 구동 회로(31)는, 화소부(24)에 포함된 복수의 화소(11)를 행마다 선택하는 기능을 갖는다. 구동 회로(30)는, 컨트롤러(26)로부터 제공된 화상 신호 Sig를, 구동 회로(31)에 의해 선택된 행의 화소(11)에 공급하는 기능을 갖는다.
- [0041] 컨트롤러(26)는, 구동 회로(30), 구동 회로(31) 등의 구동에 사용되는 각종 구동 신호를 패널(25)에 공급하는 기능을 갖는다는 점에 유의한다. 구동 신호는, 구동 회로(30)의 동작을 제어하는 스타트 펄스 신호 SSP와 클럭 신호 SCK, 래치 신호 LP, 구동 회로(31)의 동작을 제어하는 스타트 펄스 신호 GSP와 클럭 신호 GCK 등을 포함한다.
- [0042] 발광 장치(10)는, 발광 장치(10)에 포함된 CPU(27)에, 데이터나 명령을 공급하는 기능을 갖는 입력 장치를 포함할 수 있다는 점에 유의한다. 입력 장치로서는, 키보드, 포인팅 디바이스, 터치 패널, 센서 등이 사용될 수 있다.
- [0043] 화소부(24), 구동 회로(30), 및 구동 회로(31)는, 각각 채널 영역에 산화물 반도체를 포함하는 산화물 반도체 트랜지스터를 포함할 수 있다는 점에 유의한다. 산화물 반도체 트랜지스터는 매우 낮은 오프 전류를 갖기 때문에; 발광 장치(10)의 전력 소비는, 산화물 반도체 트랜지스터를 사용함으로써 저감될 수 있다. 산화물 반도체 트랜지스터의 상세에 대해서는, 실시 형태 2에 설명된다는 점에 유의한다.
- [0044] 산화물 반도체 트랜지스터의 역치 전압이, 수소나 수분 등의 불순물에 의해 변동하기 쉬우므로; 구동용 트랜지스터가 산화물 반도체를 사용하는 경우, 발광 장치(10)가 화소(11)의 구동용 트랜지스터의 역치 전압을 보정하는 기능을 갖는 것이 바람직하다는 점에 유의한다. 상술한 보정 기능을 갖는 발광 장치(10)의 구체적인 구성의 예에 대해서, 이하에 설명한다.
- [0045] <화소의 구성 예 1>
- [0046] 도 2는, 화소(11)의 회로도 일례를 나타낸다. 화소(11)는, 트랜지스터(55 내지 57)와, 용량 소자(58)와, 발광 소자(54)를 포함한다.
- [0047] 발광 소자(54)의 화소 전극의 전위는, 화소(11)에 입력되는 화상 신호 Sig에 의해 제어된다. 발광 소자(54)의 휘도는, 화소 전극과 공통 전극의 사이의 전위차에 의해 결정된다. 예를 들어, OLED가 발광 소자(54)로서 사용되는 경우, 애노드와 캐소드 중 어느 한쪽이 화소 전극으로서 기능하고, 그 다른 쪽은 공통 전극으로서 기능한다. 도 2는, 발광 소자(54)의 애노드가 화소 전극으로서 사용되고, 발광 소자(54)의 캐소드가 공통 전극으로서 사용되는 화소(11)의構成을 예시하고 있다.
- [0048] 트랜지스터(56)는, 배선 SL과, 트랜지스터(55)의 게이트와의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(55)의 소스 및 드레인 중의 한쪽이, 발광 소자(54)의 애노드에 전기적으로 접속되고, 트랜지스터(55)의 소스 및 드레인의 다른 쪽이 배선 VL에 전기적으로 접속되어 있다. 트랜지스터(57)는, 배선 ML과, 트랜지스터(55)의 소스 및 드레인의 한쪽과의 사이의 도통 상태를 제어하는 기능을 갖는다. 용량 소자(58)의 한 쌍의 전극 중, 한쪽은 트랜지스터(55)의 게이트에 전기적으로 접속되고, 그 다른 쪽은 발광 소자(54)의 애노드에 전기적으로 접속되어 있다.
- [0049] 트랜지스터(56)의 전환은, 트랜지스터(56)의 게이트에 전기적으로 접속된 배선 GL의 전위에 따라서 행하여진다. 트랜지스터(57)의 전환은, 트랜지스터(57)의 게이트에 전기적으로 접속된 배선 GL의 전위에 따라서 행하여진다.
- [0050] 화소(11)에 포함된 트랜지스터에는, 산화물 반도체나, 비정질, 미결정, 다결정, 또는 단결정의 반도체를 사용할 수 있다. 그러한 반도체의 재료로서, 실리콘, 게르마늄 등이 주어질 수 있다. 트랜지스터(56)가 산화물 반도체이다.

체를 채널 형성 영역에 포함하면, 트랜지스터(56)의 오프 전류가 매우 작을 수 있다. 또한, 상기 구성을 갖는 트랜지스터(56)가 화소(11)에 사용되면, 통상의 실리콘이나 게르마늄 등의 반도체를 포함하는 트랜지스터를 트랜지스터(56)로서 사용하는 경우에 비하여, 트랜지스터(55)의 게이트에 축적된 전하의 누설을 효과적으로 방지할 수 있다.

[0051] 따라서, 예를 들어, 정지 화상을 표시하는 경우에서와 같이, 일부 연속하는 프레임 기간에 걸쳐서 화소부(24)에 동일한 화상 데이터를 각각 갖는 화상 신호 Sig가 기입될 경우에, 구동 주파수를 낮게 하는, 즉 일정 기간 내에 있어서의 화소부(24)에의 화상 신호 Sig의 기입 동작 횟수를 적게 해도, 화상의 표시를 유지할 수 있다. 예를 들어, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 산소 결손이 저감되는 고순도화된 산화물 반도체(purified oxide semiconductor)를 트랜지스터(56)의 반도체 막에 사용함으로써, 화상 신호 Sig의 기입 동작 간의 간격을 10초 이상, 바람직하게는 30초 이상, 또는 더욱 바람직하게는 1분 이상으로 설정할 수 있다. 화상 신호 Sig의 기입 동작 간의 간격을 길게 할 수록, 소비 전력을 더 저감할 수 있다.

[0052] 또한, 화상 신호 Sig의 전위를 보다 긴 기간에 걸쳐서 유지할 수 있기 때문에, 트랜지스터(55)의 게이트의 전위를 유지하기 위한 용량 소자(58)를 화소(11)에 제공하지 않더라도, 표시될 화질이 저하되는 것을 방지할 수 있다.

[0053] 도 2에 있어서, 화소(11)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 또는 인덕터 등 또 다른 회로 소자를 더 포함할 수 있다는 점에 유의한다.

[0054] 도 2에 있어서, 트랜지스터들 각각은, 게이트를 반도체 막의 적어도 한 측에 갖고 있고; 대안적으로, 트랜지스터들 각각은, 반도체 막을 사이에 개재해서 제공된 한 쌍의 게이트를 가질 수 있다.

[0055] 도 2에서의 트랜지스터는 모두 n 채널형 트랜지스터이다. 화소(11) 내의 트랜지스터가 동일한 채널형일 경우, 트랜지스터를 제조하는 일부 단계, 즉 반도체 막에 한 도전형을 부여하는 불순물 원소를 첨가하는 단계를 생략할 수 있다. 본 발명의 일 실시 형태의 발광 장치에서는, 반드시 화소(11) 내의 트랜지스터가 모두 n 채널형일 필요가 없다는 점에 유의한다. 발광 소자(54)의 캐소드가 배선 CL에 전기적으로 접속되는 경우에, 적어도 트랜지스터(55)가 n 채널형 트랜지스터인 것이 바람직하다. 발광 소자(54)의 애노드가 배선 CL에 전기적으로 접속되어 있는 경우, 적어도 트랜지스터(55)는 p 채널형 트랜지스터인 것이 바람직하다.

[0056] 도 2는, 화소(11) 내의 트랜지스터가, 하나의 게이트 및 를 하나의 채널 형성 영역을 포함하는 싱글-게이트 구성을 갖는 경우를 예시하고 있지만, 본 발명의 일 실시 형태는 이러한 구성에 한정되지 않는다. 화소(11) 내의 트랜지스터 중 어느 하나 또는 모두가, 전기적으로 서로 접속된 복수의 게이트, 및 복수의 채널 형성 영역을 포함하는 멀티-게이트 구성을 가질 수 있다.

[0057] <화소의 동작예 1>

[0058] 계속해서, 도 2에 도시하는 화소(11)의 동작예에 대해서 설명한다.

[0059] 도 3은, 도 2에 도시하는 화소(11)에 전기적으로 접속되는 배선 GL의 전위와, 배선 SL에 공급되는 화상 신호 Sig의 전위의 타이밍 차트이다. 도 3에 도시하는 타이밍 차트는, 도 2에 도시하는 화소(11)에 포함되는 트랜지스터가 모두 n 채널형 트랜지스터인 일례라는 점에 유의한다.

[0060] 먼저, 기간 t1에서는, 배선 GL에 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(56) 및 트랜지스터(57)가 온이 된다. 배선 SL에는, 화상 신호 Sig의 전위 Vdata가 부여되고, 전위 Vdata는, 트랜지스터(56)를 통해서 트랜지스터(55)의 게이트에 부여된다.

[0061] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 전위 Vano는, 전위 Vcat와, 발광 소자(54)의 역치 전압 Vthe와, 트랜지스터(55)의 역치 전압 Vth의 합보다도 높은 것이 바람직하다. 배선 VL과 배선 CL과의 사이에 상기 전위차가 제공되는 것에 의해, 트랜지스터(55)의 드레인 전류의 값이 전위 Vdata에 따라 결정된다. 그 다음, 해당 드레인 전류가 발광 소자(54)에 공급됨으로써, 발광 소자(54)의 휘도가 결정된다.

[0062] 트랜지스터(55)가 n 채널형일 경우, 기간 t1에서는, 배선 ML의 전위가, 배선 CL의 전위와, 발광 소자(54)의 역치 전압 Vthe의 합보다도 낮고, 배선 VL의 전위가, 배선 ML의 전위와, 트랜지스터(55)의 역치 전압 Vth의 합보다도 높은 것이 바람직하다. 상기 구성에 의해, 트랜지스터(57)가 온이어도, 트랜지스터(55)의 드레인 전류는, 발광 소자(54) 대신에 배선 ML을 통해 우선적으로 흐를 수 있다.

[0063] 계속해서, 기간 t2에서는, 배선 GL에 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(56) 및 트랜지스터

(57)가 오프가 된다. 트랜지스터(56)가 오프가 되는 때문에, 트랜지스터(55)의 게이트에 있어서 전위 Vdata가 유지된다. 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 따라서, 발광 소자(54)는, 기간 t1에서 결정된 휘도를 따라서 발광한다.

[0064] 계속해서, 기간 t3에서는, 배선 GL에 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(56) 및 트랜지스터(57)가 온이 된다. 또한, 배선 SL에는, 트랜지스터(55)의 게이트 전압이 역치 전압 Vth보다도 큰 전위가 부여된다. 배선 CL에는 전위 Vcat가 부여된다. 그 다음, 배선 ML의 전위는, 배선 CL의 전위와, 발광 소자(54)의 역치 전압 Vthe의 합보다도 낮고, 배선 VL의 전위는, 배선 ML의 전위와, 트랜지스터(55)의 역치 전압 Vth의 합보다도 높다. 상기 구성에 의해, 트랜지스터(55)의 드레인 전류는, 발광 소자(54) 대신에 배선 ML을 통해 우선적으로 흐를 수 있다.

[0065] 그 다음, 트랜지스터(55)의 드레인 전류는, 또한 배선 ML을 통해서 모니터 회로에 공급된다. 모니터 회로는, 배선 ML을 통해 흐르는 드레인 전류를 사용하여, 드레인 전류의 값에 대한 데이터를 포함하는 신호를 생성한다. 따라서, 본 발명의 일 실시 형태의 발광 장치는, 상기 신호를 사용하여, 화소(11)에 공급된 화상 신호 Sig의 전위 Vdata의 값을 보정할 수 있다.

[0066] 도 2에 도시하는 화소(11)를 포함하는 발광 장치에서는, 기간 t2의 동작 후에 기간 t3의 동작을 항상 행할 필요는 없다는 점에 유의한다. 예를 들어, 화소(11)에 있어서, 기간 t1 및 기간 t2의 동작을 복수회 반복한 후에, 기간 t3의 동작을 행할 수 있다. 대안적으로, 한 행의 화소(11)에 대해서 기간 t3의 동작을 행한 후, 최소의 계조 레벨 0에 대응하는 화상 신호를, 상기 동작을 행한 행의 화소(11)에 기입함으로써 발광 소자(54)는 비발광의 상태로 될 수 있다. 그 다음, 다음 행의 화소(11)에 대해서, 기간 t3의 동작을 행할 수 있다.

[0067] <화소부와 샘플링 회로 간의 접속 관계>

[0068] 계속해서, 도 1에 도시하는 화소부(24)와, 구동 회로(30)의 일부에 상당하는 샘플링 회로 간의 접속 관계의 일례를, 도 4에 도시한다.

[0069] 도 4에 도시하는 화소부(24)에는, 복수의 화소(11)와, 복수의 배선 GL(배선 GL1 내지 GLy)과, 복수의 배선 SL(배선 SL1 내지 배선 SLx)과, 복수의 배선 ML(배선 ML1 내지 MLx)과, 복수의 배선 VL(배선 VL1 내지 VLx)이 제공된다. 복수의 화소(11)들 각각은, 배선 GL 중 적어도 1개와, 배선 SL 중 적어도 1개와, 배선 ML 중 적어도 1개와, 배선 VL 중 적어도 1개에 전기적으로 접속되어 있다.

[0070] 화소부(24) 내의 배선의 종류 및 수는, 화소(11)의 구성, 수 및 배치에 의해 결정될 수 있다는 점에 유의한다. 구체적으로, 도 4에 도시하는 화소부(24)에 있어서, 화소(11)는 x열과 y행의 매트릭스 형상으로 배열되어 있고, 배선 GL1 내지 GLy, 배선 SL1 내지 SLx, 배선 ML1 내지 MLx, 및 배선 VL1 내지 VLx가, 일례로서 화소부(24) 내에 제공된다.

[0071] 배선 ML1 내지 MLx를 통해서 화소(11)로부터 추출된 드레인 전류는, 배선 TER을 통해서 모니터 회로(도시하지 않음)에 공급된다.

[0072] 회로(21)는, 배선 PRE에 입력되는 전위에 따라, 배선 ML에 소정의 전위를 공급하는 기능을 갖는다. 예를 들어, 도 2에 도시하는 화소(11)를 도 3에 도시하는 타이밍 차트를 따라서 동작 시킬 때, 기간 t1에 있어서, 회로(21)로부터 배선 ML에, 배선 CL의 전위와, 발광 소자(54)의 역치 전압 Vthe의 합보다도 낮은 전위를 공급할 수 있다.

[0073] 도 4에서는, 회로(21)가 트랜지스터(22)를 포함한다. 트랜지스터(22)의 게이트에는, 배선 PRE에 입력되는 전위가 공급된다. 그 다음, 트랜지스터(22)는, 배선(33)과 배선 ML과의 사이의 도통 상태를, 게이트에 입력되는 배선 PRE의 전위에 따라, 제어하는 기능을 갖는다.

[0074] 또한, 도 4에서는, 배선 MSEL의 전위에 따라서 배선 ML과 배선 TER의 사이의 도통 상태를 제어하는 기능을 갖는 트랜지스터(34)가 제공되어 있다.

[0075] <화소의 구성 예 2>

[0076] 도 5에 도시하는 화소(11)는, 트랜지스터(70 내지 75)와, 용량 소자(76 및 77)와, 발광 소자(78)를 갖는다. 트랜지스터(70)는, 통상의 게이트(제1 게이트)와, 반도체 막을 그 사이에 제공한 상기 제1 게이트와 중첩하는 제2 게이트를 포함한다.

[0077] 구체적으로, 트랜지스터(72)의 게이트는 배선 GLa에 전기적으로 접속되고, 트랜지스터(72)의 소스 및 드레인의

한쪽이 배선 SL에 전기적으로 접속되고, 트랜지스터(72)의 소스 및 드레인의 다른 쪽이 트랜지스터(70)의 제1 게이트에 전기적으로 접속되어 있다. 트랜지스터(71)의 게이트는 배선 GLb에 전기적으로 접속되고, 트랜지스터(71)의 소스 및 드레인의 한쪽이 트랜지스터(75)의 소스 및 드레인의 한쪽에 전기적으로 접속되고, 트랜지스터(71)의 소스 및 드레인의 다른 쪽이 트랜지스터(70)의 제1 게이트에 전기적으로 접속되어 있다. 트랜지스터(70)의 소스 및 드레인의 한쪽이 트랜지스터(75)의 소스 및 드레인의 한쪽에 전기적으로 접속되고, 트랜지스터(70)의 소스 및 드레인의 다른 쪽이 배선 VL에 전기적으로 접속되어 있다. 트랜지스터(73)의 게이트는 배선 GLb에 전기적으로 접속되고, 트랜지스터(73)의 소스 및 드레인의 한쪽이 배선 BL에 전기적으로 접속되고, 트랜지스터(73)의 소스 및 드레인의 다른 쪽이 트랜지스터(70)의 제2 게이트에 전기적으로 접속되어 있다. 트랜지스터(74)의 게이트는 배선 GLd에 전기적으로 접속되고, 트랜지스터(74)의 소스 및 드레인의 한쪽이 배선 ML에 전기적으로 접속되고, 트랜지스터(74)의 소스 및 드레인의 다른 쪽이 트랜지스터(75)의 소스 및 드레인의 한쪽에 전기적으로 접속되어 있다. 트랜지스터(75)의 게이트는 배선 GLc에 전기적으로 접속되고, 트랜지스터(75)의 소스 및 드레인의 다른 쪽이 발광 소자(78)의 화소 전극에 전기적으로 접속되어 있다.

[0078] 용량 소자(76)의 한 쌍의 전극 중 한쪽은 트랜지스터(70)의 제2 게이트에 전기적으로 접속되어 있고, 그 다른 쪽은 트랜지스터(75)의 소스 및 드레인의 한쪽에 전기적으로 접속되어 있다. 용량 소자(77)의 한 쌍의 전극 중 한쪽은 트랜지스터(70)의 제1 게이트에 전기적으로 접속되어 있고, 그다른 쪽은 트랜지스터(75)의 소스 및 드레인의 한쪽에 전기적으로 접속되어 있다. 발광 소자(78)의 공통 전극은, 배선 CL에 전기적으로 접속되어 있다.

[0079] <화소의 동작예 2>

[0080] 계속해서, 도 5에 도시하는 화소(11)를 일례로서 사용하여, 본 발명의 일 실시 형태의 발광 장치의 화소 동작에 대해서 설명한다.

[0081] 도 6의 (A)는, 배선 GLa 내지 GLd에 입력되는 전위의 타이밍 차트와, 배선 SL에 입력되는 화상 신호 Sig의 전위의 타이밍 차트를 나타낸다. 도 6의 (A)에 나타내는 타이밍 차트는, 도 5에 도시하는 화소(11)에 포함되는 트랜지스터가 모두 n 채널형 트랜지스터인 예이다.

[0082] 먼저, 기간 t1에서는, 배선 GLa에 로우 레벨의 전위가 부여되고, 배선 GLb에 하이 레벨의 전위가 부여되고, 배선 GLc에 로우 레벨의 전위가 부여되고, 배선 GLd에 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(71), 트랜지스터(73) 및 트랜지스터(74)가 온이 되고, 트랜지스터(72) 및 트랜지스터(75)는 오프가 된다.

[0083] 배선 VL에는 전위 Vano가 부여되고, 배선 BL에는 전위 V0가 부여되고, 배선 ML에는 전위 V1이 부여되고, 발광 소자(78)의 공통 전극에 전기적으로 접속된 배선 CL에는 전위 Vcat가 부여된다. 따라서, 트랜지스터(70)의 제1 게이트(이하, 노드 A로 칭함)에는 전위 V1이 부여되고, 트랜지스터(70)의 제2 게이트(이하, 노드 B로 칭함)에는 전위 V0가 부여되고, 트랜지스터(70)의 소스 및 드레인의 한쪽(이하, 노드 C로 칭함)에는 전위 V1이 부여된다.

[0084] 전위 Vano는, 전위 Vcat와, 발광 소자(78)의 역치 전압 Vthe와, 트랜지스터(70)의 역치 전압 Vth의 합보다도 높게 하는 것이 바람직하다. 전위 V0는, 트랜지스터(70)의 역치 전압 Vth이 마이너스 방향으로 시프트될 수 있도록, 노드 C보다 충분히 높은 전위인 것이 바람직하다. 구체적으로는, 전압 Vbg(노드 B와 노드 C 간의 전위차에 상당하는 전압)이 0V일 때의 트랜지스터(70)의 역치 전압 Vth를 Vth0으로 나타내고, 기간 t1에 있어서의 트랜지스터(70)의 역치 전압 Vth를 Vth1로 나타내는 경우에, 충족되는 것이 바람직하다. 상기 구성에 의해, 트랜지스터(70)는 노멀리-온(normally-on) 트랜지스터가 되므로, 노드 A와 노드 C의 전위차, 즉, 트랜지스터(70)의 게이트 전압이 0V이어도, 트랜지스터(70)가 온될 수 있다.

[0085] 트랜지스터(70)가 p채널형 트랜지스터일 경우, 전위 V0는, 트랜지스터(70)의 역치 전압 Vth가 플러스 방향으로 시프트될 수 있도록, 노드 C보다도 충분히 낮은 전위인 것이 바람직하다는 점에 유의한다. 상기 구성에 의해, 트랜지스터(70)는 노멀리-온 트랜지스터가 되므로, 노드 A와 노드 C 간의 전위차, 즉, 트랜지스터(70)의 게이트 전압이 0V이어도, 트랜지스터(70)가 온될 수 있다.

[0086] 계속해서, 기간 t2에서는, 배선 GLa에 로우 레벨의 전위가 부여되고, 배선 GLb에 하이 레벨의 전위가 부여되고, 배선 GLc에 로우 레벨의 전위가 부여되고, 배선 GLd에 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(71) 및 트랜지스터(73)가 온이 되고, 트랜지스터(72), 트랜지스터(74) 및 트랜지스터(75)는 오프가 된다.

[0087] 배선 VL에는 전위 Vano가 부여되고, 배선 BL에는 전위 V0가 부여되어 있다. 따라서 노드 B에는 전위 V0가 부여되는 것으로 유지되고, 기간 t2의 개시 시에는 트랜지스터(70)의 역치 전압 Vth는 마이너스 방향으로 시프트되는 상태, 즉 Vth1로 유지되고; 따라서 트랜지스터(70)는 온이다. 그리고, 기간 t2에서는, 배선 VL과 배선 ML 간의 전류 경로는, 트랜지스터(74)에 의해 차단되므로, 트랜지스터(70)의 드레인 전류에 의해 노드 A 및 노드 C

의 전위는 상승을 시작한다. 노드 C의 전위가 상승하고, 노드 B와 노드 C 간의 전위차에 상당하는 전압 Vbg가 낮아져서, 트랜지스터(70)의 역치 전압 Vth는 플러스 방향으로 시프트된다. 트랜지스터(70)의 역치 전압 Vth가 0V에 가까이 근접하면, 트랜지스터(70)는 오프된다. 트랜지스터(70)의 역치 전압 Vth가 0V일 때, 노드 B와 노드 C 간의 전위차는 V0-V2이다.

[0088] 즉, 노드 B와 노드 C의 전위차가 V0-V2일 때, 트랜지스터(70)의 역치 전압 Vth는 0V의 게이트 전압에 대하여 드레인 전류가 0A에 수렴하도록 0V로 보정되어, 노드 B와 노드 C 간의 전위차 V0-V2는, 용량 소자(76)에 인가된다.

[0089] 계속해서, 기간 t3에서는, 배선 GLa에는 하이 레벨의 전위가 부여되고, 배선 GLb에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여되고, 배선 GLd에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(72) 및 트랜지스터(74)가 온이 되고, 트랜지스터(71), 트랜지스터(73) 및 트랜지스터(75)는 오프가 된다.

[0090] 배선 VL, 배선 SL, 및 배선 ML에는 각각, 전위 Vano, 화상 신호 Sig의 전위 Vdata, 및 V1이 부여된다. 노드 B는 플로팅 상태에 있다. 따라서, 노드 C의 전위가 V2로부터 전위 V1로 변화될 때, 용량 소자(76)에 의해 노드 B의 전위는 V0로부터 V0+V1-V2로 변화한다. 용량 소자(76)가 전위차 V0-V2를 보유하기 때문에, 트랜지스터(70)의 역치 전압 Vth는 0V에 유지되어 있다. 노드 A에는 전위 Vdata가 부여되고, 트랜지스터(70)의 게이트 전압은 Vdata-V1이 된다.

[0091] 계속해서, 기간 t4에서는, 배선 GLa에는 로우 레벨의 전위가 부여되고, 배선 GLb에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 하이 레벨의 전위가 부여되고, 배선 GLd에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(75)는 온이 되고, 트랜지스터(71 내지 74)는 오프가 된다.

[0092] 배선 VL에는 전위 Vano가 부여되고, 발광 소자(78)의 공통 전극에 전기적으로 접속된 배선 CL에는 전위 Vcat가 부여되어 있다. 기간 t4에서는, 트랜지스터(75)를 온으로 함으로써, 노드 C의 전위가 변동한다. 노드 C의 전위가 V3로 변하면, 노드 A 및 노드 B의 전위는 각각 Vdata+V3-V1 및 V0-V2+V3이 된다. 노드 A, B 및 C의 전위가 변화해도, 용량 소자(76) 및 용량 소자(77)는 각각 전위차 V0-V2 및 전위차 Vdata-V1을 보유한다. 배선 VL과 배선 CL의 사이에는, 트랜지스터(70)의 게이트 전압에 대응하는 값을 갖는 드레인 전류가 흐른다. 발광 소자(78)의 휙도는, 상기 드레인 전류의 값에 좌우된다.

[0093] 도 5에 도시한 화소(11)를 포함하는 발광 장치에서는, 트랜지스터(70)의 소스 및 드레인의 다른 쪽은, 트랜지스터(70)의 제2 게이트로부터 전기적으로 분리되어 있으므로, 그들의 전위가 개별적으로 제어될 수 있다. 그로 인해, 트랜지스터(70)가 노멀리-온 트랜지스터일 경우에, 즉 초기 상태의 트랜지스터(70)의 역치 전압 Vth0가 마이너스인 경우에, 기간 t2에 있어서 트랜지스터(70)의 소스 및 드레인의 한쪽의 전위가 제2 게이트의 전위 V0 보다 높아질 때까지, 용량 소자(76)에 전하를 축적할 수 있다. 그 결과, 본 발명의 일 실시 형태의 발광 장치에서는, 트랜지스터(70)가 노멀리-온이어도, 기간 t2에 있어서, 게이트 전압 0V에 대하여 드레인 전류가 0A로 수렴하도록, 역치 전압 Vth를 0V로 보정할 수 있다.

[0094] 예를 들어, 트랜지스터(70)의 반도체 막에 산화물 반도체를 사용함으로써, 트랜지스터(70)의 소스 및 드레인의 다른 쪽이 트랜지스터(70)의 제2 게이트로부터 전기적으로 분리되어 있는, 도 5에 도시하는 화소(11)를 포함하는 발광 장치는, 트랜지스터(70)가 노멀리-온이 되어도, 표시 불균일을 저감할 수 있고, 높은 화질의 표시를 행할 수 있다.

[0095] 이상은, 화소(11) 내에 있어서의 역치 전압의 보정(이하, 내부 보정이라고 칭함)을 포함하는 화소(11)의 동작예이다. 하기에는, 내부 보정 외에, 역치 전압의 변동에 기인하는 화소(11) 간의 휙도 편차를, 화상 신호의 보정(이하, 외부 보정이라고 칭함)에 의해 억제할 경우에 있어서 화소(11)의 동작에 대해서 설명한다.

[0096] 도 5에 도시하는 화소(11)를 예로서 사용하여, 도 6의 (B)는 내부 보정과 외부 보정의 양쪽을 행하는 경우, 배선 GLa 내지 GLd에 입력되는 전위의 타이밍 차트와, 배선 SL에 입력되는 화상 신호 Sig의 전위 Vdata의 타이밍 차트를 나타내었다. 도 6의 (B)에 나타내는 타이밍 차트는, 도 5에 도시하는 화소(11)에 포함되는 트랜지스터가 모두 n 채널형 트랜지스터인 예에 유의한다.

[0097] 먼저, 화소(11)는, 도 6의 (A)에 나타내는 타이밍 차트 및 상술한 설명에 따라 기간 t1 내지 기간 t4에 동작한다.

[0098] 계속해서, 기간 t5에서는, 배선 GLa에는 로우 레벨의 전위가 부여되고, 배선 GLb에는 로우 레벨의 전위가 부여

되고, 배선 GLc에는 로우 레벨의 전위가 부여되고, 배선 GLd에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(74)가 온이 되고, 트랜지스터(71), 트랜지스터(72), 트랜지스터(73) 및 트랜지스터(75)는 오프가 된다.

[0099] 배선 VL에는 전위 Vano가 부여되고, 배선 ML에는 전위 V1이 부여되어 있다. 배선 ML은, 모니터 회로에 전기적으로 접속된다.

[0100] 상기 동작에 의해, 트랜지스터(70)의 드레인 전류는 또한, 트랜지스터(74) 및 배선 ML을 통해서 모니터 회로에 공급된다. 모니터 회로는, 배선 ML을 통해 흐른 드레인 전류를 사용하여, 드레인 전류의 값에 대한 데이터를 포함하는 신호를 생성한다. 따라서, 본 발명의 일 실시 형태의 발광 장치는, 상기 신호를 사용하여, 화소(11)에 공급되는 화상 신호 Sig의 전위 Vdata의 값을 보정할 수 있다.

[0101] 기간 t5에 있어서의 외부 보정은, 기간 t4의 동작 후에 항상 행할 필요는 없다. 예를 들어, 발광 장치에 있어서, 기간 t1 내지 기간 t4의 동작을 복수회 반복한 후에, 기간 t5의 동작을 행할 수 있다. 대안적으로, 한 행의 화소(11)에 대해서 기간 t5의 동작을 행한 후, 최소의 계조 레벨 0에 대응하는 화상 신호 Sig를, 상기 동작을 행한 행의 화소(11)에 기입함으로써, 발광 소자(78)는 비발광의 상태로 될 수 있다. 그 다음, 다음 행의 화소(11)에 있어서, 기간 t5의 동작을 행할 수 있다.

[0102] 외부 보정만을 행하고 내부 보정을 행하지 않는 경우에도, 화소(11) 사이의 트랜지스터(70)의 역치 전압의 변동 뿐만 아니라, 이동도 등, 트랜지스터(70)의 다른 전기적 특성의 변동도 보정할 수 있다는 점에 유의한다. 외부 보정 외에 내부 보정을 행하는 경우, 역치 전압의 마이너스 시프트 또는 플러스 시프트는, 내부 보정에 의해 보정된다는 점에 유의한다. 따라서, 외부 보정은, 이동도 등, 트랜지스터(70)의 역치 전압 이외의 전기적 특성의 편차를 보정하기 위해 행해질 수 있다. 따라서, 외부 보정 외에 내부 보정을 행하는 경우, 외부 보정만을 행하는 경우에 비해, 보정된 화상 신호의 전위 진폭을 작게 할 수 있다. 이는, 화상 신호의 전위 진폭이 크기 때문에, 상이한 계조 레벨 간에 있어서의 화상 신호의 전위차가 커지고, 휙도 차를 갖는 화상의 매끄러운 그라데이션을 표현하는 것이 어려워지는 사태를 방지할 수 있다. 따라서, 화질의 저하가 방지될 수 있다.

[0103] <화소의 구성 예 3>

[0104] 계속해서, 화소(11)의 또 다른 구체적인 구성 예에 대해서 설명한다.

[0105] 도 7은, 화소(11)의 회로도의 또 다른 예를 나타낸다. 화소(11)는, 트랜지스터(80 내지 85)와, 발광 소자(86)와, 용량 소자(87)를 포함한다.

[0106] 발광 소자(86)의 화소 전극의 전위는, 화소(11)에 입력되는 화상 신호 Sig에 따라 제어된다. 발광 소자(86)의 휙도는, 화소 전극과 공통 전극 간의 전위차에 의해 결정된다. 예를 들어, OLED를 발광 소자(86)로서 사용하는 경우, 애노드와 캐소드 중 한쪽이 화소 전극으로서 기능하고, 그 다른 쪽이 공통 전극으로서 기능한다. 도 7은, 발광 소자(86)의 애노드를 화소 전극으로서 사용하고, 발광 소자(86)의 캐소드를 공통 전극으로서 사용하는 화소(11)의 구성을 예시하고 있다.

[0107] 트랜지스터(85)는, 배선(88)과, 트랜지스터(80)의 게이트와의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(83)는, 용량 소자(87)의 한 쌍의 전극 중 한쪽과, 트랜지스터(80)의 게이트와의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(82)는, 배선 SL과, 용량 소자(87)의 한 쌍의 전극 중 한쪽과의 사이의 도통 상태를 제어하는 기능을 갖는다. 용량 소자(87)의 한 쌍의 전극 중 다른 쪽은, 트랜지스터(80)의 소스 및 드레인의 한쪽에 전기적으로 접속된다. 트랜지스터(84)는, 트랜지스터(80)의 소스 및 드레인의 한쪽과, 발광 소자(86)의 화소 전극과의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(81)는, 배선 ML과, 트랜지스터(80)의 소스 및 드레인의 한쪽과의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(80)의 소스 및 드레인의 다른 쪽은 배선 VL에 전기적으로 접속되어 있다.

[0108] 트랜지스터(82)의 전환 및 트랜지스터(85)의 전환은, 각각 트랜지스터(82)의 게이트에 전기적으로 접속된 배선 GLA의 전위 및 트랜지스터(85)의 게이트에 전기적으로 접속된 배선 GLA의 전위에 따라서 제어된다. 트랜지스터(83)의 전환 및 트랜지스터(84)의 전환은, 트랜지스터(83)의 게이트에 전기적으로 접속된 배선 GL의 전위 및 트랜지스터(84)의 게이트에 전기적으로 접속된 배선 GLb의 전위에 따라서 제어된다. 트랜지스터(81)의 전환은, 트랜지스터(81)의 게이트에 전기적으로 접속된 배선 GLc의 전위에 따라서 제어된다.

[0109] 화소(11)에 포함된 트랜지스터에는, 산화물 반도체나, 비정질, 미결정, 다결정, 또는 단결정의 반도체를 사용할 수 있다. 그러한 반도체의 재료로서, 실리콘, 게르마늄 등이 주어질 수 있다. 트랜지스터(82), 트랜지스터(83) 및 트랜지스터(85)가 산화물 반도체를 채널 형성 영역에 포함하면, 트랜지스터(82), 트랜지스터(83) 및 트

랜지스터(85)의 오프 전류가 매우 작을 수 있다. 또한, 상기 구성을 각각 갖는 트랜지스터(82), 트랜지스터(83) 및 트랜지스터(85)를 화소(11)에 사용하면, 통상의 실리콘이나 게르마늄 등의 반도체를 포함하는 트랜지스터를 트랜지스터(82), 트랜지스터(83) 및 트랜지스터(85)에 사용하는 경우에 비해, 트랜지스터(80)의 게이트에 축적된 전하의 누설을 효과적으로 방지할 수 있다.

[0110] 따라서, 예를 들어, 정지 화상을 표시하는 경우에서와 같이, 일부 연속하는 프레임 기간에 걸쳐서 화소부(24)에 동일한 화상 데이터를 각각 갖는 화상 신호 Sig가 기입될 경우에, 구동 주파수를 낮게 하는, 즉 일정 기간 내에 있어서의 화소부에의 화상 신호 Sig의 기입 동작 횟수를 적게 해도, 화상의 표시를 유지할 수 있다. 예를 들어, 고순도화된 산화물 반도체를 트랜지스터(82), 트랜지스터(83) 및 트랜지스터(85)의 반도체 막에 사용함으로써, 화상 신호 Sig의 기입 동작 간의 간격을 10초 이상, 바람직하게는 30초 이상, 또는 더욱 바람직하게는 1분 이상으로 설정할 수 있다. 화상 신호 Sig의 기입 동작 간의 간격을 길게 할 수록, 소비 전력을 더 저감할 수 있다.

[0111] 또한, 화상 신호 Sig의 전위를 더 긴 기간에 걸쳐서 유지할 수 있기 때문에, 트랜지스터(80)의 게이트 전위를 유지하기 위한 용량 소자(87)를 화소(11)에 제공하지 않더라도, 표시될 화질이 저하되는 것을 방지할 수 있다.

[0112] 도 7에 있어서, 화소(11)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 또는 인덕터 등의 또 다른 회로 소자를 더 포함할 수 있다.

[0113] 도 7에 있어서, 트랜지스터들 각각은, 게이트를 반도체 막의 적어도 한쪽에 갖고 있고; 대안적으로는, 트랜지스터들 각각은 반도체 막을 그 사이에 끼운 한 쌍의 게이트를 가질 수 있다.

[0114] 도 7의 트랜지스터는 모두 n 채널형 트랜지스터이다. 화소(11) 내의 트랜지스터가 모두 동일한 채널형일 경우, 트랜지스터의 제조 단계 중 일부, 예를 들면, 반도체 막에 한 도전형을 부여하는 불순물 원소의 첨가 단계를 생략할 수 있다. 본 발명의 일 실시 형태의 발광 장치에서는, 반드시 화소(11) 내의 트랜지스터가 모두 n 채널형 트랜지스터일 필요는 없다는 점에 유의한다. 발광 소자(86)의 캐소드가 배선 CL에 전기적으로 접속되어 있는 경우, 적어도 트랜지스터(80)는 n 채널형 트랜지스터인 것이 바람직하다. 발광 소자(86)의 애노드가 배선 CL에 전기적으로 접속되어 있는 경우, 적어도 트랜지스터(80)는 p 채널형 트랜지스터인 것이 바람직하다.

[0115] 도 7은, 화소(11) 내의 트랜지스터가, 하나의 게이트와 하나의 채널 형성 영역을 갖는 싱글-게이트 구성을 갖는 경우를 예시하고 있지만; 본 발명의 일 실시 형태는 이러한 구성에 한정되지 않는다. 화소(11) 내의 트랜지스터 중 어느 하나 또는 모두가, 전기적으로 서로 접속된 복수의 게이트와 복수의 채널 형성 영역을 갖는 멀티-게이트 구성을 가질 수 있다.

<화소의 동작 예 3>

[0116] 계속해서, 도 7에 나타낸 화소(11)의 동작 일례에 대해서 설명한다. 도 8의 (A)는, 도 7에 나타내는 화소(11)에 전기적으로 접속되는 배선 GLA, 배선 GLb, 및 배선 GLc의 전위와, 배선 SL에 공급되는 화상 신호 Sig의 전위의 타이밍 차트이다. 도 8의 (A)에 나타내는 타이밍 차트는, 도 7에 나타내는 화소(11)에 포함되는 트랜지스터가 모두 n 채널형 트랜지스터인 일례라는 점에 유의한다.

[0117] 먼저, 기간 t1에서는, 배선 GLA에는 로우 레벨의 전위가 부여되고, 배선 GLb에는 하이 레벨의 전위가 부여되고, 배선 GLc에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(81), 트랜지스터(83) 및 트랜지스터(84)가 온이 되고, 트랜지스터(82) 및 트랜지스터(85)는 오프가 된다. 트랜지스터(81) 및 트랜지스터(84)가 온이 되는 것에 의해, 트랜지스터(80)의 소스 및 드레인 중 한쪽 및 용량 소자(87)의 다른 전극(이하, 노드 A로 칭함)에는, 배선 ML의 전위인 전위 V0가 부여된다.

[0118] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 전위 Vano는, 전위 V0와, 발광 소자(86)의 역치 전압 Vthe의 합보다도 높은 것이 바람직하다. 전위 V0는, 전위 Vcat과, 발광 소자(86)의 역치 전압 Vthe의 합보다도 낮은 것이 바람직하다. 전위 V0를 상기 범위의 값으로 설정하면, 기간 t1에 있어서 발광 소자(86)를 통해 전류가 흐르는 것을 방지할 수 있다.

[0119] 계속해서, 배선 GLb에는 로우 레벨의 전위가 부여되고, 그에 따라 트랜지스터(83) 및 트랜지스터(84)가 오프가 되고, 노드 A는 전위 V0로 유지된다.

[0120] 계속해서, 배선 GLc에는 하이 레벨의 전위가 부여되고, 배선 GLb에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(82) 및 트랜지스터(85)가 온이 되고,

트랜지스터(81), 트랜지스터(84) 및 트랜지스터(83)가 오프가 된다.

[0122] 기간 t1로부터 기간 t2로의 이행 시에, 배선 GLA에 부여되는 전위를 로우 레벨로부터 하이 레벨로 전환한 다음, 배선 GLc에 부여되는 전위를 하이 레벨부터 로우 레벨로 전환하는 것이 바람직하다는 점에 유의한다. 이러한 동작은, 배선 GLA에 부여되는 전위의 전환에 의한, 노드 A의 전위의 변동을 방지할 수 있다.

[0123] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 배선 SL에는 화상 신호 Sig의 전위 Vdata가 부여되고, 배선(88)에는 전위 V1이 부여된다. 전위 V1은, 전위 Vcat과, 트랜지스터(80)의 역치 전압 Vth의 합보다도 높고, 전위 Vano와, 트랜지스터(80)의 역치 전압 Vth의 합보다 낮은 것이 바람직하다는 점에 유의한다.

[0124] 도 7에 나타내는 회소 구성에서는, 전위 V1이 전위 Vcat과, 발광 소자(86)의 역치 전압 Vthe의 합보다 높은 경우에도, 트랜지스터(84)가 오프인 한, 발광 소자(86)는 발광하지 않는다는 점에 유의한다. 그로 인해, 허용 가능한 전위 V0 범위가 확장될 수 있고, V1-V0의 허용가능한 범위가 증가할 수 있다. V1-V0의 값의 자유도를 증가시킨 결과로서, 트랜지스터(80)의 역치 전압의 취득에 필요로 하는 시간을 단축 또는 제한하더라도, 정확하게 트랜지스터(80)의 역치 전압을 취득할 수 있다.

[0125] 상기 동작에 의해, 트랜지스터(80)의 게이트(이하, 노드 B로 칭함)에는, 노드 A의 전위와, 트랜지스터(80)의 역치 전압의 합보다도 높은 전위 V1이 입력되고, 트랜지스터(80)는 온이 된다. 따라서, 트랜지스터(80)를 통해서 용량 소자(87)의 전하가 방출되고, 전위 V0인 노드 A의 전위가 상승을 시작한다. 최종적으로는 노드 A의 전위가 전위 V1-Vth에 수렴하고, 트랜지스터(80)의 게이트 전압이 트랜지스터(80)의 역치 전압 Vth에 수렴한 다음, 트랜지스터(80)가 오프가 된다.

[0126] 용량 소자(87)의 한 쌍의 전극 중 한쪽(노드 C로서 도시함)에는, 배선 SL에 부여된 화상 신호 Sig의 전위 Vdata가, 트랜지스터(82)를 통해서 부여된다.

[0127] 계속해서, 기간 t3에서는, 배선 GLA에는 로우 레벨의 전위가 부여되고, 배선 GLb에는 하이 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(83) 및 트랜지스터(84)가 온이 되고, 트랜지스터(81), 트랜지스터(85) 및 트랜지스터(82)가 오프가 된다.

[0128] 기간 t2로부터 기간 t3로의 이행 시에, 배선 GLA에 부여되는 전위가 하이 레벨부터 로우 레벨에 전환되고 나서, 배선 GLb에 부여되는 전위가 로우 레벨로부터 하이 레벨로 전환되는 것이 바람직하다. 상기 단계들은, 배선 GLA에 부여되는 전위의 전환에 의한 노드 A에 있어서의 전위의 변동을 방지할 수 있다.

[0129] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다.

[0130] 상기 동작에 의해, 노드 B에는 전위 Vdata가 부여되기 때문에, 트랜지스터(80)의 게이트 전압은 Vdata-V1+Vth가 된다. 따라서, 트랜지스터(80)의 게이트 전압은, 역치 전압 Vth가 첨가된 값을 가질 수 있다. 상기 단계들에 의해, 트랜지스터(80)의 역치 전압 Vth의 변동을 억제할 수 있다. 따라서, 발광 소자(86)에 공급된 전류값의 변동을 억제할 수 있어, 발광 장치의 휘도 불균일을 저감할 수 있다.

[0131] 배선 GLb에 부여되는 전위가 여기서 크게 변함으로써, 트랜지스터(84)의 역치 전압의 변동이 발광 소자(86)에 공급된 전류값에 영향을 미치는 것을 방지할 수 있다는 점에 유의한다. 즉, 배선 GLb에 부여되는 하이 레벨의 전위는 트랜지스터(84)의 역치 전압보다도 충분히 크고, 배선 GLb에 부여되는 로우 레벨의 전위는 트랜지스터(84)의 역치 전압보다도 충분히 작게 함으로써, 트랜지스터(84)의 온/오프의 전환을 확실하게 하고, 트랜지스터(84)의 역치 전압의 변동이 발광 소자(86)의 전류값에 영향을 미치는 것을 방지할 수 있다.

[0132] 이상은, 내부 보정을 포함한 회소(11)의 동작예이다. 내부 보정 외에, 역치 전압의 변동에 기인하는 회소(11) 간의 휘도 편차를, 외부 보정에 의해 억제하는 경우의, 회소(11)의 동작에 대해서 하기에 설명한다.

[0133] 도 7에 나타내는 회소(11)를 일례로서 사용하고, 도 8의 (B)는 내부 보정 및 외부 보정의 양쪽을 행하는 경우의, 배선 GLA 내지 GLc에 입력되는 전위와, 배선 SL에 입력되는 화상 신호 Sig의 전위 Vdata의 타이밍 차트이다. 도 8의 (B)에 나타내는 타이밍 차트는, 도 7에 나타내는 회소(11)에 포함되는 트랜지스터가 모두 n 채널 형 트랜지스터인 일례라는 점에 유의한다.

[0134] 먼저, 회소(11)는 기간 t1 내지 기간 t3까지, 도 8의 (A)에 나타내는 타이밍 차트와 상술한 설명에 따라 동작한다.

- [0135] 계속해서, 기간 t4에서는, 배선 GLA에는 로우 레벨의 전위가 부여되고, 배선 GLB에는 로우 레벨의 전위가 부여되고, 배선 GLC에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(81)가 온이 되고, 트랜지스터(82 내지 85)가 오프가 된다.
- [0136] 또한, 배선 VL에는 전위 Vano가 부여되고, 배선 ML은, 모니터 회로에 전기적으로 접속된다.
- [0137] 상기 동작에 의해, 트랜지스터(80)의 드레인 전류 Id가, 발광 소자(86)가 아닌, 트랜지스터(81)를 통해서 배선 ML에 흐른다. 모니터 회로는, 배선 ML을 통해 흐르는 드레인 전류 Id를 사용하여, 드레인 전류 Id의 값에 대한 데이터를 포함하는 신호를 생성한다. 따라서, 본 발명의 일 실시 형태의 발광 장치는, 상기 신호를 사용하여, 화소(11)에 공급되는 화상 신호 Sig의 전위 Vdata의 값을 보정할 수 있다.
- [0138] 도 7에 나타내는 화소(11)를 갖는 발광 장치에서는, 기간 t3의 동작 후에 기간 t4의 동작을 항상 행할 필요는 없다는 점에 유의한다. 예를 들어, 발광 장치에 있어서, 기간 t1 내지 t3의 동작을 복수회 반복한 후에, 기간 t4의 동작을 행할 수 있다. 대안적으로, 한 행의 화소(11)에 대해서 기간 t4의 동작을 행한 후, 최소의 계조 레벨 0에 대응하는 화상 신호를, 상기 동작을 행한 행의 화소(11)에 기입함으로써, 발광 소자(86)는 비발광의 상태로 될 수 있다. 그 다음, 다음 행의 화소(11)에 대해서, 기간 t4의 동작을 행할 수 있다.
- [0139] 도 7에 나타낸 화소(11)를 갖는 발광 장치에서는, 트랜지스터(80)의 소스 및 드레인의 다른 쪽이, 트랜지스터(80)의 게이트로부터 전기적으로 분리하고 있으므로, 그들의 전위는 개별적으로 제어될 수 있다. 따라서, 기간 t2에 있어서, 트랜지스터(80)의 소스 및 드레인의 다른 쪽 전위는, 트랜지스터(80)의 게이트 전위와 역치 전압 Vth의 합보다도 높은 값으로 설정될 수 있다. 그로 인해, 트랜지스터(80)가 노멀리-온 트랜지스터인 경우에, 즉 트랜지스터(80)의 역치 전압 Vth가 마이너스인 경우에, 트랜지스터(80)의 소스의 전위가 게이트의 전위 V1보다도 높아질 때까지, 용량 소자(87)에 전하가 축적될 수 있다. 이러한 이유로, 본 발명의 일 실시 형태의 발광 장치에서는, 트랜지스터(80)가 노멀리-온 트랜지스터이어도, 기간 t2에 있어서 역치 전압을 취득할 수 있고, 기간 t3에 있어서, 역치 전압 Vth를 첨가하여 취득한 값으로, 트랜지스터(80)의 게이트 전압을 설정할 수 있다.
- [0140] 따라서, 도 7에 나타내는 화소(11)에서는, 예를 들어, 산화물 반도체를 포함한 반도체 막을 포함하는 트랜지스터(80)가 노멀리-온 트랜지스터가 되더라도, 표시 불균일을 저감할 수 있고, 높은 화질의 표시를 행할 수 있다.
- [0141] 외부 보정만을 행하고 내부 보정을 행하지 않더라도, 화소(11) 사이의 트랜지스터(80)의 역치 전압의 변동뿐만 아니라, 트랜지스터(80)의, 이동도 등, 다른 전기적 특성의 변동도 보정할 수 있다는 점에 유의한다. 외부 보정 외에 내부 보정도 행하는 경우, 역치 전압의 마이너스 시프트 또는 플러스 시프트는, 내부 보정에 의해 보정된다는 점에 유의한다. 따라서, 외부 보정은, 트랜지스터(80)의 이동도 등, 역치 전압 이외의 전기적 특성의 변동을 보정하기 위해 행해질 수 있다. 따라서, 외부 보정 외에 내부 보정도 행하는 경우, 외부 보정만을 행하는 경우에 비해, 보정된 화상 신호의 전위 진폭을 작게 할 수 있다. 이는, 화상 신호의 전위 진폭이 너무 커서, 상이한 계조 레벨 간의 화상 신호의 전위차가 커지고, 휘도차를 갖는 화상의 매끄러운 그라데이션을 표현하는 것이 어려운 사태를 방지할 수 있다. 따라서, 화질이 저하되는 것을 방지할 수 있다.
- [0142] <화소의 구성 예 4>
- [0143] 계속해서, 도 7의 것과는 다른 화소(11)의 구체적인 구성예에 대해서 설명한다.
- [0144] 도 9는, 화소(11)의 회로도의 또 다른 예를 나타낸다. 화소(11)는, 트랜지스터(40 내지 45)와, 발광 소자(46)와, 용량 소자(47)와, 용량 소자(48)를 갖는다.
- [0145] 발광 소자(46)의 화소 전극의 전위는, 화소(11)에 입력되는 화상 신호 Sig에 따라 제어된다. 발광 소자(46)의 휘도는, 화소 전극과 공통 전극 간의 전위차에 의해 결정된다. 예를 들어, OLED를 발광 소자(46)로서 사용하는 경우, 애노드와 캐소드 중 한쪽이 화소 전극으로서 기능하고, 그 다른 쪽은 공통 전극으로서 기능한다. 도 9는, 발광 소자(46)의 애노드를 화소 전극으로서 사용하고, 발광 소자(46)의 캐소드를 공통 전극으로서 사용한 화소(11)의 구성을 예시하고 있다.
- [0146] 트랜지스터(42)는, 배선 SL과, 용량 소자(47)의 한 쌍의 전극 중 한쪽과의 사이의 도통 상태를 제어하는 기능을 갖는다. 용량 소자(47)의 한 쌍의 전극 중 다른 쪽은, 트랜지스터(40)의 게이트에 전기적으로 접속되어 있다. 트랜지스터(45)는, 배선(49)과, 트랜지스터(40)의 게이트와의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(43)는, 용량 소자(47)의 한 쌍의 전극 중 한쪽과, 트랜지스터(40)의 소스 및 드레인의 한쪽과의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(44)는, 트랜지스터(40)의 소스 및 드레인의 한쪽과, 발광 소자(46)의 애노드와의 사이의 도통 상태를 제어하는 기능을 갖는다. 트랜지스터(41)는, 배선 ML과, 트랜지스

터(40)의 소스 및 드레인의 한쪽과의 사이의 도통 상태를 제어하는 기능을 갖는다. 또한, 도 9에서는, 트랜지스터(40)의 소스 및 드레인의 다른 쪽은 배선 VL에 전기적으로 접속되어 있다. 용량 소자(48)의 한 쌍의 전극 중 한쪽은, 용량 소자(47)의 한 쌍의 전극 중 한쪽에 전기적으로 접속되고, 그 다른 쪽은, 트랜지스터(40)의 소스 및 드레인의 한쪽에 전기적으로 접속되어 있다.

[0147] 트랜지스터(42)의 전환은, 트랜지스터(42)의 게이트에 전기적으로 접속된 배선 GL_c의 전위에 따라서 행해진다.

트랜지스터(43)의 전환 및 트랜지스터(45)의 전환은, 트랜지스터(43)의 게이트에 전기적으로 접속된 배선 GLB의 전위 및 트랜지스터(45)의 게이트에 전기적으로 접속된 배선 GLB의 전위에 따라서 제어된다. 트랜지스터(44)의 전환은, 트랜지스터(44)의 게이트에 전기적으로 접속된 배선 GLD의 전위에 따라서 제어된다. 트랜지스터(41)의 전환은, 트랜지스터(41)의 게이트에 전기적으로 접속된 배선 GLA의 전위에 따라서 제어된다.

[0148] 화소(11)에 포함된 트랜지스터에는, 산화물 반도체나, 비정질, 미결정, 다결정, 또는 단결정의 반도체를 사용할 수 있다. 그러한 반도체의 재료로서, 실리콘, 게르마늄 등이 주어질 수 있다. 트랜지스터(45)가 산화물 반도체를 채널 형성 영역에 포함하면, 트랜지스터(45)의 오프 전류를 매우 작게 할 수 있다. 또한, 상기 구성을 갖는 트랜지스터(45)를 화소(11)에 사용하면, 통상의 실리콘이나 게르마늄 등의 반도체를 포함하는 트랜지스터를 트랜지스터(45)로서 사용하는 경우에 비하여, 트랜지스터(40)의 게이트에 축적된 전하의 누설을 효과적으로 방지할 수 있다.

[0149] 따라서, 예를 들어, 정지 화상을 표시하는 경우에서와 같이, 일부 연속하는 프레임 기간에 걸쳐서 화소부에 동일한 화상 데이터를 각각 갖는 화상 신호 Sig가 기입될 경우에, 구동 주파수를 낮게 하는, 즉 일정 기간 내에 있어서의 화소부에의 화상 신호 Sig의 기입 동작 횟수를 적게 해도, 화상의 표시를 유지할 수 있다. 예를 들어, 고순도화된 산화물 반도체를 트랜지스터(42)의 반도체 막에 사용함으로써, 화상 신호 Sig의 기입 동작 간의 간격을 10초 이상, 바람직하게는 30초 이상, 또는 더욱 바람직하게는 1분 이상으로 설정할 수 있다. 화상 신호 Sig의 기입 동작 간의 간격을 길게 할 수록, 소비 전력을 더 저감할 수 있다.

[0150] 또한, 화상 신호 Sig의 전위를 보다 긴 기간에 걸쳐서 유지할 수 있기 때문에, 트랜지스터(40)의 게이트 전위를 유지하기 위한 용량 소자(47)를 화소(11)에 제공하지 않더라도, 표시될 화질이 저하되는 것을 방지할 수 있다.

[0151] 도 9에 있어서, 화소(11)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 또는 인더터 등의 또 다른 회로 소자를 더 가질 수 있다는 점에 유의한다.

[0152] 도 9에 있어서, 트랜지스터들 각각은, 게이트를 반도체 막의 적어도 한 측에 갖고 있고; 대안적으로, 트랜지스터들 각각은, 반도체 막을 그 사이에 끼운 한 쌍의 게이트를 가질 수 있다.

[0153] 도 9의 트랜지스터들은 모두 n 채널형 트랜지스터이다. 화소(11) 내의 트랜지스터가 모두 동일한 채널형일 경우, 트랜지스터의 제조 단계의 일부, 예를 들어 반도체 막에 한 도전형을 부여하는 불순물 원소의 첨가 단계를 생략할 수 있다. 본 발명의 일 실시 형태의 발광 장치에서는, 반드시 화소(11) 내의 트랜지스터가 모두 n 채널형 트랜지스터일 필요는 없다는 점에 유의한다. 발광 소자(46)의 캐소드가 배선 CL에 전기적으로 접속되어 있는 경우, 적어도 트랜지스터(40)가 n 채널형 트랜지스터인 것이 바람직하다. 발광 소자(46)의 애노드가 배선 CL에 전기적으로 접속되어 있는 경우, 적어도 트랜지스터(40)가 p 채널형 트랜지스터인 것이 바람직하다.

[0154] 도 9는, 화소(11) 내의 트랜지스터가, 하나의 게이트 및 하나의 채널 형성 영역을 갖는 싱글-게이트 구성을 갖는 경우를 예시하고 있지만; 본 발명의 일 실시 형태는 이러한 구성에 한정되지 않는다. 화소(11) 내의 트랜지스터 중 어느 하나 또는 모두가, 전기적으로 서로 접속된 복수의 게이트, 및 복수의 채널 형성 영역을 갖는 멀티-게이트 구성을 가질 수 있다.

[0155] <화소의 동작예 4>

[0156] 도 10의 (A) 및 (B)는 각각, 도 9에 나타내는 화소(11)에 전기적으로 접속되는 배선 GLA 내지 배선 GLD의 전위와, 배선 SL에 공급되는 화상 신호 Sig의 전위의 타이밍 차트이다. 도 10의 (A) 및 (B)에 도시하는 타이밍 차트는 각각, 도 9에 나타내는 화소(11)에 포함되는 트랜지스터가 모두 n 채널형 트랜지스터인 일례라는 점에 유의한다.

[0157] 먼저, 기간 t1에서는, 배선 GLA에는 하이 레벨의 전위가 부여되고, 배선 GLb에는 하이 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여되고, 배선 GLD에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터 (43), 트랜지스터(45), 및 트랜지스터(41)가 온이 되고, 트랜지스터(42) 및 트랜지스터(44)는 오프가 된다. 상기 동작에 의해, 트랜지스터(40)의 게이트에는, 배선(49)의 전위 Vi2가 부여되고, 트랜지스터(40)의 소스 및 드

레인의 한쪽에는, 배선 ML의 전위 Vi1이 부여된다.

[0158] 전위 Vi1은, 전위 Vcat와, 발광 소자(46)의 역치 전압 Vthe의 합보다도 낮은 것이 바람직하다는 점에 유의한다. 전위 Vi2는, 전위 Vi1과, 트랜지스터(40)의 역치 전압 Vth의 합보다도 높은 것이 바람직하다. 따라서, 트랜지스터(40)의 게이트 전압은 Vi2-Vi1이 되고, 트랜지스터(40)는 온이 된다.

[0159] 배선 VL에는 전위 Vi1이 부여되고, 배선 CL에는 전위 Vcat가 부여된다.

[0160] 계속해서, 기간 t2에서는, 배선 GLA에는 로우 레벨의 전위가 부여되고, 배선 GLB에는 하이 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여되고, 배선 GLD에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(43) 및 트랜지스터(45)가 온이 되고, 트랜지스터(42), 트랜지스터(44), 및 트랜지스터(41)는 오프가 된다. 상기 동작에 의해, 트랜지스터(40)의 게이트에 의해, 전위 Vi2가 유지된다. 배선 VL에는 전위 Vi2가 부여되고, 배선 CL에는 전위 Vcat가 부여된다.

[0161] 상기 동작에 의해, 온이 되는 트랜지스터(40)를 통해서 용량 소자(47)의 전하가 방출되고, 전위 Vi1이 되는, 트랜지스터(40)의 소스 및 드레인의 한쪽의 전위가 상승을 시작한다. 최종적으로는, 트랜지스터(40)의 소스 및 드레인의 한쪽의 전위가 Vi2-Vth에 수렴하고, 트랜지스터(40)의 게이트 전압이 트랜지스터(40)의 역치 전압 Vth에 수렴한 다음; 트랜지스터(40)가 오프가 된다.

[0162] 도 9에 나타내는 회소 구성에서는, 전위 Vi2를, 전위 Vcat와, 발광 소자(46)의 역치 전압 Vthe의 합보다 높게 해도, 트랜지스터(44)가 오프인 한, 발광 소자(46)는 발광하지 않는다. 그로 인해, 허용가능한 전위 Vi1 범위는 확장하는 것이 가능하게 되고, Vi2-Vi1의 허용가능한 범위도 확장하는 것이 가능하게 된다. Vi2-Vi1의 값의 자유도가 증가하는 결과로서, 트랜지스터(40)의 역치 전압의 취득에 필요로 하는 시간을 단축 및 제한하는 경우에도, 정확하게 트랜지스터(40)의 역치 전압을 취득할 수 있다.

[0163] 계속해서, 기간 t3에서는, 배선 GLA에는 하이 레벨의 전위가 부여되고, 배선 GLB에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 하이 레벨의 전위가 부여되고, 배선 GLD에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(42) 및 트랜지스터(41)가 온이 되고, 트랜지스터(43), 트랜지스터(44), 및 트랜지스터(45)는 오프가 된다. 회상 신호 Sig의 전위 Vdata는 배선 SL에 부여되고, 트랜지스터(42)를 통해 용량 소자(47)의 한 쪽의 전극 중 한쪽에 부여된다.

[0164] 트랜지스터(45)가 오프이고 따라서 트랜지스터(40)의 게이트는 플로팅의 상태에 있다. 또한, 용량 소자(47)에는 역치 전압 Vth가 유지되어 있으므로; 용량 소자(47)의 한 쪽의 전극 중 한쪽에 전위 Vdata가 부여되면, 용량 소자(47)의 한 쪽의 전극 중 다른 쪽에 전기적으로 접속된, 트랜지스터(40)의 게이트 전위는, 전하 보존의 법칙에 따라 Vdata+Vth가 된다. 또한, 배선 ML의 전위 Vi1이, 트랜지스터(41)를 통해서 트랜지스터(40)의 소스 및 드레인의 한쪽에 부여된다. 그 다음, 용량 소자(48)에는 전압 Vdata-Vi1이 부여되고, 트랜지스터(40)의 게이트 전압은, Vth+Vdata-Vi1이 된다.

[0165] 기간 t2로부터 기간 t3까지 이행 시에, 배선 GLB에 부여되는 전위가 하이 레벨부터 로우 레벨에 전환되고 나서, 배선 GLc에 부여되는 전위가 로우 레벨로부터 하이 레벨로 전환되는 것이 바람직하다. 상기 단계들은, 배선 GLc에 부여되는 전위의 전환에 의해, 트랜지스터(40)의 게이트의 전위의 변동을 방지할 수 있다.

[0166] 계속해서, 기간 t4에서는, 배선 GLA에는 로우 레벨의 전위가 부여되고, 배선 GLB에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여되고, 배선 GLD에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(44)가 온이 되고, 트랜지스터(42), 트랜지스터(43), 트랜지스터(45) 및 트랜지스터(41)가 오프가 된다.

[0167] 배선 VL에는 전위 Vi2가 부여되고, 배선 CL에는 전위 Vcat가 부여된다.

[0168] 상기 동작에 의해, 용량 소자(47) 및 용량 소자(48)에 의해 각각 역치 전압 Vth 및 전압 Vdata-Vi1이 유지되고; 발광 소자(46)의 애노드의 전위는 전위 Vel이 되고; 트랜지스터(40)의 게이트 전위는 전위 Vdata+Vth+Vel-Vi1이 되고; 트랜지스터(40)의 게이트 전압은 Vdata+Vth-Vi1이 된다.

[0169] 전위 Vel은, 트랜지스터(40)를 통해 발광 소자(46)에 전류가 흐를 때에 설정된다는 점에 유의한다. 구체적으로는, 전위 Vel은, 전위 Vi2와 전위 Vcat의 사이의 전위로 설정된다.

[0170] 따라서, 트랜지스터(40)의 게이트 전압은, 역치 전압 Vth가 첨가된 값을 가질 수 있다. 상기 단계들에 의해, 트랜지스터(40)의 역치 전압 Vth의 변동을 억제할 수 있다. 따라서, 발광 소자(46)에 공급되는 전류값의 변동

을 억제할 수 있음으로써, 발광 장치의 휘도 불균일을 저감할 수 있다.

[0171] 배선 GLD에 부여되는 전위가 여기서 크게 변동함으로써, 트랜지스터(44)의 역치 전압의 변동이 발광 소자(46)에 공급되는 전류값에 영향을 미치는 것을 방지할 수 있다는 점에 유의한다. 즉, 배선 GLD에 부여되는 하이 레벨의 전위는 트랜지스터(44)의 역치 전압보다도 충분히 크고, 배선 GLD에 부여되는 로우 레벨의 전위는 트랜지스터(44)의 역치 전압보다도 충분히 작고; 따라서 트랜지스터(44)의 온/오프의 전환을 확실하게 하고, 트랜지스터(44)의 역치 전압의 변동이 발광 소자(46)의 전류값에 영향을 미치는 것을 방지할 수 있다.

[0172] 이상은, 내부 보정을 포함한 화소(11)의 동작예이다. 내부 보정 외에, 역치 전압의 변동에 기인하는 화소(11) 사이의 휘도 편차를, 외부 보정에 의해 억제할 경우의, 화소(11)의 동작에 대해서 하기에 설명한다.

[0173] 도 9에 나타내는 화소(11)를 예로서 사용하여, 도 10의 (B)는 내부 보정과 외부 보정의 양쪽을 행하는 경우의, 배선 GLA 내지 배선 GLD에 입력되는 전위와, 배선 SL에 입력되는 화상 신호 Sig의 전위 Vdata의 타이밍 차트이다. 도 10의 (B)에 나타내는 타이밍 차트는, 도 9에 나타내는 화소(11)에 포함되는 트랜지스터가 모두 n 채널 형 트랜지스터인 일례라는 점에 유의한다.

[0174] 먼저, 화소(11)는, 기간 t1 내지 기간 t4까지, 도 10의 (A)에 나타내는 타이밍 차트와, 상술한 설명에 따라 동작한다.

[0175] 계속해서, 기간 t5에서는, 배선 GLA에는 하이 레벨의 전위가 부여되고, 배선 GLB에는 로우 레벨의 전위가 부여되고, 배선 GLC에는 로우 레벨의 전위가 부여되고, 배선 GLD에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(41)가 온이 되고, 트랜지스터(45), 트랜지스터(42), 트랜지스터(43) 및 트랜지스터(44)가 오프가 된다.

[0176] 또한, 배선 VL에는 전위 Vi2가 부여되고, 배선 ML은 모니터 회로에 전기적으로 접속된다.

[0177] 상기 동작에 의해, 트랜지스터(40)의 드레인 전류 Id가, 발광 소자(46)가 아닌, 트랜지스터(41)를 통해서 배선 ML에 흐른다. 모니터 회로는, 배선 ML에 흐르는 드레인 전류 Id를 사용하여, 드레인 전류 Id의 값에 대한 데이터를 포함하는 신호를 생성한다. 따라서, 본 발명의 일 실시 형태의 발광 장치는, 상기 신호를 사용하여, 화소(11)에 공급되는 화상 신호 Sig의 전위 Vdata의 값을 보정할 수 있다.

[0178] 도 9에 나타내는 화소(11)를 갖는 발광 장치에서는, 기간 t4의 동작 후에 기간 t5의 동작을 항상 행할 필요는 없다는 점에 유의한다. 예를 들어, 발광 장치에 있어서, 기간 t1 내지 t4의 동작을 복수회 반복한 후에, 기간 t5의 동작을 행할 수 있다. 대안적으로, 한 행의 화소(11)에 대해서 기간 t5의 동작을 행한 후, 최소의 계조 레벨 0에 대응하는 화상 신호를, 상기 동작을 행한 행의 화소(11)에 기입함으로써, 발광 소자(46)를 비발광의 상태로 한다. 그 다음, 다음 행의 화소(11)에 대해서, 기간 t5의 동작을 행할 수 있다.

[0179] 도 9에 나타낸 화소(11)를 갖는 발광 장치에서는, 트랜지스터(40)의 소스 및 드레인의 다른 쪽은, 트랜지스터(40)의 게이트로부터 전기적으로 분리되어, 그들의 전위를 개별적으로 제어할 수 있다. 따라서, 기간 t2에 있어서, 트랜지스터(40)의 소스 및 드레인의 다른 쪽의 전위는, 트랜지스터(40)의 게이트 전위와, 역치 전압 Vth의 합보다도 높은 값으로 설정될 수 있다. 그로 인해, 트랜지스터(40)가 노멀리-온일 경우에, 즉 트랜지스터(40)의 역치 전압 Vth가 마이너스인 경우에, 트랜지스터(40)의 소스의 전위가 게이트의 전위보다도 높아질 때까지, 용량 소자(47)에 전하를 축적할 수 있다. 이러한 이유로, 본 발명의 일 실시 형태의 발광 장치에서는, 트랜지스터(40)가 노멀리-온 트랜지스터이더라도, 기간 t2에 있어서 역치 전압을 취득할 수 있고, 기간 t4에 있어서, 역치 전압 Vth를 첨가하여 취득한 값이 되도록, 트랜지스터(40)의 게이트 전압을 설정할 수 있다.

[0180] 따라서, 본 발명의 일 실시 형태의 발광 장치에서는, 예를 들어, 산화물 반도체를 함유하는 반도체 막을 포함하는 트랜지스터(40)가 노멀리-온 트랜지스터가 되어도, 표시 불균일을 저감할 수 있고, 높은 화질의 표시를 행할 수 있다.

[0181] 또한, 외부 보정만을 행하고 내부 보정을 행하지 않는 경우에도, 화소(11) 사이에서의 트랜지스터(40)의 역치 전압의 변동뿐만 아니라, 이동도 등, 트랜지스터(40)의 전기적 특성의 변동도 보정할 수 있다는 점에 유의한다. 외부 보정 외에 내부 보정도 행하는 경우, 역치 전압의 마이너스 시프트 또는 플러스 시프트는, 내부 보정에 의해 보정된다는 점에 유의한다. 따라서, 외부 보정은, 이동도 등, 트랜지스터(40)의 역치 전압 이외의 전기적 특성의 변동을 보정하기 위해 행해질 수 있다. 따라서, 외부 보정 외에 내부 보정도 행하는 경우, 외부 보정만을 행하는 경우에 비교하여, 보정된 화상 신호의 전위 진폭을 작게 할 수 있다. 이는, 화상 신호의 전위 진폭이 너무 커서, 상이한 계조 레벨 간에 있어서의 화상 신호의 전위차가 커지고, 휘도차를 갖는 화상의 매끄러운 그라데이션을 표현하는 것이 어려워지는 사태를 방지할 수 있다. 따라서, 화질이 저하되는 것을 방지할 수 있

다.

[0182] <모니터 회로의 구성예>

[0183] 계속해서, 모니터 회로(12)의 구성예를 도 11에 도시한다. 도 11에 도시하는 모니터 회로(12)는, 연산 증폭기(60)와, 용량 소자(61)와, 스위치(62)를 갖는다.

[0184] 용량 소자(61)의 한 쌍의 전극의 한쪽은, 연산 증폭기(60)의 반전 입력 단자(-)에 전기적으로 접속되고, 용량 소자(61)의 한 쌍의 전극의 다른 쪽은, 연산 증폭기(60)의 출력 단자에 전기적으로 접속되어 있다. 스위치(62)는, 용량 소자(61)에 축적되어 있는 전하를 방출시키는 기능을 갖고 있으며, 구체적으로는, 용량 소자(61)의 한 쌍의 전극 간의 도통 상태를 제어하는 기능을 갖는다. 연산 증폭기(60)의 비반전 입력 단자(+)는 배선(68)에 전기적으로 접속되어 있고, 배선(68)에는 전위 Vano가 부여된다.

[0185] 도 7에 나타내는 화소(11)가 도 8의 (B)에 나타내는 타이밍 차트에 따라 동작하는 경우, 배선(68)에는 전위 Vano 또는 전위 V0가 부여된다는 점에 유의한다. 또한, 도 9에 나타내는 화소(11)가 도 10의 (B)에 나타내는 타이밍 차트에 따라 동작하는 경우, 배선(68)에는 전위 Vano 또는 전위 Vi1이 부여된다.

[0186] 외부 보정을 행하기 위해서, 화소(11)로부터 배선 ML을 통해서 전류를 추출할 때에는, 모니터 회로(12)는 전압 팔로워로서 기능하고, 이에 의해 배선 ML에는 전위 Vano를 공급한 다음, 모니터 회로(12)는 적분 회로로서 기능하고, 이에 의해 화소(11)로부터 추출한 전류를 전압으로 변환한다. 구체적으로는, 스위치(62)를 온으로 함으로써, 배선(68)에 부여된 전위 Vano를, 모니터 회로(12)를 통해서 배선 ML에 부여한 다음, 스위치(62)를 오프로 한다. 스위치(62)가 오프의 상태에 있고, 화소(11)로부터 추출된 드레인 전류가 배선 TER에 공급되면, 용량 소자(61)에 전하가 축적되어, 용량 소자(61)의 한 쌍의 전극 간에 전압이 발생한다. 상기 전압은, 배선 TER에 공급된 드레인 전류의 총량에 비례하므로; 연산 증폭기(60)의 출력 단자에 전기적으로 접속된 배선 OUT에는, 소정의 기간 내에 있어서의 드레인 전류의 총량에 대응하는 전위가 부여된다.

[0187] 또한, 도 7에 나타내는 화소(11)에 있어서 내부 보정을 행하기 위해서, 화소(11)의 배선 ML에 전위 V0를 공급하는 때에, 모니터 회로(12)는 전압 팔로워로서 기능한다. 구체적으로는, 스위치(62)를 온으로 함으로써, 배선(68)에 공급되는 전위 V0를, 모니터 회로(12)를 통해서 배선 ML에 공급할 수 있다.

[0188] 또한, 도 9에 나타내는 화소(11)에 있어서 내부 보정을 행하기 위해서, 화소(11)의 배선 ML에 전위 Vi1을 공급하는 때에, 모니터 회로(12)는 전압 팔로워로서 기능한다. 구체적으로는, 스위치(62)를 온으로 함으로써, 배선(68)에 공급되는 전위 Vi1을, 모니터 회로(12)를 통해서 배선 ML에 공급할 수 있다.

[0189] 도 7에 나타내는 화소(11)에 있어서, 내부 보정의 경우에, 배선 ML에 전위 V0를 부여하고, 외부 보정의 경우에, 배선 ML에 전위 Vano를 부여한다는 점에 유의한다. 배선 ML에 부여된 전위의 전환은, 모니터 회로(12)의 배선(68)에 부여되는 전위를 전위 Vano와 전위 V0 사이에서 전환함으로써 행해질 수 있다. 또한, 도 9에 나타내는 화소(11)에 있어서, 내부 보정의 경우에, 배선 ML에 전위 Vi1을 부여하고, 외부 보정의 경우에, 배선 ML에 전위 Vano를 부여한다. 배선 ML에 부여되는 전위의 전환은, 모니터 회로(12)의 배선(68)에 부여되는 전위를 전위 Vano와 전위 Vi1 사이에서 전환함으로써 행해질 수 있다.

[0190] 또한, 도 4에 도시하는 회로(21)에 있어서, 배선(33)을 배선 ML에 전기적으로 접속시키는 경우, 배선(33)에는 전위 V0 또는 전위 Vi1을 부여할 수 있다. 그 경우, 내부 보정의 경우에 있어서는 배선(33)의 전위 V0 또는 전위 Vi1을 배선 ML에 부여하고, 외부 보정의 경우에 있어서는 모니터 회로(12)로부터 배선 TER를 통해서 전위 Vano를 배선 ML에 부여할 수 있다. 이 경우, 모니터 회로(12)의 배선(68)에 전위 Vano를, 다른 전위로 전환하지 않고, 부여할 수 있다.

[0191] <발광 장치의 구체적인 구성예 2>

[0192] 도 1에 도시하는 발광 장치(10)에서는, 외부 보정을 행하지 않고, 내부 보정만으로 화상을 보정할 수 있다. 그 경우에, 화소 구성예를 도 12, 도 13, 및 도 14의 (A) 및 (B)에 도시한다.

[0193] 예를 들어, 발광 장치(10)에서 내부 보정만을 행하는 경우에는, 도 1에 도시하는 모니터 회로(12) 및 메모리(29)는 불필요하다. 그 경우의 예를 도 12에 나타내었다. 도 12의 구성 요소에 대해서는, 도 1의 설명을 참조할 수 있다.

[0194] 예를 들어, 발광 장치(10)에서 내부 보정만을 행하는 경우에, 도 4에 도시하는 회로(21) 등은 불필요하다. 그 경우의 예를 도 13에 나타내었다. 도 13의 구성 요소에 대해서는, 도 4의 설명을 참조할 수 있다.

[0195] <화소의 구성예 5>

[0196] 도 14의 (A)에는, 본 발명의 일 실시 형태의 발광 장치에 포함된 화소(11)의 구성예를 나타낸다.

[0197] 화소(11)는, 트랜지스터(90 내지 94)와, 용량 소자(95)와, 발광 소자(96)를 갖는다. 도 14의 (A)에는, 트랜지스터(90 내지 94)가 n 채널형 트랜지스터인 경우를 예시하고 있다.

[0198] 트랜지스터(91)는, 배선 SL과, 용량 소자(95)의 한 쌍의 전극 중 한쪽과의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 용량 소자(95)의 한 쌍의 전극 중 다른 쪽은, 트랜지스터(90)의 소스 및 드레인의 한쪽에 전기적으로 접속된다. 트랜지스터(92)는, 배선 IL과, 트랜지스터(90)의 게이트와의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 트랜지스터(93)는, 용량 소자(95)의 한 쌍의 전극 중 한쪽과, 트랜지스터(90)의 게이트와의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 트랜지스터(94)는, 트랜지스터(90)의 소스 및 드레인의 한쪽과, 발광 소자(96)의 애노드와의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 발광 소자(96)의 캐소드는, 배선 CL에 전기적으로 접속되어 있다.

[0199] 또한, 도 14의 (A)에서는, 트랜지스터(90)의 소스 및 드레인의 다른 쪽은 배선 VL에 전기적으로 접속되어 있다.

[0200] 트랜지스터(91)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(91)의 게이트에 전기적으로 접속된 배선 GLa의 전위에 의해 결정된다. 트랜지스터(92)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(92)의 게이트에 전기적으로 접속된 배선 GLa의 전위에 의해 결정된다. 트랜지스터(93)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(93)의 게이트에 전기적으로 접속된 배선 GLb의 전위에 의해 결정된다. 트랜지스터(94)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(94)의 게이트에 전기적으로 접속된 배선 GLc의 전위에 의해 결정된다.

[0201] 계속해서, 도 14의 (B)에는, 본 발명의 일 실시 형태의 발광 장치에 포함된 화소(11)의 또 다른 구성예를 나타낸다.

[0202] 화소(11)는, 트랜지스터(90 내지 93)와, 트랜지스터(94)와, 용량 소자(95)와, 발광 소자(96)를 갖는다. 도 14의 (B)에는, 트랜지스터(90 내지 94)가 n 채널형 트랜지스터인 경우를 예시하고 있다.

[0203] 트랜지스터(91)는, 배선 SL과, 용량 소자(95)의 한 쌍의 전극 중 한쪽과의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 용량 소자(95)의 한 쌍의 전극 중 다른 쪽은, 트랜지스터(90)의 소스 및 드레인의 한쪽 및 발광 소자(96)의 애노드에 전기적으로 접속된다. 트랜지스터(92)는, 배선 IL과, 트랜지스터(90)의 게이트와의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 트랜지스터(93)는, 용량 소자(95)의 한 쌍의 전극 중 한쪽과, 트랜지스터(90)의 게이트와의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 트랜지스터(94)는, 트랜지스터(90)의 소스 및 드레인의 한쪽과, 발광 소자(96)의 애노드와의 사이의 도통 상태 또는 비도통 상태를 선택하는 기능을 갖는다. 트랜지스터(90)의 소스 및 드레인의 다른 쪽은 배선 VL에 전기적으로 접속되어 있다.

[0204] 트랜지스터(91)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(91)의 게이트에 전기적으로 접속된 배선 GLa의 전위에 의해 결정된다. 트랜지스터(92)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(92)의 게이트에 전기적으로 접속된 배선 GLa의 전위에 의해 결정된다. 트랜지스터(93)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(93)의 게이트에 전기적으로 접속된 배선 GLb의 전위에 의해 결정된다. 트랜지스터(94)에 있어서의 도통 상태 또는 비도통 상태의 선택은, 트랜지스터(94)의 게이트에 전기적으로 접속된 배선 GLc의 전위에 의해 결정된다.

[0205] 도 14의 (A) 및 도 14의 (B)에 있어서, 트랜지스터(90 내지 94)들 각각은, 게이트를 반도체 막의 적어도 한 층에 갖고 있고; 대안적으로, 트랜지스터들 각각은, 반도체 막을 그 사이에 제공한 한 쌍의 게이트를 가질 수 있다.

[0206] 도 14의 (A) 및 도 14의 (B)에서는, 각각 트랜지스터(90 내지 94)가 모두 n 채널형 트랜지스터인 경우를 예시하고 있다. 화소(11) 내의 트랜지스터(90 내지 94)가 모두 동일한 극성을 가질 경우, 트랜지스터의 제조 단계 중 일부, 예를 들어 반도체 막에 한 도전형을 부여하는 불순물 원소의 첨가 단계를 생략할 수 있다. 본 발명의 일 실시 형태의 발광 장치에서는, 반드시 트랜지스터(90 내지 94)가 모두 n 채널형 트랜지스터일 필요는 없다. 발광 소자(96)의 애노드가 트랜지스터(94)의 소스 및 드레인의 한쪽에 전기적으로 접속되어 있는 경우, 적어도 트랜지스터(90)는 n 채널형인 것이 바람직하고, 반면에 발광 소자(96)의 캐소드가 트랜지스터(94)의 소스 및 드레인의 한쪽에 전기적으로 접속되어 있는 경우, 적어도 트랜지스터(90)는 p 채널형 트랜지스터인 것이 바람직하다.

그 경우, 발광 소자(96)의 애노드는, 배선 CL에 전기적으로 접속된다.

[0207] 전류를 흘리기 위해 트랜지스터(90)를 포화 영역에서 동작시킬 경우, 채널 길이 또는 채널 폭을, 트랜지스터(91 내지 94)에서의 것보다도 길게 하는 것이 바람직하다. 채널 길이 또는 채널 폭을 길게 하면, 포화 영역에서의 특성이 편평해지고; 따라서, 킹크 효과(kink effect)를 저감할 수 있다. 대안적으로, 채널 길이 또는 채널 폭을 길게 함으로써, 포화 영역에서도, 트랜지스터(90)를 통해 많은 양의 전류를 흐르게 할 수 있다.

[0208] 또한, 도 14의 (A) 및 도 14의 (B)에서는, 각각 트랜지스터(90 내지 94)가, 하나의 게이트 및 하나의 채널 형성 영역을 갖는 싱글-게이트 구성을 갖는 경우를 예시하고 있지만; 본 발명의 일 실시 형태는 이러한 구성에 한정되지 않는다. 트랜지스터(90 내지 94) 중 어느 하나 또는 모두가, 전기적으로 서로 접속된 복수의 게이트 및 복수의 채널 형성 영역을 갖는 멀티-게이트 구성을 가질 수 있다.

[0209] <화소의 동작예 5>

[0210] 계속해서, 도 14의 (A)에 나타내는 화소(11)의 동작 일례에 대해서 설명한다.

[0211] 도 15의 (A)는, 도 14의 (A)에 나타내는 화소(11)에 전기적으로 접속되는, 배선 GLa 내지 배선 GLc의 전위와, 배선 SL에 공급되는 화상 신호 Sig의 전위의 타이밍 차트이다. 도 15의 (A)에 나타내는 타이밍 차트는, 트랜지스터(90 내지 94)가 n 채널형 트랜지스터인 일례라는 점에 유의한다. 도 15의 (A)에 도시한 바와 같이, 도 14의 (A)에 나타내는 화소(11)의 동작은, 주로 기간 t1에 있어서의 제1 동작, 기간 t2에 있어서의 제2 동작, 및 기간 t3에 있어서의 제3 동작으로 나눌 수 있다.

[0212] 먼저, 기간 t1에 있어서의 제1 동작에 대해서 설명한다. 기간 t1에서는, 배선 GLa에는 로우 레벨의 전위가 부여되고, 배선 GLb에는 하이 레벨의 전위가 부여되고, 배선 GLc에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(94)가 온이 되고, 트랜지스터(91 내지 93)는 오프가 된다.

[0213] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 전위 Vano는, 발광 소자(96)의 역치 전압 Vthe와, 전위 Vcat의 합보다도 높다. 이하의 설명에서, 발광 소자(96)의 역치 전압 Vthe는 0V인 것으로 가정한다는 점에 유의한다.

[0214] 기간 t1에서는, 상기 동작에 의해, 트랜지스터(90)의 소스 및 드레인의 한쪽(노드 A로서 도시함)의 전위가 전위 Vcat과, 발광 소자(96)의 역치 전압 Vthe의 합이 된다. 이하 설명에서, 역치 전압 Vthe가 0V인 것으로 가정하면, 노드 A의 전위는 전위 Vcat가 된다.

[0215] 계속해서, 기간 t2에 있어서의 제2 동작에 대해서 설명한다. 기간 t2에서는, 배선 GLa에는 하이 레벨의 전위가 부여되고, 배선 GLb에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(91) 및 트랜지스터(92)가 온이 되고, 트랜지스터(93) 및 트랜지스터(94)는 오프가 된다.

[0216] 기간 t1로부터 기간 t2로의 이행 시에, 배선 GLa에 부여된 전위가 로우 레벨로부터 하이 레벨로 전환되고 나서, 배선 GLc에 부여된 전위를 하이 레벨부터 로우 레벨로 전환하는 것이 바람직하다. 상기 단계들은, 배선 GLa에 부여된 전위의 전환에 의해, 노드 A에 있어서의 전위가 변동하는 것을 방지할 수 있다.

[0217] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 배선 IL에는 전위 V0가 부여되고, 배선 SL에는 화상 신호 Sig의 전위 Vdata가 부여된다. 전위 V0는, 전위 Vcat과, 트랜지스터(90)의 역치 전압 Vth와, 발광 소자(96)의 역치 전압 Vthe의 합보다도 높고, 전위 Vano와, 트랜지스터(90)의 역치 전압 Vth의 합보다 낮은 것이 바람직하다는 점에 유의한다.

[0218] 기간 t2에서는, 상기 동작에 의해, 트랜지스터(90)의 게이트(노드 B로서 도시함)에 전위 V0가 부여되기 때문에, 트랜지스터(90)가 온이 된다. 따라서, 트랜지스터(90)를 통해서 용량 소자(95)의 전하가 방출되고, 전위 Vcat인, 노드 A의 전위가 상승을 시작한다. 그 다음, 최종적으로는, 노드 A의 전위가 전위 V0-Vth에 도달하고, 즉 트랜지스터(90)의 게이트 전압이 역치 전압 Vth로 저감되고; 그 다음, 트랜지스터(90)가 오프가 된다. 용량 소자(95)의 한 쌍의 전극의 한쪽(노드 C로서 도시함)에는, 전위 Vdata가 부여된다.

[0219] 계속해서, 기간 t3에 있어서의 제3 동작에 대해서 설명한다. 기간 t3에서는, 배선 GLa에는 로우 레벨의 전위가 부여되고, 배선 GLb에는 하이 레벨의 전위가 부여되고, 배선 GLc에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(93) 및 트랜지스터(94)가 온이 되고, 트랜지스터(91) 및 트랜지스터(92)는 오프가 된다.

[0220] 기간 t2로부터 기간 t3으로의 이행 시에, 배선 GLa에 부여된 전위가 하이 레벨부터 로우 레벨에 전환되고 나서,

배선 GLb 및 GLc에 부여된 전위를 로우 레벨로부터 하이 레벨로 전환하는 것이 바람직하다. 상기 단계들은, 배선 GLa에 부여된 전위의 전환에 의해, 노드 A에 있어서의 전위가 변동하는 것을 방지할 수 있다.

[0221] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다.

[0222] 기간 t3에서는, 상기 동작에 의해, 노드 B에 전위 Vdata가 부여되고; 따라서, 트랜지스터(90)의 게이트 전압은 Vdata-V0+Vth가 된다. 따라서, 트랜지스터(90)의 게이트 전압은, 역치 전압 Vth가 첨가된 값을 가질 수 있다. 상기 단계들은, 트랜지스터(90)의 역치 전압 Vth의 변동이, 발광 소자(96)에 공급된 전류값에 악영향을 미치는 것을 방지할 수 있다. 대안적으로, 트랜지스터(90)가 열화되고, 역치 전압 Vth가 변화해도, 역치 전압 Vth에서의 상기 변화가 발광 소자(96)에 공급된 전류값에 악영향을 미치는 것을 방지할 수 있다. 따라서, 표시 불균일은 저감될 수 있고, 높은 화질의 표시를 행할 수 있다.

[0223] 계속해서, 도 14의 (B)에 나타내는 화소(11)의 동작 일례에 대해서 설명한다.

[0224] 도 15의 (B)는, 도 14의 (B)에 나타내는 화소(11)에 전기적으로 접속되는, 배선 GLa 내지 배선 GLc의 전위와, 배선 SL에 공급되는 전위 Vdata의 타이밍 차트이다. 도 15의 (B)에 나타내는 타이밍 차트는, 트랜지스터(90) 내지 94)가 n 채널형 트랜지스터인 일례라는 점에 유의한다. 도 15의 (B)에 도시한 바와 같이, 도 14의 (B)에 나타내는 화소(11)의 동작은, 주로 기간 t1에 있어서의 제1 동작, 기간 t2에 있어서의 제2 동작, 및 기간 t3에 있어서의 제3 동작으로 나눌 수 있다.

[0225] 먼저, 기간 t1에 있어서의 제1 동작에 대해서 설명한다. 기간 t1에서는, 배선 GLa에는 로우 레벨의 전위가 부여되고, 배선 GLb에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 하이 레벨의 전위가 부여된다. 따라서, 트랜지스터(94)가 온이 되고, 트랜지스터(91 내지 93)는 오프가 된다.

[0226] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 상술한 바와 같이, 전위 Vano는, 발광 소자(96)의 역치 전압 Vthe와, 전위 Vcat의 합보다도 높은 것이 바람직하다. 또한, 배선 RL에는, 전위 V1이 부여된다. 전위 V1은, 전위 Vcat과, 발광 소자(96)의 역치 전압 Vthe의 합보다도 낮은 것이 바람직하다. 전위 V1을 상기 범위의 값으로 설정함으로써, 기간 t1에 있어서 발광 소자(96)를 통해 전류가 흐르는 것을 방지할 수 있다.

[0227] 기간 t1에서는, 상기 동작에 의해, 트랜지스터(90)의 소스 및 드레인의 한쪽(노드 A로서 도시함)에는, 전위 V1이 부여된다.

[0228] 계속해서, 기간 t2에 있어서의 제2 동작에 대해서 설명한다. 기간 t2에서는, 배선 GLa에는 하이 레벨의 전위가 부여되고, 배선 GLb에는 로우 레벨의 전위가 부여되고, 배선 GLc에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(91) 및 트랜지스터(92)가 온이 되고, 트랜지스터(93) 및 트랜지스터(94)는 오프가 된다.

[0229] 기간 t1로부터 기간 t2로의 이행 시에, 배선 GLa에 부여하는 전위가 로우 레벨로부터 하이 레벨로 전환되고 나서, 배선 GLc에 부여되는 전위를 하이 레벨부터 로우 레벨로 전환하는 것이 바람직하다. 상기 단계들은, 배선 GLa에 부여하는 전위의 전환에 의해, 노드 A에 있어서의 전위가 변동하는 것을 방지할 수 있다.

[0230] 배선 VL에는 전위 Vano가 부여되고, 배선 CL에는 전위 Vcat가 부여된다. 배선 IL에는 전위 V0가 부여되고, 배선 SL에는 화상 신호 Sig의 전위 Vdata가 부여된다. 상술한 바와 같이, 전위 V0는, 전위 Vcat과, 트랜지스터(90)의 역치 전압 Vth와, 발광 소자(96)의 역치 전압 Vthe의 합보다도 높고, 전위 Vano와, 트랜지스터(90)의 역치 전압 Vth의 합보다 낮은 것이 바람직하다는 점에 유의한다. 도 14의 (A)에 나타내는 화소(11)의 경우와는 상이하고, 도 14의 (B)에 나타내는 화소(11)의 경우에는, 발광 소자(96)의 애노드가, 트랜지스터(90)의 소스 및 드레인의 한쪽에 전기적으로 접속되어 있다는 점에 유의한다. 따라서, 기간 t2에 있어서 발광 소자(96)에 공급되는 전류값을 증가시키지 않기 위해서, 도 14의 (B)에 나타내는 화소(11)에서의 전위 V0는, 도 14의 (A)에 나타내는 화소(11)의 경우에서보다 낮은 값으로 설정하는 것이 바람직하다.

[0231] 기간 t2에서는, 상기 동작에 의해, 트랜지스터(90)의 게이트(노드 B로서 도시함)에 전위 V0가 부여되기 때문에, 트랜지스터(90)는 온이 된다. 따라서, 트랜지스터(90)를 통해서 용량 소자(95)의 전하가 방출되고, 전위 V1인, 노드 A의 전위가 상승을 시작한다. 그 다음, 최종적으로는, 노드 A의 전위가 전위 V0-Vth에 도달하고, 즉 트랜지스터(90)의 게이트 전압이 역치 전압 Vth로 저감되고; 그 다음, 트랜지스터(90)는 오프가 된다. 용량 소자(95)의 한 쌍의 전극의 한쪽(노드 C로서 도시함)에는, 전위 Vdata가 부여된다.

[0232] 계속해서, 기간 t3에 있어서의 제3 동작에 대해서 설명한다. 기간 t3에서는, 배선 GLa에는 로우 레벨의 전위가

부여되고, 배선 GL_b에는 하이 레벨의 전위가 부여되고, 배선 GL_c에는 로우 레벨의 전위가 부여된다. 따라서, 트랜지스터(93)가 온이 되고, 트랜지스터(91), 트랜지스터(92) 및 트랜지스터(94)는 오프가 된다.

[0233] 기간 t₂로부터 기간 t₃으로의 이행 시에, 배선 GL_a에 부여하는 전위가 하이 레벨부터 로우 레벨에 전환되고 나서, 배선 GL_b에 부여되는 전위를 로우 레벨로부터 하이 레벨로 전환하는 것이 바람직하다. 상기 단계들은, 배선 GL_a에 부여하는 전위의 전환에 의해, 노드 A에 있어서의 전위가 변동하는 것을 방지할 수 있다.

[0234] 배선 VL에는 전위 V_{ano}가 부여되고, 배선 CL에는 전위 V_{cat}가 부여된다.

[0235] 기간 t₃에서는, 상기 동작에 의해, 노드 B에 전위 V_{data}가 부여되고; 따라서, 트랜지스터(90)의 게이트 전압은 V_{data}-V₀+V_{th}가 된다. 따라서, 트랜지스터(90)의 게이트 전압은, 역치 전압 V_{th}가 첨가된 값으로 가질 수 있다. 상기 단계들은, 트랜지스터(90)의 역치 전압 V_{th}의 변동이, 발광 소자(96)에 공급하는 전류값에 악영향을 미치는 것을 방지할 수 있다. 대안적으로, 트랜지스터(90)가 열화되고, 역치 전압 V_{th}가 변화해도, 역치 전압 V_{th}에서의 상기 변화가 발광 소자(96)에 공급하는 전류값에 악영향을 미치는 것을 방지할 수 있다. 따라서, 표시 불균일이 저감될 수 있고, 높은 화질의 표시를 행할 수 있다.

[0236] 도 14의 (A) 및 도 14의 (B)에 나타낸 화소(11)를 갖는 본 발명의 일 실시 형태의 발광 장치에서는, 트랜지스터(90)의 소스 및 드레인의 다른 쪽은, 트랜지스터(90)의 게이트로부터 전기적으로 분리되어, 그들의 전위를 개별적으로 제어할 수 있다. 따라서, 제2 동작에 있어서, 트랜지스터(90)의 소스 및 드레인의 다른 쪽의 전위는, 트랜지스터(90)의 게이트 전위와 역치 전압 V_{th}의 합보다도 높은 값으로 설정할 수 있다. 그로 인해, 트랜지스터(90)가 노멀리-온 트랜지스터인 경우에, 즉 트랜지스터(90)의 역치 전압 V_{th}가 마이너스인 경우에, 트랜지스터(90)에 있어서의 소스의 전위가 게이트의 전위 V₀보다도 높아질 때까지, 용량 소자(95)에 전하를 축적할 수 있다. 이런 이유로, 본 발명의 일 실시 형태의 발광 장치에서는, 트랜지스터(90)가 노멀리-온 트랜지스터이어도, 기간 t₂에 있어서 역치 전압을 취득할 수 있고; 제3 동작에 있어서는, 역치 전압 V_{th}를 첨가하여 취득한 값으로, 트랜지스터(90)의 게이트 전압을 설정할 수 있다.

[0237] 따라서, 본 발명의 일 실시 형태의 발광 장치에서는, 예를 들어 산화물 반도체를 함유하는 반도체 막을 포함한 트랜지스터(90)가 노멀리-온 트랜지스터가 되어도, 표시 불균일이 저감될 수 있고, 높은 화질의 표시를 행할 수 있다.

[0238] 본 실시 형태에서 상기 설명한 구성은, 다른 실시 형태에서 설명한 임의의 구성과 적절히 조합될 수 있다.

[0239] [실시 형태 2]

[0240] 본 실시 형태에서는, 본 발명의 일 실시 형태의 발광 장치의 화소부 및 구동 회로에 사용하는 것이 가능한 산화물 반도체를 포함한 트랜지스터에 대해서 설명을 행한다.

[0241] <트랜지스터의 구성 예 1>

[0242] 도 16의 (A)와 (B) 및 도 17의 (A)와 (B)에는, 발광 장치에 포함되는 트랜지스터의 일례로서, 톱-게이트 구성의 트랜지스터를 나타낸다.

[0243] 도 16의 (A)와 (B)는 구동 회로에 제공되는 트랜지스터(394) 및 화소부에 제공되는 트랜지스터(390)의 상면도이고, 도 17의 (A)와 (B)는 트랜지스터(394) 및 트랜지스터(390)의 단면도이다. 도 16의 (A)는 트랜지스터(394)의 상면도이며, 도 16의 (B)는 트랜지스터(390)의 상면도이다. 도 17의 (A)는 도 16의 (A)의 일점쇄선 X1-X2 및 도 16의 (B)의 일점쇄선 X3-X4에 따른 단면도이다. 도 17의 (B)는 도 16의 (A)의 일점쇄선 Y1-Y2 및 도 16의 (B)의 일점쇄선 Y3-Y4에 따른 단면도이다. 또한, 도 17의 (A)는 각각 트랜지스터(390) 및 트랜지스터(394)의 채널 길이 방향의 단면도이다. 도 17의 (B)는 각각 트랜지스터(390) 및 트랜지스터(394)의 채널 폭 방향의 단면도이다.

[0244] 트랜지스터(394) 및 트랜지스터(390)와 마찬가지로, 구성 요소의 일부는 후술되는 트랜지스터의 상면도에 도시하지 않는 경우가 있다. 또한, 일점쇄선 X1-X2 및 일점쇄선 X3-X4의 방향을 채널 길이 방향이라고 호칭할 수 있고, 일점쇄선 Y1-Y2 및 일점쇄선 Y3-Y4의 방향을 채널 폭 방향이라고 호칭할 수 있다.

[0245] 도 17의 (A)와 (B)에 나타내는 트랜지스터(390)는, 기판(362) 상에 형성된 절연막(364) 상의 산화물 반도체 막(366)과, 산화물 반도체 막(366)에 접하는 도전막(368 및 370) 및 절연막(372)과, 절연막(372)을 개재해서 산화물 반도체 막(366)과 겹치는 도전막(374)을 갖는다. 트랜지스터(390) 상에 절연막(376)이 제공되어 있다는 점에 유의한다.

- [0246] 도 17의 (A)와 (B)에 나타내는 트랜지스터(394)는, 기판(362) 상에 형성된 도전막(261)과, 도전막(261) 상의 절연막(364)과, 절연막(364) 상의 산화물 반도체 막(266)과, 산화물 반도체 막(266)에 접하는 도전막(268 및 270) 및 절연막(272)과, 절연막(272)을 개재해서 산화물 반도체 막(266)과 겹치는 도전막(274)을 갖는다. 트랜지스터(394) 상에 절연막(376)이 제공되어 있다는 점에 유의한다.
- [0247] 트랜지스터(394)는, 절연막(364)을 개재해서 산화물 반도체 막(266)과 겹치는 도전막(261)을 갖는다. 즉, 도전막(261)은, 게이트 전극으로서 기능한다. 트랜지스터(394)는, 듀얼-게이트 구성의 트랜지스터이다. 다른 구성은, 트랜지스터(390)와 동일하며, 트랜지스터(390)에서와 마찬가지의 효과를 취득할 수 있다.
- [0248] 도전막(274)과 도전막(261)이 전기적으로 접속되지 않고, 이들에 상이한 전위를 인가함으로써, 트랜지스터(394)의 역치 전압을 제어할 수 있다. 반면에, 도 17의 (B)에 도시한 바와 같이, 도전막(274) 및 도전막(261)을 전기적으로 접속하고, 이들에 동일한 전위를 인가함으로써, 온 전류가 증가될 수 있고, 초기 특성의 변동이 저감될 수 있고, -GBT 스트레스 시험으로 인한 트랜지스터(394)의 열화, 및 다른 드레인 전압에 있어서의 온 전류의 상승 전압의 변동이 억제될 수 있다.
- [0249] 본 발명의 일 실시 형태의 발광 장치에 있어서, 구동 회로에서의 트랜지스터의 구성이 화소부에서와는 상이하다. 구동 회로에 포함되는 트랜지스터는, 듀얼-게이트 구성이다. 즉, 구동 회로에 포함된 트랜지스터는 화소부에 포함된 것보다 높은 온 전류를 갖는다.
- [0250] 도 5에 도시하는 트랜지스터(70)와 같이, 트랜지스터의 역치 전압을 보정하기 위해서, 화소부에 사용되는 일부 트랜지스터에, 듀얼-게이트 구성의 트랜지스터를 채택할 수도 있다.
- [0251] 또한, 발광 장치에 있어서, 구동 회로에 포함되는 트랜지스터와 화소부에 포함되는 트랜지스터는 상이한 채널 길이를 가질 수 있다.
- [0252] 대표적으로는, 구동 회로에 포함되는 트랜지스터(394)의 채널 길이를 $2.5 \mu\text{m}$ 미만, 또는 $1.45 \mu\text{m}$ 이상 $2.2 \mu\text{m}$ 이하로 설정할 수 있다. 한편, 화소부에 포함되는 트랜지스터(390)의 채널 길이를 $2.5 \mu\text{m}$ 이상, 또는 $2.5 \mu\text{m}$ 이상 $20 \mu\text{m}$ 이하로 설정할 수 있다.
- [0253] 구동 회로에 포함되는 트랜지스터(394)의 채널 길이를, $2.5 \mu\text{m}$ 미만, 또는 바람직하게는 $1.45 \mu\text{m}$ 이상 $2.2 \mu\text{m}$ 이하로 설정하면, 화소부에 포함되는 트랜지스터(390)와 비교하여, 온 전류를 증대시킬 수 있다. 그 결과, 고속 동작이 가능한 구동 회로를 취득할 수 있다.
- [0254] 도전막(368 및 370) 및 도전막(374)과 겹치지 않는 산화물 반도체 막(366)의 영역들은 각각, 산소 결손을 형성하는 원소를 갖는다. 또한, 도전막(268 및 270) 및 도전막(274)과 겹치지 않는 산화물 반도체 막(266)의 영역들은 각각 산소 결손을 형성하는 원소를 갖는다. 이하, 산소 결손을 형성하는 원소를, 불순물 원소로서 설명한다. 불순물 원소의 대표예로서는, 수소, 희가스 원소 등이 있다. 희가스 원소의 대표예로서는, 헬륨, 네온, 아르곤, 크립톤 및 크세논이 있다. 또한, 불순물 원소로서 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소 등이 산화물 반도체 막(366 및 266)에 함유될 수 있다.
- [0255] 또한, 절연막(376)은 수소를 포함하는 막이며, 대표적으로는 질화물 절연막이다. 절연막(376)이 산화물 반도체 막(366 및 266)에 접합으로써, 절연막(376)에 포함되는 수소는 산화물 반도체 막(366 및 266)에 확산된다. 그 결과, 산화물 반도체 막(366 및 266)이 절연막(376)과 접하는 영역에서, 수소가 많이 포함된다.
- [0256] 불순물 원소의 첨가에 의해 산소 결손이 형성된 산화물 반도체에 수소를 첨가하면, 산소 결손 사이트에 수소가 들어가서 전도띠 근방에 도너 준위를 형성한다. 그 결과, 산화물 반도체의 도전성이 높아져서, 산화물 반도체가 도체화된다. 도체화된 산화물 반도체를 산화물 도전체라고 할 수 있다. 일반적으로, 산화물 반도체는, 그들의 큰 에너지 갭 때문에, 가시광 투광성을 갖는다. 산화물 도전체는, 전도띠 근방에 도너 준위를 갖는 산화물 반도체이다. 따라서, 해당 도너 준위에 의한 흡수의 영향은 작고, 산화물 도전체는 산화물 반도체와 필적할 만한 가시광 투광성을 갖는다.
- [0257] 여기서, 산화물 도전체로 형성되는 막(이하, 산화물 도전체막이라고 함)의 저항률의 온도 의존성에 대해서, 도 34를 참조해서 설명한다.
- [0258] 본 실시 형태에서는, 산화물 도전체막을 각각 갖는 샘플을 제조하였다. 산화물 도전체막으로서, 산화물 반도체 막이 질화 실리콘막에 접합으로써 형성된 산화물 도전체막(OC_SiNx), 도핑 장치에 있어서 산화물 반도체 막에 아르곤이 첨가된 후에 산화물 반도체 막이 질화 실리콘막과 접합으로써 형성된 산화물 도전체막(OC_Ar

dope+SiN_x), 또는 산화물 반도체 막이 아르곤 플라즈마에 노출된 후에 산화물 반도체 막이 질화 실리콘막과 접함으로써 형성된 산화물 도전체막(OC_Ar plasma+SiN_x)을 형성하였다. 질화 실리콘막은 수소를 포함한다는 점에 유의한다.

[0259] 산화물 도전체막(OC_SiN_x)을 포함하는 샘플의 형성 방법은 이하와 같다. 유리 기판 상에 두께 400nm의 산화질화 실리콘막을 플라즈마 CVD법에 의해 형성한 후, 산소 플라즈마에 노출시키고, 산소 이온을 산화질화 실리콘막에 첨가함으로써, 가열에 의해 산소를 방출하는 산화질화 실리콘막을 형성하였다. 이어서, 가열에 의해 산소를 방출하는 산화질화 실리콘막 상에 원자수비가 In:Ga:Zn=1:1:1.2인 스퍼터링 타겟을 사용한 스퍼터링법에 의해, 두께 100nm의 In-Ga-Zn 산화물 막을 형성하고, 450°C의 질소 분위기에서 가열 처리한 후, 450°C의 질소 및 산소의 혼합 가스 분위기에서 가열 처리하였다. 이어서, 플라즈마 CVD법에 의해, 두께 100nm의 질화 실리콘막을 형성하였다. 그 후, 350°C의 질소 및 산소의 혼합 가스 분위기에서 가열 처리하였다.

[0260] 산화물 도전체막(OC_Ar dope+SiN_x)을 포함하는 샘플의 제조 방법은 이하와 같다. 유리 기판 상에 두께 400nm의 산화질화 실리콘막을 플라즈마 CVD법에 의해 형성한 후, 산소 플라즈마에 노출시키고, 산소 이온을 산화질화 실리콘막에 첨가함으로써, 가열에 의해 산소를 방출하는 산화질화 실리콘막을 형성하였다. 이어서, 가열에 의해 산소를 방출하는 산화질화 실리콘막 상에 원자수비가 In:Ga:Zn=1:1:1.2인 스퍼터링 타겟을 사용한 스퍼터링법에 의해, 두께 100nm의 In-Ga-Zn 산화물 막을 형성하고, 450°C의 질소 분위기에서 가열 처리한 후, 450°C의 질소 및 산소의 혼합 가스 분위기에서 가열 처리하였다. 이어서, 도핑 장치를 사용하여, In-Ga-Zn 산화물 막에, 10kV의 가속 전압에서, $5 \times 10^{14} / \text{cm}^2$ 의 도우즈량을 갖는 아르곤을 첨가하고, In-Ga-Zn 산화물 막에 산소 결손을 형성하였다. 그 후, 플라즈마 CVD법에 의해, 두께 100nm의 질화 실리콘막을 형성하였다. 이어서, 350°C의 질소 및 산소의 혼합 가스 분위기에서 가열 처리하였다.

[0261] 산화물 도전체막(OC_Ar plasma+SiN_x)을 포함하는 샘플의 형성 방법은 이하와 같다. 유리 기판 상에 두께 400nm의 산화질화 실리콘막을 플라즈마 CVD법에 의해 형성한 후, 산소 플라즈마에 노출시킴으로써; 가열에 의해 산소를 방출하는 산화질화 실리콘막을 형성하였다. 이어서, 가열에 의해 산소를 방출하는 산화질화 실리콘막 상에 원자수비가 InGa:Zn=1:1:1.2인 스퍼터링 타겟을 사용한 스퍼터링법에 의해, 두께 100nm의 In-Ga-Zn 산화물 막을 형성하고, 450°C의 질소 분위기에서 가열 처리한 후, 450°C의 질소 및 산소의 혼합 가스 분위기에서 가열 처리하였다. 그 다음, 플라즈마 처리 장치에 있어서, 아르곤 플라즈마를 발생시키고, 가속된 아르곤 이온을 In-Ga-Zn 산화물 막에 충돌시켜, In-Ga-Zn 산화물 막에 산소 결손을 형성하였다. 그 후, 플라즈마 CVD법에 의해, 두께 100nm의 질화 실리콘막을 형성하였다. 이어서, 350°C의 질소 및 산소의 혼합 가스 분위기에서 가열 처리하였다.

[0262] 이어서, 도 34는 샘플의 측정된 저항률을 도시한다. 여기서, 저항률은 4개의 단자들을 이용하여 Van-der-Pauw법에 의해 측정되었다. 도 34에 있어서, 횡축은 측정 온도를 나타내고, 종축은 저항률을 나타낸다. 산화물 도전체막(OC_SiN_x)의 측정 결과를 사각 표시로 나타내고, 산화물 도전체막(OC_Ar plasma+SiN_x)의 측정 결과를 삼각 표시로 나타내고, 산화물 도전체막(OC_Ar dope+SiN_x)의 측정 결과를 동그라미 표시로 나타낸다.

[0263] 도시하지 않지만, 질화 실리콘막과 접하지 않는 산화물 반도체 막은, 저항률이 높고, 저항률의 측정이 어려웠다는 점에 유의한다. 따라서, 산화물 도전체막이, 산화물 반도체 막보다 저항률이 낮은 것을 알 수 있다.

[0264] 도 34에 의하면, 산화물 도전체막(OC_Ar dope+SiN_x) 및 산화물 도전체막(OC_Ar plasma+SiN_x)이 산소 결손 및 수소를 포함하는 경우, 저항률의 변동은 작다. 대표적으로는, 80K 내지 290K의 온도에서의 저항률의 변동은, ±20% 미만이다. 대안적으로, 150K 내지 250K의 온도에서의 저항률의 변동은, ± 10% 미만이다. 즉, 산화물 도전체는, 축퇴 반도체(degenerate semiconductor)이며, 전도띠의 끝이 페르미 준위와 정렬 또는 대략 정렬하고 있는 것으로 추정된다. 이로 인해, 산화물 도전체막을 트랜지스터의 소스 영역 및 드레인 영역으로서 사용하면, 산화물 도전체막이 소스 전극 및 드레인 전극으로서 기능하는 도전막과 접하는 부분에서 오직 접촉이 발생하고, 산화물 도전체막과, 소스 전극 및 드레인 전극으로서 기능하는 도전막과의 접촉 저항을 저감할 수 있다. 또한, 산화물 도전체는 저항률의 온도 의존성이 낮기 때문에; 산화물 도전체막과, 소스 전극 및 드레인 전극으로서 기능하는 도전막과의 접촉 저항의 변동량이 적고, 신뢰성이 높은 트랜지스터를 취득할 수 있다.

[0265] 여기서, 산화물 반도체 막(366)의 부분 확대도를 도 18의 (A)에 나타내었다. 대표예로서, 트랜지스터(390)에 포함되는 산화물 반도체 막(366)의 부분 확대도를 참조해서 설명한다는 점에 유의한다. 도 18의 (A)에 도시한

바와 같이, 산화물 반도체 막(366)은, 도전막(368 및 370)과 접하는 영역(366a)과, 절연막(376)과 접하는 영역(366b)과, 절연막(372)과 접하는 영역(366d)을 갖는다. 도전막(374)이 테이퍼된 측면을 갖는 경우에, 산화물 반도체 막(366)은 도전막(374)의 테이퍼된 부분과 겹치는 영역(366c)을 포함할 수 있다.

[0266] 영역(366a)은, 소스 영역 및 드레인 영역으로서 기능한다. 도전막(368 및 370)이 텅스텐, 티타늄, 알루미늄, 구리, 폴리브텐, 크롬, 또는 탄탈륨, 또는 이를 임의의 도전 재료의 합금 등, 산소와 결합하기 쉬운 도전 재료를 사용해서 형성되는 경우, 산화물 반도체 막(366)에 포함되는 산소와 도전막(368 및 370)에 포함되는 도전 재료가 서로 결합하고; 따라서, 산화물 반도체 막(366)에 산소 결손이 형성된다. 또한, 일부 경우에는, 도전막(368 및 370)을 형성하는 도전 재료의 구성 원소의 일부가 산화물 반도체 막(366)에 혼입될 경우도 있다. 그 결과, 도전막(368 또는 370)과 접하는 영역(366a)은, 도전성이 높아지고, 그에 따라 소스 영역 또는 드레인 영역으로서 기능한다.

[0267] 영역(366b)은, 저저항 영역으로서 기능한다. 영역(366b)은 불순물 원소로서 적어도 희가스 원소 및 수소를 포함한다. 도전막(374)이 테이퍼된 측면을 갖는 경우, 불순물 원소는 도전막(374)의 테이퍼된 부분을 통과해서 영역(366c)에 첨가되기 때문에; 영역(366c)은, 영역(366b)에서보다 영역(366c)의 불순물 원소의 일례인 희가스 원소의 농도가 낮더라도, 불순물 원소를 포함한다는 점에 유의한다. 영역(366c)을 가짐으로써, 트랜지스터의 소스-드레인 내압을 높일 수 있다.

[0268] 산화물 반도체 막(366)이 스퍼터링법으로 형성되는 경우, 영역(366a 내지 366d)은 각각 희가스 원소를 포함하고, 영역(366a 및 366d)에서보다 영역(366b 및 366c)에서의 희가스 원소의 농도가 높다. 이것은, 산화물 반도체 막(366)이 스퍼터링법으로 형성되는 경우, 스퍼터링 가스로서 희가스 원소를 사용하기 때문에 산화물 반도체 막(366)에 희가스 원소가 포함되고, 영역(366b 및 366c)에 있어서 산소 결손을 형성하기 위해서, 의도적으로 희가스 원소가 영역(366b 및 366c)에 첨가되는 사실에 기인한다. 영역(366a 및 366d)에서의 것과는 다른 희가스 원소가 영역(366b 및 366c)에 첨가될 수 있다는 점에 유의한다.

[0269] 영역(366b)이 절연막(376)과 접하기 때문에, 영역(366b)에서의 수소의 농도는 영역(366a 및 366d)에서보다 높다. 또한, 영역(366b)로부터 영역(366c)으로 수소가 확산되는 경우, 영역(366c)에서의 수소 농도는, 영역(366a 및 366d)에서보다 높다. 그러나, 영역(366c)에서보다 영역(366b)에서의 수소 농도가 높다.

[0270] 영역(366b 및 366c)에 있어서, 2차 이온 질량 분석법(SIMS: secondary ion mass spectrometry)에 의해 측정된 수소의 농도는, 8×10^{19} atoms/cm³ 이상, 1×10^{20} atoms/cm³ 이상, 또는 5×10^{20} atoms/cm³ 이상일 수 있다. 2차 이온 질량 분석법에 의해 측정되는 영역(366a 및 366d)에서의 수소 농도는, 5×10^{19} atoms/cm³ 이하, 1×10^{19} atoms/cm³ 이하, 5×10^{18} atoms/cm³ 이하, 1×10^{18} atoms/cm³ 이하, 5×10^{17} atoms/cm³ 이하, 또는 1×10^{16} atoms/cm³ 이하일 수 있다는 점에 유의한다.

[0271] 불순물 원소로서, 봉소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 또는 염소가 산화물 반도체 막(366)에 첨가될 경우, 영역(366b 및 366c)만이 불순물 원소를 갖는다. 이로 인해, 영역(366a 및 366d)에서보다, 영역(366b 및 366c)에서의 불순물 원소의 농도가 높다. 영역(366b 및 366c)에 있어서, 2차 이온 질량 분석법에 의해 측정되는 불순물 원소의 농도는, 1×10^{18} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하, 1×10^{19} atoms/cm³ 이상 1×10^{21} atoms/cm³ 이하, 또는 5×10^{19} atoms/cm³ 이상 5×10^{20} atoms/cm³ 이하일 수 있다는 점에 유의한다.

[0272] 영역(366b 및 366c)은, 영역(366d)에서보다, 수소 농도가 높고, 희가스 원소의 첨가에 의한 산소 결손량이 많다. 이로 인해, 영역(366b 및 366c)은, 도전성이 높아지고, 저저항 영역으로서 기능한다. 대표적으로는, 영역(366b 및 366c)의 저항률은, 1×10^{-3} Ωcm 이상 1×10^{-4} Ωcm 미만, 또는 1×10^{-3} Ωcm 이상 1×10^{-1} Ωcm 미만일 수 있다.

[0273] 영역(366b 및 366c) 각각에서의 수소의 양이 산소 결손의 양과 동일하거나 적으면, 수소는 산소 결손에 포획되거나 청고, 채널 역할을 하는 영역(366d)에 확산하기 어렵다는 점에 유의한다. 그 결과, 노멀리-오프 특성(normally-off)의 트랜지스터를 취득할 수 있다.

[0274] 영역(366d)은, 채널로서 기능한다.

[0275] 또한, 도전막(368 및 370) 및 도전막(374)을 마스크로 사용해서 산화물 반도체 막(366)에 불순물 원소를 첨가한 후, 도전막(374)의 상부로부터 볼 때의 면적은 축소될 수 있다(도 18의 (B) 참조). 보다 구체적으로는, 산화물

반도체 막(366)에 불순물 원소를 첨가한 후, 도전막(374) 상의 마스크(예를 들어, 포토레지스트)에 대하여 슬리밍 처리를 행한다. 이어서, 마스크를 사용해서 도전막(374) 및 절연막(372)을 에칭한다. 이러한 단계를 통해, 도 18의 (B)에 나타내는 도전막(374a) 및 절연막(372a)을 형성할 수 있다. 슬리밍 처리로서는, 예를 들어, 산소 라디칼 등을 사용하는 애싱 처리를 채택할 수 있다.

[0276] 그 결과, 산화물 반도체 막(366)에 있어서, 영역(366c)과, 채널 역할을 하는 영역(366d)의 사이에, 오프셋 영역(366e)이 형성된다. 채널 길이 방향에 있어서의 오프셋 영역(366e)의 길이는, 0.1 μm 미만으로 설정됨으로써, 트랜지스터의 온 전류의 저하를 억제하는 것이 가능하다는 점에 유의한다.

[0277] 절연막(372) 및 절연막(272)은 게이트 절연막으로서 기능한다.

[0278] 도전막(368 및 370), 및 도전막(268 및 270)은, 각각 소스 전극 및 드레인 전극으로서 기능한다.

[0279] 도전막(374) 및 도전막(274)은, 각각 게이트 전극으로서 기능한다.

[0280] 본 실시 형태에 나타내는 트랜지스터(390) 및 트랜지스터(394)는 각각, 채널로서 기능하는 영역(366d)과, 소스 영역 및 드레인 영역으로서 기능하는 영역(366a)의 각각과의 사이에, 영역(366b) 및/또는 영역(366c)을 갖는다. 따라서, 채널과, 소스 영역 및 드레인 영역의 각각과의 사이의 저항을 저감하는 것이 가능하고, 트랜지스터(390) 및 트랜지스터(394)는 각각 온 전류가 크고, 전계 효과 이동도가 높다.

[0281] 또한, 트랜지스터(390) 및 트랜지스터(394)에 있어서, 도전막(374)을 도전막(368 및 370)과 겹치지 않도록 형성함으로써, 도전막(374)과, 도전막(368 및 370)의 각각과의 사이의 기생 용량을 저감하는 것이 가능하다. 또한, 도전막(274)을 도전막(268 및 270)과 겹치지 않도록 형성함으로써, 도전막(274)과, 도전막(268 및 270)의 각각과의 사이의 기생 용량을 저감하는 것이 가능하다. 그 결과, 기판(362)으로서 대면적 기판을 사용한 경우, 도전막(368 및 370) 및 도전막(374)에 있어서의 신호 지연, 및 도전막(268 및 270) 및 도전막(274)에 있어서의 신호 지연을 저감하는 것이 가능하다.

[0282] 트랜지스터(390)에 있어서, 도전막(368 및 370) 및 도전막(374)을 마스크로 사용해서, 희가스 원소를 산화물 반도체 막(366)에 첨가함으로써, 산소 결손을 갖는 영역이 형성된다. 트랜지스터(394)에 있어서, 도전막(268 및 270) 및 도전막(274)을 마스크로 사용해서, 불순물 원소를 산화물 반도체 막(266)에 첨가함으로써, 산소 결손을 갖는 영역이 형성된다. 또한, 산소 결손을 갖는 영역이, 수소를 포함하는 절연막(376)과 접하기 때문에; 절연막(376)에 포함되는 수소가 산소 결손을 갖는 영역에 확산함으로써, 저저항 영역이 형성된다. 즉, 셀프 얼라인 방식으로 저저항 영역을 형성할 수 있다.

[0283] 본 실시 형태에 나타내는 트랜지스터(390) 및 트랜지스터(394)에 있어서, 희가스 원소를 영역(366b)에 첨가하면, 산소 결손이 형성되고, 거기에 수소가 첨가된다. 이로 인해, 영역(366b)의 도전율을 증가시킬 수 있고, 각각의 트랜지스터마다의 영역(366b)의 도전율의 변동을 저감하는 것이 가능하다. 즉, 영역(366b)에 희가스 원소 및 수소를 첨가함으로써, 영역(366b)의 도전율을 제어할 수 있다.

[0284] 이하에, 도 17의 (A) 및 (B)에 나타내는 구성을 상세히 설명한다.

[0285] 기판(362)의 타입은 특정한 타입에 한정되지 않고, 기판(362)으로서는 임의의 여러가지 기판을 사용할 수 있다. 기판의 예들은, 반도체 기판(예를 들어, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 호일을 갖는 기판, 텅스텐 기판, 텅스텐 호일을 갖는 기판, 가요성 기판, 접합 필름, 섬유 형상의 재료를 포함하는 종이, 및 기재 필름을 포함한다. 유리 기판의 예들은, 바륨 봉규산 유리 기판, 알루미노 봉규산 유리 기판, 및 소다 석회 유리 기판을 포함한다. 가요성 기판, 접합 필름, 기재 필름 등의 예들은, 이하와 같다: 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 및 폴리에테르 술폰(PES)로 대표되는 플라스틱; 아크릴 등의 합성 수지; 폴리프로필렌; 폴리에스테르; 폴리불화비닐; 폴리염화비닐; 폴리아미드; 폴리이미드; 아라미드; 에폭시; 무기 중착 필름; 및 종이. 특히, 반도체 기판, 단결정 기판, SOI 기판 등을 사용해서 트랜지스터를 형성하면, 특성, 사이즈, 형상 등의 변동이 작고, 전류 공급 능력이 높고, 사이즈가 작은 트랜지스터를 형성할 수 있다. 이러한 트랜지스터를 사용하여 회로를 형성함으로써, 회로의 소비 전력을 감소시킬 수 있거나 회로의 고집적화를 도모할 수 있다.

[0286] 또한 대안적으로, 기판(362)로서 가요성 기판을 사용할 수 있고, 가요성 기판 상에 직접 트랜지스터를 제공할 수 있다. 대안적으로, 기판(362)과 각각의 트랜지스터의 사이에 박리 층을 제공할 수 있다. 박리 층은, 그 박리 층 상에 형성된 반도체 장치의 일부 또는 전부가 완성되고, 기판(362)으로부터 분리되어, 다른 기판으로 전달될 때 사용할 수 있다. 그 경우, 트랜지스터는 내열성이 떨어진 기판 또는 가요성 기판에도 마찬가지로 전달

될 수 있다. 상기 박리 층에 대해서는, 예를 들어, 텅스텐막과 산화 실리콘막인 무기 막을 포함하는 적층, 또는 기판 상에 형성된 폴리이미드 등의 유기 수지막이 사용될 수 있다.

[0287] 트랜지스터가 전달되는 기판의 예들은, 트랜지스터를 형성하는 것이 가능한 상기 기판 외에, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(예를 들면, 실크, 면, 또는 마), 합성 섬유(예를 들면, 나일론, 폴리우레탄, 또는 폴리에스테르) 또는 재생 섬유(예를 들면, 아세테이트, 큐프라, 레이온, 또는 재생 폴리에스테르) 등을 포함), 파혁 기판, 고무 기판 등을 포함한다. 그러한 기판을 사용하면, 특성이 우수한 트랜지스터 또는 소비 전력이 적은 트랜지스터의 형성될 수 있고, 내구성이 높고 내열성이 높은 장치가 제공될 수 있으며, 중량 또는 두께의 감소가 달성 될 수 있다.

[0288] 절연막(364)은, 하나 이상의 산화물 절연막 및 질화물 절연막을 사용해서 단층 또는 적층으로 형성할 수 있다. 산화물 반도체 막(266 및 366)과의 계면 특성을 향상시키기 위해서, 절연막(364)에 있어서 적어도 산화물 반도체 막(266 및 366)과 접하는 영역으로서 산화물 절연막이 사용되는 것이 바람직하다는 점에 유의한다. 절연막(364)으로서 가열에 의해 산소를 방출하는 산화물 절연막을 사용하는 것이 바람직하며, 그 경우 가열 처리에 의해 절연막(364)에 포함되는 산소를, 산화물 반도체 막(266 및 366)에 이동시키는 것이 가능하다.

[0289] 절연막(364)의 두께는, 50nm 이상 5000nm 이하, 100nm 이상 3000nm 이하, 또는 200nm 이상 1000nm 이하일 수 있다. 두꺼운 절연막(364)을 사용하면, 절연막(364)으로부터 방출된 산소량을 증가시킬 수 있고, 절연막(364)과 각각의 산화물 반도체 막(266 및 366) 간의 계면 준위(interface states), 및 산화물 반도체 막(266 및 366)의 영역(366d)에 포함되는 산소 결손을 저감하는 것이 가능하다.

[0290] 절연막(364)은, 예를 들어 하나 이상의 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화하프늄, 산화갈륨 또는 Ga-Zn 산화물, 등을 사용해서 단층 또는 적층으로 형성할 수 있다.

[0291] 산화물 반도체 막(366 및 266)은, 대표적으로는, In-Ga 산화물, In-Zn 산화물, 또는 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf) 등의 금속 산화물을 사용해서 형성된다. 산화물 반도체 막(366 및 266)은, 투광성을 갖는다.

[0292] 산화물 반도체 막(366 및 266)으로서 In-M-Zn 산화물을 사용하는 경우, In 및 M의 합을 100 atomic%로 가정하면, In과 M의 비율은, 각각 25 atomic% 이상 75 atomic% 미만, 또는 각각 34 atomic% 이상 66 atomic% 미만으로 설정되는 것이 바람직하다는 점에 유의한다.

[0293] 산화물 반도체 막(366 및 266)의 에너지 갭은 각각 2eV 이상, 2.5eV 이상, 또는 3eV 이상이다.

[0294] 산화물 반도체 막(366 및 266)의 두께는, 각각 3nm 이상 200nm 이하, 3nm 이상 100nm 이하, 또는 3nm 이상 50nm 이하이다.

[0295] 산화물 반도체 막(366 및 266)이 각각 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)인 경우, In-M-Zn 산화물을 성막하기 위해서 사용하는 스퍼터링 타겟의 금속 원소의 원자수비는, $In \geq M$ 및 $Zn \geq M$ 을 만족하는 것이 바람직하다. 이러한 스퍼터링 타겟의 금속 원소의 원자수비로서는, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=2:1:1.5$, $In:M:Zn=2:1:2.3$, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$ 등이 바람직하다. 성막된 산화물 반도체 막(366 및 266)의 금속 원소의 원자수비는, 오차로서 상기의 스퍼터링 타겟의 금속 원소의 상기 원자수비로부터 ± 40%의 범위 내에서 변동한다는 점에 유의한다.

[0296] 산화물 반도체 막(366 및 266)에 있어서, 제14족에 속하는 원소 중 하나인 실리콘이나 탄소가 포함되면, 산소 결손이 증가하고, 산화물 반도체 막(366 및 266)이 n형 막이 되어버린다. 이로 인해, 산화물 반도체 막(366 및 266)에 있어서, 특히 영역(366d)에 있어서, 실리콘이나 탄소의 농도(2차 이온 질량 분석법(SIMS)에 의해 측정된 농도)는 2×10^{18} atoms/cm³ 이하, 또는 2×10^{17} atoms/cm³ 이하로 하는 것이 바람직하다. 그 결과, 트랜지스터들 각각은 플러스 역치 전압(노멀리-오프 특성)을 갖는다.

[0297] 또한, 산화물 반도체 막(366 및 266)에 있어서, 특히 영역(366d)에 있어서, 2차 이온 질량 분석법(SIMS)에 의해 측정된 알칼리 금속 또는 알칼리 토금속의 농도는, 1×10^{18} atoms/cm³ 이하, 또는 2×10^{16} atoms/cm³ 이하로 하는 것이 바람직하다. 알칼리 금속 및 알칼리 토금속은, 산화물 반도체와 결합하면 캐리어를 생성할 경우가 있고, 이 경우 트랜지스터의 오프 전류가 증대해 버릴 것이다. 이로 인해, 영역(366d)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 그 결과, 트랜지스터들 각각은 각각 플러스 역치 전압(노멀리-오프 특성)을 갖는다.

- [0298] 또한, 산화물 반도체 막(366 및 266)의 각각에, 특히 영역(366d)은, 질소를 포함하는 경우, 캐리어 역할을 하는 전자가 발생하고, 캐리어 밀도가 증가함으로써 n형 막이 될 경우가 있다. 따라서, 질소를 포함하는 산화물 반도체 막을 각각 포함하는 트랜지스터(390 및 394)는 노멀리-온 특성이 되기 쉽다. 이런 이유로, 산화물 반도체 막에 있어서, 특히 영역(366d)에 있어서, 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어, 2차 이온 질량 분석법(SIMS)에 의해 측정된 질소의 농도는, $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 설정될 수 있다.
- [0299] 산화물 반도체 막(366 및 266) 각각에 있어서, 특히 영역(366d)에 있어서, 불순물 원소를 저감하면, 산화물 반도체 막의 캐리어 밀도를 저감하는 것이 바람직하다. 예를 들어, 산화물 반도체 막(366 및 266) 각각에 있어서, 특히 영역(366d)에 있어서, 캐리어 밀도는, $1 \times 10^{17}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 이하, 또는 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 이하로 하는 것이 바람직하다.
- [0300] 산화물 반도체 막(366 및 266)으로서, 불순물 농도가 낮고, 결함 준위(defect states)의 밀도가 낮은 산화물 반도체 막을 사용할 수 있고, 그 경우 트랜지스터는 더욱 우수한 전기 특성을 가질 수 있다. 여기에서는, 불순물 농도가 낮고, 결함 준위의 밀도가 낮은(산소 결손량이 적은) 상태는 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체는, 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있는 경우가 있다. 따라서, 채널 영역이 형성되는 산화물 반도체 막을 포함하는 트랜지스터는, 플러스 역치 전압(노멀리-오프 특성)을 갖는 것이 쉽다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체 막은, 결함 준위 밀도가 낮고 그에 따라 트랩 준위 밀도도 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체 막은, 오프 전류가 현저하게 작고; 소스 전극과 드레인 전극 간의 전압(드레인 전압)에서, 1V 내지 10V에서, 오프 전류는, 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13}\text{A}$ 이하이다. 따라서, 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높은 경우가 있다.
- [0301] 또한, 산화물 반도체 막(366 및 266) 각각은, 예를 들어 비단결정 구성을 가질 수 있다. 비단결정 구성은, 예를 들어 c-축 배향 결정 산화물 반도체(c-axis aligned crystalline oxide semiconductor)(CAAC-OS), 다결정 구성, 미결정 구성, 또는 비정질 구성을 포함한다. 비단결정 구성에 있어서, 비정질 구성은 결함 준위의 밀도가 가장 높고, 반면에 CAAC-OS는 결함 준위의 밀도가 가장 낮다. CAAC-OS의 상세에 대해서는, 실시 형태 6에서 설명을 행한다는 점에 유의한다.
- [0302] 산화물 반도체 막(366 및 266)은 다음 중 2개 이상을 갖는 혼합막일 수 있다는 점에 유의한다: 비정질 구성을 갖는 영역, 미결정 구성을 갖는 영역, 다결정 구성을 갖는 영역, CAAC-OS의 영역, 및 단결정 구성을 갖는 영역. 혼합막은, 예를 들어 비정질 구성을 갖는 영역, 미결정 구성을 갖는 영역, 다결정 구성을 갖는 영역, CAAC-OS의 영역, 및 단결정 구성을 갖는 영역 중 2개 이상을 갖는 단층 구성을 갖는 경우가 있다. 또한, 혼합막은, 예를 들어 비정질 구성을 갖는 영역, 미결정 구성을 갖는 영역, 다결정 구성을 갖는 영역, CAAC-OS의 영역, 및 단결정 구성을 갖는 영역 중 2개 이상을 갖는 적층 구성을 갖는 경우가 있다.
- [0303] 산화물 반도체 막(366 및 266) 각각에 있어서, 영역(366b 및 366d)은 결정성이 상이한 경우가 있다는 점에 유의한다. 또한, 산화물 반도체 막(366 및 266) 각각에 있어서, 영역(366c 및 366d)은 결정성이 상이한 경우가 있다. 이것은, 영역(366b 또는 366c)에 불순물 원소가 첨가되었을 때에, 영역(366b 또는 366c)이 손상되고 따라서 결정성이 저감되기 때문이다.
- [0304] 절연막(272 및 372)은, 산화물 절연막 및 질화물 절연막 중 하나 이상을 사용해서 단층 또는 적층으로 형성될 수 있다. 산화물 반도체 막(366 및 266)과의 계면 특성을 향상시키기 위해서, 절연막(272 및 372)에 있어서 적어도 산화물 반도체 막(266 및 366)과 접하는 영역으로서 산화물 절연막을 사용하는 것이 바람직하다는 점에 유의한다. 절연막(272 및 372)은, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화하프늄, 산화갈륨, Ga-Zn 산화물 등에서 하나 이상을 사용해서 단층 또는 적층으로 형성될 수 있다.
- [0305] 또한, 절연막(272 및 372)으로서, 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막을 제공함으로써, 산화물 반도체 막(366 및 266)으로부터의 산소의 외부에의 확산과, 외부로부터 산화물 반도체 막(366 및 266)에의 수소, 물 등의 침입을 방지할 수 있다. 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 절연막으로서는, 산화 알루미늄막, 산화질화 알루미늄막, 산화갈륨막, 산화질화 갈륨막, 산화이트륨막, 산화질화 이트륨막, 산화하프늄막, 및 산화질화 하프늄막 등이 예로서 주어질 수 있다.

- [0306] 절연막(272 및 372)은, 하프늄 실리케이트(HfSiO_x), 질소가 첨가된 하프늄 실리케이트($\text{HfSi}_{x,y}\text{N}_z$), 질소가 첨가된 하프늄 알루미네이트($\text{HfAl}_{x,y}\text{N}_z$), 산화하프늄, 또는 산화이트뮴 등의 high-k 재료를 사용해서 형성되어, 트랜지스터의 게이트 누설을 저감할 수 있다.
- [0307] 절연막(272 및 372)으로서, 가열에 의해 산소를 방출하는 산화물 절연막을 사용하는 것이 바람직한데, 그 경우 가열 처리에 의해, 각각 절연막(272 및 372)에 포함된 산소를, 산화물 반도체 막(266 및 366)에 이동시키는 것이 가능하다.
- [0308] 또한, 절연막(272 및 372)으로서, 결함이 적은 산화질화 실리콘막을 사용할 수 있다. 결함이 적은 산화질화 실리콘막의 100K 이하에서의 ESR 스펙트럼에서, 가열 처리 후에, g-인자가 2.037 이상 2.039 이하에서 나타나는 제1 신호, g-인자가 2.001 이상 2.003 이하에서 나타나는 제2 신호, 및 g-인자가 1.964 이상 1.966 이하에서 나타나는 제3 신호가 관측된다. X 밴드를 사용하는 ESR 측정에 의해 취득되는 제1 신호 및 제2 신호의 스플릿 폭, 및 제2 신호 및 제3 신호의 스플릿 폭은, 각각 대략 5 mT이다. 상기 제1 내지 제3 신호의 스픬 밀도 합계는, 1×10^{18} spins/cm³ 미만이고, 대표적으로는 1×10^{17} spins/cm³ 이상 1×10^{18} spins/cm³ 미만이다.
- [0309] 100K 이하의 ESR 스펙트럼에 있어서, g-인자가 2.037 이상 2.039 이하에서 나타나는 제1 신호, g-인자가 2.001 이상 2.003 이하에서 나타나는 제2 신호, 및 g-인자가 1.964 이상 1.966 이하에서 나타나는 제3 신호는, 질소산화물(NO_x , x는 0 이상 2 이하, 또는 1 이상 2 이하)에 기인하는 신호에 상당한다. 즉, 상기 제1 내지 제3 신호의 스픬 밀도 합계가 낮을수록, 산화질화 실리콘막 내의 질소산화물의 함유량이 적어진다.
- [0310] 결함이 적은 산화질화 실리콘막에서, 2차 이온 질량 분석 법으로 측정되는 질소 농도는, 6×10^{20} atoms/cm³ 이하이다. 절연막(272 및 372)으로서 결함이 적은 산화질화 실리콘막을 사용함으로써, 질소산화물이 생성되기 어려워져서, 절연막과, 산화물 반도체 막(366 및 266) 각각과의 계면에 있어서의 캐리어의 트랩이 방지될 수 있다. 또한, 역치 전압과 같은, 발광 장치에 포함되는 트랜지스터들 각각의 전기 특성에서의 시프트를 저감하는 것이 가능하고, 이는 트랜지스터의 전기 특성 변동을 저감할 수 있게 한다.
- [0311] 절연막(272 및 372)의 전체 두께는, 5nm 이상 400nm 이하, 5nm 이상 300nm 이하, 또는 10nm 이상 250nm 이하로 할 수 있다.
- [0312] 도전막(368 및 370), 도전막(374), 도전막(268 및 270), 도전막(261), 및 도전막(274) 각각은, 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 니켈, 철, 코발트, 및 텉스텐으로부터 선택된 금속 원소; 이를 임의의 금속 원소를 성분으로서 함유하는 합금; 이들 금속 원소를 조합하여 함유하는 합금; 등을 사용해서 형성될 수 있다. 또한, 망간 및 지르코늄으로부터 선택된 하나 이상의 금속 원소가 사용될 수 있다. 상기 도전막은, 단층 구성, 또는 2층 이상의 적층 구성을 가질 수 있다. 예를 들어, 다음 중 임의의 것이 사용될 수 있다: 실리콘을 포함하는 알루미늄막의 단층 구성; 망간을 포함하는 구리막의 단층 구성; 알루미늄막 위에 티타늄막을 적층하는 2층 구성; 질화티타늄 막 위에 티타늄막을 적층하는 2층 구성; 질화티타늄 막 위에 텉스텐막을 적층하는 2층 구성; 질화 탄탈막 또는 질화 텉스텐막 위에 텉스텐막을 적층하는 2층 구성; 망간을 포함하는 구리막 위에 구리막을 적층하는 2층 구성; 티타늄막, 알루미늄막, 및 티타늄막이 이 순서로 적층되는 3층 구성; 망간을 포함하는 구리막, 구리막, 및 망간을 포함하는 구리막이 이 순서로 적층되는 3층 구성; 등. 대안적으로, 알루미늄과, 티타늄, 탄탈륨, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소를 포함하는 합금막 또는 질화막이 사용될 수 있다.
- [0313] 도전막(368 및 370), 도전막(374), 도전막(268 및 270), 도전막(261), 및 도전막(274) 각각은, 인듐 주석 산화물, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성을 갖는 도전 재료를 사용해서 형성될 수 있다. 대안적으로, 상기 투광성의 도전 재료와, 상기 금속 원소를 포함하는 도전 재료의 적층 구성이 채택될 수 있다.
- [0314] 도전막(368 및 370), 도전막(374), 도전막(268 및 270), 도전막(261), 및 도전막(274)의 두께는, 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하로 할 수 있다.
- [0315] 절연막(376)은, 수소를 포함하는 막이며, 대표적으로는 질화물 절연막이다. 질화물 절연막은, 질화 실리콘, 질화알루미늄 등을 사용해서 형성될 수 있다.
- [0316] <트랜지스터의 구성 예 2>

- [0317] 이어서, 발광 장치에 포함되는 트랜지스터의 다른 구성에 대해서, 도 19의 (A) 내지 (C)를 참조해서 설명한다. 여기에서, 화소부에 제공된 트랜지스터(390)의 변형예로서 트랜지스터(391)를 사용해서 설명되지만; 구동 회로에 있어서 트랜지스터(394)에는, 트랜지스터(391)의 절연막(364)의 구성, 또는 도전막(368, 370, 또는 374)의 구성을 적절히 적용할 수 있다.
- [0318] 도 19의 (A) 내지 도 19의 (C)는, 발광 장치에 포함된 트랜지스터(391)의 상면도 및 단면도이다. 도 19의 (A)는 트랜지스터(391)의 상면도이며, 도 19의 (B)는 도 19의 (A)의 일점쇄선 Y3-Y4를 따르는 단면도이며, 도 19의 (C)는 도 19의 (A)의 일점쇄선 X3-X4를 따르는 단면도이다.
- [0319] 도 19의 (A) 내지 도 19의 (C)에 나타내는 트랜지스터(391)는, 도전막(368 및 370) 및 도전막(374)의 2층 또는 3층 구성을 가질 수 있다. 또한, 절연막(364)은, 질화물 절연막(364a) 및 산화물 절연막(364b)의 적층 구성을 갖는다. 기타의 구성은, 트랜지스터(390)의 것과 동일하며, 트랜지스터(390)의 경우에서의 것과 유사한 효과가 얻어질 수 있다.
- [0320] 먼저, 도전막(368 및 370) 및 도전막(374)에 대해서 설명한다.
- [0321] 도전막(368)에 있어서, 도전막(368a, 368b, 및 368c)은 이 순서대로 적층되고, 도전막(368a 및 368c)은 도전막(368b)의 표면을 덮고 있다. 즉, 도전막(368a 및 368c)은, 도전막(368b)의 보호막으로서 기능한다.
- [0322] 도전막(368)과 마찬가지의 방식으로, 도전막(370)에 있어서, 도전막(370a, 370b, 및 370c)은 이 순서대로 적층되고, 도전막(370a 및 370c)은 도전막(370b)의 표면을 덮고 있다. 즉, 도전막(370a 및 370c)은, 도전막(370b)의 보호막으로서 기능한다.
- [0323] 도전막(374)에 있어서, 도전막(374a 및 374b)은 이 순서대로 적층된다.
- [0324] 도전막(368a 및 370a) 및 도전막(374a)은, 도전막(368b 및 370b) 및 도전막(374b)에 포함된 금속 원소가 각각 산화물 반도체 막(366)에 확산하는 것을 방지하는 재료를 사용해서 형성된다. 도전막(368a 및 370a) 및 도전막(374a)은, 티타늄, 탄탈륨, 몰리브덴, 텉스텐, 이를 임의의 재료의 합금, 질화 티타늄, 질화 탄탈륨, 질화 몰리브덴, 질화 텉스텐 등을 사용해서 형성될 수 있다. 또는, 도전막(368a 및 370a) 및 도전막(374a)은, Cu-X 합금 (X는, Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti) 등을 사용해서 형성될 수 있다.
- [0325] 도전막(368b 및 370b) 및 도전막(374b)은 각각 저저항 재료를 사용해서 형성된다. 도전막(368b 및 370b) 및 도전막(374b)은, 구리, 알루미늄, 금, 은, 이들의 임의의 재료의 합금, 이를 임의의 재료를 주성분으로 함유하는 화합물, 등을 사용해서 형성될 수 있다.
- [0326] 도전막(368c 및 370c)은, 도전막(368b 및 370b)에 포함되는 금속 원소가 각각 부동태화된 막을 사용해서 형성되면, 도전막(368b 및 370b)에 포함되는 금속 원소가 절연막(376)의 형성 단계에 있어서 산화물 반도체 막(366)에 이동하는 것을 방지할 수 있다. 도전막(368c 및 370c)은, 금속 규화물 또는 금속 규화 질화물을 사용해서 형성될 수 있는데, 대표적으로는, $\text{CuSi}_x(x>0)$, $\text{CuSi}_x\text{N}_y(x>0, y>0)$, 등이 있다.
- [0327] 여기서, 도전막(368c 및 370c)의 형성 방법에 대해서 설명한다. 도전막(368b 및 370b)은, 구리를 사용해서 형성된다는 점에 유의한다. 또한, 도전막(368c 및 370c)은, $\text{CuSi}_x\text{N}_y(x>0, y>0)$ 을 사용해서 형성된다.
- [0328] 도전막(368b 및 370b)은, 수소 분위기, 암모니아 분위기, 또는 일산화탄소 분위기 등의 환원성 분위기에서 발생된 플라즈마에 노출되고, 도전막(368b 및 370b)의 표면에 형성된 산화물이 환원된다.
- [0329] 이어서, 도전막(368b 및 370b)은, 200°C 이상 400°C 이하에서 가열되면서, 실란에 노출된다. 그 결과, 도전막(368b 및 370b)에 포함되는 구리가 촉매로서 작용하고, 실란이 Si와 H₂로 분해되며, 도전막(368b 및 370b)의 표면에 $\text{CuSi}_x(x>0)$ 이 형성된다.
- [0330] 이어서, 도전막(368b 및 370b)은, 암모니아 분위기 또는 질소 분위기 등의 질소를 포함하는 분위기에서 발생된 플라즈마에 노출됨으로써, 도전막(368b 및 370b)의 표면에 형성된 $\text{CuSi}_x(x>0)$ 이 플라즈마에 포함되는 질소와 반응하고, 그에 따라 도전막(368c 및 370c)으로서 $\text{CuSi}_x\text{N}_y(x>0, y>0)$ 이 형성된다.
- [0331] 상기 단계에 있어서, 도전막(368b 및 370b)이 암모니아 분위기 또는 질소 분위기 등의 질소를 포함하는 분위기에서 발생된 플라즈마에 노출된 다음, 200°C 이상 400°C 이하에서 가열되면서 실란에 노출되는 방식으로, $\text{CuSi}_x\text{N}_y(x>0, y>0)$ 이 도전막(368c 및 370c)으로서 형성될 수 있다는 점에 유의한다.

- [0332] 이어서, 질화물 절연막(364a) 및 산화물 절연막(364b)이 적층된 절연막(364)에 대해서 설명한다.
- [0333] 예를 들어, 질화물 절연막(364a)은, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 또는 질화산화 알루미늄을 사용해서 형성될 수 있다. 산화물 절연막(364b)은, 예를 들어, 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 등을 사용해서 형성될 수 있다. 기판(362)측에 질화물 절연막(364a)을 제공하는 구성은, 외부로부터 수소, 물 등이 산화물 반도체 막(366)에 확산하는 것을 방지할 수 있다.
- [0334] <트랜지스터의 구성 예 3>
- [0335] 이어서, 발광 장치에 포함되는 트랜지스터의 다른 구성에 대해서는 도 20의 (A) 내지 (C) 및 도 21의 (A) 내지 (C)를 참조해서 설명한다. 여기에서는, 화소부에 제공된 트랜지스터(390)의 변형예로서 트랜지스터(392) 및 트랜지스터(393)를 사용해서 설명되지만; 구동 회로의 트랜지스터(394)에, 트랜지스터(392)에 포함되는 산화물 반도체 막(366)의 구성, 또는 트랜지스터(393)에 포함되는 산화물 반도체 막(366)의 구성을 적절히 적용할 수 있다.
- [0336] 도 20의 (A) 내지 도 20의 (C)는, 발광 장치에 포함된 트랜지스터(392)의 상면도 및 단면도이다. 도 20의 (A)는 트랜지스터(392)의 상면도이며, 도 20의 (B)는 도 20의 (A)의 일점쇄선 Y3-Y4를 따르는 단면도이며, 도 20의 (C)는 도 20의 (A)의 일점쇄선 X3-X4를 따르는 단면도이다.
- [0337] 도 20의 (A) 내지 도 20의 (C)에 나타내는 트랜지스터(392)의 산화물 반도체 막(366)은 다층 구성을 갖는다. 구체적으로는, 산화물 반도체 막(366)은, 절연막(364)에 접하는 산화물 반도체 막(367a)과, 산화물 반도체 막(367a)에 접하는 산화물 반도체 막(367b)과, 산화물 반도체 막(367b), 도전막(368 및 370), 및 절연막(372 및 376)에 접하는 산화물 반도체 막(367c)을 포함한다. 기타의 구성은, 트랜지스터(390)의 것과 동일하며, 트랜지스터(390)의 경우에서와 유사한 효과가 얻어질 수 있다.
- [0338] 산화물 반도체 막(367a, 367b, 및 367c)은, 대표적으로는, In-Ga 산화물, In-Zn 산화물, 또는 In-M-Zn 산화물 (M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf) 등의 금속 산화물을 사용해서 형성된다.
- [0339] 산화물 반도체 막(367a 및 367c)은, 대표적으로는, 각각 In-Ga 산화물, In-Zn 산화물, In-Mg 산화물, Zn-Mg 산화물, 또는 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)이며, 산화물 반도체 막(367b)보다도 전도띠 하단부의 에너지가 진공 준위에 가깝게 된다. 대표적으로는, 산화물 반도체 막(367b)의 전도띠 하단부의 에너지와, 산화물 반도체 막(367a 및 367c) 각각의 전도띠 하단부의 에너지와의 차이는, 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.2eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다. 진공 준위와 전도띠 하단부의 에너지와의 차이는 전자 친화력이라고도 말한다는 점에 유의하다.
- [0340] 산화물 반도체 막(367b)이 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)이고, 금속 원소의 원자수비를 $In:M:Zn=x_1:y_1:z_1$ 로 하는 타겟이 산화물 반도체 막(367b)을 성막하는데 사용되는 경우에 있어서, x_1/y_1 은, 1/3 이상 6 이하이고, 나아가서는 1 이상 6 이하인 것이 바람직하고, z_1/y_1 은, 1/3 이상 6 이하, 나아가서는 1 이상 6 이하인 것이 바람직하다. z_1/y_1 을 1 이상 6 이하로 하면, 후술될 CAAC-OS막이 산화물 반도체 막(367b)으로서 형성되기 쉬워진다는 점에 유의한다. 타겟의 금속 원소 원자수비의 대표예로서는, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=2:1:1.5$, $In:M:Zn=2:1:2.3$, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$, 등이 주어질 수 있다.
- [0341] 산화물 반도체 막(367a 및 367c)이 각각 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)이고, 금속 원소의 원자수비를 $In:M:Zn=x_2:y_2:z_2$ 로 하는 타겟이 산화물 반도체 막(367a 및 367c)을 성막하기 위해서 사용되는 경우에 있어서, x_2/y_2 는 x_1/y_1 미만인 것이 바람직하고, z_2/y_2 는 1/3 이상 6 이하인 것이 바람직하고, 더 나아가서는 1 이상 6 이하인 것이 바람직하다. z_2/y_2 를 1 이상 6 이하로 하면, 후술될 CAAC-OS 막은 산화물 반도체 막(367a 및 367c)으로서 형성되기 쉬워진다는 점에 유의한다. 타겟의 금속 원소 원자수비의 대표예로서는, $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$, $In:M:Zn=1:4:3$, $In:M:Zn=1:4:4$, $In:M:Zn=1:4:5$, $In:M:Zn=1:4:6$, $In:M:Zn=1:6:3$, $In:M:Zn=1:6:4$, $In:M:Zn=1:6:5$, $In:M:Zn=1:6:6$, $In:M:Zn=1:6:7$, $In:M:Zn=1:6:8$, $In:M:Zn=1:6:9$, 등이 주어질 수 있다.
- [0342] 산화물 반도체 막(367a, 367b, 및 367c)의 원자수비는, 오차로서 ±40%의 범위 내에서 변동한다는 점에 유의한다.

- [0343] 원자수비는 이들에 한정되지 않고, 원자수비는 필요로 하는 반도체 특성에 따라 적절히 설정될 수 있다.
- [0344] 산화물 반도체 막(367a 및 367c)은 동일한 조성을 가질 수 있다. 예를 들어, 산화물 반도체 막(367a 및 367c)으로서는, In:Ga:Zn=1:3:2, 1:3:4, 1:4:5, 1:4:6, 1:4:7, 또는 1:4:8의 원자수비를 갖는 In-Ga-Zn 산화물을 사용할 수 있다.
- [0345] 대안적으로, 산화물 반도체 막(367a 및 367c)은 상이한 조성을 가질 수 있다. 예를 들어, 산화물 반도체 막(367a)으로서는, In:Ga:Zn=1:3:2의 원자수비를 갖는 In-Ga-Zn 산화막을 사용할 수 있고, 산화물 반도체 막(367c)으로서는, In:Ga:Zn=1:3:4 또는 1:4:5의 원자수비를 갖는 In-Ga-Zn 산화막을 사용할 수 있다.
- [0346] 산화물 반도체 막(367a 및 367c) 각각의 두께는, 3nm 이상 100nm 이하, 또는 바람직하게는 3nm 이상 50nm 이하로 한다. 산화물 반도체 막(367b)의 두께는, 3nm 이상 200nm 이하, 3nm 이상 100nm 이하, 또는 3nm 이상 50nm 이하로 한다. 산화물 반도체 막(367a 및 367c)의 두께를 산화물 반도체 막(367b)보다 얇게 하면, 트랜지스터의 역치 전압의 변동량을 저감하는 것이 가능하다.
- [0347] 산화물 반도체 막(367b)과, 산화물 반도체 막(367a 및 367c) 각각과의 계면은, 주사 투과 전자 현미경(scanning transmission electron microscopy)(STEM)을 사용해서 관측할 수 있는 경우가 있다.
- [0348] 산화물 반도체 막(367b)과 비교해서 산소 결손이 발생하기 어려운 산화물 반도체 막(367a 및 367c)을, 산화물 반도체 막(367b)의 상면 및 하면에 접해서 제공함으로써, 산화물 반도체 막(367b)에 있어서의 산소 결손을 저감할 수 있다. 또한, 산화물 반도체 막(367b)은, 산화물 반도체 막(367b)을 형성하는 하나 이상의 금속 원소를 갖는 산화물 반도체 막(367a 및 367c)과 접하기 때문에, 산화물 반도체 막(367a)과 산화물 반도체 막(367b)과의 사이, 및 산화물 반도체 막(367b)과 산화물 반도체 막(367c)과의 사이에 있어서의 계면 준위 밀도가 매우 낮다. 따라서, 산화물 반도체 막(367b)에 포함되는 산소 결손을 저감하는 것이 가능하다.
- [0349] 또한, 산화물 반도체 막(367a)으로 인해, 역치 전압 등, 트랜지스터의 전기 특성의 변동을 저감할 수 있다.
- [0350] 산화물 반도체 막(367b)을 형성하는 하나 이상의 금속 원소를 포함하는 산화물 반도체 막(367c)이 산화물 반도체 막(367b)에 접해서 제공되기 때문에, 산화물 반도체 막(367b)과 산화물 반도체 막(367c)과의 계면에서는 캐리어의 산란이 발생하기 어렵고, 따라서 트랜지스터의 전계 효과 이동도를 높게 할 수 있다.
- [0351] 또한, 산화물 반도체 막(367a 및 367c) 각각은, 절연막(364 및 372)의 구성 원소가 산화물 반도체 막(367b)에 혼입되는 것으로 인해 불순물 준위의 형성을 억제하는 배리어막으로서도 기능한다.
- [0352] 이상으로부터, 본 실시 형태에 나타내는 트랜지스터에서, 역치 전압 등, 트랜지스터의 전기 특성의 변동이 저감된다.
- [0353] 도 20의 (A) 내지 도 20의 (C)와는 다른 구성의 트랜지스터를 도 21의 (A) 내지 도 21의 (C)에 나타내었다.
- [0354] 도 21의 (A) 내지 도 21의 (C)는, 발광 장치에 포함된 트랜지스터(393)의 상면도 및 단면도이다. 도 21의 (A)는 트랜지스터(393)의 상면도이며, 도 21의 (B)는 도 21의 (A)의 일점쇄선 Y3-Y4를 따르는 단면도이며, 도 21의 (C)는 도 21의 (A)의 일점쇄선 X3-X4를 따르는 단면도이다. 도 21의 (A)에서는, 명료화를 위해, 기판(362), 절연막(364, 372, 및 376), 등을 생략하고 있다는 점에 유의한다. 도 21의 (B)는 트랜지스터(393)의 채널 폭 방향의 단면도이다. 또한, 도 21의 (C)는 트랜지스터(393)의 채널 길이 방향의 단면도이다.
- [0355] 도 21의 (A) 내지 도 21의 (C)에 나타내는 트랜지스터(393)의 산화물 반도체 막(366)과 같이, 산화물 반도체 막(366)은 절연막(364)과 접하는 산화물 반도체 막(367b)과, 산화물 반도체 막(367b) 및 절연막(372)과 접하는 산화물 반도체 막(367c)의 적층 구성을 가질 수 있다.
- [0356] <밴드 구성>
- [0357] 여기서, 도 20의 (A) 내지 (C)에 나타내는 트랜지스터 및 도 21의 (A) 내지 (C)에 나타내는 트랜지스터의 밴드 구성에 대해서 설명한다. 도 22의 (A)는 도 20의 (A) 내지 (C)에 나타내는 트랜지스터(392)의 밴드 구성을 나타내고, 이해를 용이하게 하기 위해서, 절연막(364), 산화물 반도체 막(367a, 367b, 및 367c) 및 절연막(372) 각각의 전도띠 하단부의 에너지(Ec)를 나타낸다는 점에 유의한다. 도 22의 (B)는 도 21의 (A) 내지 (C)에 나타내는 트랜지스터(393)의 밴드 구성을 나타내며, 이해를 용이하게 하기 위해서, 절연막(364), 산화물 반도체 막(367b 및 367c), 및 절연막(372) 각각의 전도띠 하단부의 에너지(Ec)를 나타낸다.
- [0358] 도 22의 (A)에 도시한 바와 같이, 산화물 반도체 막(367a, 367b, 및 367c)에 있어서, 전도띠 하단부의 에너지가

연속적으로 변화한다. 이것은, 구성 원소가 산화물 반도체 막(367a, 367b, 및 367c) 중에서 공통되고 산소가 산화물 반도체 막(367a 내지 367c) 중에 확산하기 쉬운 사실로부터도 이해된다. 따라서, 산화물 반도체 막(367a, 367b, 및 367c)은 조성이 다른 막들의 적층이더라도, 연속적인 물성을 갖는다.

[0359] 동일한 주성분을 가지고 적층된 산화물 반도체 막은, 층들의 간단한 적층 구성뿐만 아니라, 연속적인 에너지 밴드(여기서는, 특히, 전도띠 하단부의 에너지가 층들 사이에서 연속적으로 변화하는 U자형의 웰(U-Shape well) 구성)를 갖는다. 즉, 층들 간의 계면에, 산화물 반도체에 있어서의 트랩 중심이나 재결합 중심으로서의 역할을 하는 결함 준위, 또는 캐리어의 흐름을 저해하는 불순물이 존재하지 않도록 적층 구성을 형성한다. 적층된 산화물 반도체 막들 사이에 불순물이 존재하여 있으면, 에너지 밴드의 연속성이 상실되고, 캐리어가 트랩 또는 재결합에 의해 소멸해버린다.

[0360] 도 22의 (A)는, 산화물 반도체 막(367a)의 Ec와 산화물 반도체 막(367c)의 Ec가 서로 동일한 경우에 대해서 나타냈지만, 이들은 서로 상이할 수 있다는 점에 유의한다.

[0361] 도 22의 (A)에 도시한 바와 같이, 산화물 반도체 막(367b)은 웨로서의 역할을 하고, 트랜지스터(392)의 채널은 산화물 반도체 막(367b)에 형성된다. 산화물 반도체 막(367a, 367b, 및 367c)에 있어서 전도띠 하단부에서의 에너지가 연속적으로 변하기 때문에, U자형의 웰 구성의 채널은 매립형 채널이라고 할 수도 있다는 점에 유의한다.

[0362] 도 22의 (B)에 도시한 바와 같이, 산화물 반도체 막(367b 및 367c)에 있어서, 전도띠 하단부에서의 에너지가 연속적으로 변화된다.

[0363] 도 22의 (B)에 도시한 바와 같이, 산화물 반도체 막(367b)은 웨로서의 역할을 하고, 트랜지스터(393)의 채널은 산화물 반도체 막(367b)에 형성된다.

[0364] 도 20의 (A) 내지 (C)에 나타내는 트랜지스터(392)는, 산화물 반도체 막(367b)을 형성하는 하나 이상의 금속 원소를 포함하고 있는 산화물 반도체 막(367a 및 367c)을 갖고 있기 때문에; 산화물 반도체 막(367a)과 산화물 반도체 막(367b)과의 계면 및 산화물 반도체 막(367c)과 산화물 반도체 막(367b)과의 계면에 계면 준위를 형성하기가 쉽지 않다. 따라서, 산화물 반도체 막(367a 및 367c)을 제공함으로써, 역치 전압 등, 트랜지스터의 전기 특성의 변동 또는 변화를 저감할 수 있다.

[0365] 도 21의 (A) 내지 (C)에 나타내는 트랜지스터(393)는, 산화물 반도체 막(367b)을 형성하는 하나 이상의 금속 원소를 포함하고 있는 산화물 반도체 막(367c)을 갖고 있기 때문에; 산화물 반도체 막(367c)과 산화물 반도체 막(367b)과의 계면에 계면 준위를 형성하기가 쉽지 않다. 따라서, 산화물 반도체 막(367c)을 제공함으로써, 역치 전압 등, 트랜지스터의 전기 특성의 변동 또는 변화를 저감할 수 있다.

[0366] <트랜지스터의 구성 예 4>

[0367] 이어서, 발광 장치에 포함되는 트랜지스터가 다른 구성에 대해서, 도 23의 (A) 내지 (C) 및 도 24를 참조해서 설명한다.

[0368] 도 23의 (A) 내지 도 23의 (C)는, 발광 장치에 포함된 트랜지스터(150)의 상면도 및 단면도이다. 도 23의 (A)는 트랜지스터(150)의 상면도이며, 도 23의 (B)는 도 23의 (A)의 일점쇄선 Y3-Y4를 따르는 단면도이며, 도 23의 (C)는 도 23의 (A)의 일점쇄선 X3-X4를 따르는 단면도이다.

[0369] 도 23의 (A) 내지 도 23의 (C)에 나타내는 트랜지스터(150)는, 기판(102) 상에 형성된 절연막(104) 상의 산화물 반도체 막(106)과, 산화물 반도체 막(106)에 접하는 절연막(108)과, 절연막(108)에 형성된 개구부(140a)의 일부에 있어서 산화물 반도체 막(106)과 접하는 도전막(110)과, 절연막(108)에 형성된 개구부(140b)의 일부에 있어서 산화물 반도체 막(106)과 접하는 도전막(112)과, 절연막(108)을 개재해서 산화물 반도체 막(106)과 접치는 도전막(114)을 포함한다. 트랜지스터(150) 상에 절연막(116) 및 절연막(118)이 제공될 수 있다는 점에 유의한다.

[0370] 산화물 반도체 막(106)에 있어서, 도전막(110 및 112) 및 도전막(114)과 접치지 않는 영역들 각각은, 산소 결손을 형성하는 원소를 갖는다. 이하, 산소 결손을 형성하는 원소는, 불순물 원소로서 설명된다. 불순물 원소의 대표예로서는, 수소, 봉소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소, 희가스 원소, 등이 있다. 희가스 원소의 대표예로서는, 헬륨, 네온, 아르곤, 크립톤, 및 크세논이 있다.

[0371] 불순물 원소가 산화물 반도체 막에 첨가되면, 산화물 반도체 막 내의 금속 원소과 산소 간의 결합이 절단되어,

산소 결손이 형성된다. 불순물 원소가 산화물 반도체 막에 첨가되면, 산화물 반도체 막 내의 금속 원소에 결합된 산소는 불순물 원소에 결합됨으로써, 금속 원소로부터 산소가 탈리되어, 산소 결손이 형성된다. 그 결과, 산화물 반도체 막은 더 높은 캐리어 밀도를 갖고 따라서 도전성이 높아진다.

[0372] 여기서, 도 24는 산화물 반도체 막(106)의 부분 확대도이다. 도 24에 도시한 바와 같이, 산화물 반도체 막(106)은, 도전막(110 및 112)과 접하는 영역(106a)과, 절연막(116)과 접하는 영역(106b)과, 절연막(108)과 접치는 영역(106c) 및 영역(106d)을 포함한다.

[0373] 영역(106a)은, 도 18의 (A) 및 (B)에 나타낸 영역(366a)과 마찬가지로 도전성이 높고, 소스 영역 및 드레인 영역으로서 기능한다.

[0374] 영역(106b 및 106c)은, 저저항 영역으로서 기능한다. 영역(106b 및 106c)은 불순물 원소를 포함한다. 영역(106b)에서의 불순물 원소 농도가 영역(106c)에서보다 높다는 점에 유의한다. 도전막(114)의 측면이 테이퍼 형상을 갖는 경우, 영역(106c)의 일부가, 도전막(114)과 겹칠 수 있다는 점에 유의한다.

[0375] 불순물 원소로서 희가스 원소가 사용되고, 산화물 반도체 막(106)이 스퍼터링법으로 형성되는 경우, 영역(106a 내지 106d)은 희가스 원소를 포함하고, 영역(106a 및 106d)에서보다, 영역(106b 및 106c)에서의 희가스 원소의 농도가 높다. 이것은, 산화물 반도체 막(106)이 스퍼터링법으로 형성되는 경우, 스퍼터링 가스로서 희가스 원소를 사용하기 때문에, 산화물 반도체 막(106)에 희가스 원소가 포함되고, 영역(106b 및 106c)에 있어서, 산소 결손을 형성하기 위해서, 의도적으로 희가스 원소가 산화물 반도체 막(106)에 첨가되는 사실에 기인한다. 영역(106b 및 106c)에는, 영역(106a 및 106d)과는 다른 희가스 원소가 첨가될 수 있다는 점에 유의한다.

[0376] 불순물 원소가, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인 또는 염소인 경우, 영역(106b 및 106c)만이 불순물 원소를 갖는다. 이로 인해, 영역(106a 및 106d)에서보다, 영역(106b 및 106c)에서의 불순물 원소의 농도가 높다. 영역(106b 및 106c)에 있어서, SIMS에 의해 측정되는 불순물 원소의 농도는, 1×10^{18} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하, 또는 1×10^{19} atoms/cm³ 이상 1×10^{21} atoms/cm³ 이하, 또는 5×10^{19} atoms/cm³ 이상 5×10^{20} atoms/cm³ 이하로 할 수 있다는 점에 유의한다.

[0377] 불순물 원소가 수소인 경우, 영역(106a 및 106d)에서보다, 영역(106b 및 106c)에서의 불순물 원소의 농도가 높다. 영역(106b 및 106c)에 있어서, SIMS에 의해 측정되는 수소의 농도는, 8×10^{19} atoms/cm³ 이상, 또는 1×10^{20} atoms/cm³ 이상, 또는 5×10^{20} atoms/cm³ 이상으로 할 수 있다는 점에 유의한다.

[0378] 영역(106b 및 106c)은 불순물 원소를 갖기 때문에, 산소 결손 및 영역(106b 및 106c)의 캐리어 밀도가 증가한다. 그 결과, 영역(106b 및 106c)은, 도전성이 높고, 저저항 영역으로서 기능한다.

[0379] 불순물 원소가, 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 또는 염소 중 하나 이상과, 희가스 원소 중 하나 이상의 조합일 수 있다는 점에 유의한다. 이 경우, 영역(106b 및 106c)에 있어서, 희가스 원소에 의해 형성된 산소 결손과, 상기 영역에 첨가된 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 및 염소 중 하나 이상과의 상호 작용에 의해, 영역(106b 및 106c)의 도전성이 더욱 높아질 수 있다.

[0380] 영역(106d)은, 채널로서 기능한다.

[0381] 절연막(108)에 있어서, 산화물 반도체 막(106) 및 도전막(114)과 겹치는 영역은, 게이트 절연막으로서 기능한다. 또한, 절연막(108)에 있어서, 산화물 반도체 막(106) 및 도전막(110 및 112)과 겹치는 영역은, 충간 절연막으로서 기능한다.

[0382] 도전막(110 및 112)은, 소스 전극 및 드레인 전극으로서 기능한다. 도전막(114)은, 게이트 전극으로서 기능한다.

[0383] 본 실시 형태에 나타내는 트랜지스터(150)의 제조 과정에 있어서, 게이트 전극으로서 기능하는 도전막(114)과, 소스 전극 및 드레인 전극으로서 기능하는 도전막(110 및 112)이 동시에 형성된다. 이로 인해, 트랜지스터(150)에 있어서, 도전막(114)은 도전막(110 및 112)과 겹치지 않고, 도전막(114)과, 도전막(110 및 112) 각각과의 사이의 기생 용량을 저감하는 것이 가능하다. 그 결과, 기판(102)으로서 대면적 기판을 사용한 경우, 도전막(110 및 112) 및 도전막(114)에 있어서의 신호 지연을 저감하는 것이 가능하다.

[0384] 또한, 트랜지스터(150)에 있어서, 도전막(110 및 112) 및 도전막(114)을 마스크로 사용해서, 불순물 원소가 산

화물 반도체 막(106)에 첨가된다. 즉, 셀프 열라인 방식으로 저저항 영역을 형성할 수 있다.

[0385] 기판(102)으로서는, 도 17의 (A) 및 (B)에 나타내는 기판(362)을 적절히 사용할 수 있다.

[0386] 절연막(104)으로서는, 도 17의 (A) 및 (B)에 나타내는 절연막(364)을 적절히 사용할 수 있다.

[0387] 산화물 반도체 막(106)으로서는, 도 17의 (A) 및 (B)에 나타내는 산화물 반도체 막(266 및 366)을 적절히 사용할 수 있다.

[0388] 절연막(108)으로서는, 도 17의 (A) 및 (B)에 나타내는 절연막(272 및 372)을 적절히 사용할 수 있다.

[0389] 도전막(110 및 112) 및 도전막(114)은 동시에 형성되기 때문에, 이들은 동일한 재료를 사용해서 형성되고 동일한 적층 구성을 갖는다.

[0390] 도전막(110 및 112) 및 도전막(114)으로서는, 도 17의 (A) 및 (B)에 나타내는, 도전막(368 및 370), 도전막(374), 도전막(268 및 270), 도전막(261), 및 도전막(274)을 적절히 사용할 수 있다.

[0391] 절연막(116)은, 산화물 절연막 및 질화물 절연막 중 하나 이상을 사용해서 단층 또는 적층으로 형성될 수 있다. 산화물 반도체 막(106)과의 계면 특성을 향상시키기 위해서, 절연막(116)에 있어서 적어도 산화물 반도체 막(106)과 접하는 영역으로서 산화물 절연막을 사용하는 것이 바람직하다는 점에 유의한다. 절연막(116)으로서 가열에 의해 산소를 방출하는 산화물 절연막을 사용하는 것이 바람직한데, 그 경우 가열 처리에 의해 절연막(116)에 포함되는 산소를, 산화물 반도체 막(106)에 이동시키는 것이 가능하다.

[0392] 절연막(116)은, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화갈륨, Ga-Zn 산화물, 등에서 하나 이상을 사용해서 단층 또는 적층으로 형성할 수 있다.

[0393] 절연막(118)은, 외부로부터의 수소, 물 등에 대한 배리어막으로서 기능하는 막인 것이 바람직하다. 절연막(118)은, 예를 들어 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 등에서 하나 이상을 사용해서 단층 또는 적층으로 형성할 수 있다.

[0394] 절연막(116 및 118)의 두께는 각각, 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하로 할 수 있다.

[0395] 도 17의 (A) 및 (B)에 나타내는 트랜지스터(394)와 마찬가지로, 트랜지스터(150)는, 절연막(104) 아래에, 산화물 반도체 막(106)과 겹치도록 도전막을 제공하는 듀얼-게이트 구성을 가질 수 있다는 점에 유의한다.

[0396] <트랜지스터의 구성 예 5>

[0397] 이어서, 발광 장치에 포함되는 트랜지스터의 다른 구성에 대해서, 도 25의 (A) 내지 (C) 및 도 26의 (A) 및 (B)를 참조해서 설명한다.

[0398] 도 25의 (A) 내지 도 25의 (C)는, 발광 장치에 포함된 트랜지스터(450)의 상면도 및 단면도이다. 도 25의 (A)는 트랜지스터(450)의 상면도이며, 도 25의 (B)는 도 25의 (A)의 일점쇄선 Y3-Y4를 따르는 단면도이며, 도 25의 (C)는 도 25의 (A)의 일점쇄선 X3-X4를 따르는 단면도이다.

[0399] 도 25의 (A) 내지 도 25의 (C)에 나타내는 트랜지스터(450)는, 기판(402) 상에 형성된 절연막(404) 상의 산화물 반도체 막(406)과, 산화물 반도체 막(406)과 접하는 절연막(408)과, 절연막(408)을 개재해서 산화물 반도체 막(406)과 겹치는 도전막(414)과, 산화물 반도체 막(406)에 접하는 절연막(418)과, 절연막(418) 상에 형성된 절연막(416)과, 절연막(418 및 416)에 형성된 개구부(440a)에 있어서 산화물 반도체 막(406)과 접하는 도전막(410)과, 절연막(418 및 416)에 형성된 개구부(440b)에 있어서 산화물 반도체 막(406)과 접하는 도전막(412)을 갖는다.

[0400] 트랜지스터(450)의 도전막(414)은 게이트 전극으로서 기능한다. 도전막(410 및 412)은, 소스 전극 및 드레인 전극으로서 기능한다.

[0401] 산화물 반도체 막(406)에 있어서, 도전막(410 및 412) 및 도전막(414)과 겹치지 않는 영역들 각각은, 산소 결손을 형성하는 원소를 갖는다. 이하, 산소 결손을 형성하는 원소를, 불순물 원소로서 설명한다. 불순물 원소의 대표예로서는, 수소, 봉소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소, 희가스 원소 등이 있다. 희가스 원소의 대표예로서는, 헬륨, 네온, 아르곤, 크립톤 및 크세논이 있다.

[0402] 불순물 원소가 산화물 반도체 막에 첨가되면, 산화물 반도체 막 내의 금속 원소와 산소 간의 결합이 절단되어, 산소 결손이 형성된다. 불순물 원소가 산화물 반도체 막에 첨가되면, 산화물 반도체 막 내의 금속 원소에 결합

되어 있던 산소가 불순물 원소에 결합됨으로써, 금속 원소로부터 산소가 탈리되어, 산소 결손이 형성된다. 그 결과, 산화물 반도체 막에서는 캐리어 밀도가 증가하고, 따라서 도전성이 높아진다.

[0403] 여기서, 도 26의 (A)는 산화물 반도체 막(406)의 부분 확대도이다. 도 26의 (A)에 도시한 바와 같이, 산화물 반도체 막(406)은, 도전막(410 및 412) 또는 절연막(418)과 접하는 영역(406b)과, 절연막(408)과 접하는 영역(406d)을 갖는다. 도전막(414)의 측면이 테이퍼 형상을 갖는 경우, 산화물 반도체 막(406)은, 도전막(414)의 테이퍼된 부분과 겹치는 영역(406c)을 가질 수 있다는 점에 유의한다.

[0404] 영역(406b)은, 저저항 영역으로서 기능한다. 영역(406b)은 불순물 원소로서 적어도 희가스 원소 및 수소를 포함한다. 도전막(414)의 측면이 테이퍼 형상을 갖는 경우, 불순물 원소는 도전막(414)의 테이퍼된 부분을 통해 영역(406c)에 첨가되기 때문에; 영역(406c)은, 영역(406b)에서보다 영역(406c)의 불순물 원소의 일례인 희가스 원소의 농도가 낮더라도, 불순물 원소를 포함한다는 점에 유의한다. 영역(406c)을 가짐으로써, 트랜지스터의 소스-드레인 내압을 높일 수 있다.

[0405] 산화물 반도체 막(406)이 스페터링법으로 형성되는 경우, 영역(406b 내지 406d)은 각각 희가스 원소를 포함하고, 영역(406d)에서보다, 영역(406b 및 406c)에서의 희가스 원소의 농도가 높다. 이것은, 산화물 반도체 막(406)이 스페터링법으로 형성되는 경우, 스페터링 가스로서 희가스 원소를 사용하기 때문에, 산화물 반도체 막(406)에 희가스 원소가 포함되고, 영역(406b 및 406c)에 있어서, 산소 결손을 형성하기 위해서, 의도적으로 희가스 원소가 산화물 반도체 막(406)에 첨가되는 사실에 기인한다. 영역(406b 및 406c)에는, 영역(406d)에서 보는 다른 희가스 원소가 첨가될 수 있다는 점에 유의한다.

[0406] 영역(406b)은 절연막(418)과 접하기 때문에, 영역(406d)에서보다, 영역(406b)에서의 수소의 농도가 높다. 또한, 영역(406b)으로부터 영역(406c)까지 수소가 확산될 경우, 영역(406c)에서의 수소 농도는, 영역(406d)에서 보다 높다. 그러나, 영역(406c)에서보다 영역(406b)에서의 수소 농도가 높다.

[0407] 영역(406b 및 406c)에 있어서, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 측정된 수소의 농도는, 8×10^{19} atoms/cm³ 이상, 또는 1×10^{20} atoms/cm³ 이상, 또는 5×10^{20} atoms/cm³ 이상으로 할 수 있다. 영역(406d)에 있어서 2차 이온 질량 분석법에 의해 측정된 수소 농도는, 5×10^{19} atoms/cm³ 이하, 또는 1×10^{19} atoms/cm³ 이하, 또는 5×10^{18} atoms/cm³ 이하, 또는 1×10^{18} atoms/cm³ 이하, 또는 5×10^{17} atoms/cm³ 이하, 또는 1×10^{16} atoms/cm³ 이하로 할 수 있다는 점에 유의한다.

[0408] 불순물 원소로서, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 또는 염소가 산화물 반도체 막(406)에 첨가될 경우, 영역(406b 및 406c)만이 불순물 원소를 갖는다. 이로 인해, 영역(406d)에서보다, 영역(406b 및 406c)에서의 불순물 원소의 농도가 높다. 영역(406b 및 406c)에 있어서, 2차 이온 질량 분석법에 의해 측정되는 불순물 원소의 농도는, 1×10^{18} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하, 또는 1×10^{19} atoms/cm³ 이상 1×10^{21} atoms/cm³ 이하, 또는 5×10^{19} atoms/cm³ 이상 5×10^{20} atoms/cm³ 이하로 할 수 있다는 점에 유의한다.

[0409] 영역(406b 및 406c)은, 영역(406d)보다, 수소 농도가 높고, 희가스 원소의 첨가에 의한 산소 결손량이 많다. 이로 인해, 영역(406b 및 406c)은, 도전성이 높아지고, 저저항 영역으로서 기능한다. 대표적으로, 영역(406b 및 406c)의 저항률은, 1×10^{-3} Ωcm 이상 1×10^{-4} Ωcm 미만, 또는 1×10^{-3} Ωcm 이상 1×10^{-1} Ωcm 미만으로 할 수 있다.

[0410] 영역(406b 및 406c) 각각에 있어서, 수소의 양은 내부의 산소 결손의 양과 동일하거나 그보다 적으면, 수소는 산소 결손에 포획되거나 첨가되고, 채널 역할의 영역(406d)에 확산되기 어렵다는 점에 유의한다. 그 결과, 노멀리-오프 특성의 트랜지스터를 얻을 수 있다.

[0411] 영역(406d)은, 채널로서 기능한다.

[0412] 또한, 도전막(414)을 마스크로 사용해서 산화물 반도체 막(406)에 불순물 원소를 첨가한 후, 도전막(414)의 상부로부터 봤을 때의 면적을 축소할 수 있다(도 26의 (B) 참조). 보다 구체적으로는, 산화물 반도체 막(406)에 불순물 원소를 첨가한 후, 도전막(414) 상의 마스크(예를 들어, 포토레지스트)에 대하여 슬리밍 처리를 행한다. 이어서, 해당 마스크를 사용해서 도전막(414) 및 절연막(408)을 에칭한다. 상기 단계에 의해, 도 26의 (B)에 나타내는 도전막(414a) 및 절연막(408a)을 형성할 수 있다. 슬리밍 처리로서는, 예를 들어 산소 라디칼 등을 사용하는 애싱 처리를 채택할 수 있다.

- [0413] 그 결과, 산화물 반도체 막(406)에 있어서, 영역(406c) 및 채널 역할의 영역(406d)과의 사이에, 오프셋 영역(406e)이 형성된다. 채널 길이 방향에 있어서의 오프셋 영역(406e)의 길이는, 0.1 μm 미만으로 설정됨으로써, 트랜지스터의 온 전류의 저하를 억제하는 것이 가능하다는 점에 유의한다.
- [0414] 도 25의 (A) 내지 (C)에 나타내는 기판(402)으로서는, 도 17의 (A) 및 (B)에 나타내는 기판(362)을 적절히 사용할 수 있다.
- [0415] 도 25의 (A) 내지 (C)에 나타내는 절연막(404)으로서는, 도 17의 (A) 및 (B)에 나타내는 절연막(364)을 적절히 사용할 수 있다.
- [0416] 도 25의 (A) 내지 (C)에 나타내는 산화물 반도체 막(406)으로서는, 도 17의 (A) 및 (B)에 나타내는 산화물 반도체 막(266 및 366)을 적절히 사용할 수 있다.
- [0417] 도 25의 (A) 내지 (C)에 나타내는 절연막(408)으로서는, 도 17의 (A) 및 (B)에 나타내는 절연막(272 및 372)을 적절히 사용할 수 있다.
- [0418] 도 25의 (A) 내지 (C)에 나타내는 도전막(410 및 412) 및 도전막(414)으로서는, 도 17의 (A) 및 (B)에 나타내는, 도전막(368 및 370), 도전막(374), 도전막(268 및 270), 도전막(261), 및 도전막(274)을 적절히 사용할 수 있다.
- [0419] 도 25의 (A) 내지 (C)에 나타내는 절연막(416)으로서는, 도 23의 (A) 내지 (C)에 나타내는 절연막(116)을 적절히 사용할 수 있다.
- [0420] 도 25의 (A) 내지 (C)에 나타내는 절연막(418)으로서는, 도 17의 (A) 및 (B)에 나타내는 절연막(376)을 적절히 사용할 수 있다.
- [0421] 절연막(416 및 418)의 두께는 각각, 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하로 할 수 있다.
- [0422] 트랜지스터(450)에서, 도전막(414)은, 도전막(410 및 412)과 겹치지 않고, 도전막(414)과, 도전막(410 및 412)의 각각과의 사이의 기생 용량을 저감하는 것이 가능하다. 그 결과, 기판(402)으로서 대면적 기판을 사용한 경우, 도전막(410 및 412) 및 도전막(414)에 있어서의 신호 지연을 저감하는 것이 가능하다.
- [0423] 또한, 트랜지스터(450)에 있어서, 도전막(414)을 마스크로 사용해서, 불순물 원소가 산화물 반도체 막(406)에 첨가된다. 즉, 셀프 얼라인 방식으로 저저항 영역을 형성할 수 있다.
- [0424] 도 17의 (A) 및 (B)에 나타내는 트랜지스터(394)와 마찬가지로, 트랜지스터(450)는, 절연막(404) 아래에, 산화물 반도체 막(406)과 겹치도록 도전막을 제공하는 듀얼-게이트 구성을 가질 수 있다는 점에 유의한다.
- [0425] 이상, 본 실시 형태에 나타내는 구성은, 다른 실시 형태에 나타내는 구성과 적절히 조합해서 사용할 수 있다.
- [0426] [실시 형태 3]
- [0427] 본 실시 형태에서는, 본 발명의 일 실시 형태의 발광 장치의 화소부 및 구동 회로에 사용되는 트랜지스터의 변형예에 대해서, 도 27의 (A) 내지 (F), 도 28의 (A) 내지 (F), 및 도 29의 (A) 내지 (E)를 참조해서 설명한다. 도 27의 (A) 내지 (F)에 나타내는 트랜지스터는, 기판(821) 상의 절연막(824) 상에 형성된 산화물 반도체 막(828)과, 산화물 반도체 막(828)에 접하는 절연막(837)과, 절연막(837)과 접해서 산화물 반도체 막(828)과 중첩하는 도전막(840)을 갖는다. 절연막(837)은, 게이트 절연막으로서 기능한다는 점에 유의한다. 도전막(840)은 게이트 전극으로서 기능한다.
- [0428] 또한, 트랜지스터는 산화물 반도체 막(828)에 접하는 절연막(846) 및 절연막(846)에 접하는 절연막(847)을 포함한다. 또한, 트랜지스터는 절연막(846 및 847)에 형성된 개구부에 있어서, 산화물 반도체 막(828)과 접하는 도전막(856 및 857)을 포함한다. 도전막(856 및 857)은, 소스 전극 및 드레인 전극으로서 기능한다는 점에 유의한다. 또한, 절연막(847) 및 도전막(856 및 857)과 접하는 절연막(862)이 제공된다.
- [0429] 또한, 본 실시 형태에 나타내는 트랜지스터의 구성과, 해당 구성에 접하는 도전막 및 절연막으로서는, 상술한 실시 형태에 나타내는 트랜지스터의 구성과, 해당 구성에 접하는 도전막 및 절연막을 적절히 사용할 수 있다.
- [0430] 도 27의 (A)에 나타내는 트랜지스터에 있어서, 산화물 반도체 막(828)은, 도전막(840)과 겹치는 영역(828a)과, 불순물 원소를 포함하는 영역(828b 및 828c)을 갖는다. 영역(828b 및 828c)은 영역(828a)이 개재되어 제공되도록 형성된다. 도전막(856 및 857)은, 각각 영역(828b 및 828c)과 접한다. 영역(828a)은 채널 영역으로서 기능

한다. 영역(828b 및 828c)은, 영역(828a)보다 저항률이 낮고, 저저항 영역이라고 지칭할 수 있다. 영역(828b 및 828c)은, 소스 영역 및 드레인 영역으로서 기능한다.

[0431] 대안적으로, 도 27의 (B)에 나타내는 트랜지스터에서와 같이, 산화물 반도체 막(828)에 있어서, 도전막(856 및 857)과 각각 접하는 영역(828d 및 828e)에, 불순물 원소가 반드시 첨가되는 것은 아니다. 이 경우, 도전막(856 및 857)과 접하는 영역(828d 및 828e)과 영역(828a)와의 사이에, 불순물 원소를 갖는 영역(828b 및 828c)이 제공된다. 영역(828d 및 828e)은, 도전막(856 및 857)에 전압이 인가되면 도전성을 갖기 때문에, 영역(828d 및 828e)은 소스 영역 및 드레인 영역으로서 기능한다.

[0432] 도 27의 (B)에 나타내는 트랜지스터는, 도전막(856 및 857)을 형성한 후, 도전막(840) 및 도전막(856 및 857)을 마스크로 사용해서, 불순물 원소를 산화물 반도체 막에 첨가하는 방식으로 형성할 수 있다는 점에 유의한다.

[0433] 도전막(840)의 단부는 테이퍼 형상일 수 있다. 즉, 절연막(837) 및 도전막(840)이 서로 접하는 면과, 도전막(840)의 측면과 이루는 각도 $\theta 1$ 은, 90° 미만, 10° 이상 85° 이하, 15° 이상 85° 이하, 30° 이상 85° 이하, 45° 이상 85° 이하, 또는 60° 이상 85° 이하일 수 있다. 각도 $\theta 1$ 가, 90° 미만, 또는 10° 이상 85° 이하, 15° 이상 85° 이하, 30° 이상 85° 이하, 또는 45° 이상 85° 이하, 또는 60° 이상 85° 이하이면, 절연막(837) 및 도전막(840)의 측면에 있어서의 절연막(846)의 피복성을 향상시킬 수 있다.

[0434] 이어서, 영역(828b 및 828c)의 변형예에 대해서 설명한다. 도 27의 (C) 내지 도 27의 (F)는 각각 도 27의 (A)에 나타내는 산화물 반도체 막(828)의 근방 확대도이다. 채널 길이 L은, 한 쌍의 불순물 원소를 포함하는 영역들 간의 간격이다.

[0435] 도 27의 (C)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)과 영역(828b 및 828c)과의 경계는, 절연막(837)을 개재해서 도전막(840)의 단부와 정렬 또는 대략 정렬하고 있다. 즉, 상부로부터 봤을 때, 영역(828a)과 영역(828b 및 828c)과의 경계는, 도전막(840)의 단부와 정렬 또는 대략 정렬하고 있다.

[0436] 대안적으로, 도 27의 (D)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)은, 도전막(840)과 겹치지 않는 영역을 갖는다. 해당 영역은 오프셋 영역으로서 기능한다. 채널 길이 방향에 있어서의 오프셋 영역의 길이는 L_{off} 로서 지칭한다. 복수의 오프셋 영역이 제공되면, L_{off} 는 하나의 오프셋 영역의 길이를 나타낸다. L_{off} 는, 채널 길이 L에 포함된다는 점에 유의한다. L_{off} 는, 채널 길이 L의 20% 미만, 10% 미만, 5% 미만, 또는 2% 미만이라는 점에 유의한다.

[0437] 대안적으로, 도 27의 (E)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828b 및 828c)은, 각각 절연막(837)을 개재해서 도전막(840)과 겹치는 영역을 갖는다. 해당 영역은 오버랩 영역으로서 기능한다. 채널 길이 방향에 있어서의 오버랩 영역의 길이를 L_{ov} 로서 지칭한다. L_{ov} 는, 채널 길이 L의 20% 미만, 10% 미만, 5% 미만, 또는 2% 미만이라는 점에 유의한다.

[0438] 대안적으로, 도 27의 (F)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)과 영역(828b)의 사이에 영역(828f)이 제공되고, 영역(828a)과 영역(828c)의 사이에 영역(828g)이 제공된다. 영역(828f 및 828g)은, 영역(828b 및 828c)보다는 불순물 원소의 농도가 낮고, 저항률이 높다. 이경우에서는, 영역(828f 및 828g)이 절연막(837)과 겹치더라도, 이들은 절연막(837) 및 도전막(840)과 겹칠 수 있다.

[0439] 도 27의 (C) 내지 도 27의 (F)에 있어서는, 도 27의 (A)에 나타내는 트랜지스터를 설명을 했지만; 도 27의 (B)에 나타내는 트랜지스터는, 도 27의 (C) 내지 도 27의 (F)의 구성을 적절히 채택할 수 있다는 점에 유의한다.

[0440] 도 28의 (A)에 나타내는 트랜지스터에 있어서, 절연막(837)의 단부는, 도전막(840)의 단부보다 외측에 위치한다. 즉, 절연막(837)은, 그 단부가 도전막(840)의 단부를 지나 연장되게 하는 형상을 갖는다. 절연막(846)은 영역(828a)로부터 멀리 떨어져서 유지될 수 있기 때문에, 절연막(846)에 포함되는 질소, 수소 등이, 채널 영역으로서 기능하는 영역(828a)에 인입하는 것이 억제될 수 있다.

[0441] 도 28의 (B)에 나타내는 트랜지스터에 있어서, 절연막(837) 및 도전막(840)은 각각 테이퍼 형상이며, 테이퍼된 형상의 각도들은 서로 상이하다. 즉, 절연막(837) 및 도전막(840)이 서로 접하는 면과, 도전막(840)의 측면과 이루는 각도 $\theta 1$ 은, 산화물 반도체 막(828) 및 절연막(837)이 서로 접하는 면과, 절연막(837)의 측면이 이루는 각도 $\theta 2$ 와는 다르다. 각도 $\theta 2$ 는, 90° 미만, 30° 이상 85° 이하, 또는 45° 이상 70° 이하일 수 있다. 예를 들어, 각도 $\theta 2$ 가 각도 $\theta 1$ 보다 작으면, 절연막(846)의 피복성이 향상된다. 반대로, 각도 $\theta 2$ 가 각도 $\theta 1$ 보다 크면, 트랜지스터는 미세화될 수 있다.

- [0442] 이어서, 영역(828b 및 828c)의 변형예에 대해서, 도 28의 (C) 내지 도 28의 (F)를 참조해서 설명한다. 도 28의 (C) 내지 도 28의 (F)는 각각 도 28의 (A)에 나타내는 산화물 반도체 막(828)의 근방 확대도이다.
- [0443] 도 28의 (C)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)과 영역(828b 및 828c)과의 경계는, 절연막(837)을 개재해서 도전막(840)의 단부와 정렬 또는 대략 정렬하고 있다. 즉, 상부에서 봤을 때, 영역(828a)과 영역(828b 및 828c)과의 경계는, 도전막(840)의 단부와 정렬 또는 대략 정렬하고 있다.
- [0444] 대안적으로, 도 28의 (D)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)은, 도전막(840)과 겹치지 않는 영역을 갖는다. 해당 영역은 오프셋 영역으로서 기능한다. 즉, 상부에서 봤을 때, 영역(828b 및 828c)의 단부는, 절연막(837)의 단부와 정렬 또는 대략 정렬하고 있고, 도전막(840)과 겹치지 않는다.
- [0445] 대안적으로, 도 28의 (E)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828b 및 828c)은 각각 절연막(837)을 개재해서 도전막(840)과 겹치는 영역을 갖는다. 해당 영역은 오버랩 영역이라고 한다. 즉, 상부로부터 봤을 때, 영역(828b 및 828c)의 단부는, 도전막(840)과 겹친다.
- [0446] 도 28의 (F)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)과 영역(828b)의 사이에 영역(828f)이 제공되고, 영역(828a)과 영역(828c)의 사이에 영역(828g)이 제공된다. 영역(828f 및 828g)은, 영역(828b 및 828c)보다 불순물 원소의 농도가 낮고, 저항률이 높다. 이 경우, 영역(828f 및 828g)은, 절연막(837)과 겹치지만, 이들은 절연막(837) 및 도전막(840)과 겹칠 수 있다.
- [0447] 도 28의 (C) 내지 도 28의 (F)에 있어서는, 도 28의 (A)에 나타내는 트랜지스터가 설명되었지만; 도 28의 (B)에 나타내는 트랜지스터는, 도 28의 (C) 내지 도 28의 (F)의 구성을 적절히 채택하는 것이 가능하다는 점에 유의한다.
- [0448] 도 29의 (A)에 나타내는 트랜지스터에 있어서, 도전막(840)은 적층 구성이며, 이 구성은 절연막(837)과 접하는 도전막(840a) 및 도전막(840a)과 접하는 도전막(840b)을 갖는다. 도전막(840a)의 단부는, 도전막(840b)의 단부보다 외측에 위치한다. 즉, 도전막(840a)은, 그 단부가 도전막(840b)의 단부를 지나 연장하는 그러한 형상을 갖는다.
- [0449] 이어서, 영역(828b 및 828c)의 변형예에 대해서 설명한다. 도 29의 (B) 내지 도 29의 (E)는 각각 도 29의 (A)에 나타내는 산화물 반도체 막(828)의 근방 확대도이다.
- [0450] 도 29의 (B)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)과 영역(828b 및 828c)과의 경계는, 절연막(837)을 개재해서 도전막(840) 내의 도전막(840a)의 단부와 정렬 또는 대략 정렬하고 있다. 즉, 상부로부터 봤을 때, 영역(828a)과 영역(828b 및 828c)과의 경계는, 도전막(840)의 단부와 정렬 또는 대략 정렬하고 있다.
- [0451] 대안적으로, 도 29의 (C)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)은, 도전막(840)과 겹치지 않는 영역을 갖는다. 해당 영역은 오프셋 영역으로서 기능한다. 즉, 상부로부터 봤을 때, 영역(828b 및 828c)의 단부는, 도전막(840a)과 겹치지 않는다.
- [0452] 도 29의 (D)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828b 및 828c) 각각은, 도전막(840), 특히 도전막(840a)과 겹치는 영역을 갖는다. 해당 영역은 오버랩 영역이라고 지칭한다. 즉, 상부로부터 봤을 때, 영역(828b 및 828c)의 단부는, 도전막(840a)과 겹친다.
- [0453] 도 29의 (E)에 도시한 바와 같이, 채널 길이 방향의 단면도에 있어서, 영역(828a)과 영역(828b)의 사이에 영역(828f)이 제공되고, 영역(828a)과 영역(828c)의 사이에 영역(828g)이 제공된다. 불순물 원소는, 도전막(840a)을 통해서 영역(828f 및 828g)에 침가되기 때문에; 영역(828f 및 828g)은, 영역(828b 및 828c)보다 불순물 원소의 농도가 낮고, 저항률이 높다. 영역(828f 및 828g)은, 도전막(840a) 또는 도전막(840b)과 겹칠 수 있다는 점에 유의한다.
- [0454] 절연막(837)의 단부는, 도전막(840a)의 단부보다 외측에 위치할 수 있다.
- [0455] 대안적으로, 절연막(837)의 측면은 만곡될 수 있다.
- [0456] 대안적으로, 절연막(837)은 테이퍼 형상일 수 있다. 즉, 산화물 반도체 막(828) 및 절연막(837)이 서로 접하는 면과, 절연막(837)의 측면이 이루는 각도는 90° 미만, 바람직하게는 30° 이상 90° 미만일 수 있다.
- [0457] 도 29의 (A) 내지 (E)에 도시한 바와 같이, 산화물 반도체 막(828)은, 영역(828b 및 828c)보다, 불순물 원소의

농도가 낮고 저항률이 높은 영역(828f 및 828g)을 가짐으로써, 드레인 영역의 전계가 완화될 수 있다. 그로 인해, 트랜지스터의 역치 전압의 변동 등, 드레인 영역의 전계에 기인한 트랜지스터의 열화를 저감하는 것이 가능하다.

[0458] 본 실시 형태에 나타내는 상기 구성은, 다른 실시 형태에 나타내는 구성과 적절히 조합될 수 있다.

[0459] [실시 형태 4]

[0460] 본 실시 형태에서는, 본 발명의 일 실시 형태의 발광 장치의 화소의 상면도 및 단면도의 일례에 대해서 설명한다.

[0461] <화소의 레이아웃>

[0462] 도 30은, 도 1에 도시한 화소(11)의 상면도의 일례를 나타낸다. 도 30에서는, 화소(11)의 레이아웃을 명확히 하기 위해서, 절연막과, 화소 전극과, 발광 소자(54)를 생략하고 있다.

[0463] 도 30에 나타낸 트랜지스터(55, 56, 및 57)의 구성은, 각각 도 25의 (A) 내지 (C)에 나타내는 트랜지스터(450)의 것을 상정하고 있다는 점에 유의한다.

[0464] 트랜지스터(56)는, 게이트로서 기능하는 도전막(1003)과, 반도체 막(1004)과, 반도체 막(1004)에 전기적으로 접속되고, 소스 또는 드레인으로서 기능하는 도전막(1005 및 1006)을 갖는다. 도전막(1003)은 배선 GL로서 기능한다. 도전막(1005)은, 콘택트 홀을 통해, 배선 SL로서 기능하는 도전막(1001)에 전기적으로 접속되어 있다.

[0465] 트랜지스터(57)는, 게이트로서의 기능을 갖는 도전막(1003)과, 반도체 막(1007)과, 반도체 막(1007)에 전기적으로 접속되고, 소스 또는 드레인으로서의 기능을 갖는 도전막(1008 및 1009)을 갖는다. 도전막(1008)은, 콘택트 홀을 통해, 배선 ML로서의 기능을 갖는 도전막(1002)에 전기적으로 접속되어 있다.

[0466] 트랜지스터(55)는, 게이트로서의 기능을 갖는 도전막(1010)과, 반도체 막(1007)과, 반도체 막(1007)에 전기적으로 접속되고, 소스 또는 드레인으로서의 기능을 갖는 도전막(1009 및 1011)을 갖는다. 도전막(1011)은, 배선 VL로서의 기능을 갖는다.

[0467] 용량 소자(58)는, 제1 전극으로서 기능하는 반도체 막(1007)과, 제2 전극으로서 기능하는 도전막(1010)과, 반도체 막(1007)과 도전막(1010)과의 사이에 제공된 절연막(도시하지 않음)을 갖는다. 반도체 막(1007)의 저항은, 반도체 막(1007)이 전극으로서 기능할 수 있도록 충분히 감소되는 것이 바람직하다.

[0468] 도전막(1009)은, 도전막(1012)을 통해, 화소 전극으로서 기능하는 도전막(1013)(도시하지 않음)에 전기적으로 접속되어 있다. 도전막(1013)은, 발광 소자(54)의 애노드 또는 캐소드로서의 기능도 갖는다.

[0469] 도전막(1013)에는, 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 사용할 수 있다. 구체적 예들은, 산화인듐-산화주석(indium tin oxide(ITO)), 규소 또는 산화 규소를 함유한 산화인듐-산화주석, 산화인듐-산화 아연(indium zinc oxide), 산화텅스텐 및 산화아연을 함유한 산화인듐, 금(Au), 백금(Pt), 니켈(Ni), 텡스텐(W), 크롬(Cr), 몰리브덴(Mo), 철(Fe), 코발트(Co), 구리(Cu), 팔라듐(Pd), 및 티타늄(Ti)이 있다. 또한, 원소 주기율표의 제1족 또는 제2족에 속하는 원소, 예를 들면 리튬(Li)이나 세슘(Cs) 등의 알칼리 금속, 칼슘(Ca)이나 스트론튬(Sr) 등의 알칼리 토금속, 마그네슘(Mg), 그러한 원소를 포함하는 합금(MgAg, AlLi), 유로퓸(Eu) 또는 이테르븀(Yb) 등의 희토류 금속, 그러한 원소를 포함하는 합금, 그래핀 등을 사용할 수 있다. 전극은 상기로부터 선택된 재료를 적절히 사용해서 형성되고, 최적의 두께로 형성되어, 톱-에미션 구조(top-emission structure), 보텀-에미션 구조(bottom-emission structure), 또는 듀얼-에미션 구조(dual-emission structure)이 선택적으로 형성될 수 있게 한다.

[0470] 본 발명의 일 실시 형태의 발광 장치에 있어서, 백색 등의 단색의 광을 발하는 발광 소자와, 컬러 필터의 조합을 이용하여 풀-컬러 화상이 표시되는 컬러 필터 방식을 채택할 수 있다. 대안적으로, 서로 다른 색상의 광을 발하는 복수의 발광 소자를 사용하여, 풀-컬러 화상이 표시되는 방식을 채택할 수 있다. 이러한 방식은, 발광 소자 내의 한 쌍의 전극 간에 각각 배치되는 EL층이, 그들의 대응하는 색마다 구분 도포되기 때문에, 구분 도포 방식(separate coloring method)이라고 칭한다.

[0471] 구분 도포 방식의 경우, 일반적으로, EL층은, 금속 마스크 등의 마스크를 사용하여, 증착법에 의해 구분 도포된다. 그로 인해, 화소의 사이즈는 증착법에 의한 EL층의 구분 도포의 정밀도에 좌우된다. 한편, 구분 도포 방식과는 달리, EL층은 컬러 필터 방식으로 구분 도포될 필요는 없다. 따라서, 구분 도포 방식의 경우보다도, 화소가 더 용이하게 사이즈 축소될 수 있고; 따라서 고정밀의 화소부를 실현할 수 있다.

- [0472] 톱-에미션 구성의 경우, 발광 소자로부터 발해지는 광은, 배선, 트랜지스터, 또는 용량 소자 등의 소자에 의해 차단되지 않아서, 보텀에미션 구성에 비하여, 화소로부터의 광의 추출 효율이 높아질 수 있다. 따라서, 톱-에미션 구성은, 발광 소자에 공급하는 전류의 값이 감소되더라도, 높은 휘도를 얻을 수 있고, 따라서 발광 소자의 수명 향상에 유리하다.
- [0473] 본 발명의 일 실시 형태에서, 발광 장치는, EL층으로부터 발해지는 광을 발광 소자내에서 공진시키는 마이크로 캐비티(마이크로 광 공진기) 구성을 가질 수 있다. 마이크로 캐비티 구성에 의해, 특정한 파장의 광에 대해서, 발광 소자로부터의 광-추출 효율을 높일 수 있으므로, 화소부의 휘도와 색순도를 향상시킬 수 있다.
- [0474] <발광 장치의 단면 구성>
- [0475] 도 31은, 본 발명의 일 실시 형태의 발광 장치에 있어서 화소부의 단면 구성을 일례로서 나타낸다. 도 31은, 도 2 및 도 30에 나타내는 화소(11)의 트랜지스터(56), 용량 소자(58), 및 발광 소자(54)의 단면 구성을 예시하고 있다는 점에 유의한다.
- [0476] 구체적으로, 도 31에 나타내는 발광 장치는, 기판(1000) 상의 절연막(1016)과, 절연막(1016) 상의 트랜지스터(56)와 용량 소자(58)를 갖는다. 트랜지스터(56)는, 반도체 막(1004)과, 반도체 막(1004) 상의 절연막(1015)과, 절연막(1015)을 사이에 개재해서 반도체 막(1004)과 겹치고 게이트로서 기능하는 도전막(1003)과, 반도체 막(1004)과 접하고 절연막(1017) 및 절연막(1018)에 형성된 개구부에 제공된 도전막(1005)과, 유사하게 반도체 막(1004)과 접하고 절연막(1017 및 1018)에 형성된 개구부에 제공된 도전막(1006)을 갖는다. 도전막(1005 및 1006)은, 트랜지스터(56)의 소스 및 드레인으로서 기능한다는 점에 유의한다.
- [0477] 용량 소자(58)는, 전극으로서 기능하는 반도체 막(1007)과, 반도체 막(1007) 상의 절연막(1015)과, 절연막(1015)을 사이에 개재해서 반도체 도전막(1007)과 겹치고 전극으로서 기능하는 도전막(1010)을 갖는다.
- [0478] 절연막(1015)은, 산화 알루미늄, 산화질화 알루미늄, 산화마그네슘, 산화 규소, 산화질화규소, 질화산화규소, 질화규소, 산화갈륨, 산화게르마늄, 산화이트륨, 산화지르코늄, 산화란탄, 산화네오디뮴, 산화하프늄, 및 산화 탄탈 중 하나 이상을 포함하는 절연막의 단층 또는 적층으로 형성될 수 있다. 본 명세서에 있어서, 산화질화물은, 질소보다도 산소를 더 함유하고, 질화산화물은, 산소보다 질소를 더 함유한다는 점에 유의한다.
- [0479] 반도체 막(1004)에 산화물 반도체를 사용하는 경우, 절연막(1016)에, 반도체 막(1004)에 산소를 공급할 수 있는 재료를 사용하는 것이 바람직하다. 상기 재료를 절연막(1016)에 사용함으로써, 절연막(1016)에 포함되는 산소를 반도체 막(1004)에 이동시키는 것이 가능하고, 반도체 막(1004)에서의 산소 결손량을 저감할 수 있다. 절연막(1016)에 포함된 산소는, 반도체 막(1004)이 형성된 후에, 가열 처리를 행함으로써 반도체 막(1004)에 효율적으로 이동될 수 있다.
- [0480] 반도체 막(1004) 및 도전막(1003 및 1010) 상에는 절연막(1017)이 제공되고; 절연막(1017) 상에는 절연막(1018)이 제공되고; 절연막(1018) 상에는 도전막(1005, 1006, 및 1009), 및 절연막(1019)이 제공되어 있다. 절연막(1019) 상에는 도전막(1001 및 1012)이 제공되고, 도전막(1001)은 절연막(1019)에 형성된 개구부에 있어서 도전막(1005)과 전기적으로 접속되고, 도전막(1012)은 절연막(1019)에 형성된 개구부에 있어서 도전막(1009)과 전기적으로 접속되어 있다.
- [0481] 반도체 막(1004)에 산화물 반도체를 사용하는 경우, 절연막(1017)은, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등을 블로킹하는 기능을 갖는 것이 바람직하다. 절연막(1017)을 제공함으로써, 반도체 막(1004)으로부터의 산소의 외부로의 확산과, 외부로부터 반도체 막(1004)에의 수소, 물 등의 인입을 방지할 수 있다. 절연막(1017)은, 예를 들어 질화물 절연막을 사용하여 형성될 수 있다. 질화물 절연막으로서, 질화 실리콘막, 질화산화 실리콘막, 질화알루미늄막, 질화산화 알루미늄막 등이 주어질 수 있다. 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등에 대한 블로킹 효과를 갖는 질화물 절연막 대신에, 산소, 수소, 물, 등에 대한 블로킹 효과를 갖는 산화물 절연막을 제공할 수 있다는 점에 유의한다. 산소, 수소, 물, 등에 대한 블로킹 효과를 갖는 산화물 절연막으로서, 산화 알루미늄막, 산화질화 알루미늄막, 산화갈륨막, 산화질화 갈륨막, 산화이트륨막, 산화질화이트륨막, 산화하프늄막, 산화질화 하프늄막, 등이 주어질 수 있다.
- [0482] 절연막(1019), 도전막(1001 및 1012) 상에는 절연막(1020) 및 도전막(1013)이 제공되고, 도전막(1013)은 절연막(1020)에 형성된 개구부에 있어서 도전막(1012)과 전기적으로 접속되어 있다. 도전막(1013)의 상세에 대해서는, 도 30의 도전막(1013)의 설명을 참조한다.
- [0483] 절연막(1020) 및 도전막(1013) 상에는 절연막(1025)이 제공되어 있다. 절연막(1025)은, 도전막(1013)과 겹치는

영역에 개구부를 갖는다. 절연막(1025) 상에 있어서, 절연막(1025)의 개구부와는 다른 영역에, 절연막(1026)이 제공되어 있다. 절연막(1025) 및 절연막(1026) 상에는, EL층(1027) 및 도전막(1028)이, 순서대로 적층된다. 도전막(1013) 및 도전막(1028)이, EL층(1027)을 사이에 개재해서 서로 중첩되는 부분이, 발광 소자(54)로서 기능한다. 도전막(1013 및 1028) 중 한쪽이 애노드로서 기능하고, 다른 쪽은 캐소드로서 기능한다.

[0484] 발광 장치는, 발광 소자(54)를 사이에 개재해서 기판(1000)과 대면하는 기판(1030)을 갖는다. 기판(1030) 아래에 광을 차폐하는 기능을 갖는 차폐 막(1031)이 제공되고, 즉, 기판(1030)의, 발광 소자(54)에 가까운 측의 표면 상에는, 차폐 막(1031)이 제공되어 있다. 차폐 막(1031)은, 발광 소자(54)와 겹치는 영역에 개구부를 갖고 있다. 발광 소자(54)와 겹치는 개구부에 있어서, 기판(1030) 아래에는 특정한 파장 범위의 가시광을 투과하는 착색층(1032)이 제공되어 있다.

[0485] 절연막(1026)은, 발광 소자(54)와 기판(1030) 간의 거리를 조정하기 위해 제공되고, 생략되는 경우가 있을 수 있다는 점에 유의한다.

[0486] 본 실시 형태에서는, 발광 소자(54)의 광을 소자 기판과는 반대인 측으로부터 추출하는 톱-에미션 구성을 채택 하지만, 발광 소자(54)의 광을 소자 기판측으로부터 추출하는 보텀에미션 구성을, 또는 발광 소자(54)의 광을 소자 기판측과 소자 기판과는 반대인 측 둘 다로부터 추출하는 듀얼-에미션 구성을도 본 발명의 일 실시 형태에 적용될 수 있다.

[0487] 본 실시 형태에서의 상기 구성은, 다른 실시 형태에 나타내는 구성과 적절히 조합될 수 있다.

[실시 형태 5]

[0489] 본 실시 형태에서는, 본 발명의 일 실시 형태의 발광 장치를 사용하여 형성될 수 있는 표시 모듈 및 전자 기기 에 대해서, 도면을 참조해서 설명한다.

<발광 장치의 외관>

[0491] 도 32는, 본 발명의 일 실시 형태의 발광 장치의 외관 일례를 나타내는 사시도이다. 도 32에 나타내는 발광 장치는, 패널(1601)과; 컨트롤러, 전원 회로, 화상 처리 회로, 화상 메모리, CPU, 등을 포함하는 회로 기판(1602)과; 접속부(1603)를 갖고 있다. 패널(1601)은, 복수의 화소를 포함하는 화소부(1604)과; 화소를 행마다 선택하는 구동 회로(1605)와; 선택된 행 내의 화소에의 화상 신호 Sig의 입력을 제어하는 구동 회로(1606)를 갖는다.

[0492] 회로 기판(1602)으로부터, 접속부(1603)를 통해, 각종 신호와 전원 전위가 패널(1601)에 입력된다. 접속부(1603)로서는, 가요성 인쇄 회로(flexible printed circuit)(FPC) 등을 사용할 수 있다. 접속부(1603)로서 COF 테이프를 사용하는 경우, 회로 기판(1602) 내의 회로의 일부, 또는 패널(1601)에 포함된 구동 회로(1605)나 구동 회로(1606)의 일부는 별도 준비된 칩 상에 형성될 수 있고, COF(chip-on-film)법에 의해 해당 칩을 COF 테이프에 전기적으로 접속할 수 있다.

<전자 기기의 구성예>

[0494] 본 발명의 일 실시 형태의 발광 장치는, 표시 장치, 노트북형 퍼스널 컴퓨터, 또는 기록 매체를 구비한 화상 재생 장치(대표적으로는, 디지털 다기능 디스크(DVD) 등의 기록 매체의 콘텐츠를 재생하고, 그 재생 화상을 표시하기 위한 디스플레이를 갖는 장치)에 사용할 수 있다. 상기 이외, 본 발명의 일 실시 형태의 발광 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형 게임기, 휴대 정보 단말기, 전자 서적 단말기, 비디오 카메라 및 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(예를 들어, 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 도 33의 (A) 내지 (F)는 이를 전자 기기의 구체예를 나타내었다.

[0495] 도 33의 (A)는 표시 장치를 나타내는데, 이는 하우징(3001), 표시부(3002), 지지대(3003), 등을 갖는다. 본 발명의 일 실시 형태의 발광 장치는, 표시부(3002)에 사용할 수 있다. 표시 장치는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 정보 표시용의 모든 표시 장치를 포함한다는 점에 유의한다.

[0496] 도 33의 (B)는 휴대 정보 단말기를 나타내는데, 이는 하우징(3101), 표시부(3102), 조작 키(3103) 등을 갖는다. 본 발명의 일 실시 형태의 발광 장치는, 표시부(3102)에 사용할 수 있다.

[0497] 도 33의 (C)는 표시 장치를 나타내는데, 이는 곡면을 갖는 하우징(3701), 표시부(3702), 등을 갖는다. 본 발명

의 일 실시 형태의 발광 장치에 가요성 기판을 사용하면, 곡면을 갖는 하우징(3701)에 지지된 표시부(3702)에, 해당 발광 장치를 사용할 수 있다. 가요성이고 경량인 사용자-친화성 표시 장치를 제공할 수 있다.

[0498] 도 33의 (D)는 휴대형 게임기를 나타내는데, 이는 하우징(3301), 하우징(3302), 표시부(3303), 표시부(3304), 마이크로폰(3305), 스피커(3306), 조작 키(3307), 스타일러스(3308), 등을 갖는다. 본 발명의 일 실시 형태의 발광 장치는, 표시부(3303) 또는 표시부(3304)에 사용할 수 있다. 표시부(3303 또는 3304)로서 본 발명의 일 실시 형태의 발광 장치를 사용하면, 품질의 저하가 일어나기 어려운 사용자-친화성 휴대형 게임기를 제공할 수 있다. 도 33의 (D)에 나타낸 휴대형 게임기는 2개의 표시부(3303)와 표시부(3304)를 갖고 있지만, 휴대형 게임기에 포함된 표시부의 수는, 2에 한정되지 않는다.

[0499] 도 33의 (E)는 전자 서적 단말기를 나타내는데, 이는 하우징(3601), 표시부(3602), 등을 갖는다. 본 발명의 일 실시 형태의 발광 장치는, 표시부(3602)에 사용할 수 있다. 가요성 기판을 사용하면, 발광 장치는 가요성을 가질 수 있으므로, 가요성 및 경량의 전자 서적 단말기를 제공할 수 있다.

[0500] 도 33의 (F)는 휴대 전화를 나타내는데, 이는 하우징(3901)에, 표시부(3902), 마이크(3907), 스피커(3904), 카메라(3903), 외부 접속부(3906), 및 조작용 버튼(3905)을 포함한다. 표시부(3902)에, 본 발명의 일 실시 형태의 발광 장치를 사용할 수 있다. 본 발명의 일 실시 형태의 발광 장치를 가요성 기판에 제공하는 경우, 도 33의 (F)에 도시한 바와 같이, 곡면을 갖는 표시부(3902)에 해당 발광 장치를 사용하는 것이 가능하다.

[0501] 본 실시 형태에서의 상기 구성은, 다른 실시 형태에 나타내는 구성과 적절히 조합될 수 있다.

[실시 형태 6]

[0503] 본 실시 형태에서는, 본 발명의 일 실시 형태에 사용할 수 있는 산화물 반도체의 구성 및 그 성막 모델에 대해서 설명한다.

[0504] 본 명세서에 있어서, 용어 "평행"은, 2개의 직선이 이룬 각도가 -10° 이상 10° 이하인 것을 나타내고, 따라서 -5° 이상 5° 이하인 경우도 포함한다. 용어 "대략 평행"은, 2개의 직선이 이룬 각도가 -30° 이상 30° 이하인 것을 나타낸다. 용어 "수직"은, 2개의 직선이 이룬 각도가 80° 이상 100° 이하인 것을 나타내고, 따라서, 85° 이상 95° 이하인 경우도 포함한다. 용어 "대략 수직"은, 2개의 직선이 이룬 각도가 60° 이상 120° 이하인 것을 나타낸다.

[0505] 본 명세서에 있어서, 삼방 결정계 및 능면체 결정계가 육방 결정계에 포함된다.

<산화물 반도체의 구성>

[0507] 이하에서는, 산화물 반도체 막의 구성에 대해서 설명한다.

[0508] 산화물 반도체는, 단결정 산화물 반도체와 비단결정 산화물 반도체로 나뉜다. 비단결정 산화물 반도체의 예들은, c-축 정렬 결정질 산화물 반도체(c-axis aligned crystalline oxide semiconductor)(CAAC-OS), 다결정 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체를 포함한다.

[0509] 별도의 관점으로부터, 산화물 반도체는, 비정질 산화물 반도체와 결정성 산화물 반도체로 나뉜다. 또한, 결정성 산화물 반도체의 예들은, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 미결정 산화물 반도체를 포함한다.

<CAAC-OS>

[0511] 먼저, CAAC-OS에 대해서 설명한다. CAAC-OS는, c-축 정렬 나노 결정(c-axis aligned nanocrystals)(CANC)을 갖는 산화물 반도체로서 지칭될 수도 있다는 점에 유의한다.

[0512] CAAC-OS는, 복수의 c-축 정렬 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나이다.

[0513] 투과형 전자 현미경(transmission electron microscope)(TEM)을 사용해서 얻은 CAAC-OS의 명시야 상(bright-field image)과 회절 패턴(diffraction pattern)의 복합 해석 상(고분해능 TEM 상이라고도 함)에 있어서, 복수의 펠릿을 관측할 수 있다. 그러나, 고분해능 TEM 상에 있어서, 펠릿 간의 경계, 즉 결정립계를 명확하게 확인할 수 없다. 그로 인해, CAAC-OS에 있어서, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다.

[0514] 이하에서는, TEM에 의해 관측된 CAAC-OS에 대해서 설명한다. 도 35의 (A)는, 샘플면과 대략 평행한 방향으로부터 관측한 CAAC-OS의 단면의 고분해능 TEM 상을 나타낸다. 고분해능 TEM 상은, 구면 수차 보정(spherical aberration corrector) 기능을 사용해서 얻어진다. 구면 수차 보정 기능을 사용해서 얻어진 고분해능 TEM

상은, 특히 Cs-보정 고분해능 TEM 상이라고 칭해진다. Cs-보정 고분해능 TEM 상은, 예를 들어 JEOL Ltd.에 의해 제조된 원자 분해능 분석 전자 현미경 JEM-ARM200F에 의해 얻어질 수 있다.

[0515] 도 35의 (B)는 도 35의 (A)의 영역(1)의 확대된 Cs-보정 고분해능 TEM상을 나타낸다. 도 35의 (B)는, 펠릿에 있어서, 금속 원자가 층상으로 배열되어 있는 것을 나타낸다. 각각의 금속 원자 층은, CAAC-OS가 형성되는 표면(이 표면은 괴형성면이라고도 함) 또는 CAAC-OS의 상면의 요철을 반영하고 있는 구성을 갖고 있고, CAAC-OS의 괴형성면 또는 상면과 평행하게 배열된다.

[0516] 도 35의 (B)에 도시한 바와 같이, CAAC-OS는 특성 원자 배열을 갖는다. 도 35의 (C)에서는 특성 원자 배열을 보조 선으로 나타낸다. 도 35의 (B) 및 도 35의 (C)는, 펠릿의 사이즈가 대략 1nm 내지 3nm이고, 펠릿들의 기울기에 의해 발생한 공간의 사이즈는 대략 0.8nm인 것을 증명한다. 따라서, 펠릿은, 나노 결정(nc)이라고도 칭할 수도 있다.

[0517] 여기서, Cs-보정 고분해능 TEM 상에 따라, 기판(5120) 상의 CAAC-OS의 펠릿(5100)의 개략적 배치는, 브릭 또는 블록이 적층되는 구조에 의해 나타난다(도 35의 (D) 참조). 도 35의 (C)에서 관측된 바와 같이 펠릿들이 기울어진 부분은, 도 35의 (D)에 도시된 영역(5161)에 상당한다.

[0518] 도 36의 (A)는, 샘플면과 대략 수직인 방향으로부터 관측된 CAAC-OS의 평면의 Cs-보정 고분해능 TEM상을 나타낸다. 도 36의 (B), 도 36의 (C) 및 도 36의 (D)는 각각 도 36의 (A)의 영역(1), 영역(2) 및 영역(3)의 확대된 Cs-보정 고분해능 TEM상이다. 도 36의 (B), 도 36의 (C) 및 도 36의 (D)는, 펠릿에 있어서 금속 원자가 삼각 형상, 사각 형상 또는 육각 형상의 구조으로 배열되어 있는 것을 나타낸다. 그러나, 상이한 펠릿들 사이에서는 금속 원자의 배열에 규칙성이 보이지 않는다.

[0519] 이어서, X선 회절(XRD)에 의해 해석된 CAAC-OS에 대해서 설명한다. 예를 들어, InGaZnO₄ 결정을 갖는 CAAC-OS의 구성이 면외 법에 의해 해석되면, 도 37의 (A)에 도시하는 바와 같이 피크는 31° 근방의 회절각(2θ)에서 나타난다. 이러한 피크는, InGaZnO₄ 결정(009)면으로부터 유도되는데, 이는 CAAC-OS의 결정이 c-축 정렬을 갖고 있고, c-축이 CAAC-OS의 괴형성면 또는 상면에 대략 수직인 방향으로 정렬되어 있는 것을 나타낸다.

[0520] CAAC-OS의 면외 법에 의한 구조적 해석에서는, 31° 근방의 2θ에서의 피크 이외에, 2θ가 36° 근방일 때에 다른 피크가 나타날 수 있다는 점에 유의한다. 36° 근방의 2θ에서의 피크는, CAAC-OS의 일부에, c-축 정렬을 갖지 않은 결정이 포함되는 것을 나타내고 있다. 면외 법에 의해 해석된 CAAC-OS에서, 2θ가 31° 근방일 때 피크가 나타나고, 2θ이 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0521] 한편, c-축으로 대략 수직인 방향으로 X선이 샘플에 입사되는 면내 법에 의한 CAAC-OS의 구조적 해석에서는, 2θ가 56° 근방일 때 피크가 나타난다. 이러한 피크는, InGaZnO₄ 결정(110)면에 귀속된다. CAAC-OS의 경우에는, 2θ을 56° 근방에 고정하고, 샘플면의 법선 벡터를 축(Φ축)으로서 사용하여 샘플을 회전시키면서 분석(Φ스캔)을 행할 때, 도 37의 (B)에 도시하는 바와 같이, 피크는 명료하게 관측되지 않는다. 이에 비해, InGaZnO₄의 단결정 산화물 반도체의 경우에, 2θ을 56° 근방에 고정해서 Φ 스캔했을 경우, 도 37의 (C)에 도시하는 바와 같이, (110)면과 등가인 결정면으로부터 유도되는 피크가 6개 관측된다. 따라서, XRD를 사용한 구조적 해석은, CAAC-OS에서 a-축 및 b-축의 방향들이 상이하다는 것을 나타낸다.

[0522] 이어서, 전자 회절에 의해 해석된 CAAC-OS에 대해서 설명한다. 예를 들어, InGaZnO₄ 결정을 갖는 CAAC-OS에 대하여 샘플면에 평행한 방향으로 프로브 직경이 300nm의 전자선이 입사되면, 도 38의 (A)에 도시된 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 얻어질 수 있다. 이러한 회절 패턴에는, InGaZnO₄ 결정의 (009)면으로부터 유도된 스폷이 포함된다. 따라서, 전자 회절은 또한, CAAC-OS에 포함되는 펠릿이 c-축 정렬을 갖고 있고, c-축이 CAAC-OS의 괴형성면 또는 상면에 대략 수직인 방향으로 정렬되어 있는 것을 나타낸다. 한편, 도 38의 (B)는 동일한 샘플에 대하여 샘플면에 수직인 방향으로 프로브 직경이 300nm인 전자선이 입사되는 방식으로 얻어진 회절 패턴을 나타낸다. 도 38의 (B)에 도시된 바와 같이, 링 형상의 회절 패턴이 관측된다. 따라서, 전자 회절은 또한 CAAC-OS에 포함되는 펠릿의 a-축 및 b-축은 규칙적인 정렬을 갖지 않은 것을 나타낸다. 도 38의 (B)에 있어서의 제1링은, InGaZnO₄ 결정의 (010)면, (100)면, 등으로부터 유도되는 것으로 생각된다. 도 38의 (B)에 있어서의 제2링은 (110)면 등으로부터 유도되는 것으로 생각된다.

[0523] 또한, CAAC-OS는, 결합 준위 밀도가 낮은 산화물 반도체이다. 산화물 반도체의 결합은, 예를 들어 불순물에 의한 결합, 및 산소 결손이다. 따라서, CAAC-OS는, 불순물 농도가 낮은 산화물 반도체, 또한 산소 결손량이 적은

산화물 반도체라고 할 수도 있다.

[0524] 산화물 반도체에 포함되는 불순물은, 캐리어 트랩의 역할을 하거나, 캐리어 발생원의 역할을 할 수 있다. 예를 들어, 산화물 반도체의 산소 결손은, 캐리어 트랩의 역할을 하거나, 수소를 포획할 때 캐리어 발생원의 역할을 한다.

[0525] 불순물은, 산화물 반도체의 주성분 이외의 원소, 예를 들면 수소, 탄소, 실리콘, 또는 전이 금속 원소를 의미한다는 점에 유의한다. 예를 들어, 산화물 반도체에 포함된 금속 원소보다도 산소와의 결합력이 강한 원소(특히, 실리콘 등)는, 산화물 반도체로부터 산소를 추출하는데, 이는 산화물 반도체의 원자 배열을 어지럽히고, 결정성을 저하시키는 요인이 된다. 철이나 니켈 등의 중금속, 아르곤, 이산화탄소, 등은, 원자 반경(또는 분자반경)이 크기 때문에, 산화물 반도체의 원자 배열을 어지럽히고, 결정성을 저하시킨다.

[0526] 결합 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체는, 낮은 캐리어 밀도를 가질 수 있다. 그러한 산화물 반도체를, 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체라고 칭한다. CAAC-OS는, 불순물 농도가 낮고, 결합 준위 밀도가 낮다. 즉, CAAC-OS는, 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 갖는 트랜지스터는, 역치 전압이 마이너스가 되는 것이 적다(노멀리 온이 되기 쉽지 않다). 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체는, 캐리어 트랩이 적다. 산화물 반도체에서 캐리어 트랩에 포획된 전하는, 방출할 때까지 필요로 하는 시간이 길다. 트랩된 전하는, 마치 고정 전하와 같이 행동할 것이다. 그로 인해, 불순물 농도가 높고, 결합 준위 밀도가 높은 산화물 반도체를 갖는 트랜지스터는, 전기 특성이 불안정해질 수 있다. 그러나, CAAC-OS를 갖는 트랜지스터는, 전기 특성의 변동이 작고, 신뢰성이 높다.

[0527] CAAC-OS는 결합 준위 밀도가 낮기 때문에, 광 조사 등에 의해 생성된 캐리어가, 결합 준위에서 포획되는 것이 적다. 따라서, CAAC-OS를 사용한 트랜지스터에서는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.

[0528] <미결정 산화물 반도체>

[0529] 이어서, 미결정 산화물 반도체에 대해서 설명한다.

[0530] 미결정 산화물 반도체는, 고분해능 TEM 상에서, 결정부가 관측되는 영역과, 명확히 결정부를 관측할 수 없는 영역을 갖는다. 대부분의 경우, 미결정 산화물 반도체에 포함되는 결정부의 사이즈는, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하이다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 사이즈의 미결정인 나노 결정을 갖는 산화물 반도체를, 나노 결정 산화물 반도체(nanocrystalline oxide semiconductor)(nc-OS)라고 칭한다. 예를 들어, nc-OS의 고분해능 TEM 상에서는, 결정립계를 명확하게 관측할 수 없는 경우가 있다. 나노 결정의 기원(origin)이 CAAC-OS에 있어서의 펠릿과 동일한 가능성이 있다는 점에 유의한다. 그로 인해, 다음 설명에서는 nc-OS의 결정부를 펠릿이라고 칭할 수 있다.

[0531] nc-OS에서는, 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 사이즈의 영역, 특히 1nm 이상 3nm 이하의 사이즈의 영역)은 주기적 원자 배열을 갖는다. nc-OS에서의 상이한 펠릿 간에서 결정 방위에 규칙성이 보이지 않는다. 그로 인해, 막 전체의 배향성이 보이지 않는다. 따라서, nc-OS는, 분석 방법에 따라서는, 비정질 산화물 반도체와 구별이 될 수 없다. 예를 들어, nc-OS에 대하여 펠릿의 사이즈보다도 큰 직경의 X선을 사용하는 XRD장치를 사용해서 면외 법에 의한 구조적 해석을 행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS에 대하여 펠릿의 사이즈보다도 큰 프로브 직경(예를 들어, 50nm 이상)의 전자선을 사용하는 전자 회절(이 전자 회절을 제한 시야 전자 회절이라고도 함)을 행할 때, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, 펠릿의 사이즈에 근접하거나 펠릿보다 작은 프로브 직경의 전자선을 적용하면 nc-OS의 나노 빔 전자 회절 패턴에서 스트라이프가 나타난다. 또한, nc-OS의 나노 빔 전자 회절 패턴에서, 원(링) 패턴에서 회도가 높은 영역이 나타나는 경우가 있다. 또한, nc-OS 층의 나노 빔 전자 회절 패턴에서, 링 형상의 영역 내에 복수의 스트라이프가 나타나는 경우가 있다.

[0532] 상술한 바와 같이 펠릿(나노 결정) 간에서는 결정 방위가 규칙성을 갖지 않기 때문에, nc-OS를, 랜덤 정렬 나노 결정(random aligned nanocrystals)(RANC)을 갖는 산화물 반도체 또는 비정렬 나노 결정(non-aligned nanocrystals)(NANC)을 갖는 산화물 반도체라고 칭할 수도 있다.

[0533] nc-OS는, 비정질 산화물 반도체보다도 규칙성이 높은 산화물 반도체이다. 그로 인해, nc-OS는, 비정질 산화물 반도체보다도 결합 준위 밀도가 낮아진다. nc-OS에서는, 상이한 펠릿간에서 결정 방위에 규칙성이 보이지 않는

다는 점에 유의한다. 그로 인해, nc-OS는, CAAC-OS보다 결함 준위 밀도가 높다.

[0534] <비정질 산화물 반도체>

[0535] 이어서, 비정질 산화물 반도체에 대해서 설명한다.

[0536] 비정질 산화물 반도체는, 원자 배열이 불규칙해서 결정부를 갖지 않는 산화물 반도체이며, 석영과 같은 무정형 상태에 존재하는 산화물 반도체의 일례이다.

[0537] 비정질 산화물 반도체의 고분해능 TEM 상에 있어서, 결정부를 확인할 수 없다.

[0538] 비정질 산화물 반도체에 대하여 XRD장치를 사용해서 면외 법에 의한 구조적 해석을 행하면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 비정질 산화물 반도체에 대하여 전자 회절을 행하면, 할로 패턴이 관측된다. 또한, 비정질 산화물 반도체에 대하여 나노 빔 전자 회절을 행하면, 스포이 관측되지 않고, 할로 패턴만이 나타난다.

[0539] 비정질 구성에 대해서는, 여러가지 견해가 있다. 예를 들어, 원자 배열에 완전히 질서성을 갖지 않은 구성을, 완전한 비정질 구성(completely amorphous structure)이라고 칭한다. 한편, 최근접 원자간 거리 또는 제2근접 원자간 거리까지 질서성을 갖지만, 장거리 질서성을 갖지 않은 구성을 비정질 구성이라고도 칭한다. 따라서, 가장 엄격한 정의에 의하면, 원자 배열에 무시할 수 있을 정도의 질서성이라도 갖는 한 산화물 반도체를 비정질 산화물 반도체이라고 칭할 수는 없다. 적어도, 장거리 질서성을 갖는 산화물 반도체를 비정질 산화물 반도체라고 칭할 수는 없다. 따라서, 결정부의 존재 때문에, 예를 들어 CAAC-OS 및 nc-OS를, 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체라고 칭할 수는 없다.

[0540] <비정질형 산화물 반도체>

[0541] 산화물 반도체는, nc-OS와 비정질 산화물 반도체와의 사이에 중간 구조를 가질 수 있다는 점에 유의한다. 그러한 구성을 갖는 산화물 반도체를, 특히 비정질형 산화물 반도체(amorphous-like oxide semiconductor)(a-like OS)라고 칭한다.

[0542] a-like OS의 고분해능 TEM 상에 있어서, 보이드(void)가 관측될 수 있다. 또한, 고분해능 TEM 상에 있어서, 명확하게 결정부를 관측할 수 있는 영역과, 결정부를 관측할 수 없는 영역이 있다.

[0543] 보이드를 갖기 때문에, a-like OS는, 불안정한 구조이다. 이하에서는, a-like OS가, CAAC-OS 및 nc-OS와 비교해서 불안정한 구성을 갖는 것을 입증하기 위해서, 전자 조사에 의한 구조의 변화를 설명한다.

[0544] 전자 조사를 행하는 샘플로서, a-like OS(샘플 A), nc-OS(샘플 B) 및 CAAC-OS(샘플 C)를 준비한다. 샘플들 각각은 In-Ga-Zn 산화물이다.

[0545] 먼저, 각 샘플의 고분해능 단면 TEM상을 취득한다. 고분해능 단면 TEM상은, 모든 샘플이 결정부를 갖는 것을 나타낸다.

[0546] 어느 부분을 하나의 결정부로 간주할지의 판정은, 다음과 같다는 점에 유의한다. InGaZnO_4 결정의 단위 셀은, 3개의 In-O층을 갖고, 6개의 Ga-Zn-O층을 갖는 9개의 층이 c 축 방향으로 적층되는 구성을 갖는 것으로 알려져 있다. 이들 근접하는 층 간의 간격은, (009)면의 격자 간격(d값이라고도 함)과 동일하다. 그 값은 결정 구조적 해석으로부터 0.29nm로 계산된다. 따라서, 격자 줄무늬 간의 격자 간격이 0.28nm 이상 0.30nm 이하인 부분을, InGaZnO_4 의 결정부라고 간주한다. 각각의 격자 줄무늬는, InGaZnO_4 결정의 a-b면에 대응한다.

[0547] 도 39는, 각 샘플의 결정부(22 포인트 내지 45 포인트에서)의 평균 사이즈의 변화를 나타낸다. 결정부 사이즈는 격자 줄무늬의 길이에 대응한다는 점에 유의한다. 도 39는, a-like OS의 결정부 사이즈가 누적 전자 도우즈의 증가에 따라서 증가하는 것을 나타낸다. 구체적으로, 도 39의 (1)로 도시된 TEM 관측의 초기에 대략 1.2nm의 결정부(이 결정부는 초기 핵이라고도 함)는, $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 의 누적 전자 도우즈에 있어서는 대략 2.6nm의 사이즈까지 성장한다. 한편, nc-OS 및 CAAC-OS에서의 결정부 사이즈는, 전자 조사의 개시부터 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 의 누적 전자 도우즈까지 변화가 보이지 않는 것을 나타낸다. 구체적으로는, 도 39의 (2) 및 (3)으로 나타난 바와 같이, 누적 전자 도우즈와 관계 없이, nc-OS 층 및 CAAC-OS 층에서의 평균 결정 사이즈는, 각각 대략 1.4nm 및 대략 2.1nm이다.

[0548] 이와 같이, a-like OS에서의 결정부의 성장은, 전자 조사에 유도된다. 한편, nc-OS 및 CAAC-OS에서, 결정부의

성장은 전자 조사에 의해 거의 유도되지 않는다. 따라서, a-like OS는, nc-OS 및 CAAC-OS에 비하여, 불안정한 구성을 갖는다.

[0549] 또한, 보이드를 갖기 때문에, a-like OS는, nc-OS 및 CAAC-OS에 비해서 밀도가 낮아진다. 구체적으로는, a-like OS의 밀도는, 동일한 조성의 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. nc-OS 및 CAAC-OS 각각의 밀도는, 동일한 조성의 단결정 산화물 반도체의 밀도 92.3% 이상 100% 미만이다. 단결정 산화물 반도체 층의 밀도의 78% 미만의 밀도를 갖는 산화물 반도체를 성막하는 것이 곤란하다는 점에 유의한다.

[0550] 예를 들어, In:Ga:Zn=1:1:1의 원자수비를 갖는 산화물 반도체에 있어서, 능면체 결정 구성을 갖는 단결정 InGaZnO₄의 밀도는 6.357 g/cm³이 된다. 따라서, In:Ga:Zn=1:1:1의 원자수비를 갖는 산화물 반도체에 있어서, a-like OS의 밀도는 5.0 g/cm³ 이상 5.9 g/cm³ 미만이 된다. 예를 들어, In:Ga:Zn=1:1:1의 원자수비를 갖는 산화물 반도체에 있어서, nc-OS 및 CAAC-OS 각각의 밀도는 5.9 g/cm³ 이상 6.3 g/cm³ 미만이 된다.

[0551] 특정한 조성의 산화물 반도체가 단결정 구조에 존재할 수 없는 경우가 있다는 점에 유의한다. 그 경우, 알맞은 비율로 상이한 조성의 단결정 산화물 반도체들을 조합하는데, 이는 원하는 조성의 단결정 산화물 반도체의 것에 상당하는 밀도를 계산할 수 있게 한다. 원하는 조성의 단결정 산화물 반도체의 밀도는, 상이한 조성의 단결정 산화물 반도체의 조합 비율에 따른 가중 평균을 이용해서 계산할 수 있다. 밀도를 계산하기 위해 가능한 한 적은 종류의 단결정 산화물 반도체를 이용하는 것이 바람직하다는 점에 유의한다.

[0552] 이상과 같이, 산화물 반도체는, 여러가지 구성을 갖고, 다양한 특성을 갖는다. 산화물 반도체는, 예를 들어 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, 및 CAAC-OS의 2종 이상을 갖는 적층막일 수 있다는 점에 유의한다.

[0553] <성막 모델>

[0554] 이하에서는, CAAC-OS 및 nc-OS의 성막 모델의 예들에 대해서 설명한다.

[0555] 도 40의 (A)는 스퍼터링법에 의해 CAAC-OS가 성막되는 성막실 내부의 개략도이다.

[0556] 타겟(5130)은, 백킹 플레이트에 접착되어 있다. 복수의 마그네트가 백킹 플레이트를 개재해서 타겟(5130)과 대향하는 위치에 제공된다. 복수의 마그네트는 자장을 발생한다. 마그네트의 자장을 이용해서 성막 속도를 높이는 스퍼터링법은, 마그네트론 스퍼터링법이라고 불린다.

[0557] 기판(5120)은, 타겟(5130)과 마주 보도록 배치되고, 거리 d(타겟-기판간 거리(T-S간 거리)라고도 함)는 0.01m 이상 1m 이하, 바람직하게는 0.02m 이상 0.5m 이하로 한다. 성막실은, 대부분 성막 가스(예를 들어, 산소 가스, 아르곤 가스, 또는 산소를 5 체적% 이상의 비율로 포함하는 혼합 가스)로 채워지고, 0.01Pa 이상 100Pa 이하, 바람직하게는 0.1Pa 이상 10Pa 이하로 제어된다. 여기서, 타겟(5130)에 일정 값 이상의 전압을 인가함으로써, 방전이 시작되고, 플라즈마가 관측된다. 자장은 타겟(5130)의 근방에 고밀도 플라즈마 영역을 형성한다. 고밀도 플라즈마 영역에서는, 성막 가스가 이온화함으로써, 이온(5101)이 발생한다. 이온(5101)의 예들은, 산소의 양이온(O⁺)과 아르곤의 양이온(Ar⁺)을 포함한다.

[0558] 여기서, 타겟(5130)은, 복수의 결정립을 갖고, 적어도 하나의 결정립에는 벽 개방면(cleavage plane)이 존재하는 다결정 구성을 갖는다. 도 41의 (A)는, 일례로서, 타겟(5130)에 포함되는 InGaZnO₄ 결정 구성을 나타낸다. 도 41의 (A)는 c-축이 상향 방향일 때 b-축에 평행한 방향으로부터 InGaZnO₄ 결정을 관측한 경우의 구성을 나타낸다는 점에 유의한다. 도 41의 (A)는, Ga-Zn-O층의 산소 원자가 근접하는 Ga-Zn-O층에서 그들에 가까이 배치되어 있는 것을 나타낸다. 산소 원자는 마이너스 전하를 가짐으로써, 2개의 Ga-Zn-O층 사이에는 척력(repulsive force)이 발생한다. 그 결과, InGaZnO₄ 결정은, 2개의 근접하는 Ga-Zn-O층 사이에 벽 개방면을 갖는다.

[0559] 고밀도 플라즈마 영역에서 발생한 이온(5101)은, 전계에 의해 타겟(5130)측으로 가속된 다음, 타겟(5130)과 충돌한다. 이때, 평판 형상(펠릿 형상)의 스퍼터링된 입자인 펠릿(5100a) 및 펠릿(5100b)이 벽 개방면으로부터 박리되고 스퍼터링된다. 펠릿(5100a) 및 펠릿(5100b)의 구성은, 이온(5101)의 충돌 충격에 의해 왜곡될 수 있다.

[0560] 펠릿(5100a)은, 삼각형 평면, 예를 들어 정삼각형 평면을 갖는 평판 형상(펠릿 형상)의 스퍼터링된 입자이다.

펠릿(5100b)은, 육각형 평면, 예를 들어 정육각형의 평면을 갖는 평판 형상(펠릿 형상)의 스퍼터링된 입자이다. 펠릿(5100a) 및 펠릿(5100b) 등의 평판 형상(펠릿 형상)의 스퍼터링된 입자를 총칭해서 펠릿(5100)이라고 칭한다는 점에 유의한다. 펠릿(5100)의 평면 형상은, 삼각형 또는 육각형에 한정되지 않다. 예를 들어, 평면은 2개 이상의 삼각형을 조합하여 형성된 형상을 가질 수 있다. 예를 들어, 사각형(예를 들어, 마름모꼴)은 2개의 삼각형(예를 들어, 정삼각형)을 조합하여 형성될 수 있다.

[0561] 펠릿(5100)의 두께는 성막 가스의 종류 등에 따라 결정된다. 펠릿(5100)의 두께는, 균일하게 하는 것이 바람직한데; 그 이유는 후술한다. 또한, 스퍼터링된 입자는 두께가 두꺼운 다이스 형상에 비해 두께가 얇은 펠릿 형상을 갖는 것이 바람직하다. 예를 들어, 펠릿(5100)의 두께는 0.4nm 이상 1nm 이하, 또는 바람직하게는 0.6nm 이상 0.8nm 이하로 한다. 또한, 예를 들어, 펠릿(5100)의 폭은 1nm 이상 3nm 이하, 바람직하게는 1.2nm 이상 2.5nm 이하로 한다. 펠릿(5100)은, 도 39의 (1)의 설명에서 초기 중심에 상당한다. 예를 들어, In-Ga-Zn 산화물을 갖는 타겟(5130)에 이온(5101)을 충돌시키면, 도 41의 (B)에 도시한 바와 같이, Ga-Zn-O층, In-O층 및 Ga-Zn-O층의 3개 층을 갖는 펠릿(5100)이 박리된다. 도 41의 (C)는, c-축에 평행한 방향으로부터 관측된 박리된 펠릿(5100)의 구성을 나타낸다. 따라서, 펠릿(5100)은 2개의 Ga-Zn-O층(pieces of bread)과 In-O층(filling)을 갖는 나노 사이즈의 샌드위치 구성을 갖는다.

[0562] 펠릿(5100)은, 플라즈마를 통과할 때에 전하를 수취함으로써 그 측면이 부 또는 양으로 대전될 수 있다. 펠릿(5100)에 있어서, 측면에 위치하는 산소 원자는 음으로 대전될 수 있다. 이런 방식으로, 측면이 동일한 극성으로 대전되면, 전하들이 서로 반발하고, 따라서 펠릿(5100)은 평판 형상을 유지할 수 있다. CAAC-OS가 In-Ga-Zn 산화물일 경우, 인듐 원자와 결합한 산소 원자가 음으로 대전될 가능성이 있다. 인듐 원자, 갈륨 원자, 또는 아연 원자와 결합한 산소 원자가 음으로 대전될 또 다른 가능성이 있다. 또한, 펠릿(5100)은, 플라즈마를 통과할 때에 인듐 원자, 갈륨 원자, 아연 원자, 산소 원자 등과 결합함으로써 성장할 수 있다. 도 39의 (2)와 (1)의 사이즈의 차이가, 플라즈마 내의 성장량에 상당한다. 여기서, 기판(5120)의 온도가 실온 정도일 경우, 기판(5120) 상의 펠릿(5100)은 거의 성장하지 않고; 따라서 nc-OS가 형성된다(도 40의 (B) 참조). 실온에서 nc-OS의 성막이 실행될 수 있기 때문에, 기판(5120)이 대면적일 경우에도 nc-OS이 성막될 수 있다. 펠릿(5100)을 플라즈마 내에서 성장시키기 위해서는, 스퍼터링에 있어서의 성막 전력을 높게 하는 것이 유효하다는 점에 유의한다. 높은 성막 전력은, 펠릿(5100)의 구성을 안정화할 수 있다.

[0563] 도 40의 (A) 및 도 40의 (B)에 도시하는 바와 같이, 펠릿(5100)은, 플라즈마 내의 연(kite)과 같이 비상하고, 기판(5120)까지 날아 올라간다. 펠릿(5100)은 전하를 띠고 있기 때문에, 다른 펠릿(5100)이 이미 퇴적하고 있는 영역이 가까워지면, 충격이 발생한다. 여기서, 기판(5120)의 상면에서는, 기판(5120)의 상면에 평행한 방향의 자장(수평 자장이라고도 함)이 발생한다. 기판(5120)과 타겟(5130) 사이에 전위차가 부여되고, 따라서 기판(5120)으로부터 타겟(5130)으로 전류가 흐른다. 따라서, 펠릿(5100)은, 기판(5120)의 상면에 있어서, 자장 및 전류의 작용에 의해, 힘(로렌츠 힘(Lorentz force))을 받는다. 이것은, 플레밍의 원손의 법칙에 의해 이해할 수 있다.

[0564] 펠릿(5100)의 중량은, 원자의 중량보다 크다. 그로 인해, 펠릿(5100)을 기판(5120)의 상면 위로 이동시키기 위해서, 일부 힘을 외부로부터 펠릿(5100)으로 인가하는 것이 중요해진다. 일종의 힘은 자장 및 전류의 작용에 의해 발생되는 힘일 수 있다. 펠릿(5100)이 기판(5120)의 상면으로 이동하도록 충분한 힘을 펠릿(5100)에 부여하기 위해서는, 상면에 있어서, 기판(5120)의 상면에 평행한 방향의 자장이 10G 이상, 바람직하게는 20G 이상, 더욱 바람직하게는 30G 이상, 보다 바람직하게는 50G 이상이 되는 영역을 제공하는 것이 바람직하다. 또는, 상면에 있어서, 기판(5120)의 상면에 평행한 방향의 자장이, 기판(5120)의 상면에 수직인 방향의 자장에 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상, 보다 바람직하게는 5배 이상으로 되는 영역을 제공하는 것이 바람직하다.

[0565] 이때, 마그네트와 기판(5120)이 상대적으로 이동하거나 회전함으로써, 기판(5120)의 상면에 있어서의 수평 자장의 방향은 계속해서 변화한다. 따라서, 기판(5120)의 상면에 있어서, 펠릿(5100)은, 여러 방향으로부터 힘을 받음으로써 다양한 방향으로 이동할 수 있다.

[0566] 또한, 도 40의 (A)에 도시하는 바와 같이, 기판(5120)이 가열되면, 펠릿(5100)과 기판(5120) 사이에서 마찰 등에 의한 저항이 작아진다. 그 결과, 펠릿(5100)은, 기판(5120)의 상면을 활공한다. 펠릿(5100)의 활공은, 평판면이 기판(5120)과 대면하는 상태에서 일어난다. 그 후, 이미 퇴적된 또 다른 펠릿(5100)의 측면까지 펠릿(5100)이 도달하면, 펠릿(5100)의 측면들이 결합된다. 이때, 펠릿(5100)의 측면에 있는 산소 원자가 탈리된다. 탈리된 산소 원자에 의해, CAAC-OS 내의 산소 결손이 채워질 수 있고; 따라서, CAAC-OS 결합 준위 밀도가 낮다.

기판(5120)의 상면 온도는, 예를 들어 100°C 이상 500°C 미만, 150°C 이상 450°C 미만, 또는 170°C 이상 400°C 미만이라는 점에 유의한다. 따라서, 기판(5120)이 대면적일 경우에도, CAAC-OS를 성막할 수 있다.

[0567] 또한, 펠릿(5100)은, 기판(5120) 위에서 가열됨으로써, 원자가 재배열되고, 이온(5101)의 충돌에 의해 발생된 구성의 왜곡이 완화된다. 구성 왜곡이 완화된 펠릿(5100)은, 사실상 단결정이 된다. 펠릿(5100)이 결합한 후에 가열되었다고 해도, 펠릿(5100)이 사실상 단결정이 되는 것에 의해, 펠릿(5100) 자체의 신축은 일어날 수 없다. 따라서, 펠릿(5100) 사이의 간극의 팽창으로 인한 결정립계 등의 결합의 형성이 방지될 수 있고, 따라서 크레바스(crevasse)의 생성이 방지될 수 있다.

[0568] CAAC-OS는, 단결정 산화물 반도체의 보드와 같은 구성을 갖지 못하지만, 적층된 브릭 또는 블록과 같은 펠릿(5100)(나노 결정)의 그룹을 갖는 배열을 갖는다. 또한, 결정립계는 펠릿(5100) 사이에는 존재하지 않는다. 그로 인해, 성막 시의 가열, 성막 후의 가열 또는 굽힘 등으로 인해, CAAC-OS 내에서 줄어들든 등의 변형이 발생한 경우에도, 국부 응력을 완화하는 또는 왜곡을 해제하는 것이 가능하다. 따라서, 이러한 구성은 가요성 반도체 장치에 적합하다. nc-OS는 펠릿(5100)(나노 결정)이 무질서하게 적층되는 배열을 갖는다는 점에 유의한다.

[0569] 타겟(5130)을 이온(5101)으로 스퍼터링했을 때에, 펠릿(5100) 이외에, 산화아연 등이 박리될 수 있다. 산화아연은 펠릿(5100)보다도 경량이기 때문에, 펠릿 이전에 기판(5120)의 상면에 도달한다. 그 결과, 두께가 0.1nm 이상 10nm 이하, 0.2nm 이상 5nm 이하, 또는 0.5nm 이상 2nm 이하인 산화아연층(5102)을 형성한다. 도 42의 (A) 내지 (D)는 단면 개략도이다.

[0570] 도 42의 (A)에 도시한 바와 같이, 산화아연층(5102) 상에는 펠릿(5105a)과 펠릿(5105b)이 퇴적된다. 여기서, 펠릿(5105a)과 펠릿(5105b)의 측면들은 서로 접하여 있다. 또한, 펠릿(5105c)은, 펠릿(5105b) 상에 퇴적된 후, 펠릿(5105b) 상을 활공한다. 또한, 펠릿(5105a)의 또 다른 측면에 있어서, 산화아연과 함께 타겟으로부터 박리된 복수의 입자(5103)가, 기판(5120)의 가열에 의해 결정화되고, 영역(5105a1)을 형성한다. 복수의 입자(5103)는, 산소, 아연, 인듐, 갈륨 등을 포함할 수 있다는 점에 유의한다.

[0571] 그 다음, 도 42의 (B)에 도시한 바와 같이, 영역(5105a1)은, 펠릿(5105a)의 일부까지 성장하여 펠릿(5105a2)을 형성한다. 또한, 펠릿(5105c)의 측면이 펠릿(5105b)의 또 다른 측면과 접한다.

[0572] 이어서, 도 42의 (C)에 도시한 바와 같이, 펠릿(5105d)은 펠릿(5105a2)과 펠릿(5105b) 상에 퇴적된 다음, 펠릿(5105a2)과 펠릿(5105b) 상을 활공한다. 또한, 펠릿(5105e)은 산화아연층(5102) 상의 펠릿(5105c)의 또 다른 측면을 향해서 활공한다.

[0573] 그 다음, 도 42의 (D)에 도시한 바와 같이, 펠릿(5105d)은, 펠릿(5105d)의 측면이 펠릿(5105a2)의 측면과 접하도록 배치된다. 또한, 펠릿(5105e)의 측면은 펠릿(5105c)의 다른 측면과 접한다. 펠릿(5105d)의 다른 측면에 있어서, 산화아연과 함께 타겟(5130)으로부터 박리된 복수의 입자(5103)가 기판(5120)의 가열에 의해 결정화되고, 영역(5105d1)을 형성한다.

[0574] 이상과 같이, 퇴적된 펠릿들은 서로 접하도록 배치된 다음, 펠릿의 측면에서 성장이 일어남으로써, 기판(5120) 위에 CAAC-OS가 형성된다. 따라서, CAAC-OS의 각각의 펠릿이 nc-OS보다도 커진다. 도 39의 (3)과 (2)의 사이즈의 차이가, 퇴적 후의 성장량에 상당한다.

[0575] 펠릿(5100)들 간의 간극이 매우 작으면, 펠릿들은 하나의 큰 펠릿을 형성할 수 있다. 큰 펠릿은, 단결정 구성을 갖는다. 예를 들어, 큰 펠릿의 사이즈가, 상면으로부터 봤을 때, 10nm 이상 200nm 이하, 15nm 이상 100nm 이하, 또는 20nm 이상 50nm 이하가 될 수 있다. 이 경우, 미세한 트랜지스터에 사용된 산화물 반도체에 있어서, 채널 형성 영역은 큰 펠릿 내에 수용될 수 있다. 따라서, 단결정 구성을 갖는 영역은 채널 형성 영역으로서 사용될 수 있다. 또한, 펠릿의 사이즈가 커지면, 단결정 구성을 갖는 영역은 트랜지스터의 채널 형성 영역, 소스 영역, 및 드레인 영역으로서 사용될 수 있다.

[0576] 이런 방식으로, 트랜지스터의 채널 형성 영역 등이, 단결정 구성을 갖는 영역에 형성되면, 트랜지스터의 주파수 특성을 높게 할 수 있는 경우가 있다.

[0577] 그러한 모델에서 나타난 바와 같이, 펠릿(5100)은 기판(5120) 상에 퇴적되는 것으로 생각된다. 따라서, 괴형성면이 결정 구성을 갖지 않을 경우에 있어서도, CAAC-OS가 성막될 수 있고, 이는 에피택셜 성장에 의한 성막과는 다르다. 또한, CAAC-OS의 형성에 레이저 결정화는 불필요하고, 대면적의 유리 기판 등에도 균일한 막이 형성될 수 있다. 예를 들어, 기판(5120)의 상면(괴형성면)이 비정질 구성(예를 들어, 상면은 비정질 산화 실리콘으로

형성됨)을 갖더라도, CAAC-OS가 형성될 수 있다.

[0578] 또한, CAAC-OS의 형성시에, 피형성면이 요철을 갖는 경우에도, 피형성면인 기판(5120)의 상면 형상을 따라서 펠릿(5100)들이 배열되는 것을 알 수 있다. 예를 들어, 기판(5120)의 상면이 원자 레벨에서 평坦할 경우, 펠릿(5100)들은 a-b면과 평행한 평판면을 아래로 향하도록 배열된다. 펠릿(5100)의 두께가 균일한 경우, 균일한 두께, 평탄, 및 높은 결정성을 갖는 층이 형성된다. n개의 층(n은 자연수)을 적층함으로써, CAAC-OS를 얻을 수 있다.

[0579] 기판(5120)의 상면이 요철을 갖는 경우에도, 각각 펠릿(5100)들이 요철에 따라 배열되는 n개의 층(n은 자연수)이 적층되는 CAAC-OS가 형성된다. 기판(5120)이 요철을 갖기 때문에, CAAC-OS 내의 펠릿(5100)들 사이에 갭이 발생하기 쉬운 경우가 있다. 분자간력(intermolecular force)으로 인해, 펠릿(5100)들은 펠릿들 간의 갭이 요철면 상에서도 가능한 한 작아도록 배열된다는 점에 유의한다. 따라서, 피형성면이 요철을 갖더라도, 높은 결정성을 갖는 CAAC-OS가 얻어질 수 있다.

[0580] 이러한 모델에 의해 CAAC-OS가 성막되기 때문에, 스퍼터링된 입자는 두께가 얇은 펠릿 형상을 갖는 것이 바람직하다. 스퍼터링된 입자가 큰 두께의 다이스 형상일 경우, 기판(5120)에 대면하는 평면이 일정하지 않고; 따라서, 두께 및 결정의 배향을 균일하게 할 수 없는 경우가 있다는 점에 유의한다.

[0581] 상술한 성막 모델에 따라, 비정질 구성을 갖는 피형성면 상에도, 높은 결정성을 갖는 CAAC-OS를 형성할 수 있다.

[0582] 본 출원은 2013년 12월 27일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2013-272539호, 2013년 12월 27일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2013-272532호, 2014년 3월 11일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2014-047197호, 및 2014년 3월 11일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2014-047200호에 기초하고, 그 전체 내용은 본원에 참고로 인용된다.

부호의 설명

[0583] 10: 발광 장치

11: 화소

12: 모니터 회로

13: 화상 처리 회로

22: 트랜지스터

24: 화소부

25: 패널

26: 컨트롤러

27: CPU

28: 화상 메모리

29: 메모리

30: 구동 회로

31: 구동 회로

32: 화상 데이터

33: 배선

34: 트랜지스터

40: 트랜지스터

41: 트랜지스터

42: 트랜지스터

43: 트랜지스터

44: 트랜지스터

45: 트랜지스터

46: 발광 소자

47: 용량 소자

48: 용량 소자

49: 배선

54: 발광 소자

55: 트랜지스터

56: 트랜지스터

57: 트랜지스터

58: 용량 소자

60: 연산 증폭기

61: 용량 소자

62: 스위치

68: 배선

70: 트랜지스터

71: 트랜지스터

72: 트랜지스터

73: 트랜지스터

74: 트랜지스터

75: 트랜지스터

76: 용량 소자

77: 용량 소자

78: 발광 소자

80: 트랜지스터

81: 트랜지스터

82: 트랜지스터

83: 트랜지스터

84: 트랜지스터

85: 트랜지스터

86: 발광 소자

87: 용량 소자

88: 배선

90: 트랜지스터

91: 트랜지스터

92: 트랜지스터

93: 트랜지스터

94: 트랜지스터

95: 용량 소자

96: 발광 소자

102: 기판

104: 절연막

106: 산화물 반도체 막

106a: 영역

106b: 영역

106c: 영역

106d: 영역

108: 절연막

110: 도전막

112: 도전막

114: 도전막

116: 절연막

118: 절연막

140a: 개구부

140b: 개구부

150: 트랜지스터

261: 도전막

266: 산화물 반도체 막

268: 도전막

270: 도전막

272: 절연막

274: 도전막

362: 기판

364: 절연막

364a 질화물 절연막

364b: 산화물 절연막

366: 산화물 반도체 막

366a: 영역

366b: 영역

366c: 영역

366d: 영역

366e: 오프셋 영역

367a: 산화물 반도체 막

367b: 산화물 반도체 막

367c: 산화물 반도체 막

368: 도전막

368a: 도전막

368b: 도전막

368c: 도전막

370: 도전막

370a: 도전막

370b: 도전막

370c: 도전막

372: 절연막

372a: 절연막

374: 도전막

374a: 도전막

374b: 도전막

376: 절연막

390: 트랜지스터

391: 트랜지스터

392: 트랜지스터

393: 트랜지스터

394: 트랜지스터

402: 기판

404: 절연막

406: 산화물 반도체 막

406b: 영역

406c: 영역

406d: 영역

406e: 오프셋 영역

408: 절연막

408a: 절연막

410: 도전막

412: 도전막

414: 도전막

414a: 도전막

- 416: 절연막
 418: 절연막
 440a: 개구부
 450: 트랜지스터
 821: 기판
 824: 절연막
 828: 산화물 반도체 막
 828a: 영역
 828b: 영역
 828c: 영역
 828d: 영역
 828e: 영역
 828f: 영역
 828g: 영역
 837: 절연막
 840: 도전막
 840a: 도전막
 840b: 도전막
 846: 절연막
 847: 절연막
 856: 도전막
 857: 도전막
 862: 절연막
 1000: 기판
 1001: 도전막
 1002: 도전막
 1003: 도전막
 1004: 반도체 막
 1005: 도전막
 1006: 도전막
 1007: 반도체 막
 1008: 도전막
 1009: 도전막
 1010: 도전막
 1011: 도전막
 1012: 도전막

1013: 도전막

1015: 절연막

1016: 절연막

1017: 절연막

1018: 절연막

1019: 절연막

1020: 절연막

1025: 절연막

1026: 절연막

1027: EL층

1028: 도전막

1030: 기판

1031: 차폐 막

1032: 착색층

1601: 패널

1602: 회로 기판

1603: 접속부

1604; 화소부

1605: 구동 회로

1606: 구동 회로

3001: 하우징

3002: 표시부

3003: 지지대

3101: 하우징

3102: 표시부

3103: 조작 키

3301: 하우징

3302: 하우징

3303: 하우징

3303: 표시부

3304: 표시부

3305: 마이크로폰

3306: 스피커

3307: 조작 키

3308: 스타일러스

3601: 하우징

3602: 표시부

3701: 하우징

3702: 표시부

3766: 절연막

3901: 하우징

3902: 표시부

3903: 카메라

3904: 스피커

3905: 버튼

3906: 외부 접속부

3907: 마이크

5100: 펠럿

5100a: 펠럿

5100b: 펠럿

5101: 이온

5102: 산화아연총

5103: 입자

5105a: 펠럿

5105a1: 영역

5105a2: 펠럿

5105b: 펠럿

5105c: 펠럿

5105d: 펠럿

5105d1: 영역

5105e: 펠럿

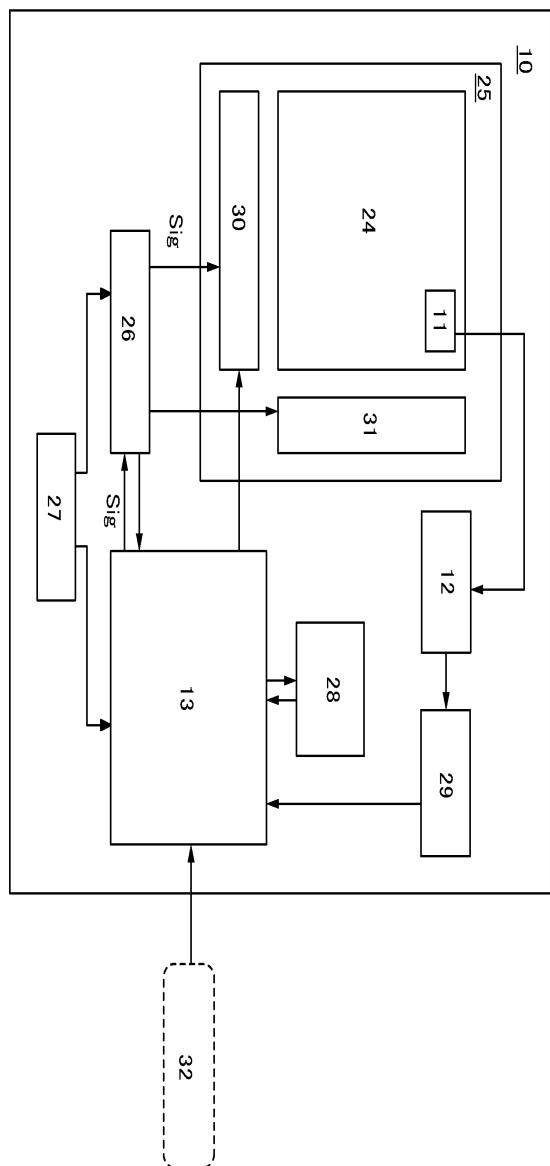
5120: 기판

5130: 타겟

5161: 영역

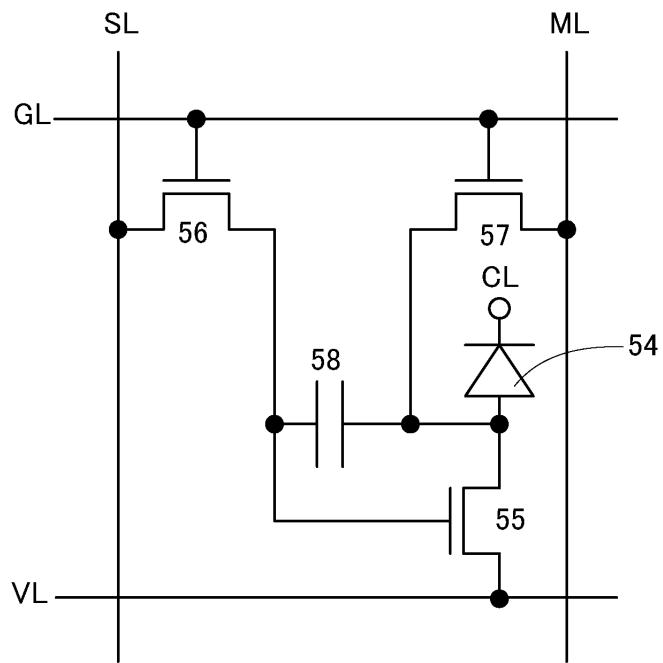
도면

도면1

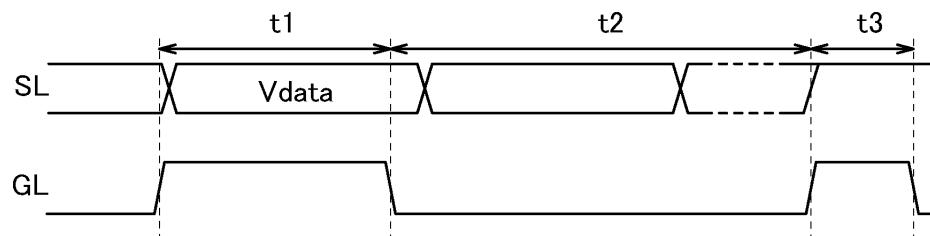


도면2

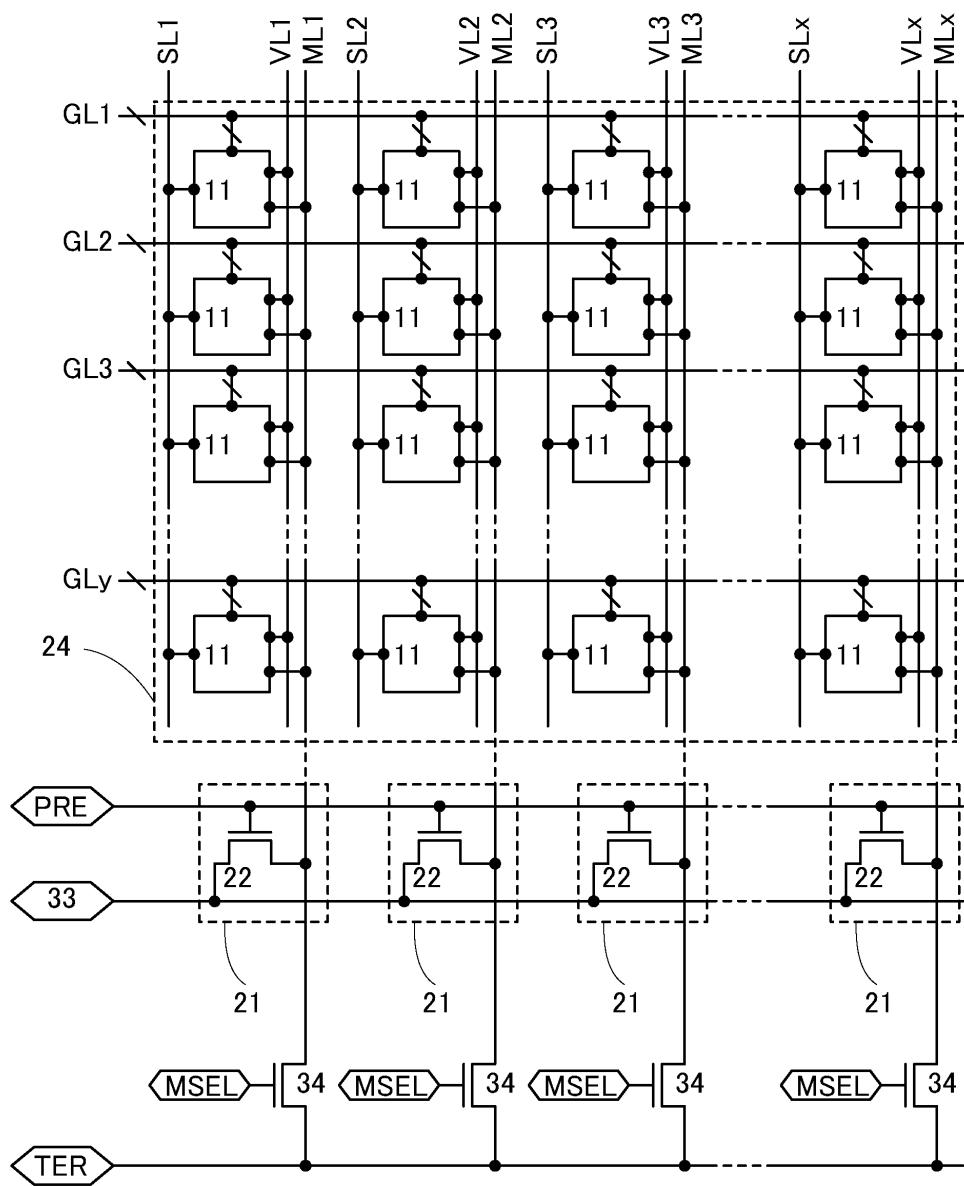
11



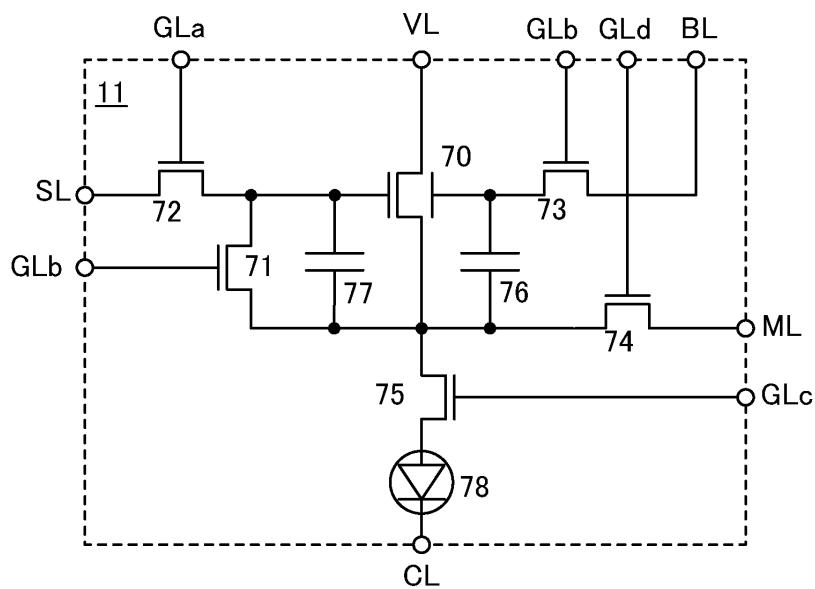
도면3



도면4

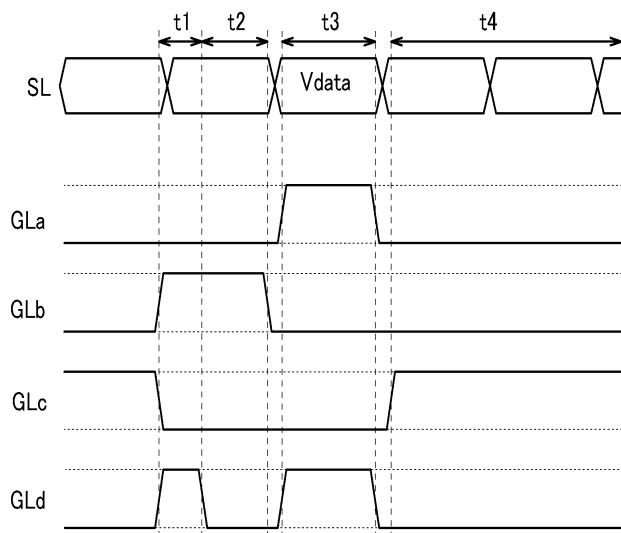


도면5

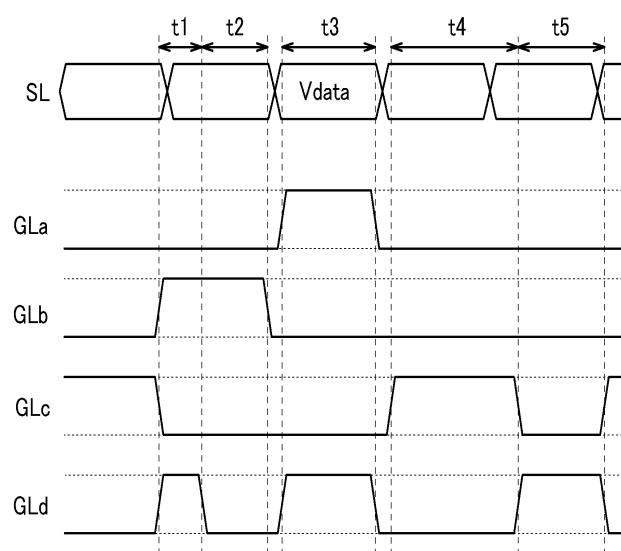


도면6

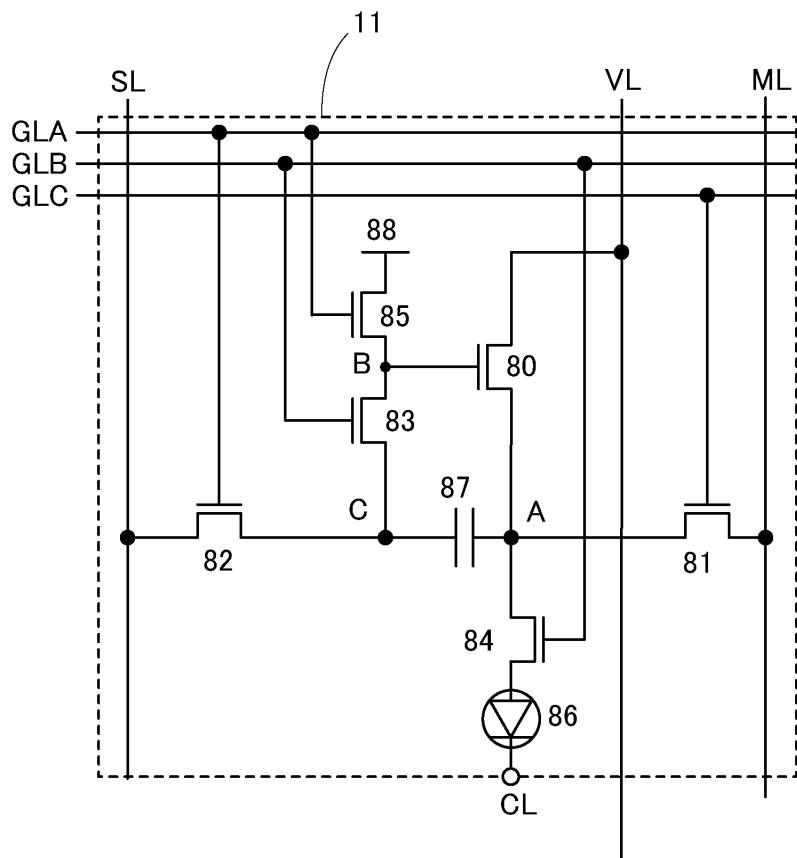
(A)



(B)

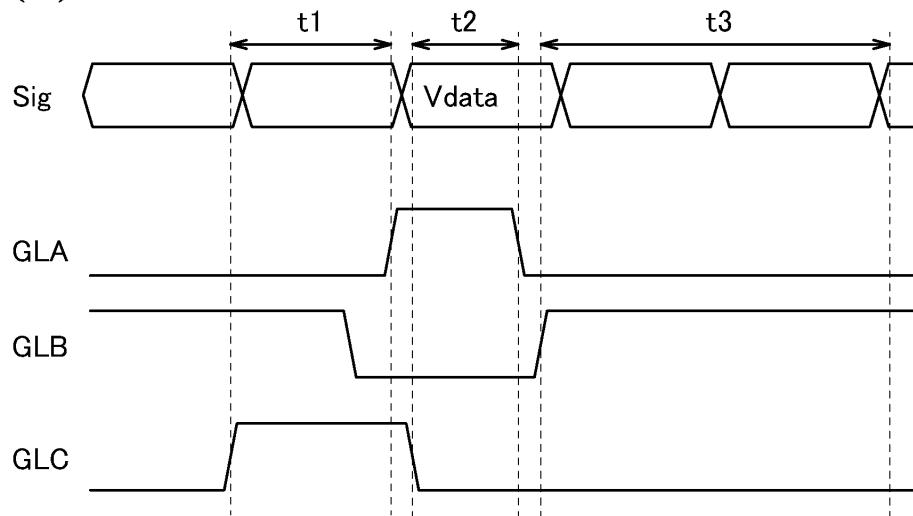


도면7

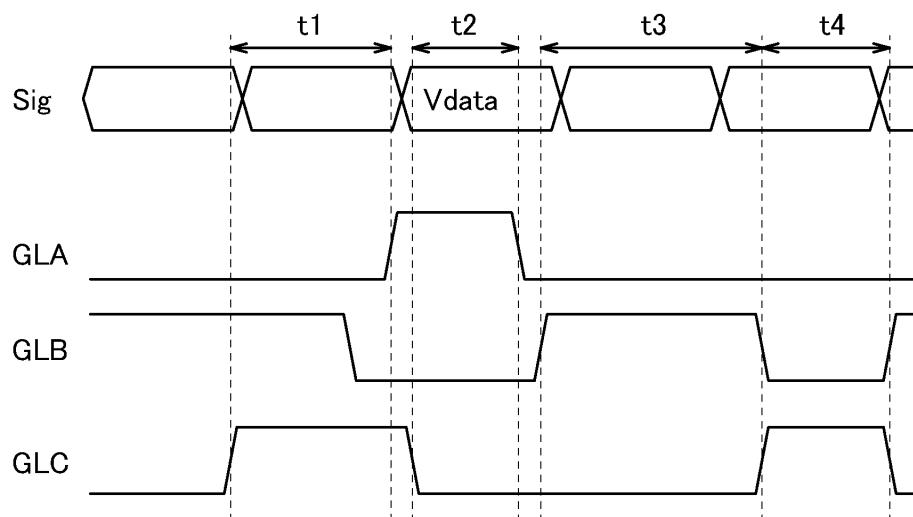


도면8

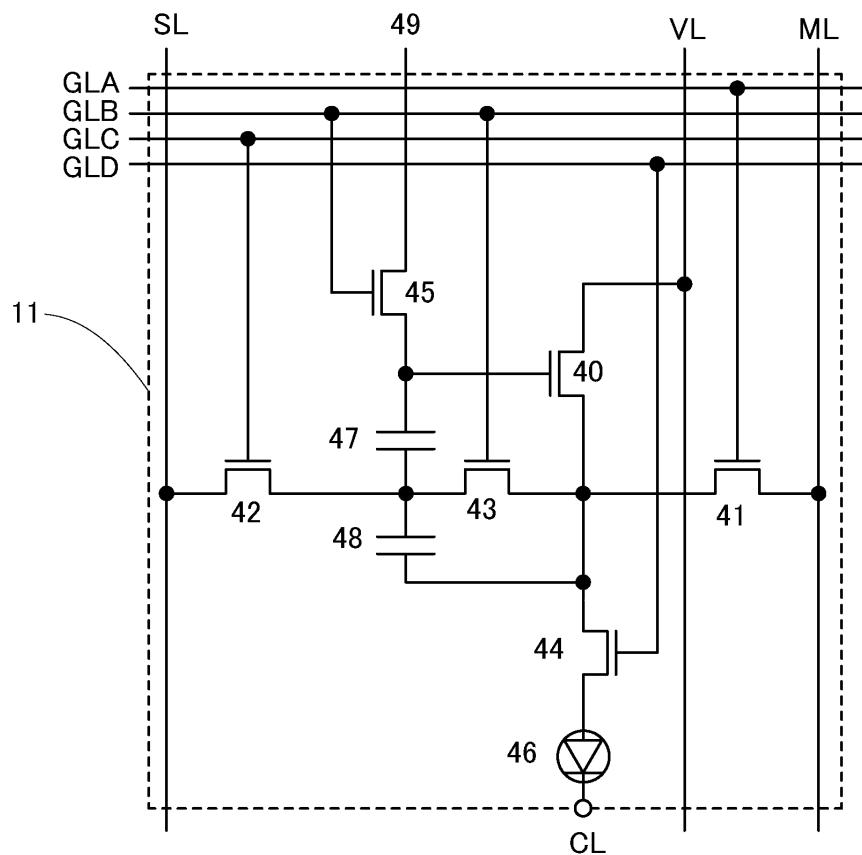
(A)



(B)

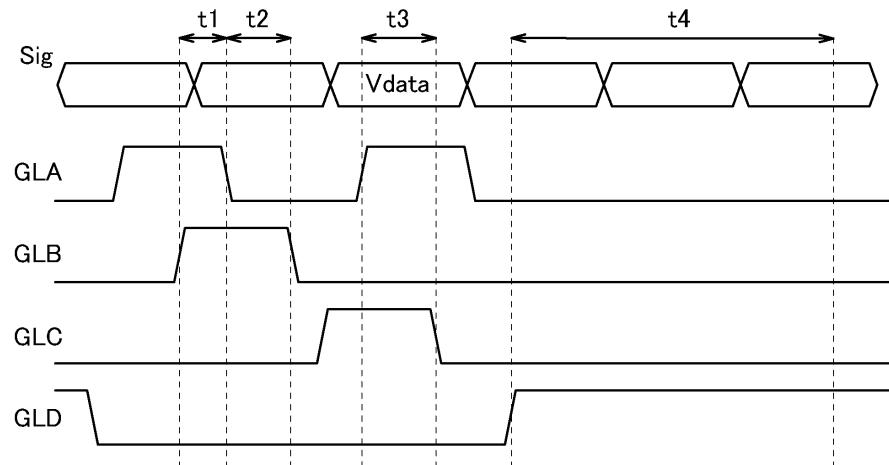


도면9

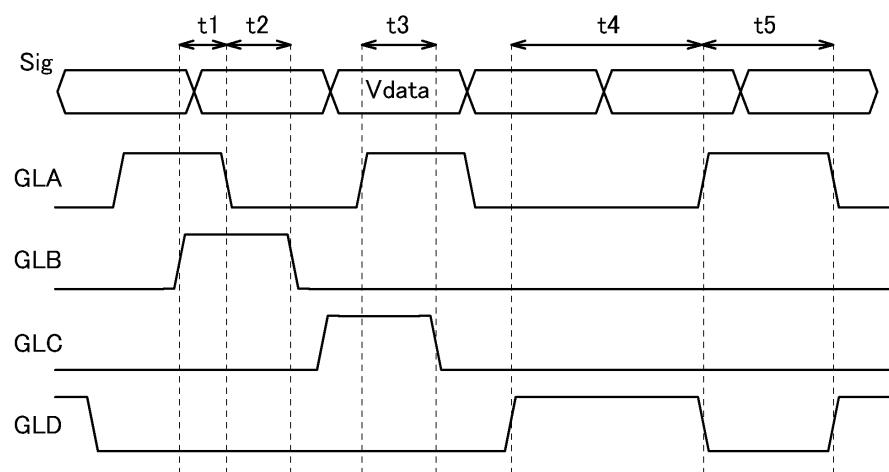


도면10

(A)

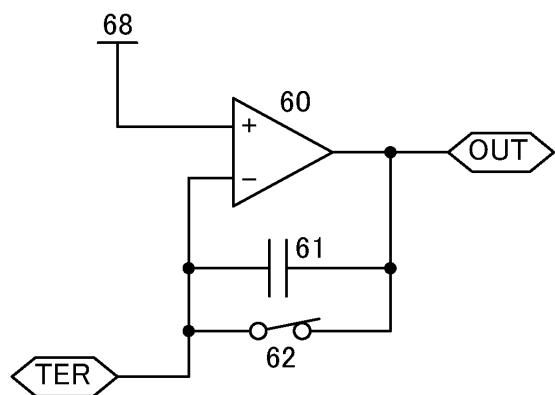


(B)

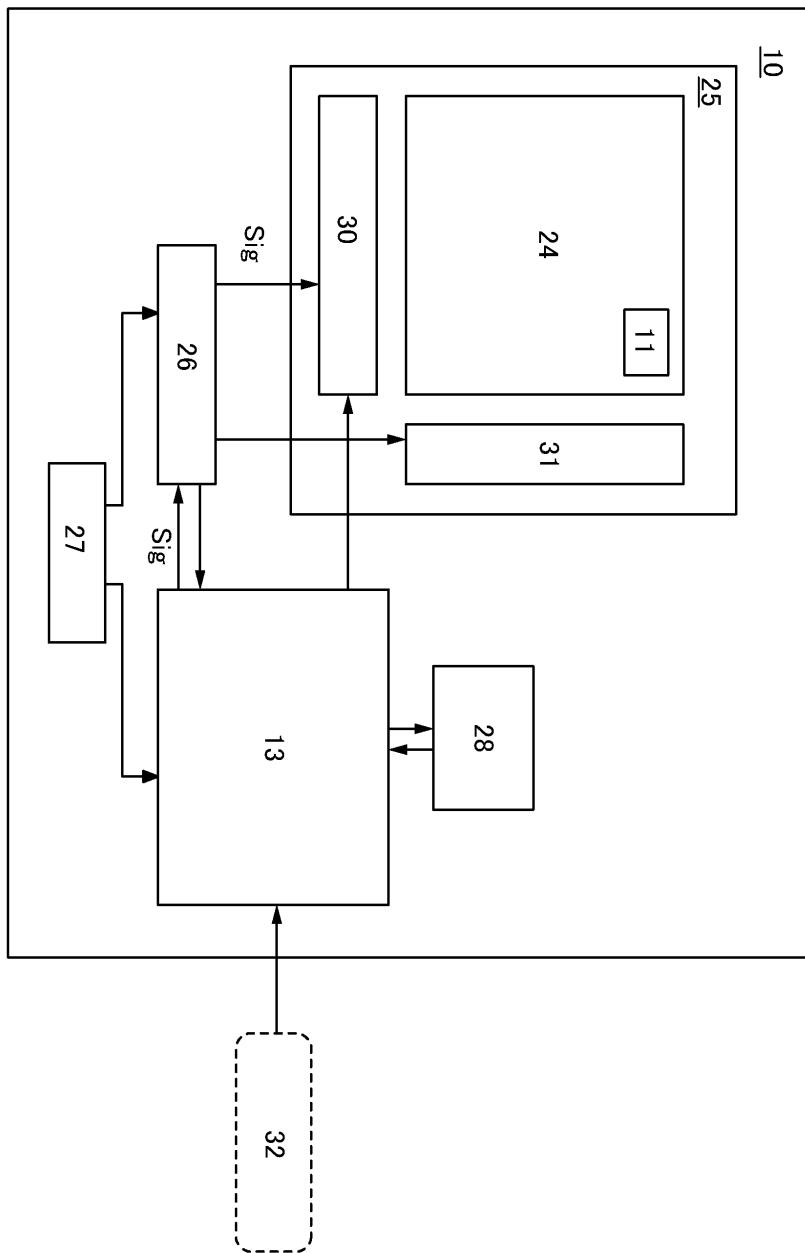


도면11

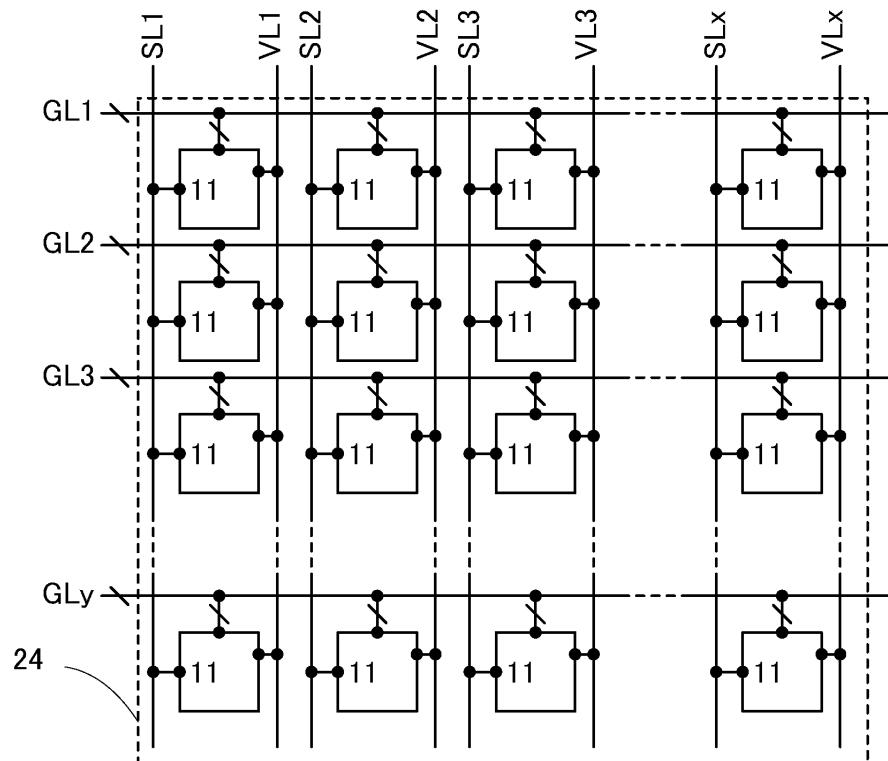
12



도면12

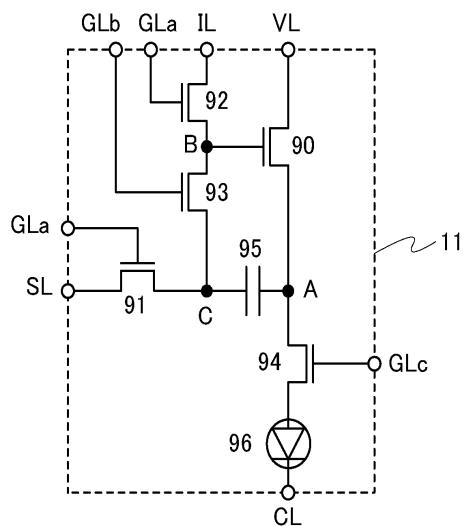


도면13

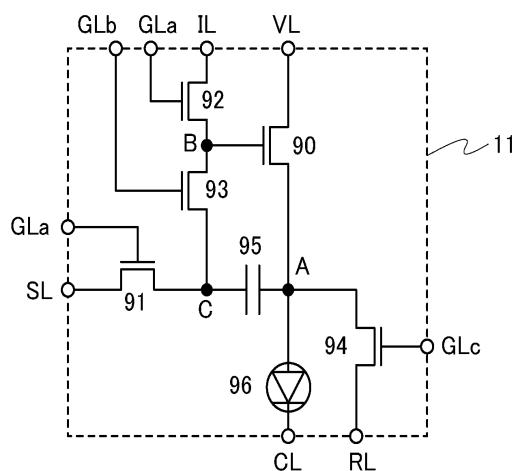


도면14

(A)

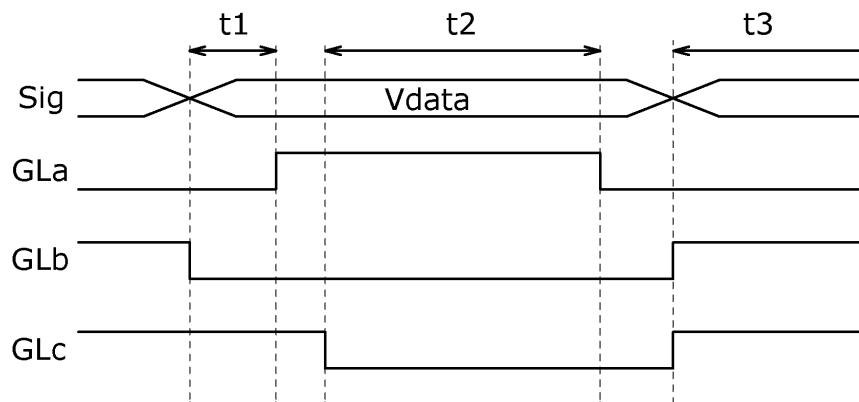


(B)

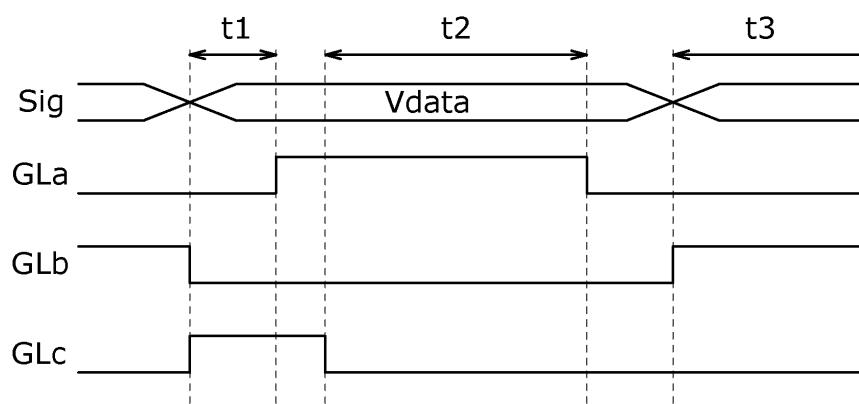


도면15

(A)

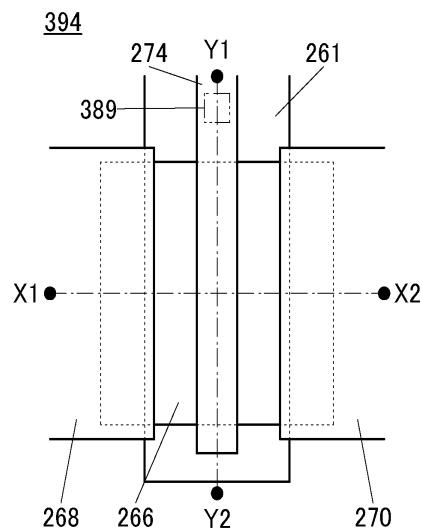


(B)

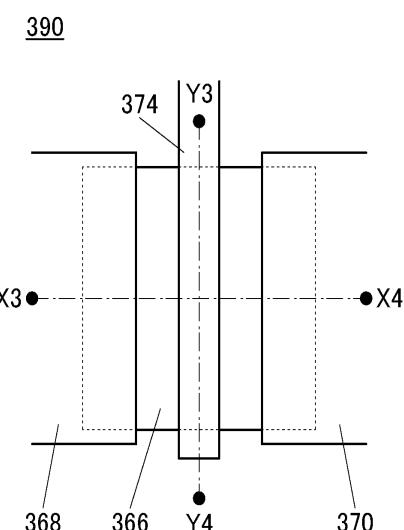


도면16

(A)

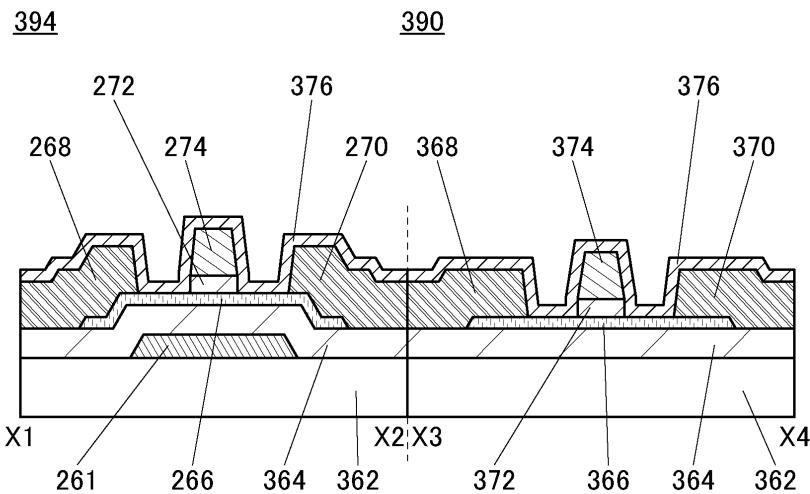


(B)

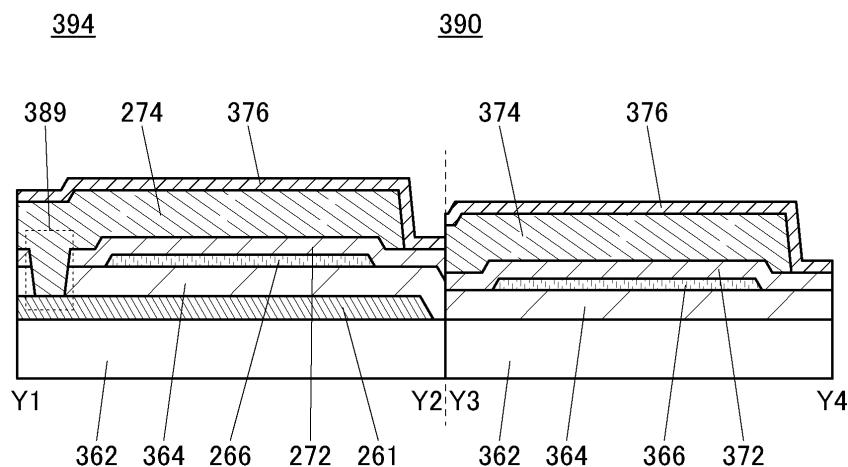


도면17

(A)

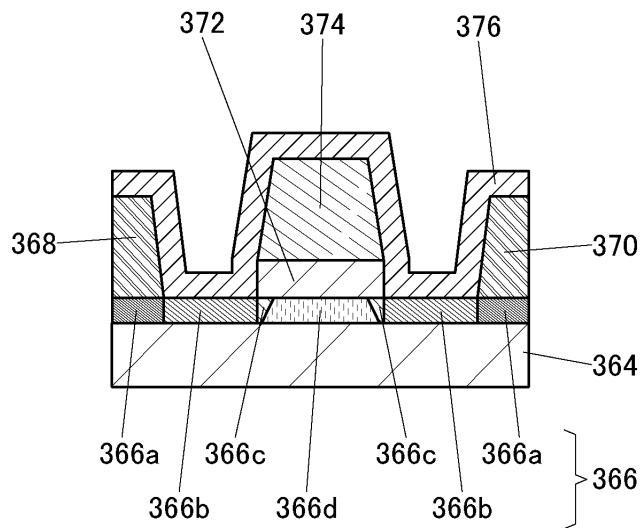


(B)

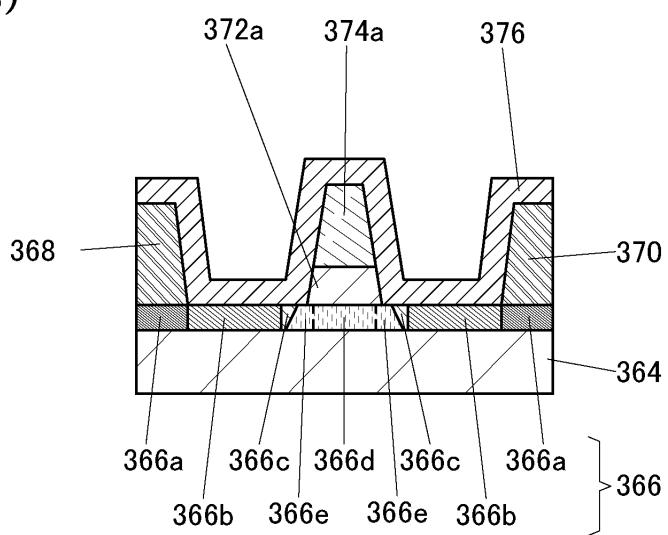


도면18

(A)

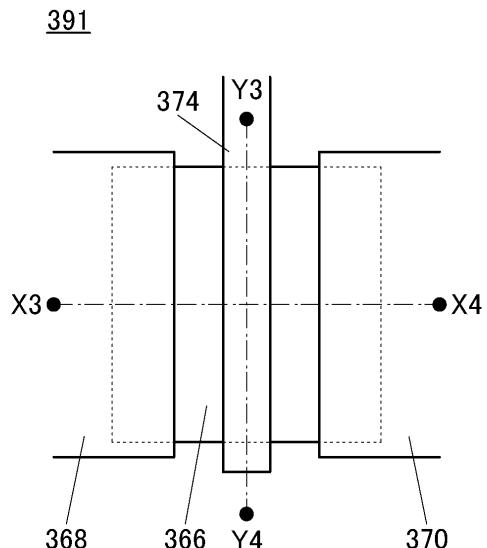


(B)

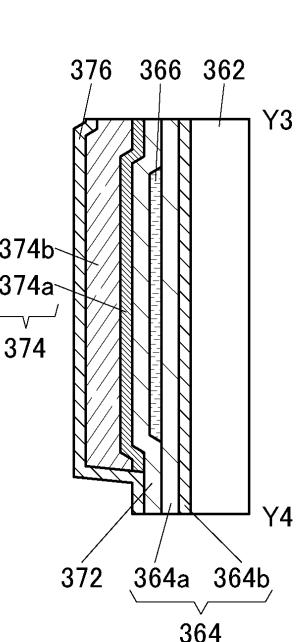


도면19

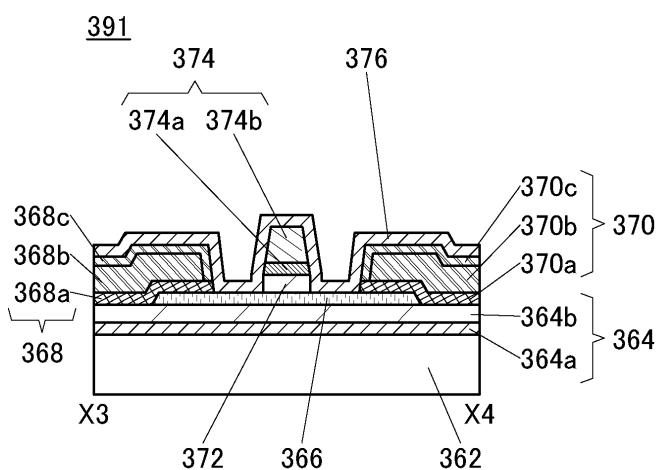
(A)



(B)

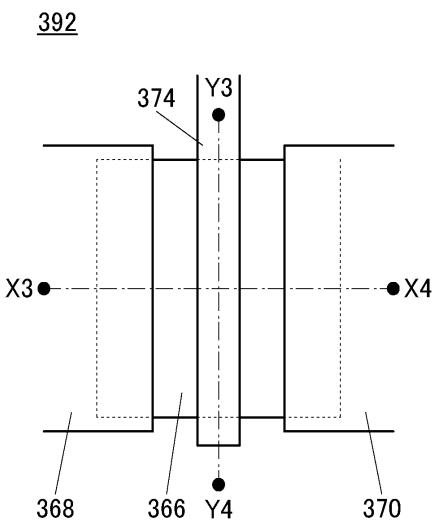


(C)

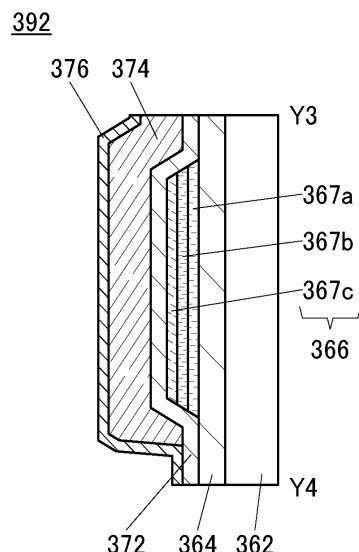


도면20

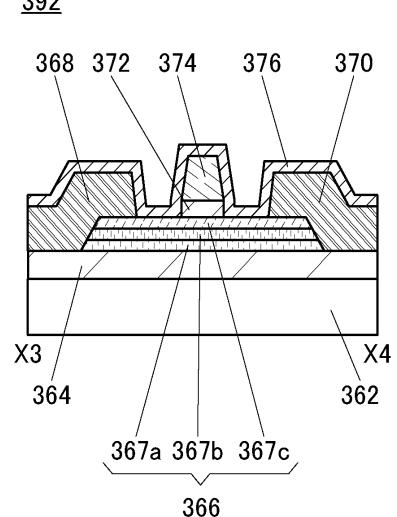
(A)



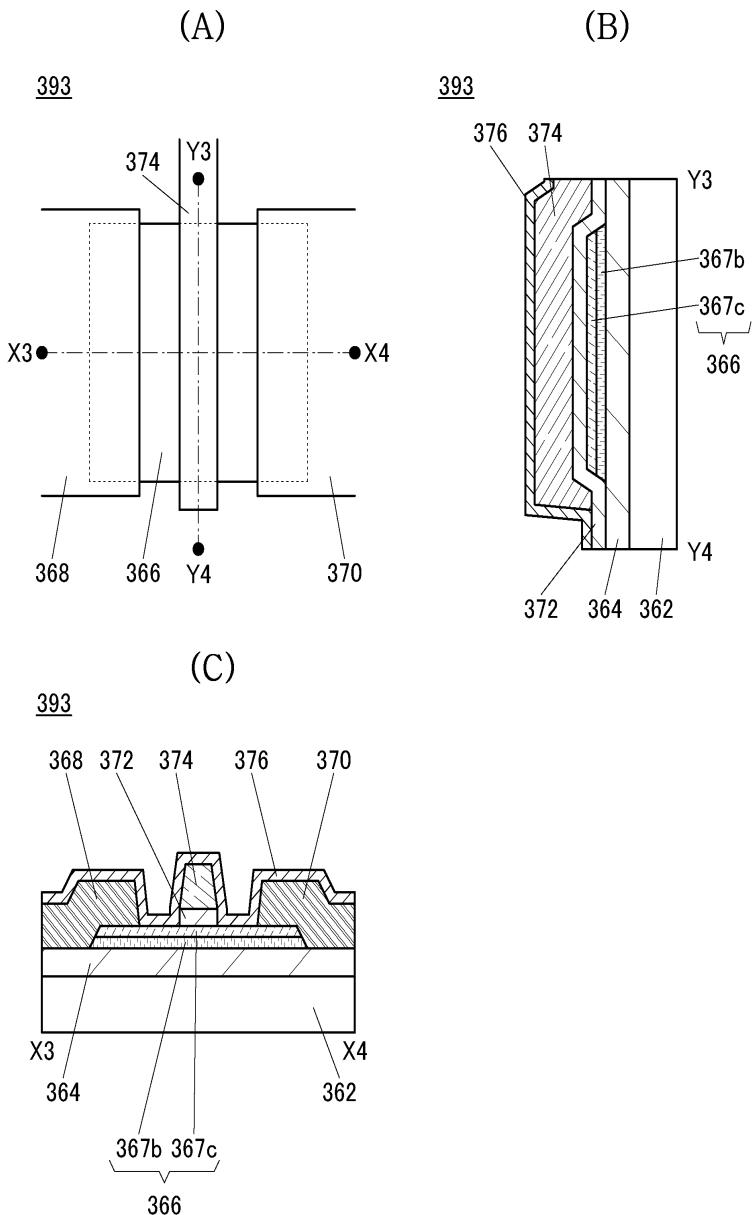
(B)



(C)

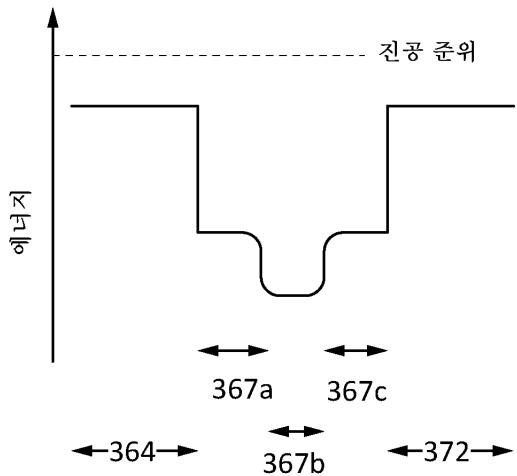


도면21

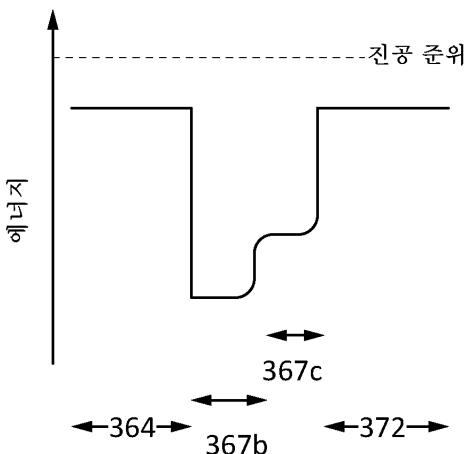


도면22

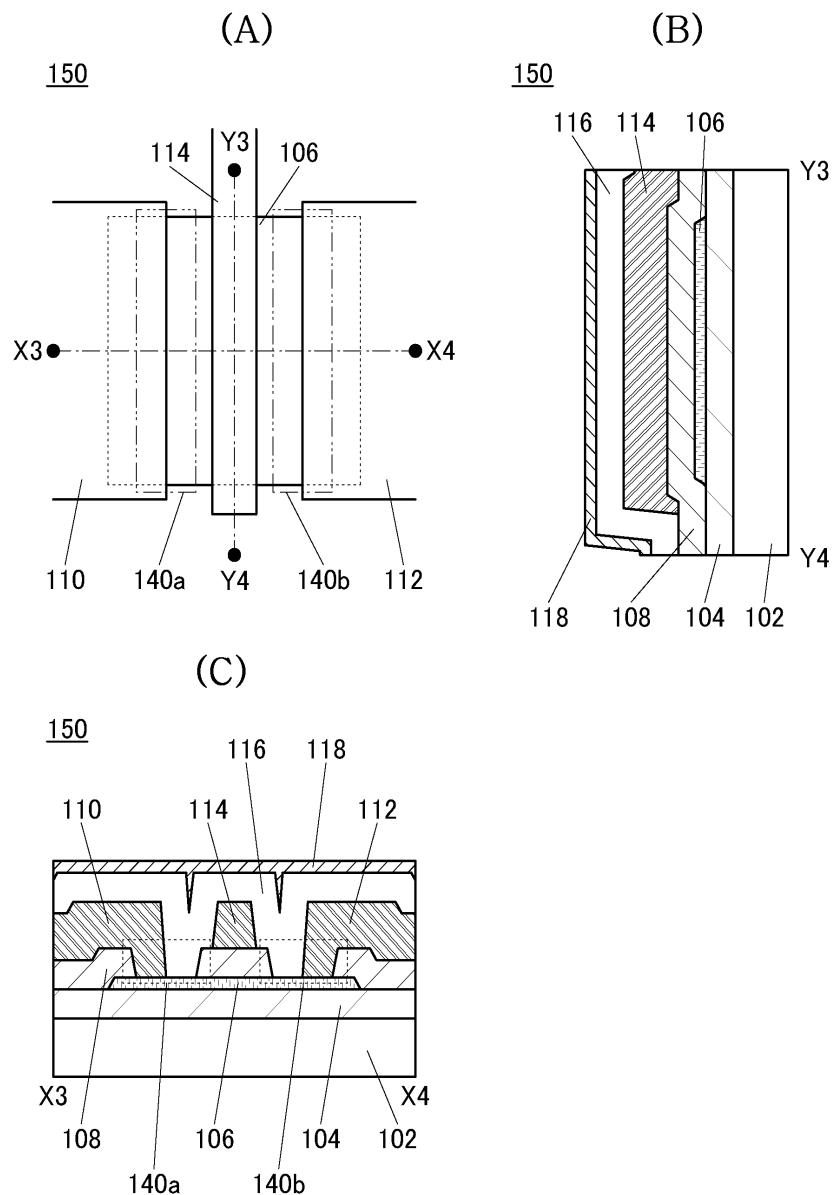
(A)



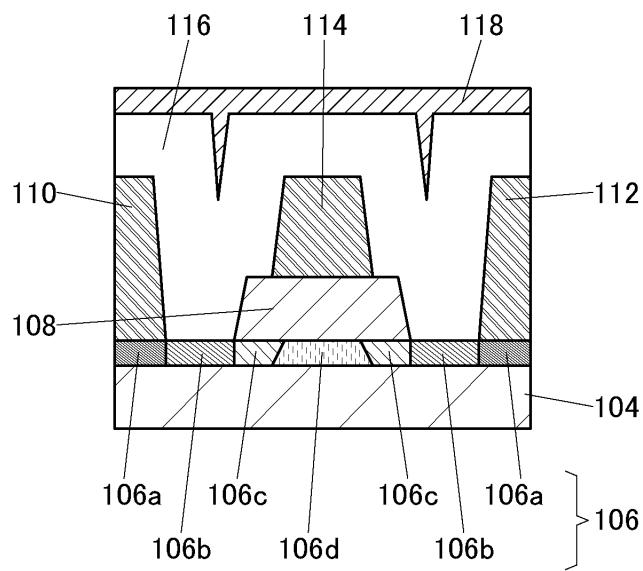
(B)



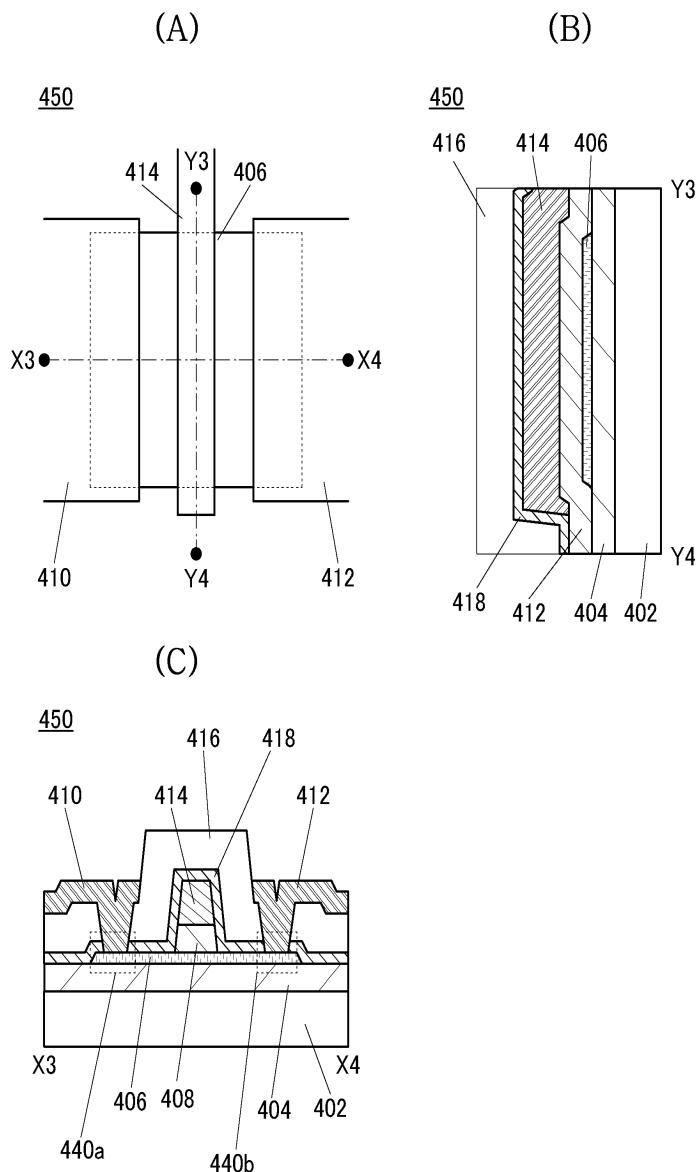
도면23



도면24

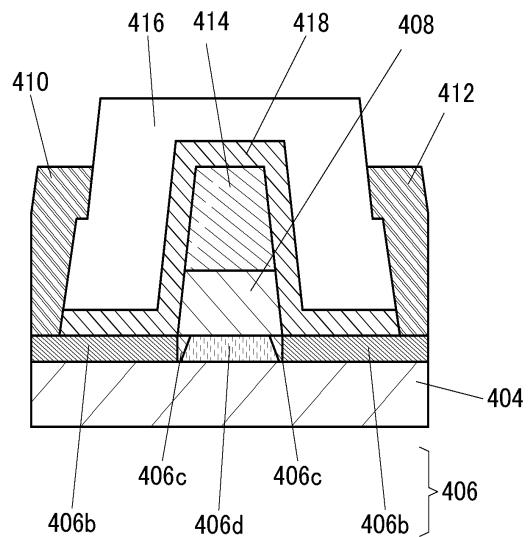


도면25

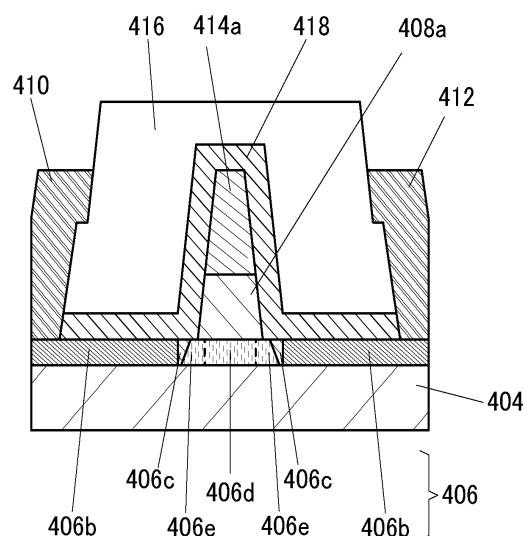


도면26

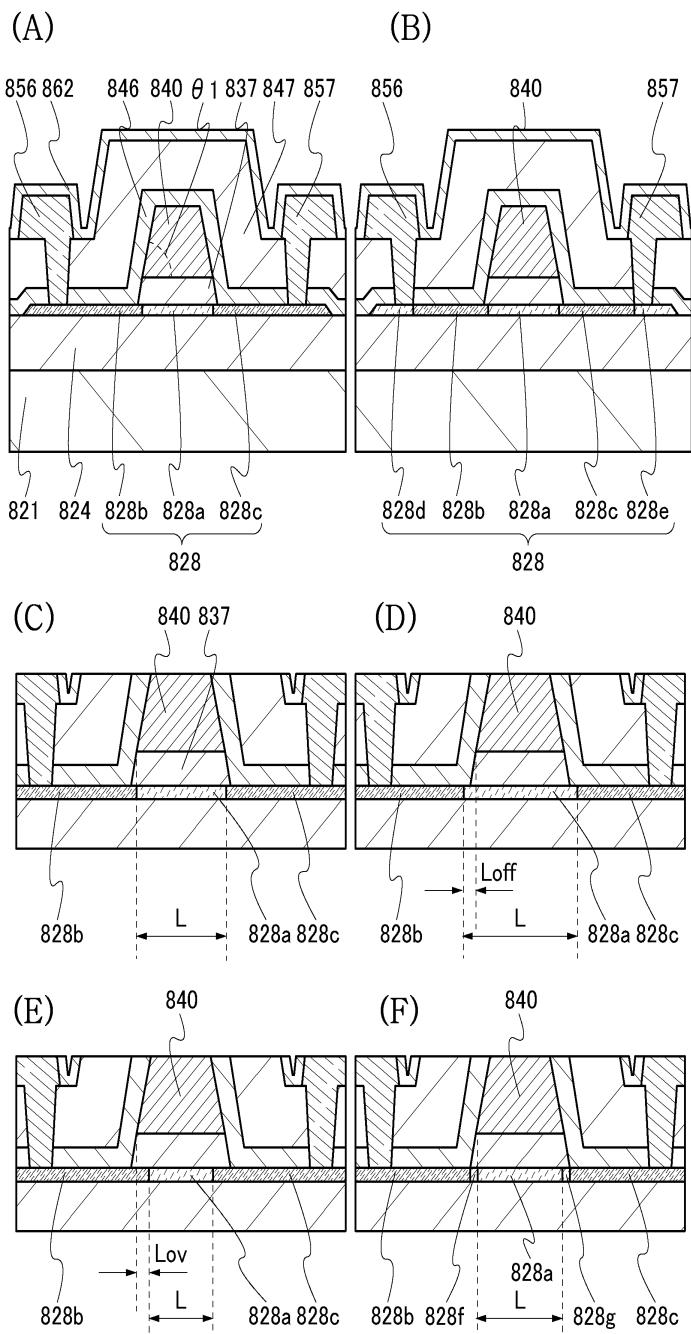
(A)



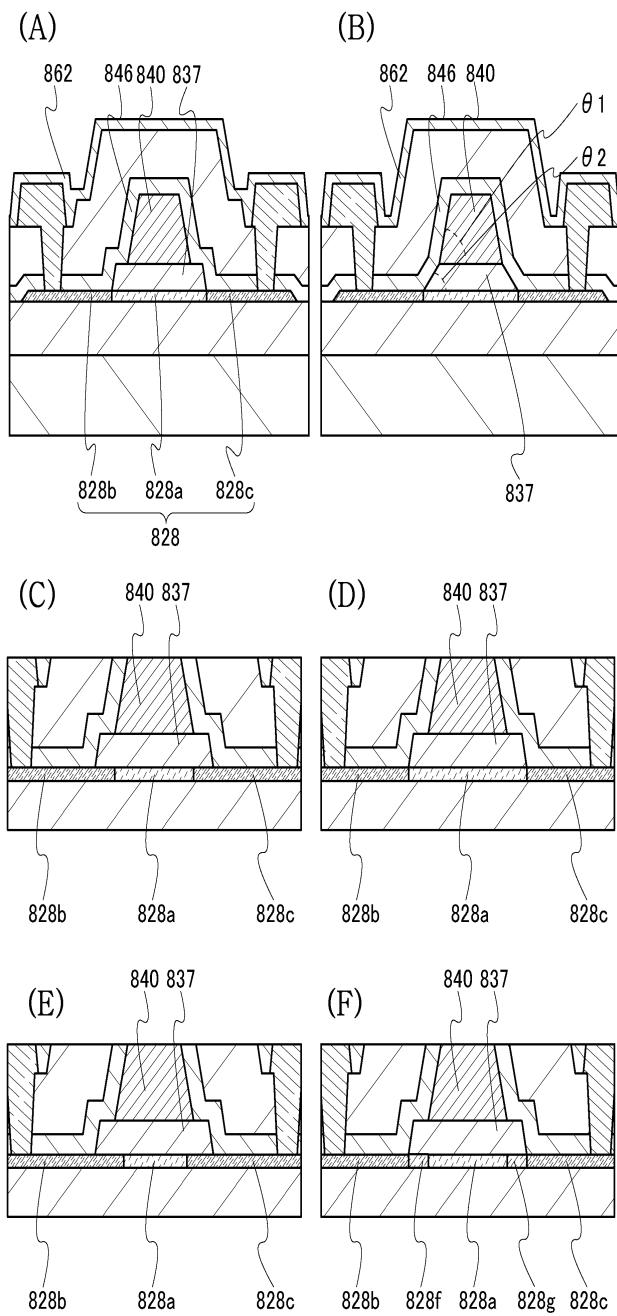
(B)



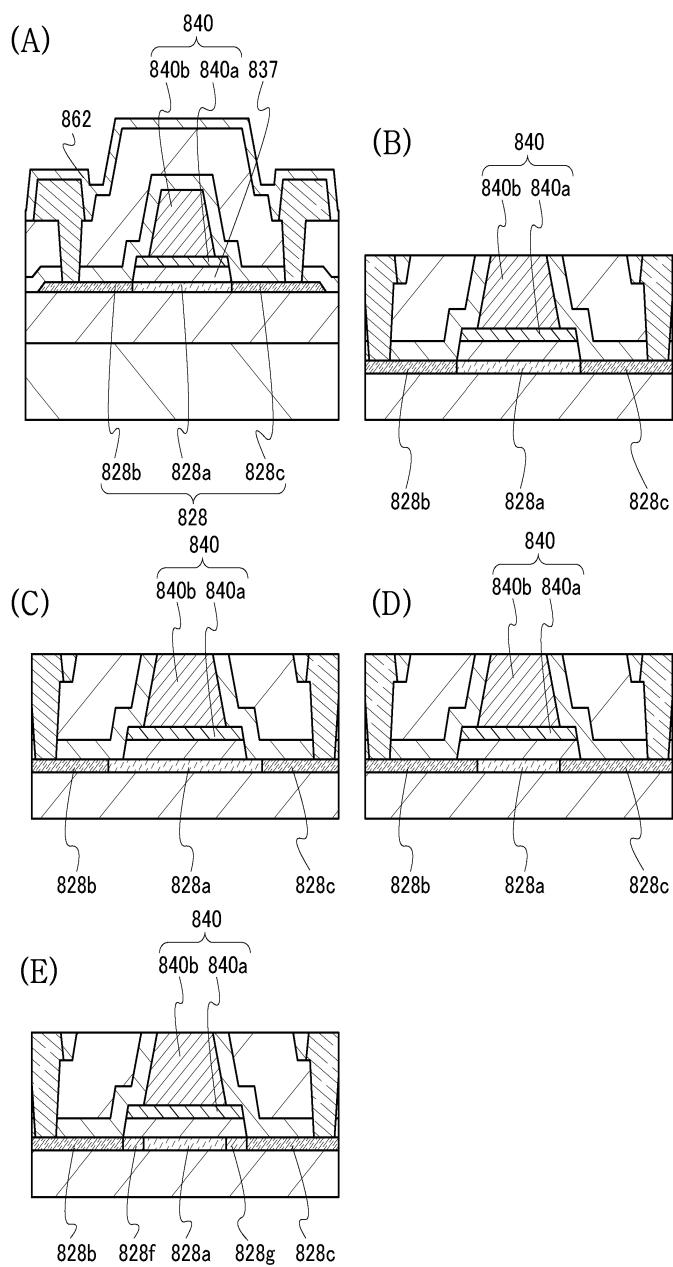
도면27



도면28

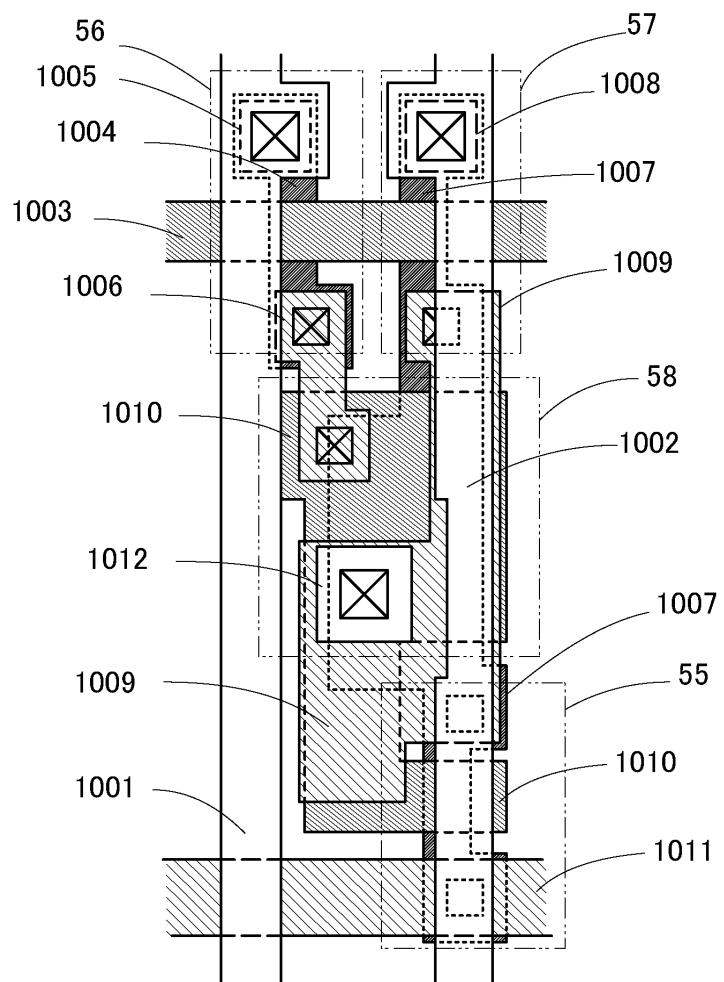


도면29

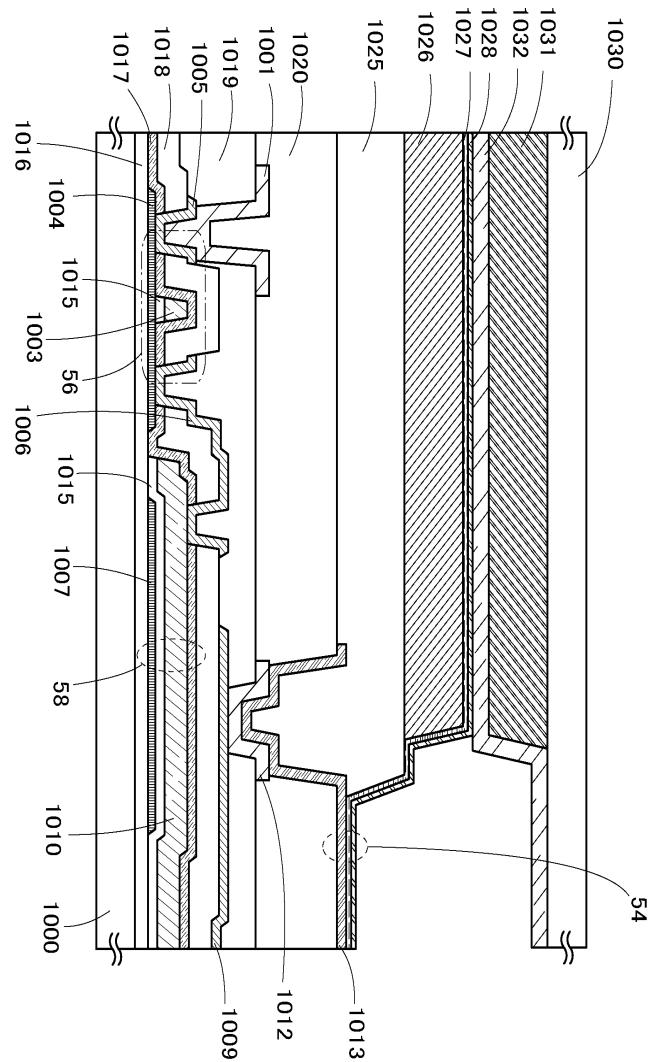


도면30

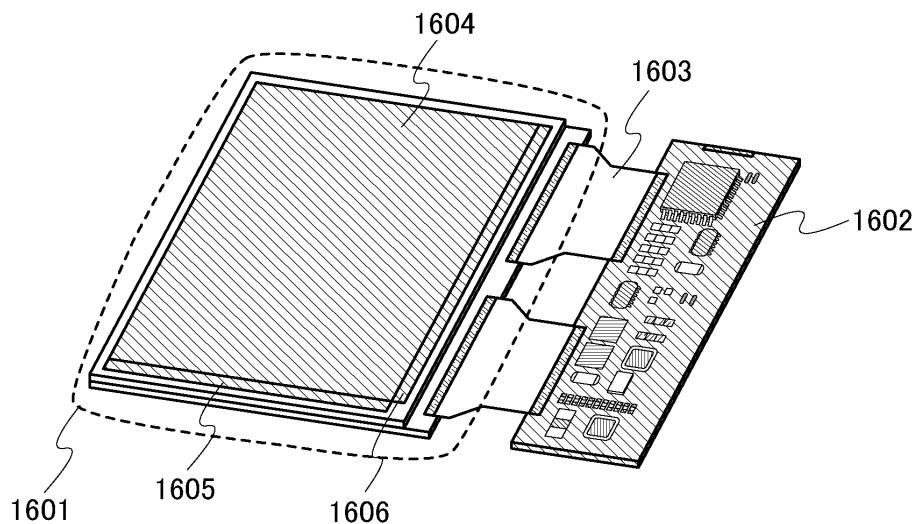
11



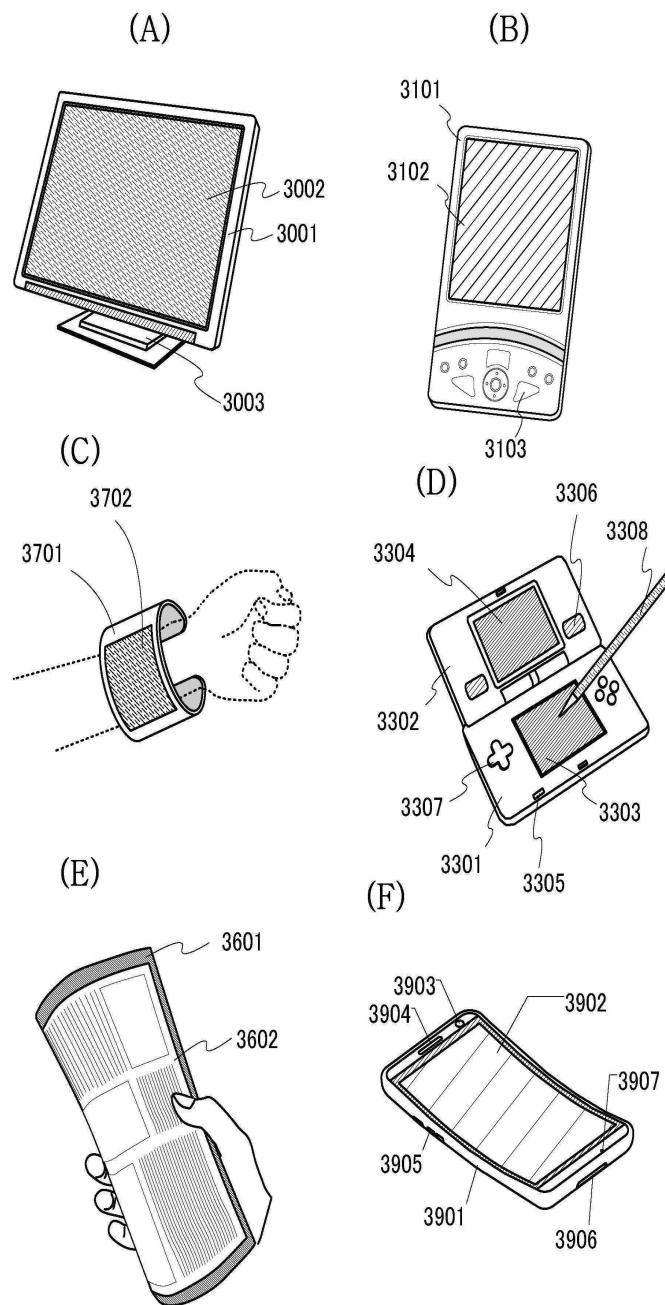
도면31



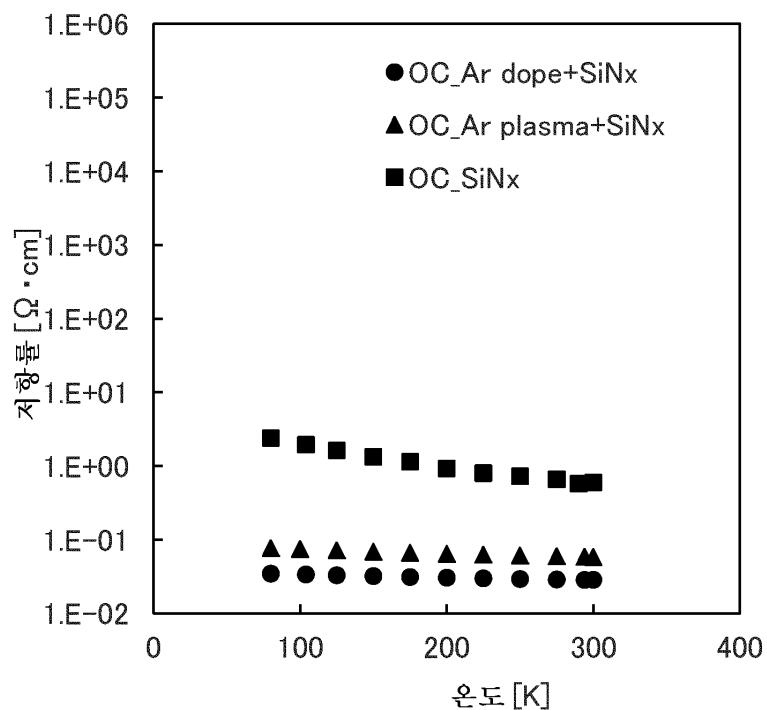
도면32



도면33

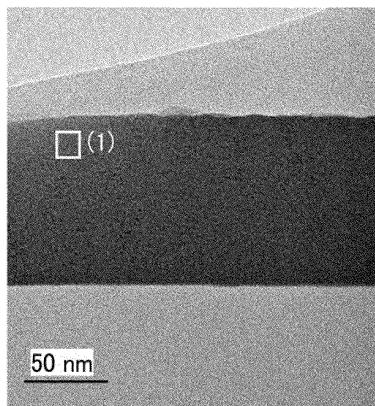


도면34

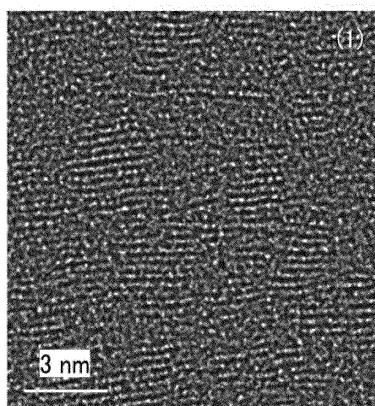


도면35

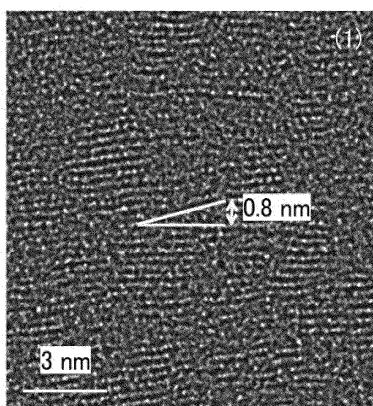
(A)



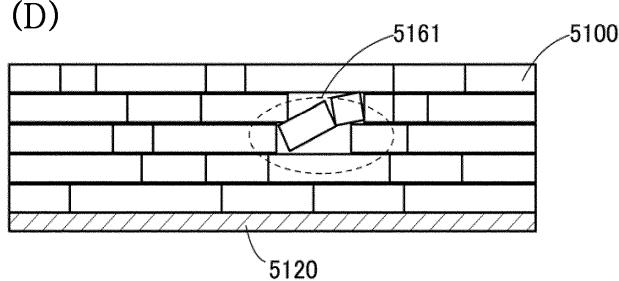
(B)



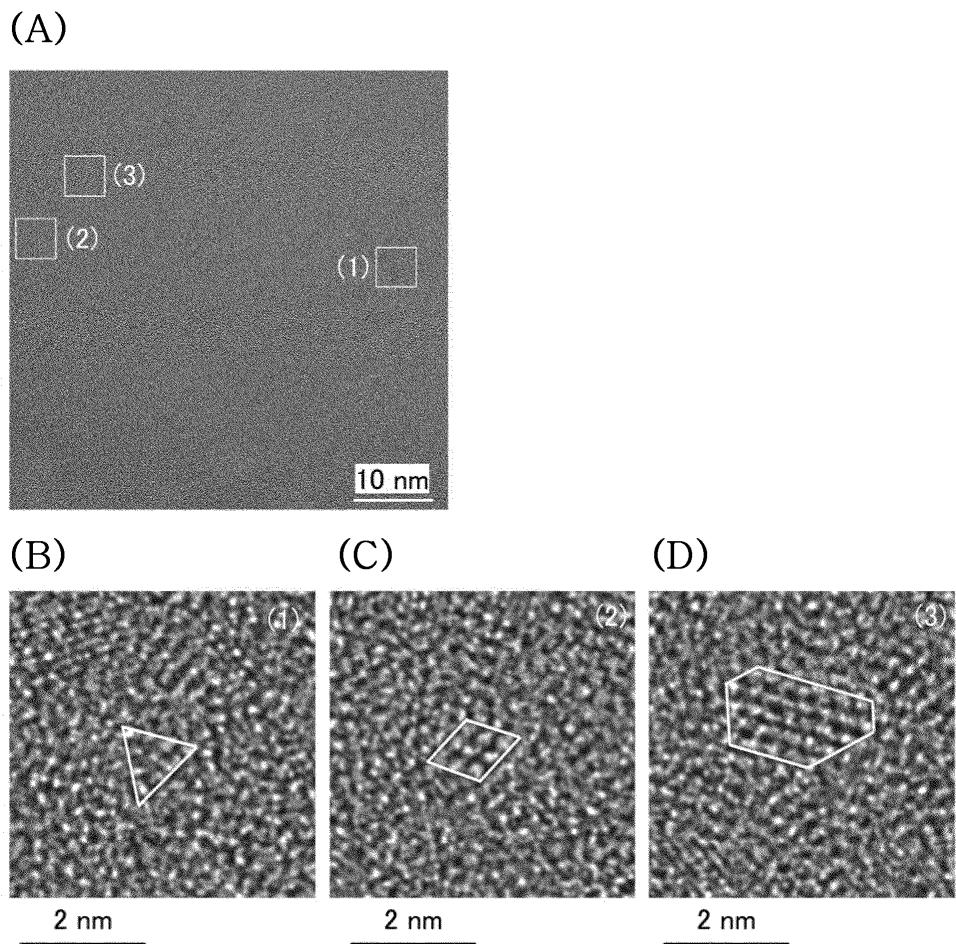
(C)



(D)

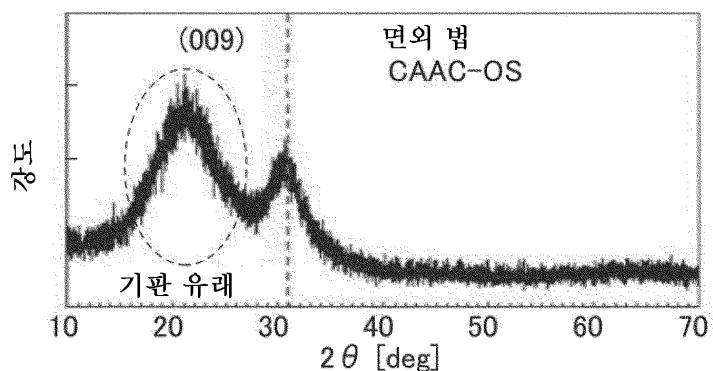


도면36

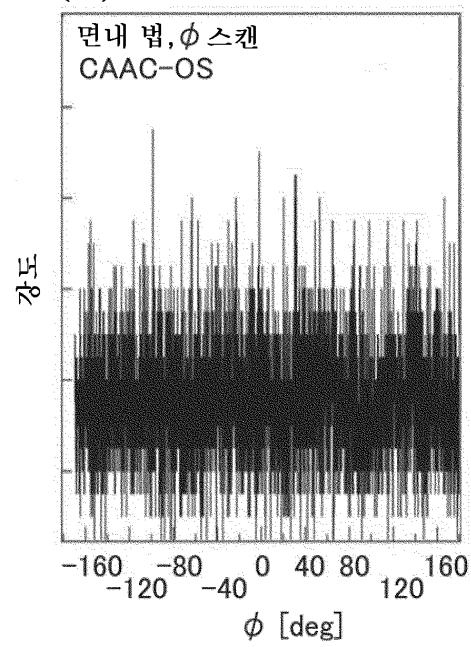


도면37

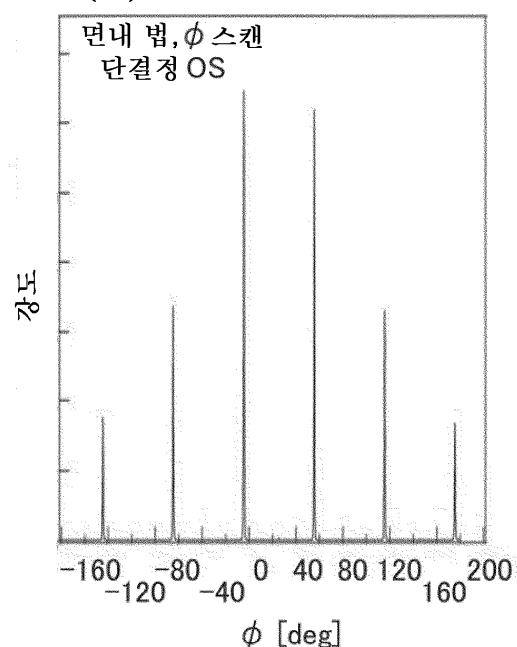
(A)



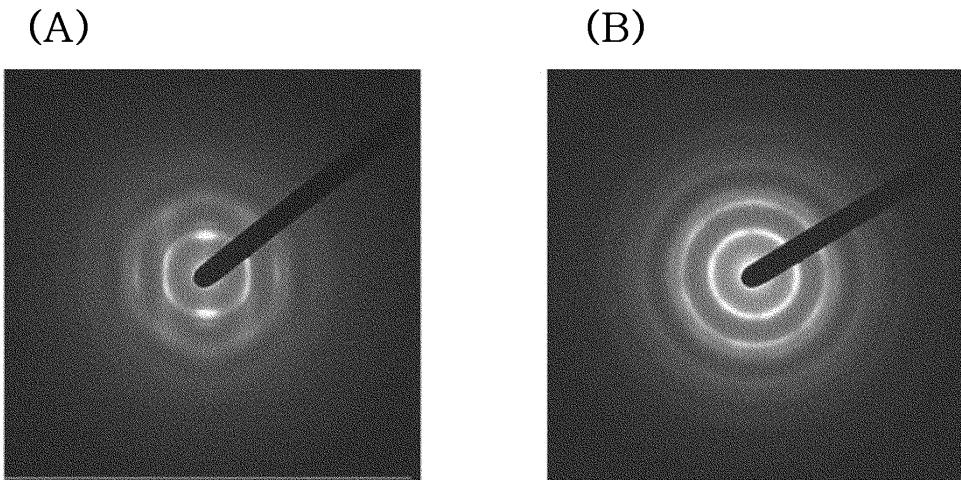
(B)



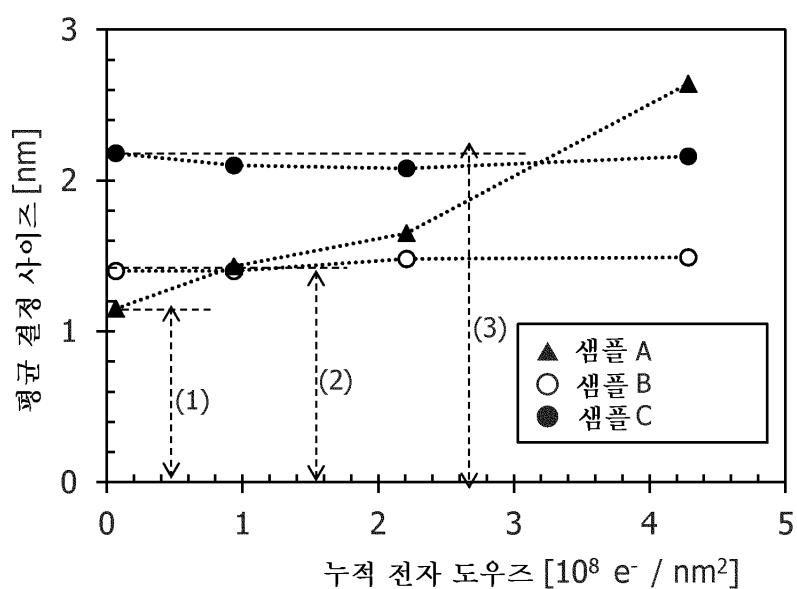
(C)



도면38

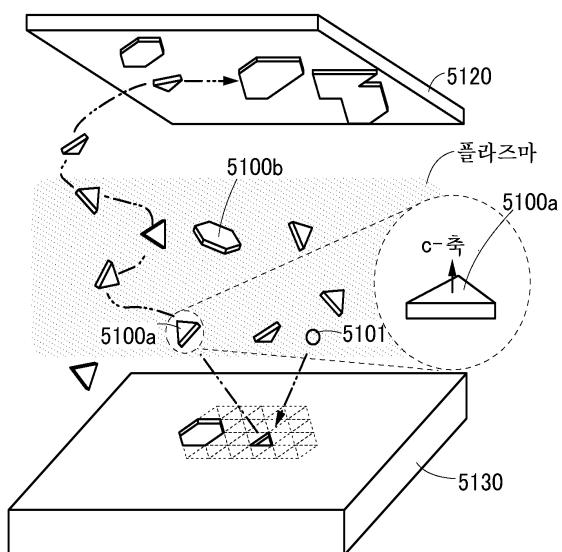


도면39

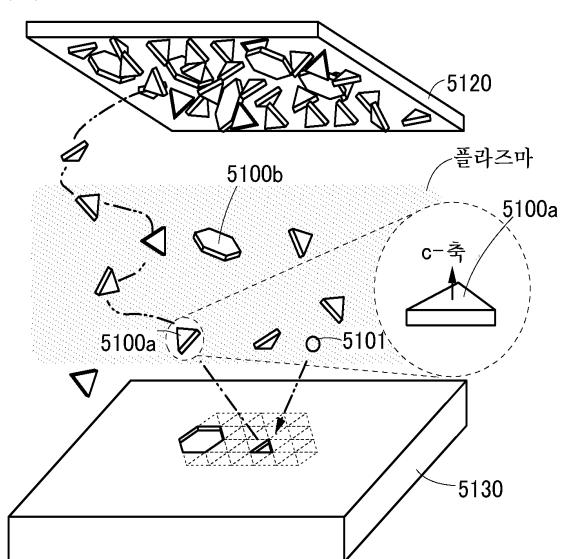


도면40

(A)

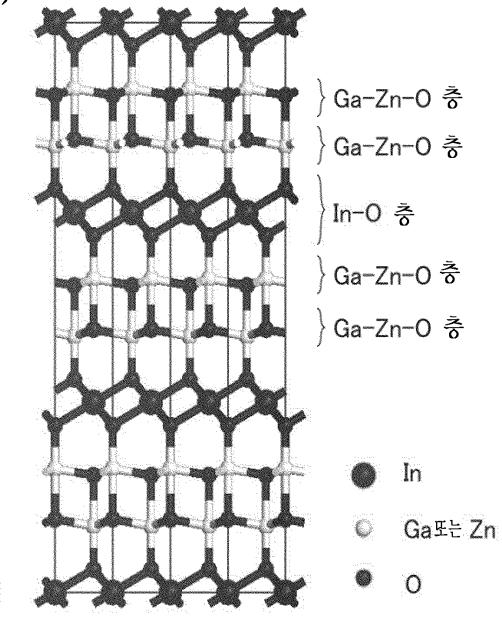


(B)

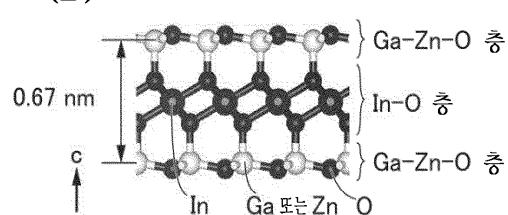


도면41

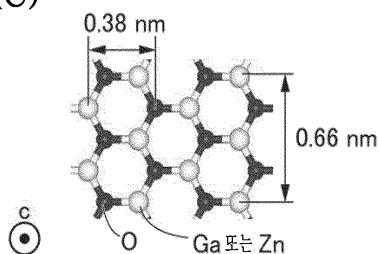
(A)



(B)

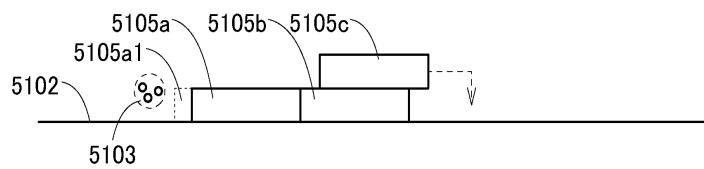


(C)

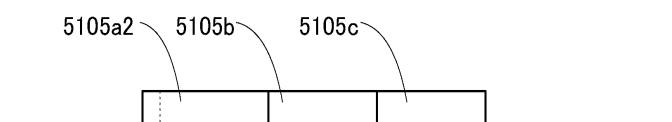


도면42

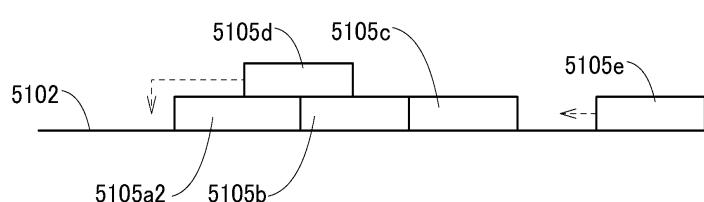
(A)



(B)



(C)



(D)

