

公告本

397982

申請日期	87. 8. 26
案 號	87114029
類 別	G11C ¹⁶ / ₂₄

A4
C4

397982

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	非揮發性半導體記憶裝置
	英 文	NONVOLATILE SEMICONDUCTOR MEMORY DEVICE
二、發明人 創作	姓 名	米山晃
	國 籍	日本國
	住、居所	日本國群馬縣邑樂郡大泉町城之內1-22-14-103
三、申請人	姓 名 (名稱)	三洋電機股份有限公司
	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通2丁目5番5號
	代 表 人 姓 名	近藤定男

經濟部中央標準局員工消費合作社印製

裝
訂
線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

1997年9月18日 特願平9-253594(主張優先權)

1997年9月30日 特願平9-267142(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱封面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[本發明之詳細說明]

[本發明所屬之技術領域]

本發明係關於非揮發性半導體記憶裝置，尤其關於增加可換寫次數，加長保持時間，而不致降低記憶胞電流之非揮發性半導體記憶裝置。

[習用技術]

近來，FARM(Ferro-electric Random Access Memory)！EPROM(Erasable and Programmable Read Only Memory)，EEPROM(Electrical Erasable and Programmable Read only Memory)等非揮發性半導體記憶體廣受注目。EPROM及EEPROM，係在漂浮閘蓋積電荷，以控制閘極檢出有無電荷使臨限值電壓變化，而施行數據記憶動作。又，在EEPROM尚含有將記憶晶體之數據全部消除，或記憶胞陣列任意分成區塊(block)，以各區塊單位施行數據消除之快閃(Flash)EEPROM。

構成快閃EEPROM之記憶胞，大致分為分離閘型(split gate)及堆疊閘型(stacked gate)兩種。

分離閘型快閃EEPROM揭示於世界專利公報W092/18980(GI/C 13/00)。

第3圖表示前述公報(W092/18980)所揭示之分離閘型記憶胞之剖面構造。

在P型單結晶矽基板102上，形成N型源極(Source)S及汲極D(Drain)。在源極S及汲極D所夾通道CH上，介經第1絕緣膜103形成漂浮閘FG。在漂浮閘FG上又介經第2絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

104，形成控制閘CG。控制閘CG之一部份介經第1絕緣膜103配置在通道(channel)CH上，構成選擇閘105。第2絕緣膜104所圍之漂浮閘FG則蓄積電子以記憶數據。

[本發明欲解決之問題]

如果漂浮閘FG蓄積電子之寫換次數增加，則在記憶胞流動之記憶胞電流會減少，而有不能穩定寫入及讀出之問題。此乃因為寫換次數增多，則第2絕緣膜104即劣化，電子不容易由漂浮閘FG脫離，而一旦脫離之電子，又會陷入第2絕緣膜104而退回漂浮閘FG，使浮閘FG之電位降低，而不容易在漂浮閘FG下形成通道。

並且，所記憶之數據亦有保持期間之限制，經過一定期間，則有數據變化喪失可靠性之缺點。此乃因為在消除狀態之FG中，漏入電子成為電子注入之結果狀態的緣故。

[解決問題之手段]

本發明係用以解決上述問題者，將複數個記憶區段之特定記憶區段設定為高可靠領域。在該領域寫入時，為同時對2個以上記憶胞寫入；而讀出時，為將前述同時寫入之記憶胞，同時讀出。而且，高可靠領域之記憶區段的大小還可由外部調整為特徵。

[本發明實施形態]

以下說明本發明非揮發性半導體記憶裝置。本發明之非揮發性半導體記憶裝置係將非揮發性半導體記憶裝置之一部份區段設定為特別區段(高穩定區段)，在該區段寫入時，對2個以上記憶胞同時寫入，而讀出時，則將前述同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(3)

時寫入之記憶胞同時讀出。如此，則讀出時之記憶胞電流，即為普通時的2倍，使可寫換次數增加及保持時間加長。

第6圖為本發明之非揮發性半導體記憶性，以區段單位分割之圖。第6圖中，特別區段之區段數可增減。例如，將第1區段設為特別區段，其他區段做為普通區段。或將第1及第2區段設為特別區段，其他做為普通區段亦可。

習知記憶體，都是在區段之位址解碼器，共同加入A0至A3信號及其反轉信號*A0至*A3。本發明之位址信號A0及其反轉信號*A0可獨立分別輸入，還可分別獨立控制。其他區段則為將A0及其反轉信號*A0共同輸入之構成。

因此，只要使各區段之A0及其反轉信號為相同值，例如「H」，即可選擇設定為特別區段。

第4圖表示各區段位址解碼器之一例。對第4圖之A0，A1，A2，A3之4位元分別施加位址解碼器。將該位址數據以16個及閘(AND GATE)400~415解碼。一般解碼器對單位址，使一及閘成為「H」位準。

但是，第4圖中，為了要對1個位址，使2個及閘為「H」，故將A0及*A0(其中，*表示反轉之意)接至一起為「H」。如此，例如，當及閘400及401同時為「H」時，可同時選擇2條字元線。

現在，假設將第6圖中第1區段用之A0位元忽略。換句話說，使第1區段用之A0及*A0，不管輸入位址為何，常時保持為「H」。而第2至第4區段用之A0及*A0則輸入正常之輸入位址信號。如此，則只有第1區段成為特別區段。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

其次，再同理將第2區段用之A0及*A0位元忽視。則可使第2區段成為特別區段。

如此，只要將各區段用之A0及*A0位元忽略，即可使其對應之區段成為特別區段。從而，使高可靠領域記憶區段之大小(量)，可由外部調整。

第7圖表示分離閘型記憶胞101快閃EEPROM 121之全體接構。

記憶胞陣列122係以複數個記憶胞101以陣列狀配置構成。橫行(row)方向所配列各記憶胞101之控制閘CG，連接至共同字元(word)線WLa~WLz。直列(column)所配列各記憶胞101之各記憶胞101之汲極D(drain)，連接至共同位元(bit)線BLa~BLz。全部記憶胞101之源極S(source)則接至共同源極線SL。

各字元(word)線WLa~WLz連接至行解碼器123。各位元(bit)線BLa~BLz連接至列解碼器124。

由外部加入之行位址(row address)及列位址(column address)，輸入至位址接點(address pin)125。該行位址及列位址由位址接點125經位址緩衝器126傳送至位址門鎖器(address latch)127。位址門鎖器127所門鎖之各位址中，行位址傳送至行位址解碼器123，而列位址傳送至列位址解碼器124。

記憶胞陣列122分為特別區段陣列(例如，字元線WLa~WLn)及普通區段陣列(例如，字元線WLy~WLz)。當收到指定特別區段陣列之位址時，行解碼器123選擇，對應位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

於位址門鎖器127所門鎖行位址之兩條字元線 $WLa \sim WLn$ (例如, Wm 及 WLn), 使該選擇字元線 $Wm \sim WLn$ 與閘極電壓控制電路134連接。

而列解碼器124選擇, 對應於位址門鎖器127所門鎖行位址之兩條位元線 $BLa \sim BLz$ (例如, Bm), 使該選擇位元線 $Bm \sim BLn$ 與汲極電壓控制電路133連接。

閘極電壓控制電路134將接經行解碼器123輸入之字元線 Wm 及 WLn 之電位, 對應於第2圖所示各動作予以控制。汲極電壓控制電路133將接經列解碼器124輸入之位元線 Bm 之電位, 對應於第2圖所示各動作予以控制。

共同源極線 SL 連接至源極電壓控制電路132。源極電壓控制電路132將共同源極線 SL 之電位, 對應於第2圖所示各動作予以控制。

由外部指定之數據輸入於數據柱128。該數據由數據柱128輸入, 經緩衝器129傳送至列解碼器124。列解碼器124將前述選擇位元線 $BLa \sim BLz$ 之電位, 對應於該數據如後面所述控制。

由任意記憶胞101讀出之數據, 由位元線 $BLa \sim BLz$ 經列解碼器124傳送至感應放大器(sense amplifier)群130。感應放大器群130由數個感應放大器(圖示省略)構成。列解碼器124連接至所選位元線 Bm 及各感應放大器。如後面即將敘述, 由感應放大器群130辨別之數據, 由輸出緩衝器131經數據接點輸出至外部。

此外, 上述各電路(123~134)之動作, 係由控制中心

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

(core) 電路 140 控制。

本發明在字元線 $WLa \sim WLz$ 中，同時選擇對應於源極為共同連接之記憶胞的 2 條字元線（例如， $WLm \sim WLn$ ）。如此，即可將相同數據同時寫入 2 個記憶胞。於是，同時讀取該 2 個記憶胞，即可得 2 位之胞電流。

特別區段用記憶胞用以寫入相同數據，假定選擇記憶胞 300 及記憶胞 301。

記憶胞 300 及記憶胞 301 間為具有共同源極及位元線的區段 (pages, sectors) 單位之關係。同時選擇記憶胞 300 及記憶胞 301 字元線 WLm 及 WLn 之方法，如第 6 圖所述。

第 1 圖為第 7 圖位址緩衝器 126，位址閘鎖電路 127，行解碼器 123 之具體例。

第 1 圖為將 A0 之位元忽略，同時選擇 A0 所指定 2 條字元線之構成。輸入位址中，A0 位元信號加於位址輸入點 301。前述輸入位址中之 A1, A2 位元信號接至位址輸入點 302, 303。

A0 位元信號接經具有位址緩衝器功能之晶片致能 (chip enable) 用之及閘 304，以位址閘鎖之閘鎖電路 305 (由正反器所構成) 予以閘鎖。輸入端 306 接晶方致能信號，而輸入端 307 則接時脈 (clock) 信號。

閘鎖電路 305 產生反轉信號 $*A0$ 及非反轉信號 $A0$ 加至第 1 至第 4 選擇電路 308 ~ 311。 $*A0$ 及 $A0$ 共同加至不可選為特別區段之區段的位址解碼器。

第 1 至第 4 選擇電路 308 ~ 311，反應於 SSE (特別區段致

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

能) 電路 312, 選擇使反轉信號 *A0 及非反轉信號 A0 直接通過, 或使該 2 信號強制成為「H」位準。

舉例言之, SSE 電路 312 之「L, H, H, H」控制信號, 分別加至第 1 至第 4 選擇電路 308~311。第 1 選擇電路 308 產生「H、H」位準, 而第 2 至第 4 選擇電路 309~311 則使輸入之反轉信號 *A0 及非反轉信號 A0 直接通過。如此, 第 1 區段 313 之解碼器加入「H」準位之反轉信號 *A0 及非反轉信號 A0, 而第 2 至第 4 區段 314~316 則由第 2 至第 4 選擇電路 309~311 輸入 A0 及 *A0。

此時, 輸入位址接點 302 輸入之 A1 位元信號, 經過或閘 317 及門鎖電路 318, 加至第 1 至第 4 區段 313~316, 以及全部區段之解碼器。

位址輸入點 303 之 A2 位元信號亦同理。

其結果, 只有忽視 A0 位元信號之第 1 區段 313 接受信號, 第 1 區段 313 於是同時選擇 2 條字元線。

欲增加特別區段之領域, 例如, 將加於第 1 區段 313 之 A0 位元忽略信號, 亦加至第 2 區段 314 即可。換言之, 即將 SSE 電路 312 輸出之「L, L, H, H」控制信號加至第 1 至第 4 選擇電路 308~311。

如第 1 圖方塊圖所示, 則使用者由記憶體外部切換 SSE 電路 312 之控制信號, 即可選擇使用特別區段。

另外, 在第 1 圖不揮發性記憶體中, 選擇為特別區段之位址輸入 A0 為可忽略, 故外部輸入之位址數據加 A1~An 信號, 而普通區段之進出 (accessing) 則加 A0~An 信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

第8圖表示第1至第4選擇電路308~311之具體電路體。接點輸入端319, 320分別由閃鎖電路305輸入反轉信號 $*A_0$ 及非反轉信號 A_0 。接點321輸入SSE電路312之控制信號。接點321如果加「L」, 則反及閘(NAND GATE)322, 323之輸出端324, 325即強制成為「H」。而如將「H」加至接點321, 則在輸出端324及325直接出現反轉信號 $*A_0$ 及非反轉信號 A_0 。

其次, 參照第2圖及7圖說明快閃EPPROM 121之動作模式(消除模式, 寫入模式, 讀出模式)。

(a) 消除模式

在消除模式時, 共同源極線SL及全部位元線 $BL_a \sim BL_z$ 之電位均保持為接地位準($=0v$)。對選擇字元線 WL_m 供給 $14 \sim 15v$, 其他字元線(選擇之字元線) $WL_a \sim WL_1$, 及 $WL_n \sim WL_z$ 之電信為接地位準。所以, 連接在選擇字元線 WL_m 之各記憶胞101的控制閘CG, 即可提升至 $14 \sim 15v$ 。

但是, 如果將源極S及基板102與漂浮閘FG間之靜電容量, 與控制閘CG與漂浮閘FG間之靜電容量相比, 前者為絕對性的大。所以, 當控制閘CG為 $14 \sim 15v$, 源極S為 $0v$ 時, 控制閘CG與漂浮閘FG間即產生高電場。結果, 產生所以, 當控制閘CG為 $14 \sim 15v$, 源極S為 $0v$ 時, 控制閘CG與漂浮閘FG間即產生高電場。結果, 產生FN通道電流(Fowler-Nordheim tunnel current以下簡稱FN通道電流), 將漂浮閘FG中之電子吸引至控制閘CG側, 使記憶在記憶胞101之數據消除。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

此種消除動作，可對連接於選擇字元線 WL_m 之所有記憶胞 101 施行。

此外，如同時選擇字元線 $WLa \sim WLz$ ，亦可對連接於其各字元線之所有記憶胞 101 施行消除動作。如此，將記憶胞陣列 122 分別以複數組字元線 $WLa \sim WLz$ 分成任意區塊 (block)，則可以各區塊單位施行數據消除動作，稱之為區塊消除 (block erasing)。

(b) 寫入模式

在寫入模式時，對欲施行程式規劃位元線 $BLa \sim BLz$ 之電位 (將電子注入漂浮閘 FG) 之記憶胞的接地電位，對其他記憶胞則為高電位。

此時，本發明在即時寫換次數增加，亦可穩定保持記憶胞 300 及記憶胞 301 所同時記憶之數據。

此時，字元線 $WL_m \sim WLz$ 為 $2v$ ，其他字元線 (非選擇之字元線) $WLa \sim WL1$ 及 $WLo \sim WLz$ 之電位均為接地位準。共同源極線 SL 則供給 $12v$ 。

如此，即可對記憶胞 300 及記憶胞 301，同時寫入。

但此時，在記憶胞 101 中，控制閘 CG，源極 S 及汲極 D 所構成電晶體之閾值電壓 V_{th} 為 $0.5v$ 。因此所選擇記憶胞 101 的汲極 D 中，電子向反轉狀態之 CH 移動。而由源極 S 向汲極 D 流動電流 (記憶胞電流)。一方面，因源極 S 加有 $12v$ ，故經源極 S 與漂浮閘 FG 間之容量耦合 (coupling)，使漂浮閘 FG 之電位提高。因此，在控制閘 CG 與漂浮閘 FG 間產生高電場。從而，使通道 CH 之電子加速成熱電子 (hot

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

electron)。如第3圖箭頭A所示，該熱電子注入漂浮閘FG。結果，選擇記憶胞101的漂浮閘FG即蓄積電荷，寫入1位元之數據並加以記憶。

(c) 讀出模式

在讀出模式時，接在選擇記憶胞101的控制閘CG之字元線 WL_m 及字元線 WL_n 為4v，其他字元線(非選擇字元線) $WL_a \sim WL_1$ 及 $WL_o \sim WL_z$ 之電位則為接地位準。連接在選擇記憶胞300及301之汲極D的位元線 BL_m 為2v，其他位元線(非選擇位元線) $BL_a \sim BL_1$ 及 $BL_n \sim BL_z$ 之電位亦為接地位準。

如前所述，消除狀態之記憶胞101的漂浮閘FG中，電子被吸出，所以漂浮閘FG帶正電。而寫入狀態之記憶胞101的漂浮閘FG中，則注入電子，所以漂浮閘FG帶負電。從而，在消除狀態之記憶胞101的漂浮閘FG直下之通道CH即導通(on)。因此，當控制閘CG加4v時，由汲極D流向源極S之電流(記憶胞電流)，消除狀態下之記憶胞101比寫入狀態下之記憶胞101大。

換言之，記憶胞300及301只流通微小電流。

相反地，如不對記憶胞300及301施行程序規劃(消除狀態)，記憶胞300及301的漂浮閘FG帶正電時，則流通普通記憶胞之2倍電流。

各記憶胞101間之記憶胞電流值 I_d 之大小電流，可以感應放大器群130內之各感應放大器辨別，讀出記憶在記憶胞101數據之值。例如，消除狀態記憶胞101之數據之值讀為「1」，而寫入狀態記憶胞101之數據之值則讀為「0」

(請先閱讀背面之注意事項再填寫本頁)

1 裝

訂

線

五、發明說明(11)

。換言之各記憶胞101可以記憶消除狀態之數據值「1」及寫入狀態之數據值「0」兩值。

第5圖表示寫換次數與記憶胞電流關係。寫換次數以對數表示，記憶胞電流A表示通常讀出1記憶胞之情形，而記憶胞電流B則表示本發明同時讀出2記憶胞之情形。假設0及1之辨別基準電流為 I_{ref} ，可以看出寫換次數可增加10倍。可知寫換次數大幅增加。

又，本發明亦改善在記憶胞漂浮閘保持電子之數據保持時間。記憶胞之漂浮閘取去電子成為高正電狀態。而當漂浮閘為高正電狀態時，漂浮閘即由周圍取入多量電子，使其電位緩緩降低。如此，則漂浮閘下方通道不易形成，而降記憶胞電流值。由以上所述可知，本發明將其減半，故可延長壽命。

第9圖表示在使用者由外部以程式設定本發明之非揮發性半導體記憶體裝置之特別區段，在一旦設定後，只要將記憶體裝置插入電源，即可指定特別區段之方塊圖。

特別區段之指定，係由外部對非揮發性半導體記憶體裝置之I/O端加以指令(command)(數據)施行。該指令所寫控制電路501產生動作，而對SSE信號產生電路502保持依據指令是否使其成為特別區段之數據。如此，SSE信號產生電路502即產生「L」準位之SSE信號。

又，SSE信號產生電路502一旦保持指令，則以後，只需將記憶體裝置之電源投入，即可直接產生SSE信號。該信號發生在記憶胞動作之前，可指定記憶胞之特別區塊。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

第 9 圖指令記錄器 (command register) 503/用以儲存指定特別區塊之指令。第 10 圖表示其信號狀態。輸入指令記錄器 503 之 *CE (晶片致能) 信號, 及 *WE (可寫 Write enable) 信號都為「L」位準時, I/O 接點輸入之指令 (數據) 即儲存至指令記錄器 503。

第 1 個指令 SSEPM (特別區段致能程式模式) 為設定 (setup) 指令。表示成為可指定特別區段之模式。

其次之指令 SSEP (特別區段致能程式), 含有欲將何區段設為特別區段之資料。

反應於 SSEPM, 寫入控制電路 501 及昇壓電源 504 即開始電路動作。然後, SSEP 輸入控制電路 501, 而寫入控制電路 501 即對指定 SSE 信號產生電路, 進行程式動作。

SSE 信號產生電路只具有可指定特別區段之數。第 9 圖之 SSE 信號發生電路 502 表示該複數個 SSE 信號產生電路中之 1 個。如果要對 SSE 信號產生電路 502 內藏非揮發性記憶電晶體做程序規劃 (Programmed), 需由寫入控制電路 501 產生字元線, 位元線及源極 (線) 之電壓。

如果要 SSE 信號產生電路 502 記憶指定特別區段之指令。則需使寫入控制電路 501, SSE 信號產生電路 502 之非揮發性記憶體 505, 506 成為清除狀態。此種狀態係以後面即將述及, 施行第 2 圖電壓設定為之。非揮發性記憶電晶體 507 如分別將源極接線與 FG (漂浮閘) 連接, 同樣亦可清除。非揮發性記憶電晶體 508 與非揮發性記憶電晶體 506 亦有同樣的關係。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

因此，非揮發性記憶電晶體 507 及 508 可同時清除。於此狀態下，依照第 2 圖之電壓設定，對非揮發性記憶電晶體 506 施行程序規劃（對 FG 加入電子）將非揮發性記憶體 505 為非程序規劃，則非揮發性記憶電晶體 508 即斷流 (off)，而非揮發性電晶體 507 即導通 (on)。此種導通資料即記憶在閘鎖電路 509，以 *SSE 信號輸出。

以下參照第 11 圖說明此種閘鎖電路 509 各信號之記憶時序 (timing)。

依據指令，SSEPM 即如第 11 圖 (C) 上升，然後 SSEP 也上升，於是，閘鎖電路 509 之電源接點 510 即如第 11 圖 (e) 加上電源電壓 I。電源電壓 L 係反應於電源之上升而上升，而反應於 SSEPM 之下降而下降。此時，閘鎖電路 509 即暫時成為不動作狀態。

一方面，傳送 (transmission) 用電晶體 515, 516 之基極，加上第 11 圖 (f) 之信號而成導通狀態。第 11 圖 (f) 係響應於第 11 圖 (c) 而產生。所以，閘鎖電路 509 係在信號輸入後才加入電源。

第 11 圖 (c) 在 t_0 時上升，則響應於不揮發性記憶電晶體 507 之導通，閘鎖電路 509，電晶體 516 及不揮發性記憶電晶體 507 流通電流。於是，閘鎖電路 509 之輸出端 517 即成為「L」狀態。亦即，可獲得用以選擇 2 條字元線控制信號之 *SSE。此時，圖中未表示之其他複數個 SSE 信號產生電路，因為閘鎖電路反轉，所以產生 *SSE 「H」信號。

其次，說明在決定特別區段範圍時，當 SSE 信號產生

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

級

五、發明說明 (14)

電路一經程序規劃後，如快閃EEPROM之電源關掉，要再使用時之情形。

當電源如第11圖(a)所示上升，與其響應，電源起動(power up)如第11圖(b)所示。如此，則非揮發性記憶電晶體507，508殘留FG之數據。加以偏壓(bias)，則非揮發性記憶電晶體507改變為導通(on)，非揮發性記憶電晶體508轉變為不導通(off)。因此，可響應於電源之升起，將數據以閘鎖電路509保持。此種動作比需要讀出動作之記憶胞，可以早很多，故使特別區段可以順利讀出及寫入。
[本發明之效果]

本發明可得可換寫次數增加及減少記憶胞電流降低之非揮發性半導體記憶裝置。本發明對2個以上記憶胞同時寫入相同數據，而對2個以上記憶胞同時讀出相同數據。所以，可長期間保持重要數據及增加寫換次數。而且，本發明還可以由外部調整高可靠度領域記憶胞之大小(量)。

[圖面簡單說明]

第1圖表示本發明非揮發性半導體記憶體裝置之方塊圖。

第2圖列表表示本發明非揮發性半導體記憶體裝置之記憶胞所加動作模式之圖。

第3圖為本發明非揮發性半導體記憶裝置記憶胞之剖面圖。

第4圖為本發明非揮發性半導體記憶裝置橫行解碼器123之具體電路列。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

第5圖為非揮發性半導體記憶體寫換次數與電流之關係圖。

第6圖為含有特別區段之記憶體位址表。

第7圖表示本發明非揮發性半導體記憶裝置之全體方塊圖。

第8圖表示第1至4圖選擇電路之具體電路例的電路圖。

第9圖表示本發明非揮發性半導體記憶體裝置之方塊圖。

第10圖用以說明第9圖之波形圖。

第11圖用以說明第9圖之波形圖。

[編號說明]

- 101 記憶胞
- 122 記憶胞陣列
- WLa~WLz 字元線
- BLa~BLz 位元線
- SL 共同源極線
- 308~311 第1至第4選擇電路
- 313~316 第1至第4區段

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:非揮發性半導體記憶裝置)

本發明提供一種使可換寫次數增加及保持時間增長之非揮發性半導體記憶裝置。

將複數個記憶體區段中之特定記憶體區段(memory sector)(第1區段)設定為高可靠度領域,當進行對該領域之寫入時,對2個以上之記憶胞(memory cell)同時寫入。而在讀出時,則將同時寫入之前述記憶胞,同時讀出。而且,高可靠度領域記憶區段之大小,可以由外部(308至311)調整者。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填(本頁各欄))

裝

訂

線

六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，在其複數個記憶胞中，將特定記憶胞設定為高可靠度領域，在該領域記憶欲長期間保持之數據，或寫換次數多之數據，且高可靠度領域記憶區段大小可由外部調整為特徵者。
2. 一種非揮發性半導體記憶裝置，在其複數個記憶區段中，將特定記憶區塊設定為高可靠度領域，在該領域寫入時，為對2個以上記憶胞同時寫入；而讀出時，則將前述同時寫入之記憶胞同時讀出；且高可靠度領域之記憶區段的大小，可以由外部調整為特徵者。
3. 一種非揮發性半導體記憶裝置，其複數個記憶區段中，將特定記憶區段設定為高可靠度領域，在該領域寫入時，為對2個以上記憶胞同時寫入；而讀出時，則將前述同時寫入之記憶胞，同時讀出；

在對應高可靠性領域記憶區段之位址數據中在前述高可靠性領域記憶區段同時選擇2個以上記憶胞，使包含至少1位元數據之反轉信號及非反轉信號相等，且可在外部調整高可靠度領域之記憶區段數為特徵者。

4. 一種非揮發性半導體記憶裝置，其複數個記憶區段中，將特定記憶區段設定為高可靠度領域，在該領域寫入時，為對2個以上記憶胞同時寫入；而讀出時，則將前述同時寫入之記憶胞，同時讀出；

其中，至少包含：

用以將位址數據中，1位元數據之反轉信號及非反轉信號門鎖起來之門鎖電路，及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

將由該門鎖電路將反轉信號及非反轉信號分別供給至前述複數個記憶區塊之複數個選擇電路；反應於外部控制信號，選擇在前述複數個選擇電路中，1選擇電路所生反轉信號及非反轉信號之值相等，以在高可靠度領域記憶區段，同時選擇2個以上記憶胞為特徵者。

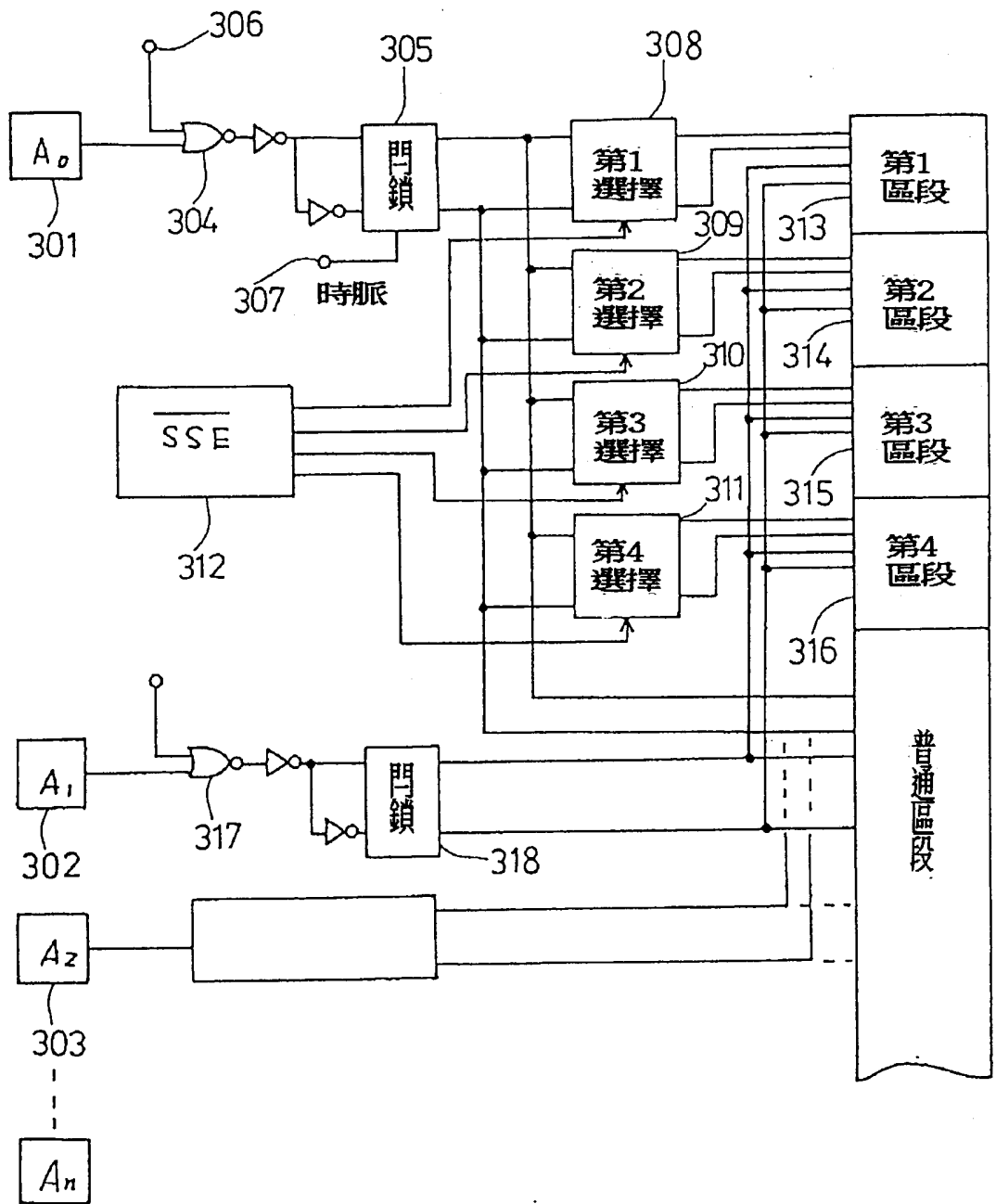
5. 依據申請專利範圍第1項之非揮發性半導體記憶裝置，其中，由外部之調整係使用指令為之為特徵者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

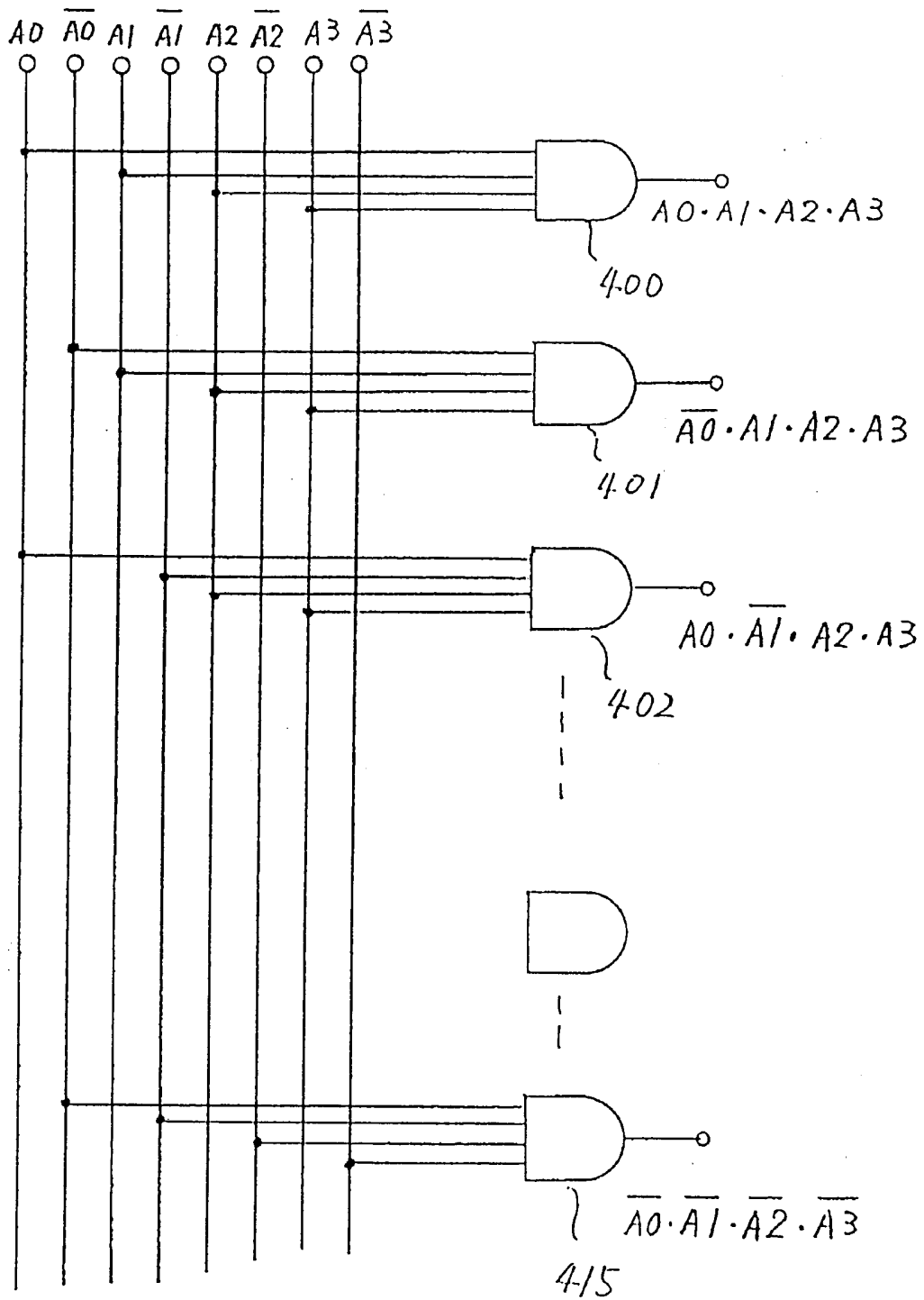
錄



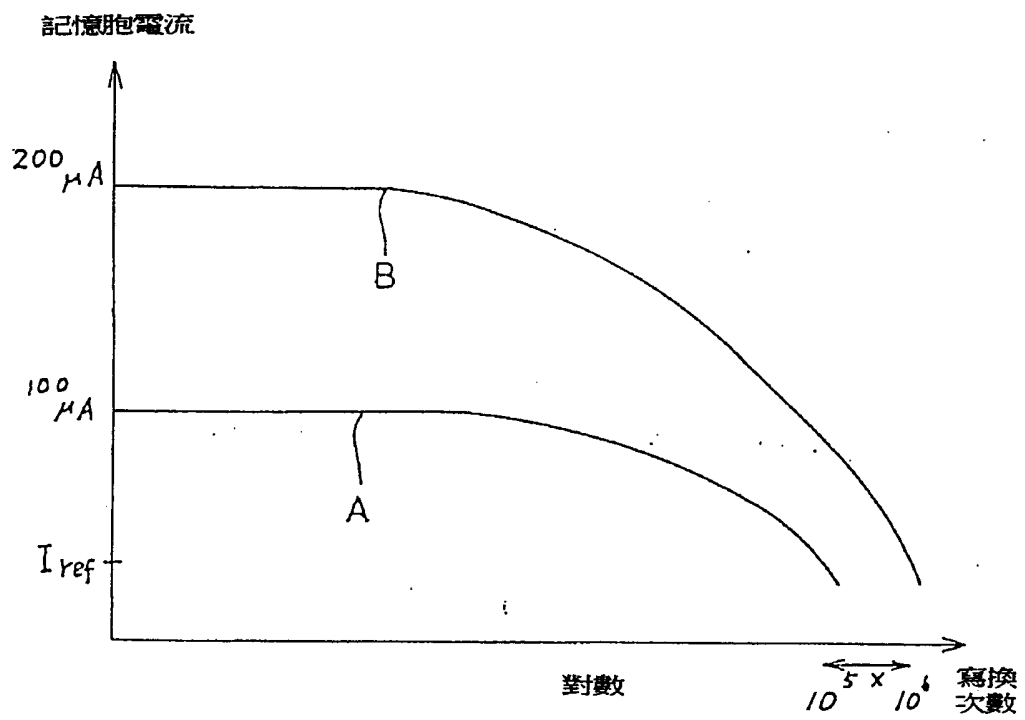
第 1 圖

動作模式	寫入	消除	讀出	備機狀態
字元線WLm (控制開閉CG)	2V	14~15V	4V	0V
位元線BLm (汲極D)	0V	0V	2V	0V
共同源極線SL (源極S)	12V	0V	0V	0V
基板102	0V	0V	0V	0V

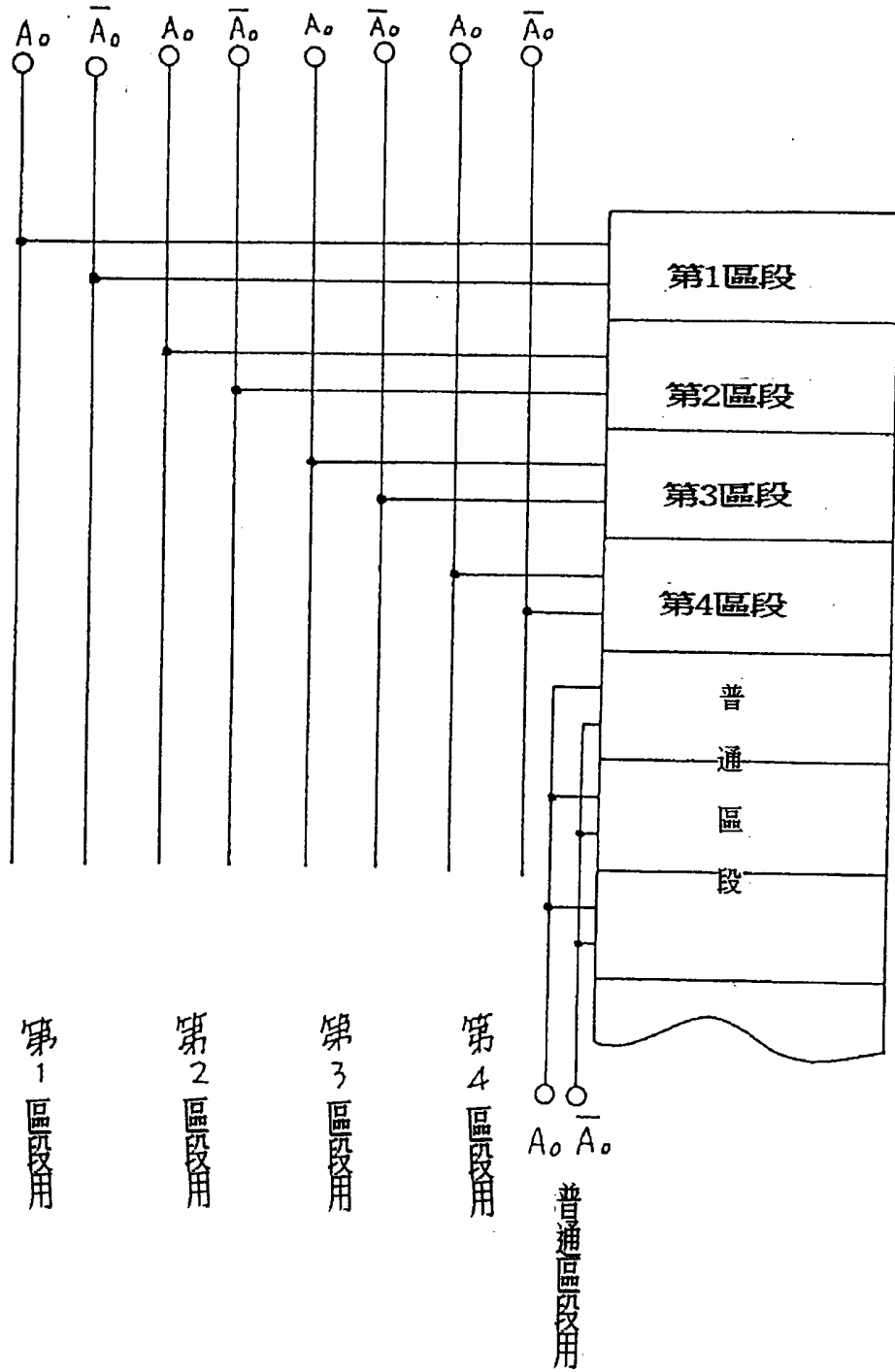
第 2 圖



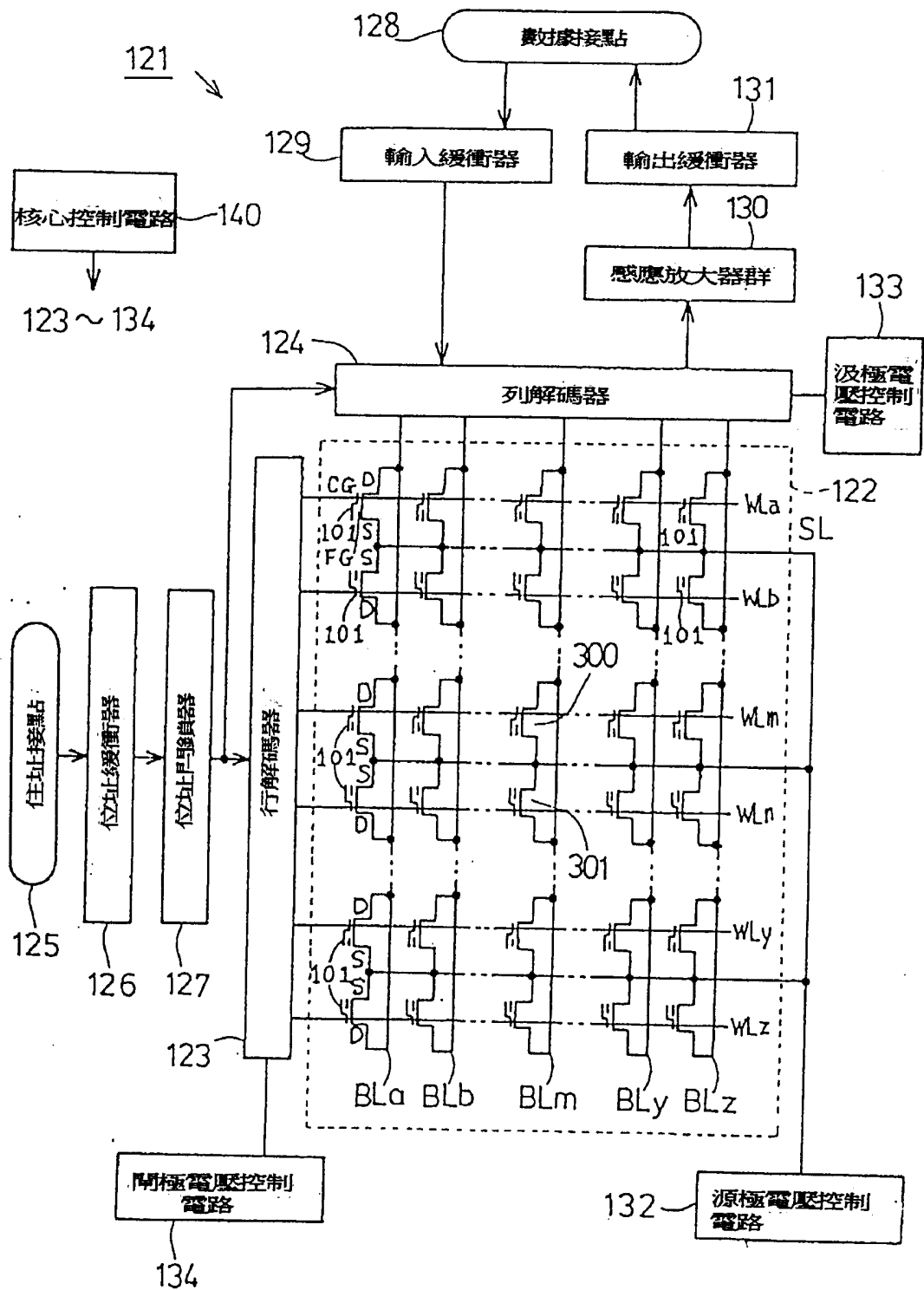
第 4 圖



第 5 圖

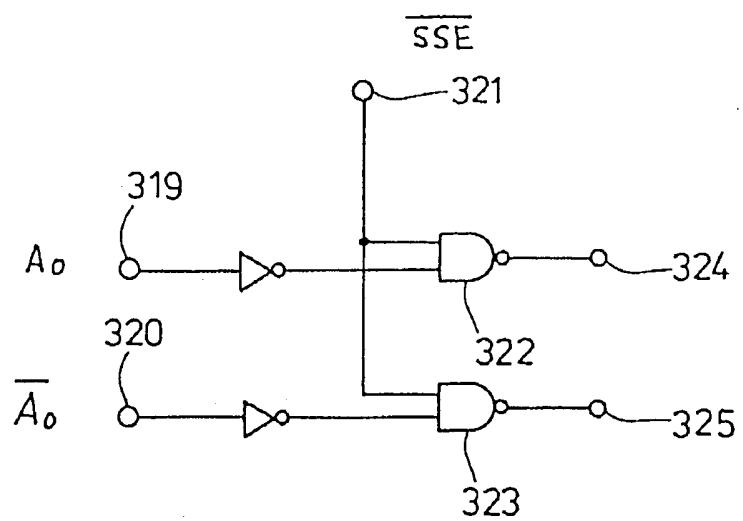


第 6 圖

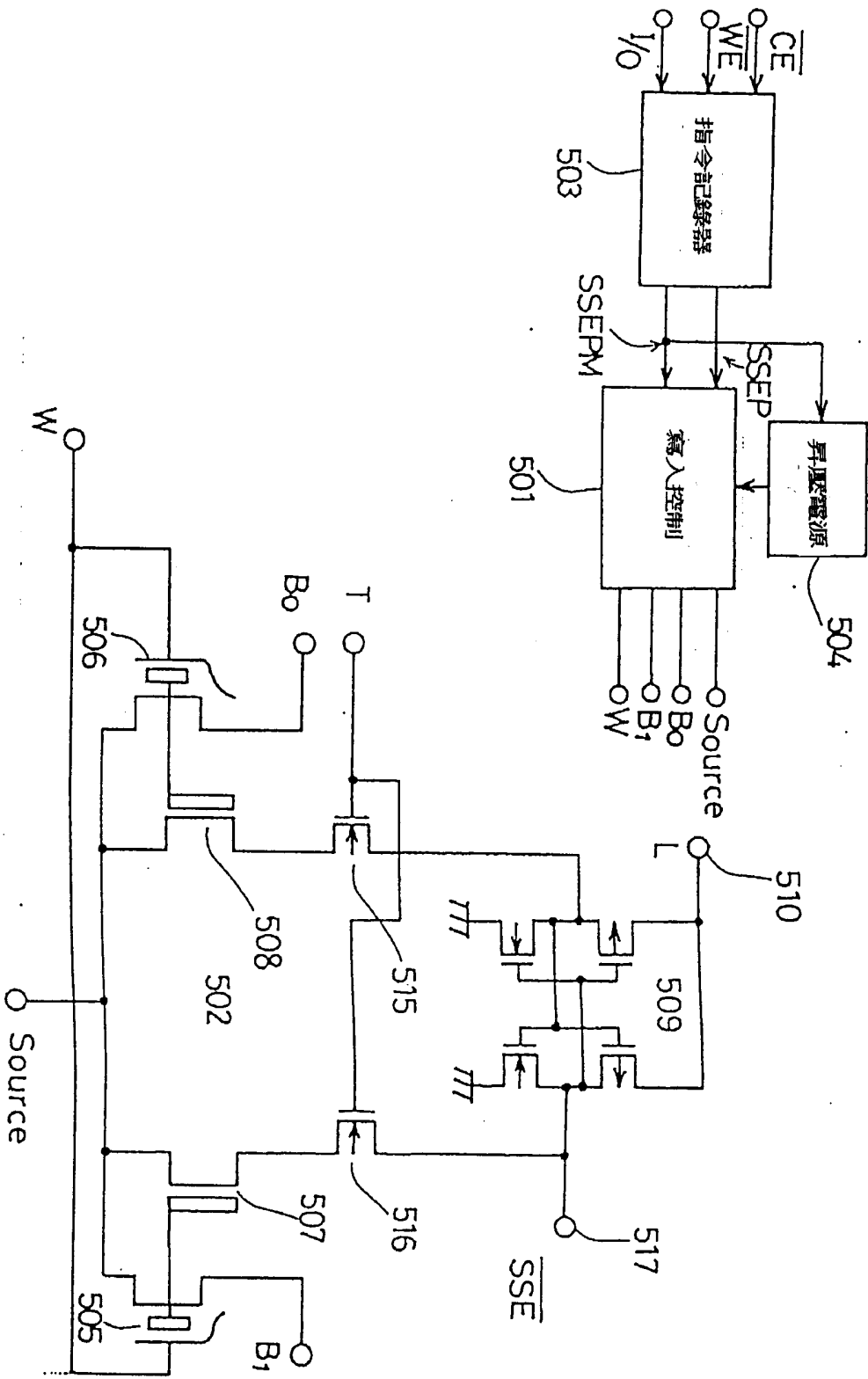


第7圖

397982

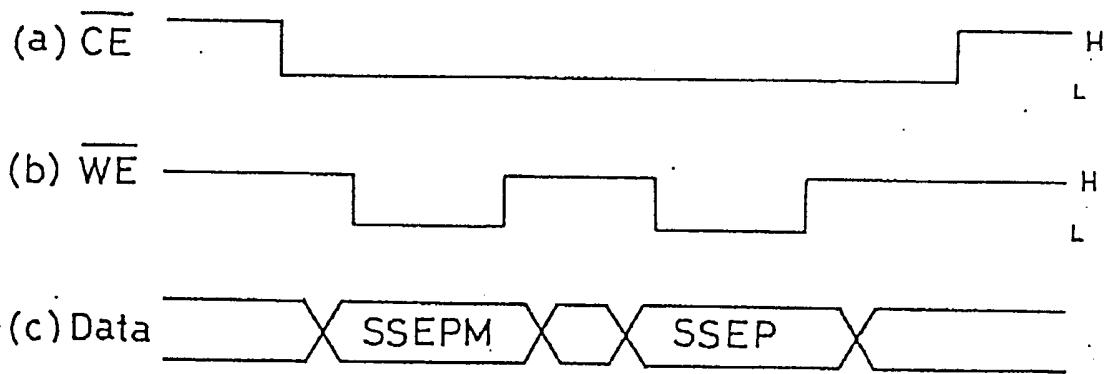


第 8 圖

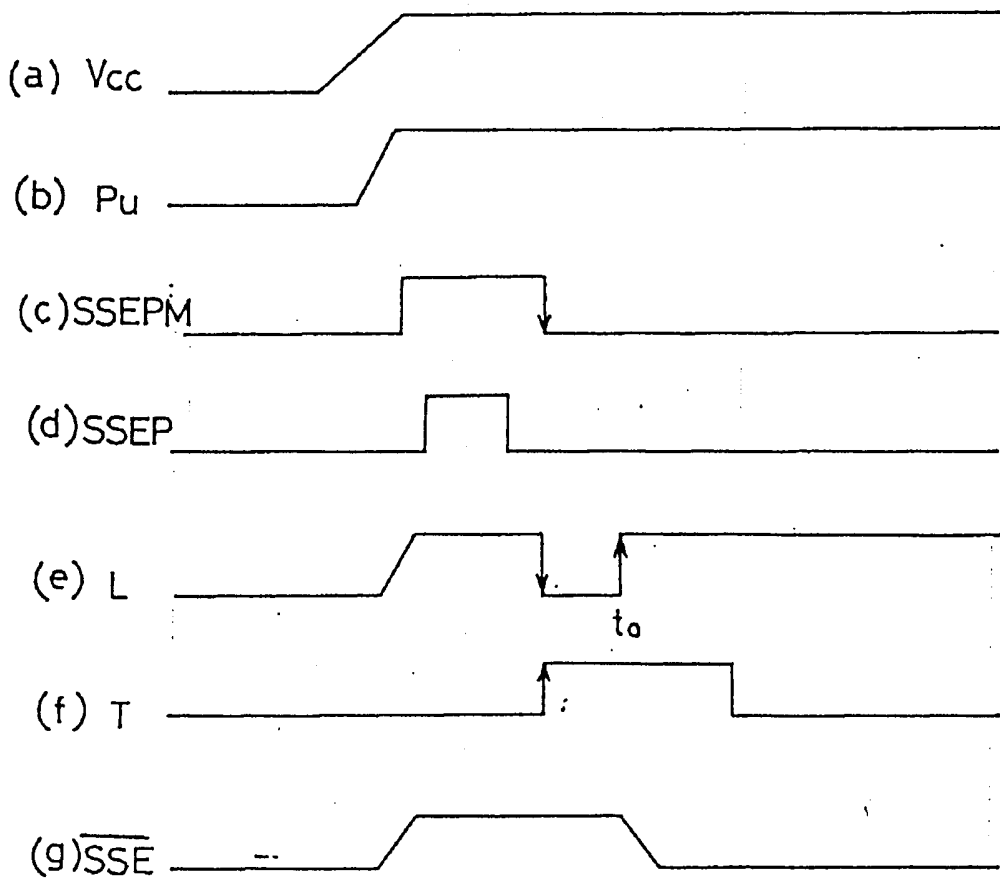


第 9 圖

397982



第10圖



第11圖