

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 7월 20일 (20.07.2017)



(10) 국제공개번호
WO 2017/122974 A2

- (51) 국제특허분류: 미분류
- (21) 국제출원번호: PCT/KR2017/000255
- (22) 국제출원일: 2017년 1월 9일 (09.01.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0004150 2016년 1월 13일 (13.01.2016) KR
- (71) 출원인: **삼원액트 주식회사 (SAMWON ACT CO., LTD.)** [KR/KR]; 47035 부산시 사상구 대동로 28, Busan (KR). **주식회사 이모트 (EMOT CO.,LTD.)** [KR/KR]; 15429 경기도 안산시 단원구 원시로 253-5 유진타워테크노밸리 505 호, Gyeonggi-do (KR). **한국기계연구원 (KOREA INSTITUTE OF MACHINERY & MATERIALS)** [KR/KR]; 34103 대전시 유성구 가정북로 156, Daejeon (KR).
- (72) 발명자: **이정열 (LEE, Kyung Yul)**; 14665 경기도 부천시 안곡로 284, 102 동 2004 호, Gyeonggi-do (KR). **이경욱 (LEE, Kyung Wook)**; 15500 경기도 안산시 상록구 중보로 22, 110 동 601 호, Gyeonggi-do (KR). **정준상 (JEONG, Jun Sang)**; 15071 경기도 시흥시 한우물로 57, 104 동 301 호, Gyeonggi-do (KR). **이양석 (LEE, Yang Seok)**; 14409 경기도 부천시 고리울로 74 번길 24, 401 호, Gyeonggi-do (KR). **김만 (KIM, Man)**; 51163 경상남도 창원시 의창구 도계두리길 96, 607 호, Gyeong-sangnam-do (KR). **이주열 (LEE, Joo Yul)**; 51000 경상남도 김해시 장유로 288 번길 15, 104 동 1102 호, Gyeong-sangnam-do (KR). **이상열 (LEE, Sang Yeoul)**; 51005 경상남도 김해시 관동로 117, Gyeongsangnam-do (KR).

(74) 대리인: **특허법인 가산 (KASAN IP & LAW FIRM)**; 06719 서울시 서초구 남부순환로 2423 한원빌딩 7층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

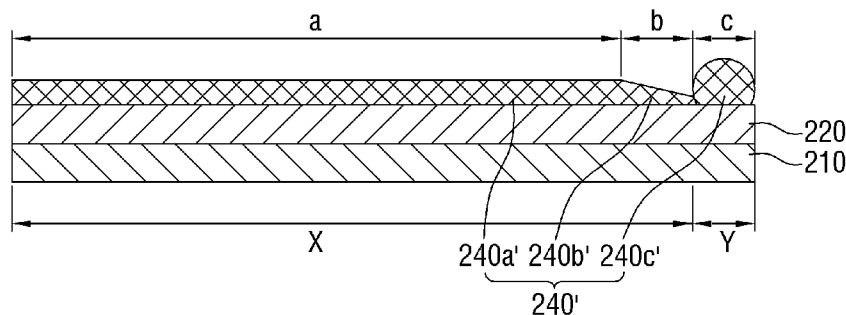
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

(54) Title: CIRCUIT BOARD

(54) 발명의 명칭 : 회로 기판



(57) Abstract: The present invention relates to a circuit board comprising: a base substrate including a circuit part area and a terminal part area; a circuit pattern formed on the base substrate; and a low melting point metal layer formed on the circuit pattern. By the present invention, it is possible to manufacture a circuit board, which can dispense with a photoresist process therefor and thus can lower the manufacturing time and cost thereof.

(57) 요약서: 본 발명은 회로부 영역과 단자부 영역을 포함하는 베이스 기판; 상기 베이스 기판의 상부에 형성되는 회로 패턴; 및 상기 회로 패턴의 상부에 형성되는 저융점 금속층을 포함하는 회로 기판에 관한 것으로, 포토레지스트 공정을 배제하여 제조시간과 제조단가를 낮출 수 있는 회로기판을 제조할 수 있다.

WO 2017/122974 A2

명세서

발명의 명칭: 회로 기판

기술분야

- [1] 본 발명은 회로 기판에 관한 것으로서, 더욱 상세하게는 외부 연결단자부 영역 및/또는 내부 연결단자부 영역을 포함하는 회로 기판에 관한 것이다.

배경기술

- [2] 일반적으로 회로 기판은 현재 제조되고 있는 많은 분야의 전기, 전자제품에서 가장 기초가 되는 부품으로서, 생활 가전제품인 LCD TV, DVD, 데스크용 컴퓨터, 노트북 PC, 디지털 카메라 및 Mobile phone, PDA, MP3 등에 광범위하게 적용되고 있다.
- [3] 또한, 전기, 전자기기에서 디지털 방식의 급속한 발전과 반도체 개발의 첨단화로 인해서, 소형화, 고밀도 및 고기능의 인쇄회로기판이 디지털 위성 수신장치, DVR 감시장치, 팜탑 컴퓨터, 반도체용 모듈, 반도체 검사장치, 자동차 전장품에 적용은 물론이고, 방위산업 첨단무기인 미사일 탄두, 전투기 및 인공위성 등에 이르기까지 인쇄회로기판의 활용이 점차 확대되어 가고 있다.
- [4] 이러한 회로 기판은 상기 회로 기판에 인쇄된 회로와 그외 장치를 연결시키기 위하여, 단자부를 필수적으로 포함하게 된다.
- [5] 즉, 상기 회로 기판은 회로부와 단자부로 구분되어, 상기 단자부는 상기 회로기판의 회로부와 상기 회로기판의 외부에 위치하는 그외 장치를 연결하게 된다.
- [6] 도 1 내지 도 5는 일반적인 회로 기판의 단자부를 제조하는 방법을 설명하기 위한 개략적인 단면도이다.
- [7] 먼저, 도 1을 참조하면, 일반적인 회로 기판의 단자부를 제조하는 방법은 기판(110)의 상부에 회로 패턴(120)을 형성한다.
- [8] 상기 회로 기판은 회로부와 단자부를 포함할 수 있으며, 상기 회로 패턴은 회로부와 단자부에 연속적으로 형성될 수 있다.
- [9] 이때, 상기 회로 패턴(120)은 구리 또는 구리 합금으로 이루어질 수 있으며, 상기 회로 패턴의 재질을 제한하는 것은 아니다.
- [10] 한편, 도면에는 도시하지 않았으나, 상기 회로 패턴을 형성하는 것은 공지된 포토레지스트와 식각 공정을 통해 제조할 수 있다.
- [11] 예를 들면, 상기 기판(110)의 전면에 금속박막층(미도시)을 형성한다.
- [12] 다음으로, 상기 금속박막층의 상부에 포토레지스트층(미도시)을 형성한 후, 상기 포토레지스트층을 노광 및 현상함으로써 원하는 형상의 포토레지스트 패턴(미도시)을 형성하고, 형성된 포토레지스트 패턴을 마스크 레지스트로 하여, 상기 금속박막층을 식각함으로써, 상기 회로 패턴(120)을 형성할 수 있다.
- [13] 다음으로, 도 2를 참조하면, 상기 회로 패턴(120)의 상부에 포토레지스트막

패턴(130)을 형성한다.

[14] 이때, 상기 포토레지스트막 패턴(130)은 상기 회로 기판의 단자부를 제외한 모든 영역을 커버하고 있다.

[15] 즉, 상기 포토레지스트막 패턴(130)은 상기 단자부를 노출시키기 위한 개구 영역(131)을 포함하고 있다.

[16] 다음으로, 도 3를 참조하면, 상기 포토레지스트막 패턴(130)의 개구 영역(131)에 솔더 도금층(140)을 형성한다.

[17] 상기 솔더 도금층은 Sn 또는 Sn 합금으로 이루어질 수 있으며, 이때, 상기 Sn 합금은 Sn-Cu, Sn-Ag 또는 Sn-Bi일 수 있고 다만, 상기 솔더 도금층의 재질을 제한하는 것은 아니다.

[18] 한편, 상기 솔더 도금층은 공지된 전기 도금방법에 의해 형성될 수 있으며, 다만, 본 발명에서 상기 솔더 도금층의 형성방법을 제한하는 것은 아니다.

[19] 계속해서, 도 4를 참조하면, 상기 솔더 도금층(140)을 열처리 하여, 솔더링부(140')를 형성한다.

[20] 즉, 상기 솔더 도금층(140)을 열처리함에 의하여, 상기 솔더 도금층은 용융되며, 상기 용융된 솔더 도금층은 다시 냉각되면서 표면장력에 의하여, 도 4에 도시된 바와 같은 구형은 솔더링부(140')가 형성될 수 있다.

[21] 이후, 도 5에 도시된 바와 같이, 상기 기판 상에 형성된 상기 포토레지스트막을 제거함으로써, 회로부와 단자부를 포함하는 회로 기판을 제조할 수 있다.

[22] 하지만, 이러한 일반적인 구조의 회로 기판은 상기 단자부를 제조함에 있어서, 별도의 포토레지스트 공정을 진행해야 하는 문제점이 있다.

[23] 즉, 상술한 바와 같이, 단자부를 형성하기 위하여, 상기 단자부를 노출시키는 개구 영역을 포함하는 포토레지스트 막을 제조하고, 상기 포토레지스트막을 마스크로 하여 상기 단자부에 솔더 도금층을 형성하는 공정을 진행해야 하므로, 따라서, 별도의 포토레지스트 공정이 필수적에 해당한다.

[24] 따라서, 이러한 포토레지스트 공정은 제조시간과 제조단가의 상승요인이 되는 문제점이 있다.

[25] 한편, 이와 같은 일반적인 회로기판은 다수의 기판이 적층된 적층형 회로기판으로 구성할 수 있다.

[26] 이때, 적층형 회로기판을 구성하기 위해서는 예를 들어, 제1회로기판과 제2회로기판을 전기적으로 연결하기 위한 내부 연결단자가 필요하다.

[27] 하지만, 일반적인 적층형 회로기판에서 내부 연결단자를 구성하기 위해서는 내부 연결단자부에 별도의 도금층을 구성해야 하며, 이는 제조공정의 증가로 인하여, 제조시간과 제조단가의 상승요인이 되는 문제점이 있다.

발명의 상세한 설명

기술적 과제

[28] 본 발명이 해결하고자 하는 과제는 포토레지스트 공정을 배제하여 제조시간과

- 제조단가를 낮출 수 있는 회로기판의 제조 방법을 제공하는데 그 목적이 있다.
- [29] 또한, 본 발명은 내부 연결단자부를 형성하기 위한 추가적인 도금층 형성 공정을 배제하여, 제조시간과 제조단가를 낮출 수 있는 회로기판의 제조 방법을 제공하는데 그 목적이 있다.
- [30] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [31] 상기 지적된 문제점을 해결하기 위해서 본 발명은 회로부 영역과 단자부 영역을 포함하는 베이스 기판; 상기 베이스 기판의 상부에 형성되는 회로 패턴; 및 상기 회로 패턴의 상부에 형성되는 저융점 금속층을 포함하는 회로 기판을 제공한다.
- [32] 또한, 본 발명은 상기 저융점 금속층은, 상기 회로부 영역에 위치하는 제1저융점 금속층; 상기 단자부 영역에 위치하는 제2저융점 금속층; 및 상기 회로부 영역에 위치하고, 상기 단자부 영역에 인접하여 위치하는 제3저융점 금속층을 포함하는 회로 기판을 제공한다.
- [33] 또한, 본 발명은 상기 저융점 금속층은 100 ~ 250°C의 온도 범위에서 용융되는 금속으로 이루어지는 회로 기판을 제공한다.
- [34] 또한, 본 발명은 상기 제2저융점 금속층을 열처리함에 의하여, 상기 제2저융점 금속층은 솔더링부를 형성하고, 상기 제3저융점 금속층을 열처리함에 의하여, 용융된 상기 제3저융점 금속층의 일부가 상기 제2저융점 금속층(240)으로 이동하여 상기 솔더링부를 형성하는 회로 기판을 제공한다.
- [35] 또한, 본 발명은 상기 제3저융점 금속층은 경사면을 포함하는 회로 기판을 제공한다.
- [36] 또한, 본 발명은 회로부 영역과 단자부 영역을 포함하는 베이스 기판을 제공하는 단계; 베이스 기판의 상부에 회로 패턴을 형성하는 단계; 상기 회로부 영역에 위치하는 제1저융점 금속층, 상기 단자부 영역에 위치하는 제2저융점 금속층 및 상기 회로부 영역에 위치하고, 상기 단자부 영역에 인접하여 위치하는 제3저융점 금속층을 포함하는 저융점 금속층을 형성하는 단계; 및 상기 제2저융점 금속층을 열처리하여 솔더링부를 형성하는 단계를 포함하는 회로 기판의 제조방법을 제공한다.
- [37] 또한, 본 발명은 상기 제2저융점 금속층을 열처리함에 의하여, 상기 제2저융점 금속층은 용융되며, 상기 용융된 제2저융점 금속층은 다시 냉각되면서 표면장력에 의하여, 상기 솔더링부가 형성되는 회로 기판의 제조방법을 제공한다.
- [38] 또한, 본 발명은 상기 제2저융점 금속층을 열처리함에 의하여, 상기 제2저융점 금속층 제공된 열은 상기 제3저융점 금속층에 전달되고, 상기 제3저융점

금속층의 일부가 용융되어, 용융된 상기 제3저융점 금속층의 일부가 상기 제2저융점 금속층으로 이동하여 상기 솔더링부를 형성하는 회로 기판의 제조방법을 제공한다.

[39] 또한, 본 발명은 제1회로기판 및 상기 제1회로기판과 적층되는 제2회로기판을 포함하는 적층형 회로기판에 있어서, 상기 제1회로기판은, 제1회로부 영역과 제1내부 연결단자부 영역을 포함하는 제1베이스 기판; 상기 제1베이스 기판의 상부에 형성되는 제1회로 패턴; 상기 제1회로 패턴의 상부에 위치하는 제1저융점 금속층을 포함하고, 상기 제1내부 연결단자부 영역은 제1쓰루홀 영역을 포함하며, 상기 제1쓰루홀 영역은 측면 제1저융점 금속층을 포함하고, 상기 제2회로기판은 제2회로부 영역과 제2내부 연결단자부 영역을 포함하는 제2베이스 기판; 상기 제2베이스 기판의 상부에 형성되는 제2회로 패턴; 상기 제2회로 패턴의 상부에 위치하는 제2저융점 금속층을 포함하고, 상기 제2내부 연결단자부 영역은 제2쓰루홀 영역을 포함하며, 상기 제2쓰루홀 영역은 측면 제2저융점 금속층을 포함하는 적층형 회로기판을 제공한다.

[40] 또한, 본 발명은 상기 측면 제1저융점 금속층과 상기 측면 제2저융점 금속층이 상호 연결되는 연결부를 포함하는 적층형 회로기판을 제공한다.

[41] 또한, 본 발명은 회로부 영역과 내부 연결단자부 영역을 포함하는 베이스 기판; 상기 베이스 기판의 제1면에 형성되는 제1회로 패턴; 상기 제1회로 패턴의 상부에 위치하는 제1저융점 금속층; 상기 베이스 기판의 제2면에 형성되는 제2회로 패턴; 및 상기 제2회로 패턴의 상부에 위치하는 제2저융점 금속층을 포함하고, 상기 제1저융점 금속층은 상기 제1회로 패턴의 상면에 위치하는 상면 제1저융점 금속층 및 상기 제1회로패턴의 측면에 위치하는 측면 제1저융점 금속층을 포함하며, 상기 제2저융점 금속층은 상기 제2회로 패턴의 상면에 위치하는 상면 제2저융점 금속층 및 상기 제2회로패턴의 측면에 위치하는 측면 제2저융점 금속층을 포함하고, 상기 내부 연결단자부 영역은 쓰루홀 영역을 포함하며, 상기 쓰루홀 영역은 상기 측면 제1저융점 금속층 및 상기 측면 제2저융점 금속층을 포함하는 양면형 회로기판을 제공한다.

[42] 또한, 본 발명은 상기 측면 제1저융점 금속층과 상기 측면 제2저융점 금속층이 상호 연결되는 연결부를 포함하는 양면형 회로기판을 제공한다.

도면의 간단한 설명

[43] 도 1 내지 도 5는 일반적인 회로 기판의 단자부를 제조하는 방법을 설명하기 위한 개략적인 단면도이다.

[44] 도 6 내지 도 8은 본 발명에 따른 회로 기판의 단자부를 제조하는 방법을 설명하기 위한 개략적인 단면도이다.

[45] 도 9는 본 발명에 따른 제1회로기판을 도시하는 개략적인 평면도이고, 도 10은 본 발명에 따른 제1회로기판을 도시하는 개략적인 평면도로써, 도 9의 I-I 선에 따른 단면도이다.

- [46] 도 11은 본 발명에 따른 제2회로기판을 도시하는 개략적인 평면도이고, 도 12는 본 발명에 따른 제2회로기판을 도시하는 개략적인 평면도로써, 도 11의 II-II 선에 따른 단면도이다.
- [47] 도 13 및 도 14는 본 발명에 따른 적층된 회로기판을 구성하는 방법을 설명하기 위한 개략적인 단면도이다.
- [48] 도 15는 본 발명에 따른 변형예의 회로기판을 도시하는 개략적인 단면도이고, 도 16은 본 발명에 따른 변형예의 회로기판에서의 상면과 하면을 전기적으로 연결하는 방법을 도시한 개략적인 단면도이다.

발명의 실시를 위한 최선의 형태

- [49] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [50] 아래 첨부된 도면을 참조하여 본 발명의 실시를 위한 구체적인 내용을 상세히 설명한다. 도면에 관계없이 동일한 부재번호는 동일한 구성요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [51] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [52] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [53] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [54] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 구성요소와 다른 구성요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수

있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 구성요소들의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 구성요소를 뒤집을 경우, 다른 구성요소의 "아래(below)" 또는 "아래(beneath)"로 기술된 구성요소는 다른 구성요소의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 구성요소는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [55] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [56] 도 6 내지 도 8은 본 발명에 따른 회로 기판의 단자부를 제조하는 방법을 설명하기 위한 개략적인 단면도이다.
- [57] 이때, 본 발명에 따른 회로 기판의 단자부는 후술하는 도 9의 Z1 영역 또는 도 10의 Z2 영역에 해당할 수 있다.
- [58] 먼저, 도 6를 참조하면, 본 발명에 따른 회로 기판의 단자부를 제조하는 방법은 베이스 기판(210)을 제공한다.
- [59] 상기 베이스 기판은 본 발명에 따른 회로 기판의 회로 형성 및 부품을 실장하는 베이스에 해당하는 것으로, 상기 베이스 기판은 폴리에스테르(Polyester, PET) 또는 폴리이미드(Polyimide, PI) 재질일 수 있으며, 다만, 본 발명에서 상기 베이스 기판의 재질을 제한하는 것은 아니다.
- [60] 또한, 상기 베이스 기판은 회로부 영역(X)과 단자부 영역(Y)을 포함할 수 있다.
- [61] 상기 회로부 영역(X)은 회로 기판의 회로가 인쇄 또는 형성되는 영역이고, 상기 단자부 영역(Y)은 상기 회로기판의 회로부와 상기 회로기판의 외부에 위치하는 그외 장치를 연결하는 영역에 해당한다.
- [62] 계속해서, 도 6를 참조하면, 상기 베이스 기판의 상부에 회로 패턴(220)을 형성한다.
- [63] 상기 회로 패턴(220)은 상기 회로부 영역(X)에 위치하는 제1회로 패턴과 상기 단자부 영역(Y)에 위치하는 제2회로 패턴으로 구분될 수 있으며, 즉, 상기 회로 패턴은 상기 회로부 영역과 상기 단자부 영역에 연속적으로 형성될 수 있다.
- [64] 이때, 상기 회로 패턴(220)은 구리 또는 구리 합금으로 이루어질 수 있으며, 다만, 본 발명에서 상기 회로 패턴의 재질을 제한하는 것은 아니다.
- [65] 한편, 도면에는 도시하지 않았으나, 상기 회로 패턴을 형성하는 것은 공지된 포토레지스트 공정을 통해 제조할 수 있다.
- [66] 예를 들면, 상기 기판(210)의 전면에 금속박막층(미도시)을 형성한다.
- [67] 다음으로, 상기 금속박막층의 상부에 포토레지스트층(미도시)을 형성한 후, 상기 포토레지스트층을 노광 및 현상함으로써 원하는 형상의 포토레지스트 패턴(미도시)을 형성한다.
- [68] 이때, 상기 포토레지스트 패턴은 형성하고자 하는 회로 패턴의 형상과 대응되어 형성되어 있다.

- [69] 다음으로, 형성된 포토레지스트 패턴을 마스크 레지스트로 하여, 상기 금속박막층을 식각함으로써, 상기 회로 패턴(220)을 형성하고, 이후, 상기 포토레지스트 패턴을 제거함으로써, 상기 회로 패턴(220)을 형성할 수 있다.
- [70] 이와 같은 포토레지스트 공정에 의하여 회로 패턴을 형성하는 것은 당업계에서 자명한 사항이므로, 이하, 구체적인 설명은 생략하기로 한다.
- [71] 또한, 상기 회로 패턴을 형성하는 것은 공지된 전사공정을 통해 형성할 수 있다.
- [72] 예를 들어, 상기 회로 패턴에 대응하여 일정 패턴이 형성된 몰드를 형성하고, 상기 몰드에 형성된 일정 패턴의 상부에, 공지된 전해도금법을 통해 회로 패턴을 형성함으로써, 상기 회로 패턴을 제조할 수 있다.
- [73] 이러한 몰드를 통해 회로 패턴을 형성하는 것은 당업계에서 자명한 사항이므로, 이하, 구체적인 설명은 생략하기로 한다.
- [74] 한편, 본 발명에서 상기 회로 패턴의 제조방법을 제한하는 것은 아니다.
- [75] 다음으로, 도 7를 참조하면, 상기 회로 패턴(220)의 상부에 저융점 금속층(240)을 형성한다.
- [76] 상기 저융점 금속층은 Sn 또는 Sn 합금으로 이루어질 수 있으며, 이때, 상기 Sn 합금은 Sn-Cu, Sn-Ag 또는 Sn-Bi일 수 있고 다만, 상기 저융점 금속층의 재질을 제한하는 것은 아니다.
- [77] 다만, 상기 저융점 금속은 100 ~ 250°C의 온도 범위에서 용융되는 금속으로 정의할 수 있으며, 따라서, 상기 온도 범위에서 용융되는 금속은 본 발명에 따른 저융점 금속으로 분류될 수 있다.
- [78] 이때, 상기 저융점 금속층(240)은 상기 회로부 영역(X)에 위치하는 제1저융점 금속층(240a), 상기 단자부 영역(Y)에 위치하는 제2저융점 금속층(240c)을 포함하며, 상기 회로부 영역에 위치하고, 상기 단자부 영역에 인접하여 위치하는 제3저융점 금속층(240b)을 포함할 수 있다.
- [79] 본 발명에서 상기 제1저융점 금속층 내지 제3저융점 금속층은 연속적으로 형성되는 것이나, 설명의 편의를 위하여, 이하에서는 회로부 영역에 위치하는 제1저융점 금속층(240a), 상기 단자부 영역에 위치하는 제2저융점 금속층(240c) 및 상기 회로부 영역에 위치하고, 상기 단자부 영역에 인접하여 위치하는 제3저융점 금속층(240b)으로 구분하여 설명하기로 한다.
- [80] 상기 저융점 금속층(240)은 Pb-Sn 또는 Pb로 이루어질 수 있으며, 다만, 본 발명에서 상기 저융점 금속층의 재질을 제한하는 것은 아니다.
- [81] 한편, 상기 저융점 금속층(240)은 공지된 전기 도금방법에 의해 형성될 수 있으며, 상기 전기 도금법에 의해 상기 저융점 금속층을 형성함에 있어서, 상기 회로 패턴(220)은 전계를 인가하기 위한 전극으로 사용될 수 있다.
- [82] 예를 들어, 상술한 바와 같이, 상기 회로 패턴을 형성하는 것은 공지된 전사공정을 통해 형성할 수 있다.
- [83] 즉, 상기 회로 패턴에 대응하여 일정 패턴이 형성된 몰드를 형성하고, 상기 몰드에 형성된 일정 패턴의 상부에, 공지된 전해도금법을 통해 회로 패턴을

형성함으로써, 상기 회로패턴을 제조할 수 있다.

[84] 이후, 상기 회로패턴이 형성된 몰드를 전해도금조에 침지시키고, 상기 회로 패턴에 전계를 인가함으로써, 상기 회로 패턴의 상부에 상기 저용점 금속층을 형성할 수 있다.

[85] 다만, 본 발명에서 상기 저용점 금속층의 형성방법을 제한하는 것은 아니다.

[86] 다음으로, 도 8을 참조하면, 상기 제2저용점 금속층(240c)을 열처리하여, 솔더링부(240c')를 형성한다.

[87] 즉, 상기 제2저용점 금속층(240c)을 열처리함에 의하여, 상기 제2저용점 금속층(240c)은 용융되며, 상기 용융된 제2저용점 금속층(240c)은 다시 냉각되면서 표면장력에 의하여, 도 8에 도시된 바와 같은 구형은 솔더링부(240c')가 형성될 수 있다.

[88] 이때, 상기 제2저용점 금속층(240c)을 열처리함에 있어서, 상기 제2저용점 금속층(240c)에 제공된 열은 상기 제3저용점 금속층(240b)에도 전달되게 된다.

[89] 즉, 상기 제2저용점 금속층(240c)과 인접한 영역에 위치하는 제3솔더 도금(240b)의 경우, 상기 전달된 열에 의하여, 상기 제3저용점 금속층(240b)도 일부 용융되게 된다.

[90] 따라서, 도 8에 도시된 바와 같이, 용융된 상기 제3저용점 금속층(240b)의 일부가 상기 제2저용점 금속층(240)으로 이동하여 솔더링부(240c')를 형성하게 된다.

[91] 이에 따라, 상기 제2저용점 금속층은 솔더링부(240c')를 형성하게 되고, 상기 제3저용점 금속층은 경사면을 포함하는 저용점 금속층(240c')을 형성하게 되며, 상기 제1저용점 금속층은 최초의 형상을 유지하게 된다.

[92] 상술한 바와 같이, 일반적인 구조의 회로 기판은 상기 단자부를 제조함에 있어서, 별도의 포토레지스트 공정을 진행해야 하는 문제점이 있다.

[93] 즉, 일반적인 구조에서는 단자부를 형성하기 위하여, 상기 단자부를 노출시키는 개구 영역을 포함하는 포토레지스트 막을 제조하고, 상기 포토레지스트막을 마스크로 하여 상기 단자부에 솔더 도금층을 형성하는 공정을 진행해야 하므로, 따라서, 별도의 포토레지스트 공정이 필수적에 해당한다.

[94] 따라서, 이러한 포토레지스트 공정은 제조시간과 제조단가의 상승요인이 되는 문제점이 있다.

[95] 하지만, 본 발명에서는 이러한 포토레지스트 공정을 배제함으로써, 제조시간과 제조단가를 낮출 수 있는 회로 기판을 제공할 수 있다.

[96] 또한, 종래의 경우, 솔더링부를 형성함에 있어서, 상기 솔더링부의 일정 두께를 확보하기 위하여, 솔더 도금층의 두께를 일정 두께 이상으로 확보하는 것이 필요하였다.

[97] 예를 들어, 상기 솔더 도금층의 두께를 15 내지 20 μm 로 도금하여야만, 이후 공정에서 형성되는 솔더링부의 두께가 확보되었다.

- [98] 하지만, 본 발명에서는 솔더링부를 형성함에 있어서, 상술한 바와 같은 상기 단자부 영역(Y)에 위치하는 제2저융점 금속층(240c)이 솔더링부로 형성될 뿐만 아니라, 제3저융점 금속층(240b)의 일부가 상기 제2저융점 금속층(240)으로 이동하여 솔더링부(240c')를 형성하게 되므로, 따라서, 상기 저융점 금속층의 두께를 종래보다 얇게 형성하더라도 솔더링부의 두께를 확보할 수 있다.
- [99] 예를 들어, 본 발명에서는 상기 저융점 금속층의 두께를 5 내지 10 μm 로 도금하더라도, 솔더링부의 두께를 확보하는 것이 가능하다.
- [100] 상기 저융점 금속층의 두께가 5 μm 미만인 경우는 솔더링부를 형성함에 있어서, 솔더링 특성이 저하될 수 있으며, 상기 저융점 금속층의 두께가 10 μm 를 초과하는 경우, 종래의 방법에 비하여 두께면에서의 이점이 없을 수 있으므로, 따라서, 상기 저융점 금속층의 두께는 5 내지 10 μm 인 것이 바람직하다.
- [101] 이때, 본 발명에서, 상기 회로패턴과 상기 저융점 금속층의 두께비는 1:1 내지 3:1인 것이 바람직하다.
- [102] 이하에서는 본 발명에 따른 회로기판의 적용예를 설명하기로 한다.
- [103] 이때, 하기에서 서술하는 본 발명에 따른 회로기판의 적용예는 복수의 회로기판을 적층하는 경우의 적용예에 관한 것으로, 보다 구체적으로 쓰루홀 영역을 포함하는 회로기판에 관한 것이다.
- [104] 즉, 하기에서는 본 발명에 따른 회로기판이 단일 기판이 아닌, 복수의 회로기판의 적층구조를 설명하고자 하는 것이며, 따라서, 상술한 도 6 내지 도 8, 이와 관련된 설명에서는 상기 회로기판의 외부에 위치하는 그외 장치를 연결하는 영역인 단자부 영역을 설명하였으며, 하기에서는 적층형 회로기판을 구성하기 위하여, 복수의 회로기판 상호 간을 전기적으로 연결하기 위한 내부 연결단자에 대해 설명하기로 한다.

발명의 실시를 위한 형태

- [105] 도 9는 본 발명에 따른 제1회로기판을 도시하는 개략적인 평면도이고, 도 10은 본 발명에 따른 제1회로기판을 도시하는 개략적인 평면도로써, 도 9의 I-I 선에 따른 단면도이다.
- [106] 상술한 바와 같이, 도 9의 Z1 영역은 도 6 내지 도 8에 도시하는 단자부 영역에 해당하며, 도 9의 I-I 선에 따른 단면도 영역은 복수의 회로기판을 연결하기 위한 내부 연결단자영역에 해당한다.
- [107] 도 9 및 도 10을 참조하면, 본 발명에 따른 제1회로기판(300)은 제1베이스 기판(310)을 포함하며, 상기 제1베이스 기판(310)은 제1회로부 영역(A1)과 제1내부 연결단자부 영역(B1)을 포함할 수 있다.
- [108] 이때, 상기 제1회로부 영역(A1)의 일측 끝단에는 외부 구성과 연결될 수 있는 제1외부 연결단자부(Z1)를 포함할 수 있다.
- [109] 계속해서, 도 9 및 도 10을 참조하면, 본 발명에 따른 제1회로기판의 상기 제1내부 연결단자부 영역(B1)은 제1쓰루홀 영역(312)을 포함한다.

- [110] 일반적으로 쓰루홀이라 함은, 그 하부에 위치하는 다른 구성이 없는 상태의 홀을 의미한다.
- [111] 예를 들어, 상기 제1내부 연결단자부 영역(B1)이 일정 홀을 포함한다고 가정시, 상기 제1내부 연결단자부 영역(B1)의 하부가 다른 구성에 의해 차단되어 있는 경우에는 비아홀로 정의할 수 있고, 본 발명에서와 같은 쓰루홀의 경우, 제1내부 연결단자부 영역(B1)의 하부가 다른 구성에 의해 차단되어 있지 않는 것을 의미한다.
- [112] 따라서, 본 발명에서 상기 제1내부 연결단자부 영역(B1)이 제1쓰루홀 영역(312)을 포함한다는 의미는, 도 10에 도시된 바와 같이, 상기 제1쓰루홀 영역(312)과 대응하는 영역의 상기 제1베이스 기판(310)의 영역도 컷팅되어, 상기 제1쓰루홀 영역의 하부에 위치하는 다른 구성이 존재하지 않음을 의미한다.
- [113] 계속해서, 도 10를 참조하면, 상술한 바와 같이, 본 발명에 따른 제1회로기판(300)은 제1회로부 영역(A1)과 제1내부 연결단자부 영역(B1)을 포함하는 제1베이스 기판(310); 상기 제1베이스 기판(310)의 상부에 형성되는 제1회로 패턴(320); 상기 제1회로 패턴(320)의 상부에 위치하는 제1저용점 금속층(330)을 포함한다.
- [114] 상기 회로패턴과 상기 저용점 금속층에 대해서는 상술한 도 6 내지 도 8에서 설명한 바와 같으므로, 이하 구체적인 설명은 생략하기로 한다.
- [115] 이때, 도 10에 도시된 바와 같이, 상기 제1저용점 금속층(330)은 상기 제1회로 패턴(320)의 상면에 위치하는 상면 제1저용점 금속층(330a) 및 상기 제1회로패턴(320)의 측면에 위치하는 측면 제1저용점 금속층(330b)으로 구분될 수 있다.
- [116] 상술한 바와 같이, 상기 제1저용점 금속층(330)은 공지된 전기 도금방법에 의해 형성될 수 있으며, 상기 전기 도금법에 의해 상기 제1저용점 금속층을 형성함에 있어서, 상기 제1회로 패턴(320)은 전계를 인가하기 위한 전극으로 사용될 수 있다.
- [117] 따라서, 전기 도금법에 의해 형성되는 상기 제1저용점 금속층은 상기 제1회로 패턴의 상면에 형성되는 동시에, 상기 제1회로패턴의 측면에도 형성될 수 있으며, 즉, 상기 제1저용점 금속층(330)은 상기 제1회로 패턴(320)의 상면에 위치하는 상면 제1저용점 금속층(330a) 및 상기 제1회로패턴(320)의 측면에 위치하는 측면 제1저용점 금속층(330b)으로 구분될 수 있다.
- [118] 이때, 상기 제1회로패턴(320)의 측면에, 측면 제1저용점 금속층(330b)이 형성되는 것은 상기 제1쓰루홀 영역(312)에 저용점 금속층이 위치하는 것을 의미한다.
- [119] 이는, 본 발명에 따른 회로기판의 적용예에서 가장 기본적인 기술적 내용에 해당하는 것으로, 본 발명에 따른 회로기판의 적용예는, 제1회로기판(300)은 제1회로부 영역(A1)과 제1내부 연결단자부 영역(B1)을 포함하는 제1베이스

기관(310); 상기 제1베이스 기관(310)의 상부에 형성되는 제1회로 패턴(320); 상기 제1회로 패턴(320)의 상부에 위치하는 제1저용점 금속층(330)을 포함하고, 상기 제1내부 연결단자부 영역(B1)은 제1쓰루홀 영역(312)을 포함하며, 상기 제1쓰루홀 영역(312)은 측면 제1저용점 금속층(330b)을 포함하는 것을 특징으로 한다.

[120] 이러한 측면 제1저용점 금속층(330b)의 역할에 대해서는 후술하기로 한다.

[121] 이하에서는 상술한 제1회로기관과 적층되기 위한 제2회로기관에 대해 설명하기로 한다.

[122] 도 11은 본 발명에 따른 제2회로기관을 도시하는 개략적인 평면도이고, 도 12는 본 발명에 따른 제2회로기관을 도시하는 개략적인 평면도로써, 도 11의 II-II 선에 따른 단면도이다.

[123] 상술한 바와 같이, 도 11의 Z2 영역은 도 6 내지 도 8에 도시하는 단자부 영역에 해당하며, 도 11의 II-II 선에 따른 단면도 영역은 복수의 회로기관을 연결하기 위한 내부 연결단자영역에 해당한다.

[124] 도 11 및 도 12를 참조하면, 본 발명에 따른 제2회로기관(400)은 제2베이스 기관(410)을 포함하며, 상기 제2베이스 기관(410)은 제2회로부 영역(A2)과 제2내부 연결단자부 영역(B2)을 포함할 수 있다.

[125] 이때, 상기 제2회로부 영역(A2)의 일측 끝단에는 외부 구성과 연결될 수 있는 제2외부 연결단자부(Z2)을 포함할 수 있다.

[126] 계속해서, 도 11 및 도 12를 참조하면, 본 발명에 따른 제2회로기관의 상기 제2내부 연결단자부 영역(B2)은 제2쓰루홀 영역(412)을 포함한다.

[127] 쓰루홀의 개념에 대해서는 상술한 바와 같으므로, 이하 구체적인 설명은 생략하기로 하며, 따라서, 본 발명에서 상기 제2내부 연결단자부 영역(B2)이 제2쓰루홀 영역(412)을 포함한다는 의미는, 도 12에 도시된 바와 같이, 상기 제2쓰루홀 영역(412)과 대응하는 영역의 상기 제2베이스 기관(410)의 영역도 컷팅되어, 상기 제2쓰루홀 영역의 하부에 위치하는 다른 구성이 존재하지 않음을 의미한다.

[128] 계속해서, 도 12를 참조하면, 상술한 바와 같이, 본 발명에 따른 제2회로기관(400)은 제2회로부 영역(A2)과 제2내부 연결단자부 영역(B2)을 포함하는 제2베이스 기관(410); 상기 제2베이스 기관(410)의 상부에 형성되는 제2회로 패턴(420); 상기 제2회로 패턴(420)의 상부에 위치하는 제2저용점 금속층(430)을 포함한다.

[129] 이때, 도 12에 도시된 바와 같이, 상기 제2저용점 금속층(430)은 상기 제2회로 패턴(420)의 상면에 위치하는 상면 제2저용점 금속층(430a) 및 상기 제2회로패턴(420)의 측면에 위치하는 측면 제2저용점 금속층(430b)으로 구분될 수 있다.

[130] 상술한 바와 같이, 상기 제2저용점 금속층(430)은 공지된 전기 도금방법에 의해 형성될 수 있으며, 상기 전기 도금법에 의해 상기 제2저용점 금속층을 형성함에

있어서, 상기 제2회로 패턴(420)은 전계를 인가하기 위한 전극으로 사용될 수 있다.

- [131] 따라서, 전기 도금법에 의해 형성되는 상기 제2저용점 금속층은 상기 제2회로 패턴의 상면에 형성되는 동시에, 상기 제2회로패턴의 측면에도 형성될 수 있으며, 즉, 상기 제2저용점 금속층(430)은 상기 제2회로 패턴(420)의 상면에 위치하는 상면 제2저용점 금속층(430a) 및 상기 제2회로패턴(420)의 측면에 위치하는 측면 제2저용점 금속층(430b)으로 구분될 수 있다.
- [132] 이때, 상기 제2회로패턴(420)의 측면에, 측면 제2저용점 금속층(430b)이 형성되는 것은 상기 제2쓰루홀 영역(412)에 저용점 금속층이 위치하는 것을 의미한다.
- [133] 이는, 상술한 바와 같이, 본 발명에 따른 회로기판의 적용예에서 가장 기본적인 기술적 내용에 해당하는 것으로, 본 발명에 따른 회로기판의 적용예는, 제2회로기판(300)은 제2회로부 영역(A2)과 제2내부 연결단자부 영역(B2)을 포함하는 제2베이스 기판(410); 상기 제2베이스 기판(410)의 상부에 형성되는 제2회로 패턴(420); 상기 제2회로 패턴(420)의 상부에 위치하는 제2저용점 금속층(430)을 포함하고, 상기 제2내부 연결단자부 영역(B2)은 제2쓰루홀 영역(412)을 포함하며, 상기 제2쓰루홀 영역(412)은 측면 제2저용점 금속층(430b)을 포함하는 것을 특징으로 한다.
- [134] 상술한 바와 같이, 본 발명에 따른 회로기판의 적용예는 복수의 회로기판을 적층하는 경우의 적용예에 관한 것이다.
- [135] 즉, 본 발명에서는 상기 제1회로기판(300)과 상기 제2회로기판(400)을 적층하여 적층된 회로기판을 구성할 수 있으며, 이는 상기 제1내부 연결단자부 영역(B1)에 포함되는 상기 제1쓰루홀 영역(312)과 상기 제2내부 연결단자부 영역(B2)에 포함되는 상기 제2쓰루홀 영역(412)을 통해 상기 제1회로기판과 상기 제2회로기판을 전기적으로 연결함으로써, 본 발명에 따른 적층된 회로기판을 구성할 수 있다.
- [136] 이하에서는 제1회로기판과 제2회로기판을 적층하여 적층된 회로기판을 구성하는 방법에 대해 설명하기로 한다.
- [137] 도 13 및 도 14는 본 발명에 따른 적층된 회로기판을 구성하는 방법을 설명하기 위한 개략적인 단면도이다.
- [138] 도 13 및 도 14에서는 설명의 편의를 위하여, 도 10 및 도 12에 도시된 단면도의 적층구조를 도시하고 있다.
- [139] 먼저, 도 13에 도시된 바와 같이, 상기 제1회로기판(300)의 상기 제1내부 연결단자부 영역(B1)에 포함되는 상기 제1쓰루홀 영역(312)과 상기 제2회로기판(400)의 상기 제2내부 연결단자부 영역(B2)에 포함되는 상기 제2쓰루홀 영역(412)이 상호 대응될 수 있도록 상기 제1회로기판(300)과 상기 제2회로기판(400)을 적층한다.
- [140] 이때, 상기 제1쓰루홀 영역(312)은 측면 제1저용점 금속층(330b)을 포함하고,

상기 제2쓰루홀 영역(412)은 측면 제2저융점 금속층(430b)을 포함하며, 따라서, 상기 제1쓰루홀 영역(312)과 상기 제2쓰루홀 영역(412)이 상호 대응되도록 적층됨에 따라, 상기 측면 제1저융점 금속층(330b)과 상기 측면 제2저융점 금속층(430b)도 상호 대응되도록 적층될 수 있다.

- [141] 또한, 본 발명에 따른 적층형 회로기판에서는 상기 제1쓰루홀 영역(312)과 상기 제2쓰루홀 영역(412)이 상호 대응되도록 적층되기 때문에, 상기 제1쓰루홀 영역(312)과 상기 제2쓰루홀 영역(412)이 연결됨에 따라, 상기 적층형 회로기판은 단자부 영역에서 연속적인 쓰루홀 영역(312, 412)을 포함하게 된다.
- [142] 이때, 상기 연속적인 쓰루홀 영역(312, 412)에 별도의 열원(Heat)을 가해 주게 되면, 도 14에 도시된 바와 같이, 상기 측면 제1저융점 금속층(330b)과 상기 측면 제2저융점 금속층(430b)은 리플로우되어, 상기 측면 제1저융점 금속층(330b)과 상기 측면 제2저융점 금속층(430b)이 상호 연결되는 연결부(C)를 제공하게 된다.
- [143] 이때, 상기 열원(Heat)은 가열장치, 레이저 장치, 펄스 장치 등의 다양한 수단을 사용할 수 있으며, 다만, 본 발명에서 상기 열원의 종류를 제한하는 것은 아니다.
- [144] 즉, 본 발명에서는 상기 연결부(A)를 통해, 제1회로기판과 제2회로기판이 전기적으로 연결되므로, 복수의 회로기판이 연결되는 적층형 회로기판을 구성할 수 있다.
- [145] 한편, 도면에서는 2개의 회로기판이 적층되는 적층형 회로기판을 설명하고 있으나, 이와는 달리, 2개 이상의 회로기판을 적층하는 적층형 회로기판을 구성할 수 있다.
- [146] 예를 들어, 복수의 회로기판은 각각 쓰루홀 영역을 포함하고 있고, 이들 쓰루홀 영역이 모두 상호 대응되도록 적층하여 복수개의 회로기판이 적층된 적층형 회로기판을 구성할 수 있다. 따라서, 본 발명에서 적층된 회로기판의 종류를 제한하는 것은 아니다.
- [147] 상술한 바와 같이, 일반적인 회로기판은 적층형 회로기판을 구성하기 위해서는 예를 들어, 제1회로기판과 제2회로기판을 전기적으로 연결하기 위한 내부 연결단자가 필요하다.
- [148] 하지만, 일반적인 적층형 회로기판에서 내부 연결단자를 구성하기 위해서는 내부 연결단자부에 별도의 도금층을 구성해야 하며, 이는 제조공정의 증가로 인하여, 제조시간과 제조단가의 상승요인이 되는 문제점이 있다.
- [149] 하지만, 본 발명에서는 회로 패턴의 상부에 저융점 금속층을 형성하기 때문에, 상기 저융점 금속층, 보다 구체적으로, 상기 쓰루홀 영역에 위치하는 측면 저융점 금속층을 통해, 내부 연결단자를 구성하기 때문에, 일반적인 공정에서와 같은 별도의 도금층을 형성하는 공정을 배제할 수 있다.
- [150] 이하에서는 본 발명에 따른 회로기판의 변형예를 설명하기로 한다.
- [151] 이때, 하기에서 서술하는 본 발명에 따른 회로기판의 변형예는 베이스 기판의 상면과 하면에 각각 회로패턴이 형성되는, 양면형 회로기판에 관한 것으로, 즉, 양면형 회로기판의 상면과 하면의 회로패턴을 전기적으로 연결하는 쓰루홀

영역을 포함하는 회로기판에 관한 것이다.

- [152] 도 15는 본 발명에 따른 변형예의 회로기판을 도시하는 개략적인 단면도이고, 도 16은 본 발명에 따른 변형예의 회로기판에서의 상면과 하면을 전기적으로 연결하는 방법을 도시한 개략적인 단면도이다.
- [153] 이때, 도 15는 도 9의 I-I 선에 따른 영역으로 이해될 수 있다.
- [154] 도 15를 참조하면, 본 발명에 따른 회로기판의 변형예는 양면형 회로기판(500)에 관한 것으로, 제3베이스 기판(510)을 포함하며, 상기 제3베이스 기판(510)은 제3회로부 영역(A3)과 제3내부 연결단자부 영역(B3)을 포함할 수 있다.
- [155] 또한, 본 발명에 따른 양면형 회로기판의 상기 제3내부 연결단자부 영역(B3)은 제3쓰루홀 영역(512)을 포함한다.
- [156] 일반적으로 쓰루홀이라 함은, 그 하부에 위치하는 다른 구성이 없는 상태의 홀을 의미한다. 즉, 본 발명에서 상기 제3내부 연결단자부 영역(B3)이 제3쓰루홀 영역(512)을 포함한다는 의미는, 상기 제3쓰루홀 영역(512)과 대응하는 영역의 상기 제3베이스 기판(510)의 영역도 컷팅되어, 상기 제3쓰루홀 영역의 하부에 위치하는 다른 구성이 존재하지 않음을 의미한다.
- [157] 계속해서, 도 15를 참조하면, 상술한 바와 같이, 본 발명에 따른 양면형 회로기판(500)은 제3회로부 영역(A3)과 제3내부 연결단자부 영역(B3)을 포함하는 제3베이스 기판(510); 상기 제3베이스 기판(510)의 제1면에 형성되는 제1회로 패턴(520); 상기 제1회로 패턴(520)의 상부에 위치하는 제1저용점 금속층(530); 상기 제3베이스 기판(510)의 제2면에 형성되는 제2회로 패턴(540); 상기 제2회로 패턴(540)의 상부에 위치하는 제2저용점 금속층(550)을 포함한다.
- [158] 상기 회로패턴과 상기 저용점 금속층에 대해서는 상술한 도 6 내지 도 8에서 설명한 바와 같으므로, 이하 구체적인 설명은 생략하기로 한다.
- [159] 이때, 도 15에 도시된 바와 같이, 상기 제1저용점 금속층(530)은 상기 제1회로 패턴(520)의 상면에 위치하는 상면 제1저용점 금속층(530a) 및 상기 제1회로패턴(520)의 측면에 위치하는 측면 제1저용점 금속층(530b)으로 구분될 수 있다.
- [160] 이때, 상기 제1회로패턴(520)의 측면에, 측면 제1저용점 금속층(530b)이 형성되는 것은 상기 제3쓰루홀 영역(512)에 저용점 금속층이 위치하는 것을 의미한다.
- [161] 또한, 상기 제2저용점 금속층(550)은 상기 제2회로 패턴(540)의 상면에 위치하는 상면 제2저용점 금속층(550a) 및 상기 제2회로패턴(540)의 측면에 위치하는 측면 제2저용점 금속층(550b)으로 구분될 수 있다.
- [162] 이때, 상기 제1회로패턴(520)의 측면에, 측면 제2저용점 금속층(550b)이 형성되는 것은 상기 제3쓰루홀 영역(512)에 저용점 금속층이 위치하는 것을 의미한다.
- [163] 다음으로, 도 16을 참조하면, 상기 제3쓰루홀 영역(512)에 별도의 열원(Heat)을

가해 주게 되면, 상기 측면 제1저융점 금속층(530b)과 상기 측면 제2저융점 금속층(550b)은 리플로우되어, 상기 측면 제1저융점 금속층(530b)과 상기 측면 제2저융점 금속층(550b)이 상호 연결되는 연결부(D)를 제공하게 된다.

[164] 즉, 본 발명에서는 상기 연결부(D)를 통해, 베이스 기판의 제1면에 위치하는 제1회로패턴과 베이스 기판의 제2면에 위치하는 제2회로패턴이 전기적으로 연결될 수 있다.

[165] 이상과 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

청구범위

- [청구항 1] 회로부 영역과 단자부 영역을 포함하는 베이스 기판;
상기 베이스 기판의 상부에 형성되는 회로 패턴; 및
상기 회로 패턴의 상부에 형성되는 저융점 금속층을 포함하는 회로 기판.
- [청구항 2] 제 1 항에 있어서,
상기 저융점 금속층은, 상기 회로부 영역에 위치하는 제1저융점 금속층; 상기 단자부 영역에 위치하는 제2저융점 금속층; 및 상기 회로부 영역에 위치하고, 상기 단자부 영역에 인접하여 위치하는 제3저융점 금속층을 포함하는 회로 기판.
- [청구항 3] 제 1 항에 있어서,
상기 저융점 금속층은 100 ~ 250°C의 온도 범위에서 용융되는 금속으로 이루어지는 회로 기판.
- [청구항 4] 제 1 항에 있어서,
상기 제2저융점 금속층을 열처리함에 의하여, 상기 제2저융점 금속층은 솔더링부를 형성하고,
상기 제3저융점 금속층을 열처리함에 의하여, 용융된 상기 제3저융점 금속층의 일부가 상기 제2저융점 금속층(240)으로 이동하여 상기 솔더링부를 형성하는 회로 기판.
- [청구항 5] 제 4 항에 있어서,
상기 제3저융점 금속층은 경사면을 포함하는 회로 기판.
- [청구항 6] 회로부 영역과 단자부 영역을 포함하는 베이스 기판을 제공하는 단계;
베이스 기판의 상부에 회로 패턴을 형성하는 단계;
상기 회로부 영역에 위치하는 제1저융점 금속층, 상기 단자부 영역에 위치하는 제2저융점 금속층 및 상기 회로부 영역에 위치하고, 상기 단자부 영역에 인접하여 위치하는 제3저융점 금속층을 포함하는 저융점 금속층을 형성하는 단계; 및
상기 제2저융점 금속층을 열처리하여 솔더링부를 형성하는 단계를 포함하는 회로 기판의 제조방법.
- [청구항 7] 제 6 항에 있어서,
상기 제2저융점 금속층을 열처리함에 의하여, 상기 제2저융점 금속층은 용융되며, 상기 용융된 제2저융점 금속층은 다시 냉각되면서 표면장력에 의하여, 상기 솔더링부가 형성되는 회로 기판의 제조방법.
- [청구항 8] 제 7 항에 있어서,
상기 제2저융점 금속층을 열처리함에 의하여, 상기 제2저융점

금속층 제공된 열은 상기 제3저융점 금속층에 전달되고, 상기 제3저융점 금속층의 일부가 용융되어, 용융된 상기 제3저융점 금속층의 일부가 상기 제2저융점 금속층으로 이동하여 상기 솔더링부를 형성하는 회로 기판의 제조방법.

[청구항 9]

제1회로기판 및 상기 제1회로기판과 적층되는 제2회로기판을 포함하는 적층형 회로기판에 있어서, 상기 제1회로기판은, 제1회로부 영역과 제1내부 연결단자부 영역을 포함하는 제1베이스 기판; 상기 제1베이스 기판의 상부에 형성되는 제1회로 패턴; 상기 제1회로 패턴의 상부에 위치하는 제1저융점 금속층을 포함하고, 상기 제1내부 연결단자부 영역은 제1쓰루홀 영역을 포함하며, 상기 제1쓰루홀 영역은 측면 제1저융점 금속층을 포함하고, 상기 제2회로기판은 제2회로부 영역과 제2내부 연결단자부 영역을 포함하는 제2베이스 기판; 상기 제2베이스 기판의 상부에 형성되는 제2회로 패턴; 상기 제2회로 패턴의 상부에 위치하는 제2저융점 금속층을 포함하고, 상기 제2내부 연결단자부 영역은 제2쓰루홀 영역을 포함하며, 상기 제2쓰루홀 영역은 측면 제2저융점 금속층을 포함하는 적층형 회로기판.

[청구항 10]

제 9 항에 있어서, 상기 측면 제1저융점 금속층과 상기 측면 제2저융점 금속층이 상호 연결되는 연결부를 포함하는 적층형 회로기판.

[청구항 11]

회로부 영역과 내부 연결단자부 영역을 포함하는 베이스 기판; 상기 베이스 기판의 제1면에 형성되는 제1회로 패턴; 상기 제1회로 패턴의 상부에 위치하는 제1저융점 금속층; 상기 베이스 기판의 제2면에 형성되는 제2회로 패턴; 및 상기 제2회로 패턴의 상부에 위치하는 제2저융점 금속층을 포함하고,

상기 제1저융점 금속층은 상기 제1회로 패턴의 상면에 위치하는 상면 제1저융점 금속층 및 상기 제1회로패턴의 측면에 위치하는 측면 제1저융점 금속층을 포함하며,

상기 제2저융점 금속층은 상기 제2회로 패턴의 상면에 위치하는 상면 제2저융점 금속층 및 상기 제2회로패턴의 측면에 위치하는 측면 제2저융점 금속층을 포함하고,

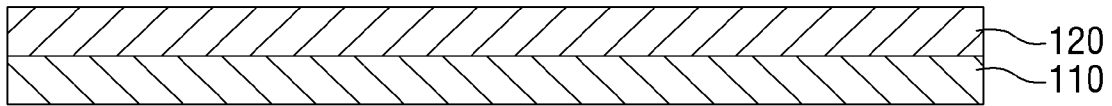
상기 내부 연결단자부 영역은 쓰루홀 영역을 포함하며, 상기 쓰루홀 영역은 상기 측면 제1저융점 금속층 및 상기 측면 제2저융점 금속층을 포함하는 양면형 회로기판.

[청구항 12]

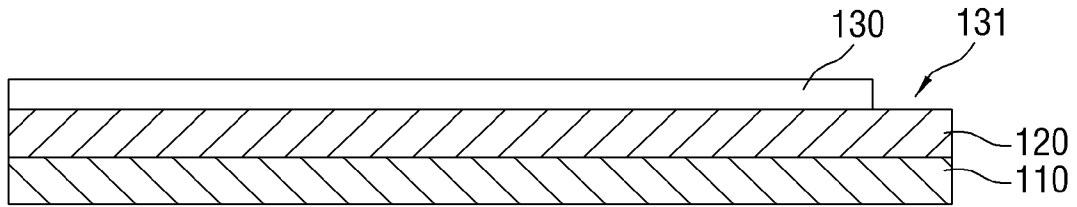
제 11 항에 있어서, 상기 측면 제1저융점 금속층과 상기 측면 제2저융점 금속층이

상호 연결되는 연결부를 포함하는 양면형 회로기판.

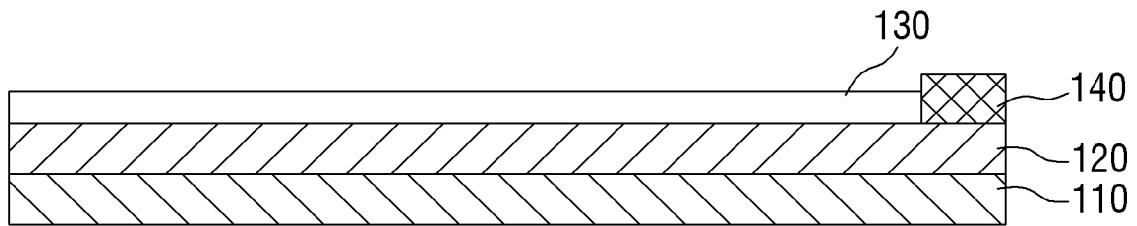
[Fig. 1]



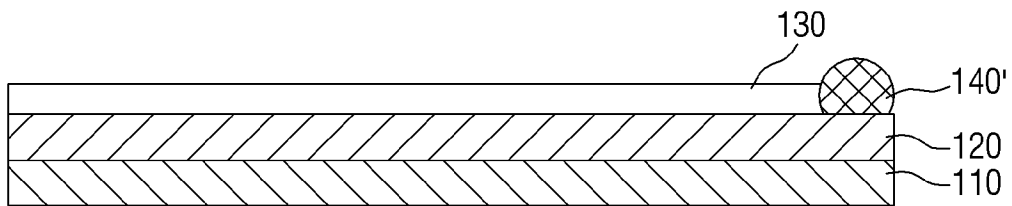
[Fig. 2]



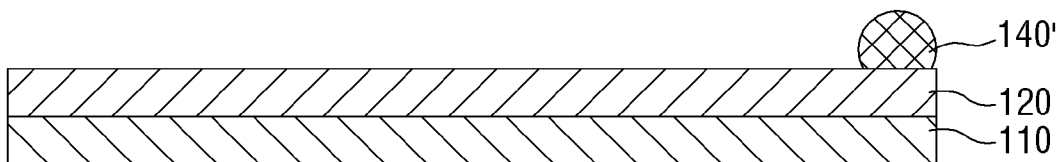
[Fig. 3]



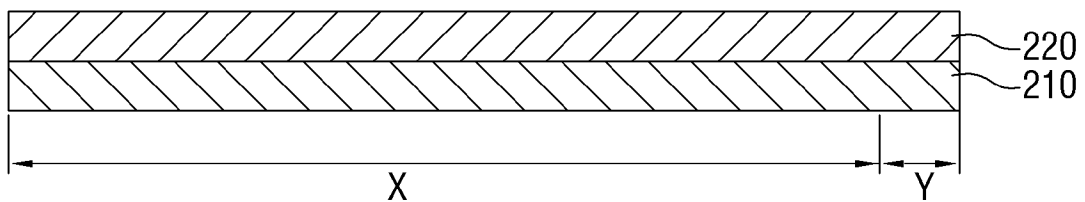
[Fig. 4]



[Fig. 5]

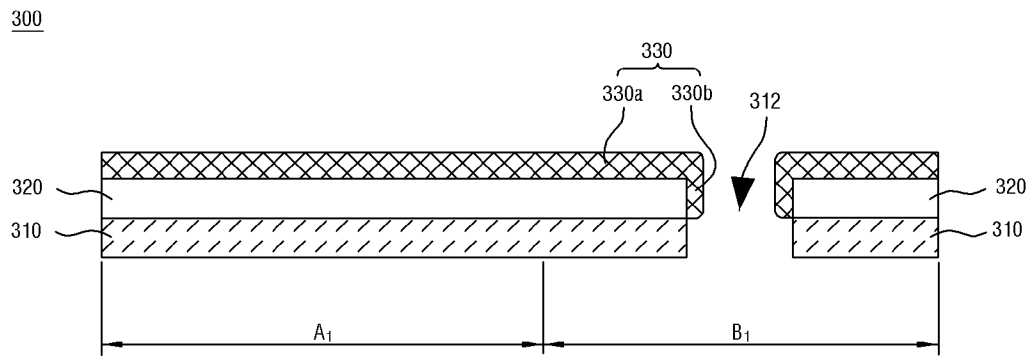


[Fig. 6]

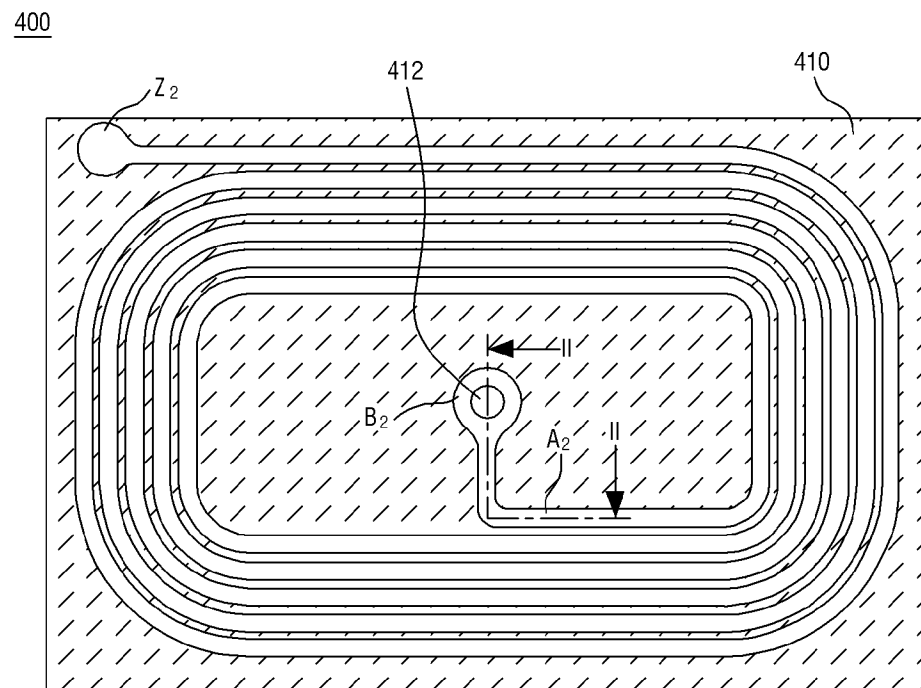


A cross-sectional view of a multi-layered structure 240. The structure consists of three distinct layers: a top layer 240a with a cross-hatched pattern, a middle layer 220 with diagonal hatching, and a bottom layer 210 with a different diagonal hatching pattern. Dimension lines indicate the lengths of these layers: 240a for the top layer, 240b for the middle layer, and 240c for the bottom layer. A total length dimension X is shown at the bottom, and a partial length dimension Y is shown at the bottom right, corresponding to the bottom layer 210.

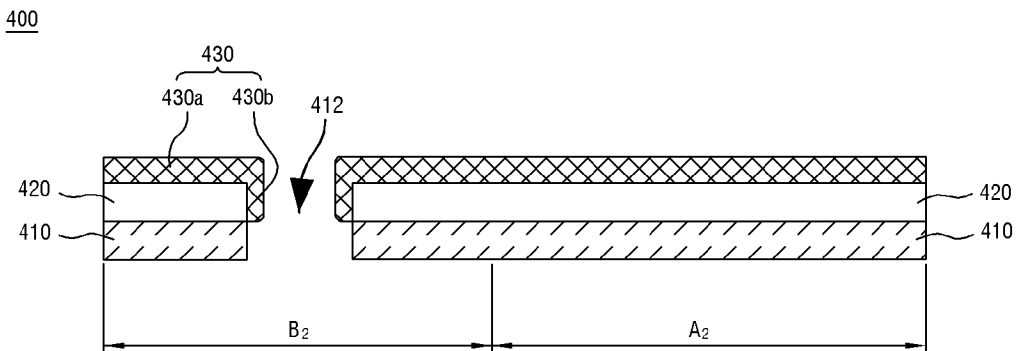
[Fig. 10]



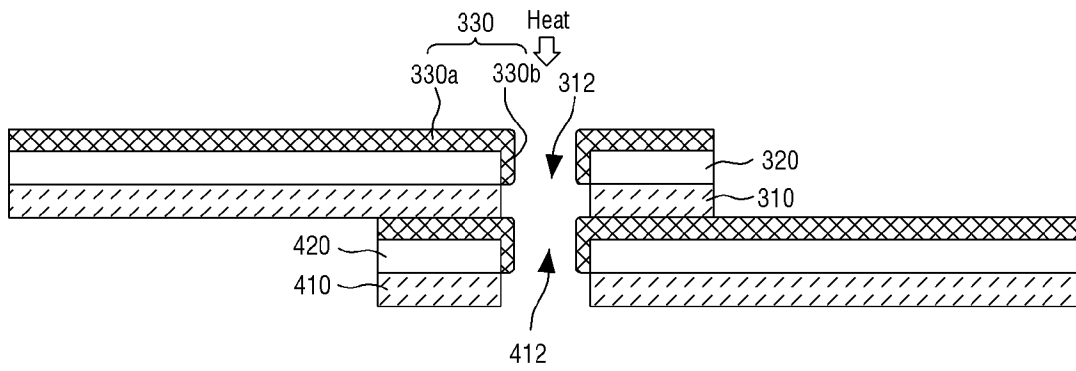
[Fig. 11]



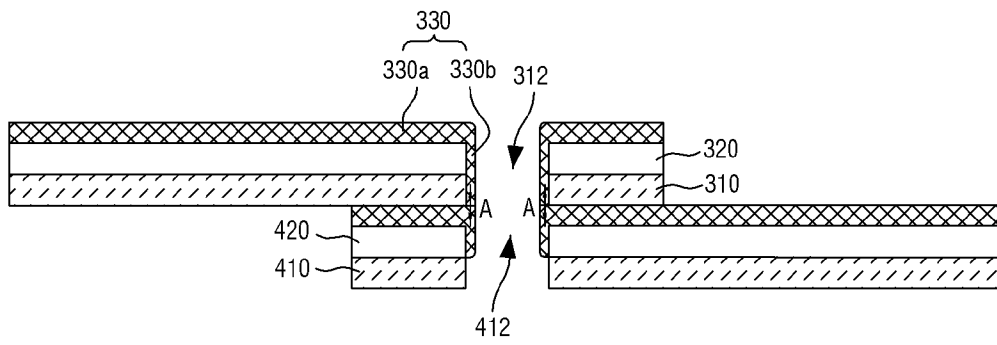
[Fig. 12]



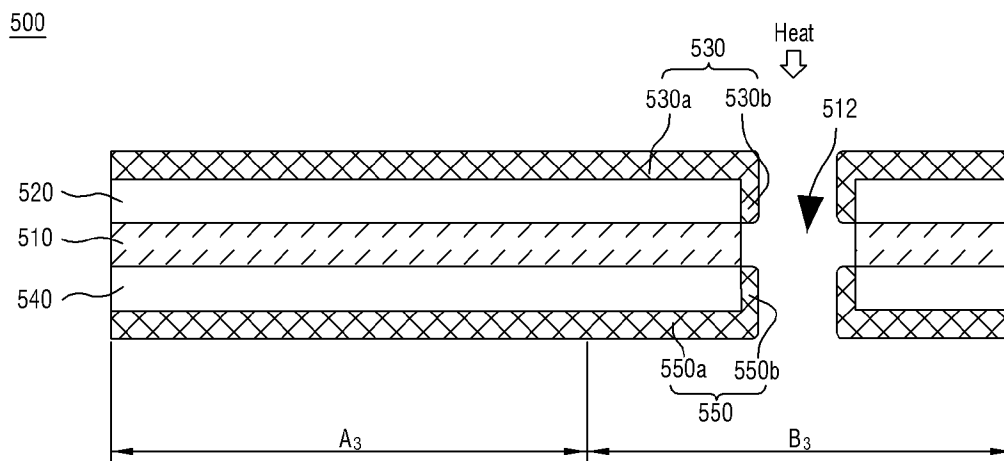
[Fig. 13]



[Fig. 14]



[Fig. 15]



[Fig. 16]

500