(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5366625号
(P5366625)

(45)発行日　平成25年12月11日(2013.12.11)　(24)登録日　平成25年9月20日(2013.9.20)

(51)Int.Cl.		F I		
H03M 7/36	(2006.01)	H03M	7/36	
H04L 29/02	(2006.01)	H04L	13/00	301Z
H04L 25/49	(2006.01)	H04L	25/49	C

請求項の数 4　(全 9 頁)

(21)出願番号　特願2009-95128(P2009-95128)
(22)出願日　平成21年4月9日(2009.4.9)
(65)公開番号　特開2010-246029(P2010-246029A)
(43)公開日　平成22年10月28日(2010.10.28)
審査請求日　平成24年4月3日(2012.4.3)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100090284
弁理士　田中　常雄
(72)発明者　金子　唯史
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

審査官　北村　智彦

最終頁に続く

(54)【発明の名称】データ伝送装置およびデータ伝送方法

(57)【特許請求の範囲】
【請求項１】
２値データを入力する手段と、
前記入力された２値データ信号から第１予測値を得る第１予測器と、
前記２値データ信号と前記第１予測値との差分値を算出する減算器と、
前記差分値を、前記差分値が０に近いほど、２進値”１”のビット数が少ない符号に変換する符号化手段と、
前記符号化手段の出力に排他的論理和演算を行う手段であって、前記符号化手段の出力と、直前の排他的論理和演算の出力との間で排他的論理和演算を行い、得られた２値信号を伝送媒体に出力する第１演算手段と、
前記伝送媒体から読み出した前記２値信号と、直前に読み出した２値信号との間で排他的論理和演算を行い、前記符号を出力する第２演算手段と、
前記第２演算手段から出力された符号を入力し、入力した符号に対応する前記差分値に変換する復号化手段と、
前記復号化手段の出力に第２予測値を加算する加算器と、
前記加算器から出力された２値データを出力する手段と、
前記加算器から出力された２値データから、前記第２予測値を得る第２予測器
とを有することを特徴とするデータ伝送装置。
【請求項２】
前記第１予測手段は、前記入力された２値データを所定ビット数遅延させることにより

前記第１予測値を得、前記第２予測手段は、前記加算器から出力された２値データを前記所定ビット数遅延させることにより前記第２予測値を得ることを特徴とする請求項１に記載のデータ伝送装置。

【請求項３】

前記入力された２値データと前記第１予測値はそれぞれｎビットであり、前記減算器は、前記減算により得られるｎ＋１ビットのＭＳＢを除いた補数表現のｎビットデータとして出力することを特徴とする請求項１または２に記載のデータ伝送装置。

【請求項４】

２値データを入力するステップと、

前記入力された２値データ信号から第１予測値を得る第１予測ステップと、

前記２値データ信号と前記第１予測値との差分値を算出する減算ステップと、

前記差分値を、前記差分値が０に近いほど、２進値”１”のビット数が少ない符号に変換する符号化ステップと、

前記符号化ステップの出力に排他的論理和演算を行うステップであって、前記符号化ステップの出力と、直前の排他的論理和演算の出力との間で排他的論理和演算を行い、得られた２値信号を伝送媒体に出力する第１演算ステップと、

前記伝送媒体から読み出した前記２値信号と、直前に読み出した２値信号との間で排他的論理和演算を行い、前記符号を出力する第２演算ステップと、

前記第２演算ステップから出力された符号を入力し、入力した符号に対応する前記差分値に変換する復号化ステップと、

前記復号化ステップの出力に第２予測値を加算する加算ステップと、

前記加算ステップから出力された２値データを出力するステップと、

前記加算ステップから出力された２値データから、前記第２予測値を得る第２予測ステップ

とを有することを特徴とするデータ伝送方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、２値データ信号を伝送するデータ伝送装置および方法に関する。

【背景技術】

【０００２】

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開平９－１８６６０７号公報

【０００４】

従来、画像データなどのデジタル情報データを処理する装置は半導体ＩＣ化され、ＬＳＩ（Ｌｅｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｅｄ　ｃｉｒｃｕｉｔ）、装置外部とのインターフェース回路、及びメモリ回路などで構成されている。

【０００５】

これらの回路は、近年、消費電力の低いＣＭＯＳ回路によって構成されるようになっている。ＣＭＯＳ回路は、論理レベル（又は信号レベル）が変化する際に電力を消費するという特徴を持つ。すなわち、ＣＭＯＳ回路は、論理レベルが変化する回数が多いほど、即ちトグル量が多いほど消費電力が多くなり、トグル量が少ないほど消費電力が少なくなる。

【０００６】

特許文献１には、８ビット並列転送の場合で、入力データ信号から直前の入力データ信号から得られる予測値を減算し、得たられた差分値を伝送することが記載されている。このような差分値は、０値の近辺に集まりやすくなる。差分値の最上位ビット（ＭＳＢ）が１のときには、最上位ビット以外の下位ビットをそのまま転送し、ＭＳＢが０のときには

、下位ビットを反転して転送することが記載されている。このような選択的なビット反転処理により、差分値が正値から負値又はその逆に変化するときでも、ビット値の反転が少なくなり、全体としてトグル量を削減できる。

【発明の概要】

【発明が解決しようとする課題】

【０００７】

特許文献１の記載の方法でも、差分値が大きく変動するような場合には、トグル量が少なくならない。例えば、８ビット並列データ伝送において、入力データが０、１２８、１２８と変化したとする。予測値を前サンプル値とし、先頭データの予測値を０とすると、この場合では、差分値は０、＋１２８、０となる。

【０００８】

特許文献１に記載の方法では、差分データのＭＳＢが０の場合、差分値の最上位ビット以外のビットを反転したものを伝送データとし、差分値のＭＳＢが１の場合、差分値をそのまま伝送データとする。この数値例では、伝送データは２進表現で０１１１１１１１、１００００００００、０１１１１１１１となる。トグル量は、１番目から２番目で８個、２番目から３番目で８個であり、合計のトグル量は１６個となる。即ち、差分値が＋１２８であっても、０であっても、トグル量は８個となっており、発生頻度が高い差分値０に対するトグル量が、少なくならない。

【０００９】

本発明は、このような伝送データのトグル量が少なくなるようなデータ伝送装置および方法を提示することを目的とする。

【課題を解決するための手段】

【００１０】

本発明に係るデータ伝送装置は、２値データを入力する手段と、前記入力された２値データ信号から第１予測値を得る第１予測器と、前記２値データ信号と前記第１予測値との差分値を算出する減算器と、前記差分値を、前記差分値が０に近いほど、２進値”１”のビット数が少ない符号に変換する符号化手段と、前記符号化手段の出力に排他的論理和演算を行う手段であって、前記符号化手段の出力と、直前の排他的論理和演算の出力との間で排他的論理和演算を行い、得られた２値信号を伝送媒体に出力する第１演算手段と、前記伝送媒体から読み出した前記２値信号と、直前に読み出した２値信号との間で排他的論理和演算を行い、前記符号を出力する第２演算手段と、前記第２演算手段から出力された符号を入力し、入力した符号に対応する前記差分値に変換する復号化手段と、前記復号化手段の出力に第２予測値を加算する加算器と、前記加算器から出力された２値データを出力する手段と、前記加算器から出力された２値データから、前記第２予測値を得る第２予測器とを有することを特徴とする。

【００１１】

本発明に係るデータ伝送方法は、２値データを入力するステップと、前記入力された２値データ信号から第１予測値を得る第１予測ステップと、前記２値データ信号と前記第１予測値との差分値を算出する減算ステップと、前記差分値を、前記差分値が０に近いほど、２進値”１”のビット数が少ない符号に変換する符号化ステップと、前記符号化ステップの出力に排他的論理和演算を行うステップであって、前記符号化ステップの出力と、直前の排他的論理和演算の出力との間で排他的論理和演算を行い、得られた２値信号を伝送媒体に出力する第１演算ステップと、前記伝送媒体から読み出した前記２値信号と、直前に読み出した２値信号との間で排他的論理和演算を行い、前記符号を出力する第２演算ステップと、前記第２演算ステップから出力された符号を入力し、入力した符号に対応する前記差分値に変換する復号化ステップと、前記復号化ステップの出力に第２予測値を加算する加算ステップと、前記加算ステップから出力された２値データを出力するステップと、前記加算ステップから出力された２値データから、前記第２予測値を得る第２予測ステップとを有することを特徴とする。

【発明の効果】

【００１２】
本発明によれば、伝送媒体を伝送するデータのトグル量を効果的に低減でき、従って、消費電力を低減できる。
【図面の簡単な説明】
【００１３】
【図１】本発明の一実施例の概略構成ブロック図である。
【図２】符号化テーブル１８の内容の一部を示す図である。
【図３】差分値と、符号化テーブル１８の出力符号データの２進値”１”のビット数との関係を示すグラフである。
【図４】入力データの値変化例である。
【図５】従来例と本実施例における差分データ、伝送データおよびトグル数の例である。
【発明を実施するための形態】
【００１４】
以下、図面を参照して、本発明の実施例を詳細に説明する。
【実施例１】
【００１５】
図１は、本発明に係るデータ伝送装置の、８ビットデータに対応する一実施例の概略構成図を示す。符号化回路１０は、データ入力端子１２に入力する２値データ信号をビット反転機会が削減された符号形式の２値信号に符号化し、伝送媒体としてのデータバス３０に出力する。データバス３０上を伝送する２値信号の符号形式を伝送用符号形式と呼ぶ。復号化回路４０は、データバス３０からの２値信号を元の符号形式に復号化し、データ出力端子５２から出力する。本実施例は、データバス３０に代えてメモリを配置した場合、又は、データバス３０上にメモリを配置した場合にも、適用可能である。
【００１６】
データ入力端子１２に８ビットの２値データ信号が並列に入力する。２値データ信号は、例えば、８ビット画像データのラスタースキャン順の画素データである。第１予測器１４は、データ入力端子１２に先に入力した２値データ信号から、現在の入力値に対する第１予測値を算出する。予測器１４は例えば、８ビットデータの各ビットを１ビット期間遅延する８つの１ビット遅延器からなる。予測器１４は、異なるビット数だけ遅延した複数の遅延信号を加減算する回路であってもよい。
【００１７】
減算器１６は、データ入力端子１２からの現在の８ビット２値データ信号から予測器１４からの８ビット予測値を減算し、８ビットの差分値を出力する。８ビット値同士の減算の場合、差分値は２の補数で－２５５～＋２５５の９ビットとなる。しかし、減算器１６は、９ビットの最上位ビット（ＭＳＢ）を出力せず、２の補数で－１２８～＋１２７の８ビット値を出力する。すなわち、減算器１６の出力では、＋１２８～＋２５５の範囲の本来の減算結果に対して－１２８～－１の範囲の値を出力し、－１２９～－２５５の範囲の本来の減算値に対して＋１２７～＋１の範囲の値を出力する。このようなずれ又はシフトは、復号化回路４０で、入力ビット数（ここでは８ビット）と出力ビット数が等しい加算器４８を用いることで解消でき、正しい値に戻すことができる。
【００１８】
符号化テーブル１８は、ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）又は組み合わせ回路等のルックアップテーブルからなり、減算器１６の出力値を所定の符号系列の符号値に変換する。すなわち、符号化テーブル１８は、符号化手段又は符号変換手段として機能する。図２は、符号化テーブル１８の内容の一部を示す。図２に示すように、符号化テーブル１８は、入力差分値が０に近いほど、２進値”１”となるビット数が少ない符号を出力するような８ビットの２進符号が割り当てられている。例えば、図２に示すように、差分値が０の場合、符号化テーブル１８の出力符号は０００００_０００００であり、２進値”１”となるビット数は０である。また、差分値が＋１の場合、符号化テーブル１８の出力符号は０００００_００１０であり、２進値”１”となるビット数は１である。さらに、差

分値が＋５の場合、符号化テーブル１８の出力符号は００００_０１０１であり、２進値”１”となるビット数は２である。

【００１９】

符号化テーブル１８の内容をより詳細に説明する。８ビット符号のうち、２進値”１”となるビット数が０個となる符号は、

００００_００００、

のみであり、これを差分値０に割り当てる。

【００２０】

８ビット符号のうち、２進値”１”となるビット数が１個の符号は、

００００_０００１、

００００_００１０、

００００_０１００、

００００_１０００、

０００１_００００、

００１０_００００、

０１００_００００、および

１０００_００００

の８種類である。これらを差分値－４～－１と＋１～＋４に対して割り当てる。

【００２１】

以下、符号の記述は省略するが、８ビット符号のうち、２進値”１”となるビット数が２個の符号は２８種類あり、これらを差分値－１８～－５と＋５～＋１８に割り当てる。

【００２２】

８ビット符号のうち、２進値”１”となるビット数が３個の符号は５６種類あり、これらを差分値－４６～－１９と＋１９～＋４６に割り当てる。

【００２３】

８ビット符号のうち、２進値”１”となるビット数が４個の符号は７０種類あり、これらを差分値－８１～－４７と＋４７～＋８１に割り当てる。

【００２４】

８ビット符号のうち、２進値”１”となるビット数が５個の符号は５６種類あり、これらを差分値－１０９～－８２と＋８２～＋１０９に割り当てる。

【００２５】

８ビット符号のうち、２進値”１”となるビット数が６個の符号は２８種類あり、これらを差分値－１２３～－１１０と＋１１０～＋１２３に割り当てる。

【００２６】

８ビット符号のうち、２進値”１”となるビット数が７個の符号は８種類あり、これらを差分値－１２７～－１２４と＋１２４～＋１２７に割り当てる。

【００２７】

８ビット符号のうち、２進値”１”となるビット数が８個の符号は１種類のみであり、これを差分値－１２８に割り当てる。

【００２８】

図３は、符号化テーブル１８で割り当てられた、差分値と出力符号の２進値”１”となるビット数との関係を示すグラフである。図３から分かるように、差分値が０に近いほど、出力符号の、２進値”１”となるビット数が少なくなっている。

【００２９】

排他的論理和（ＸＯＲ）回路２０の一方の入力に符号化テーブル１８の８ビット出力符号が入力し、他方の入力には、フリップフロップ回路２２からの８ビット出力符号が入力する。ＸＯＲ回路２０の８ビット出力符号がデータバス３０に供給されるので、ＸＯＲ回路２０の８ビット出力データが、８ビットのデータバス３０上を伝送する伝送データ又は伝送符号ということになる。

【００３０】

フリップフロップ回路２２は、１クロック分の遅延回路として機能する。従って、ＸＯＲ回路２０は、符号化テーブル１８の出力符号と、ＸＯＲ回路２０の直前の出力符号との間の排他的論理和を計算する。例えば、直前の伝送データ（フリップフロップ回路２２の出力符号）が１１１０_１０１０で、符号化テーブル１８からの符号データが００００_０１０１である場合、ＸＯＲ回路２０は、両入力データの同じビット位置のビット値同士の排他的論理和をとる。ＸＯＲ回路２０の出力符号は、１１１０_１１１１となる。

【００３１】

ＸＯＲ回路２０及びフリップフロップ回路２２により生成される伝送データは、直前の伝送データを、符号化テーブル１８からの符号データの２進値”１”のビット位置を反転又はトグルした符号になる。すなわち、ＸＯＲ回路２０及びフリップフロップ回路２２からなる回路は、符号化テーブル１８の出力符号と、符号化テーブル１８の時間的に先行する直前の出力符号との間で排他的論理和をとる第１演算手段として機能する。伝送データのトグル量は、符号化テーブル１８から出力される符号データの２進値”１”のビット数に等しい。つまり、発生頻度の高い差分値に０に２進値”１”のビット数が少ない符号を割り当てることにより、トグル数の少ない伝送データをデータバス３０に供給できる。

【００３２】

復号化回路４０はデータバス３０を伝送する伝送データを取り込み復号化し、データ出力端子５２から、データ入力端子１２の入力データに対応する８ビット２値データ信号を出力する。

【００３３】

データバス３０から取り込んだ８ビットの伝送データは、フリップフロップ回路４２とＸＯＲ回路４４に入力する。フリップフロップ回路４２は、フリップフロップ回路２２と同様に１クロック分の遅延回路として機能し、その８ビット出力がＸＯＲ回路４４の別の入力に供給される。すなわち、ＸＯＲ回路４４は、データバス３０からの現在の伝送データと直前の伝送データとの排他的論理和をとる。フリップフロップ回路４２とＸＯＲ回路４４の構成により、データバス３０からの伝送データは、直前の伝送データの２進値”１”のビット位置を反転される。この結果、ＸＯＲ回路４４の出力符号は、符号化テーブル１８の出力符号に対応する内容になる。ＸＯＲ回路４４およびフリップフロップ回路４２からなる回路は、データバス３０から読み出した２値信号を、時間的に先行して直前に読み出した２値信号との間で排他的論理和をとる第２演算手段として機能する。

【００３４】

復号化テーブル４６は、符号化テーブル１８とは逆の入出力関係を持つテーブルであり、ＸＯＲ回路４４の出力符号を、減算器１６の出力に相当する差分値に変換する。例えば、復号化テーブル４６の入力符号データ（ＸＯＲ回路４４の出力符号）が００００_００００の場合、復号化テーブル４６は差分値０（８ビット）を出力する。入力符号データが００００_００１０の場合、差分値＋１を出力する。入力符号データが００００_０１０１の場合、差分値＋５を出力する。

【００３５】

差分値を元に戻すために、加算器４８と第２予測器５０を設ける。加算器４８は、復号化テーブル４６の出力符号（差分値）に第２予測器５０からの第２予測値を加算する。加算器４８の出力符号は、データ出力端子５２から外部に出力される。加算器４８の出力符号は第２予測器５０にも供給され、第２予測器５０は、第１予測器１４と同じ予測方式で、加算器４８の出力符号から第２予測値を算出する。

【００３６】

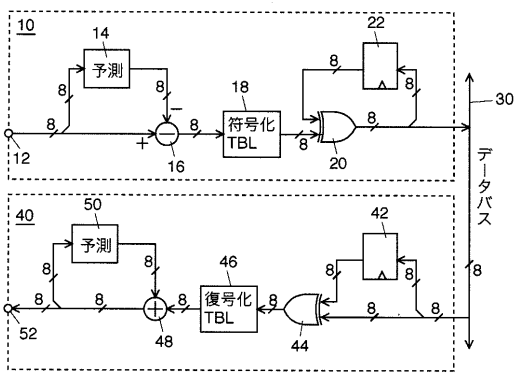
本実施例によるトグル量低減効果を、具体的数値の下で説明する。図４は、データ入力端子１２に入力されるデータの値の変化例を示す。即ち、データ入力端子１２に入力するデータ値が６０、６７、６２、８０、８３、８１と変化している。図５は、従来例と本実施例とで、図４に示すように値が変化する入力データに対する差分値、伝送データおよびトグル数を示す。トグル数合計が従来例では１９回に対し、本実施例では１２回に低減され、消費電力が従来例よりも低減される。

【００３７】
以上、説明用の実施例を説明したが、本発明の技術的範囲は、上記実施例に限定されない。

【符号の説明】

【００３８】
１０：符号化回路
１２：データ入力端子
１４：予測器
１６：減算器
１８：符号化テーブル
２０：排他的オア（ＸＯＲ）回路
２２：フリップフロップ回路
３０：データバス
４０：復号化回路

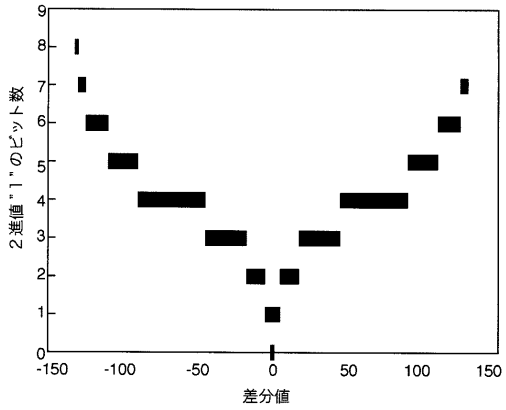
【図１】



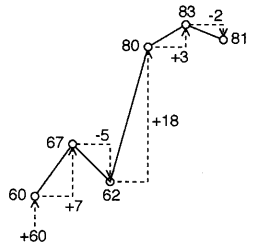
【図２】

差分値	出力符号
-12	0001 0100
-11	1000 0010
-10	0010 0010
-9	0000 1010
-8	1000 0001
-7	0010 0001
-6	0000 1001
-5	0000 0011
-4	0100 0000
-3	0001 0000
-2	0000 0100
-1	0000 0001
0	0000 0000
1	0000 0010
2	0000 1000
3	0010 0000
4	1000 0000
5	0000 0101
6	0001 0001
7	0100 0001
8	0000 0110
9	0001 0010
10	0100 0010
11	0000 1100
12	0010 0100

【図３】



【図４】



【図５】

入力値	差分値（10進表現）	従来例 差分値（2進表現）	従来例 伝送データ	従来例 トグル数	本実施例 符号データ	本実施例 伝送データ	本実施例 トグル数
0	0	0000 0000	0000 0000		0000 0000	0000 0000	
60	60	0011 1100	0100 0011	3	1001 1001	1001 1001	4
67	7	0000 0111	0111 1000	5	0100 0001	1101 1000	2
62	-5	1111 1011	1111 1011	3	0000 0011	1101 1011	2
80	18	0001 0010	0110 1101	4	1100 0000	0001 1011	2
83	3	0000 0011	0111 1100	2	0010 0000	0011 1011	1
81	-2	1111 1110	1111 1110	2	0000 0100	0011 1111	1
			トグル数合計	19		トグル数合計	12

フロントページの続き

(56)参考文献 特開平０９－１８６６０７（ＪＰ，Ａ）
特開平０７－２６４０７５（ＪＰ，Ａ）
特開２００３－１０１４１５（ＪＰ，Ａ）
特開平０９－２０４２９３（ＪＰ，Ａ）
特開平０６－１６１６２０（ＪＰ，Ａ）
特開平０２－３１０７６２（ＪＰ，Ａ）
特開平０９－００６５００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｍ　　３／００－１１／００
Ｈ０４Ｌ　２５／４９
Ｈ０４Ｌ　２９／０２