

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 130 455

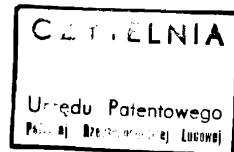
Patent dodatkowy
do patentu _____

Zgłoszono: 81 02 11 (P. 229659)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 82 08 16

Opis patentowy opublikowano: 1986 02 28



Int. Cl.³ G01R 31/28
G06F 11/00

Twórca wynalazku: Mirosław Jarocki

Uprawniony z patentu: Polskie Górnictwo Naftowe i Gazownictwo,
Zakład - Geofizyka Toruń, Toruń (Polska)

Analizator stanów logicznych

Przedmiotem wynalazku jest analizator stanów logicznych, umożliwiający jednoczesną obserwację i analizę wielu przebiegów logicznych badanych układów, szczególnie przebiegów logicznych układów cyfrowych.

Dotychczasowe analizatory stanów logicznych układów cyfrowych dokonują rejestracji sygnałów logicznych w równych odstępach czasu. Stan ten powoduje, że podczas jednoczesnej obserwacji przebiegów logicznych o bardzo krótkich i bardzo długich okresach czasu trwania, analizatory muszą być wyposażone w pamięć logiczną o bardzo dużej pojemności. W związku z tym koszt analizatora jest znaczny.

Znany jest na przykład analizator elementów, układów i struktur logicznych z polskiego opisu patentowego nr 95 698, który posiada komutator "zapis-odczyt" generujący w sposób wymuszony cykle zapisu wyjściowych stanów logicznych do pamięci. Obserwacja tych przebiegów ze względu na pojemność informacyjną, dokonywana jest na przykład na monitorach X - Y, które są elementami kosztownymi i trudno dostępnymi.

Celem wynalazku jest skonstruowanie prostego i wygodnego w obsłudze urządzenia umożliwiającego obserwację zmian logicznych układów cyfrowych i wykrywanie uciążliwych uszkodzeń urządzeń cyfrowych, polegających szczególnie na sporadycznym wchodzeniu ich w stany niedozwolone.

Analizator według wynalazku posiadający dowolną ilość wejść i wyposażony w znane bloki funkcjonalne, takie jak blok pamięci, układy formowania sygnału wyjściowego, blok sterowania oraz rejestr wejściowy, charakteryzuje się tym, że posiada układ wykrywający zmianę wartości logicznej w czasie wybranych sygnałów wejściowych, który stanowi klucze strobu wejściowego i układ różnicy logicznej, połączony z wielokanałowym układem wejściowym, rejestrem wejściowym i blokiem sterowania oraz ma układ porównania słowa kluczowego wyposażony w układ pamiętający słowa kluczowego połączony z blokiem sterowania i rejestrem wejściowym. Ponadto analizator zawiera układ zmiennego opóźniania sygnału wyzwalamącego, połączony z układem formowania sygnału wyjściowego i układem wyświetlającym oraz ma układ generujący sygnał blokady zapisu, który stanowi układ różnicy zwłocznej połączony z licznikiem zwłocznym i z układem pamiętającym ilość cykli zapisu po słowie kluczowym.

Analizator według wynalazku umożliwia rejestrację stanów logicznych w cyklu niesynchronicznym, to znaczy tylko w tych momentach czasu, w których następuje zmiana wartości logicznej wybranych sygnałów wejściowych. Umożliwia rejestrację znacznie większej ilości stanów logicznych niż w znanych urządzeniach dotychczasowych o tej samej pojemności pamięci. Ponadto analizator ten umożliwia cykliczną rejestrację

wszystkich zmian sygnałów wejściowych, aż do momentu pojawienia się stanu niedozwolonego lub stanu szczególnie interesującego. Po wykryciu tych stanów analizator dokonuje określonej przez użytkownika ilości rejestracji, po czym proces rejestracji ulega zablokowaniu, co umożliwia obserwację zmian stanów logicznych zarówno przed, jak i po pojawieniu się interesującego stanu. Niezależnie od tego możliwa jest rejestracja sygnałów logicznych w systemie dotychczas praktykowanym, to znaczy w ściśle określonych odstępach czasu. Analizator według wynalazku jest prostej konstrukcji i może być wykorzystany w formie przystawki do oscyloskopu. Możliwość przesuwania obrazu na ekranie oscyloskopu umożliwia obserwację dużej ilości zarejestrowanych stanów logicznych bez wpływu na czytelność obrazu. W tym przypadku na ekranie oscyloskopu widoczny jest tylko wybrany fragment obrazu.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku w postaci schematu blokowego.

Analizator według wynalazku posiada n wejść informacyjnych We_1 do We_n połączonych z wielokanałowym układem wejściowym UWE, który z kolei łączy się z rejestrem wejściowym RWE oraz z układem wykrywającym zmianę wartości logicznej w czasie wybranych sygnałów wejściowych I, który stanowią klucze strobu wejściowego KSW i układ różnicy logicznej URL. Wyjście rejestru wejściowego RWE połączone jest z układem różnicy logicznej URL, z blokiem pamięci cyfrowej ΣPC oraz z układem porównania PSK słowa kluczowego, który z kolei łączy się z układem pamiętającym SK słowo kluczowe określające interesujący stan logiczny. Wyjście bloku pamięci cyfrowej ΣPC połączone jest z układem formowania sygnału wyjściowego UFS, a ten z kolei połączony jest z układem wyświetlającym DISP bezpośrednio oraz pośrednio poprzez układ zmiennego opóźnienia sygnału wyzwalającego OPSW.

Ponadto analizator posiada blok sterowania STER połączony z rejestrem wejściowym RWE, układem różnicy logicznej URL, układem porównania PSK słowa kluczowego z pamięcią cyfrową ΣPC , z układem formowania sygnału wyjściowego UFS, wejściem strobu zewnętrznego STRZ oraz z układem generującym sygnał blokady zapisu II, który stanowią układ różnicy zwłocznej URZW połączony z licznikiem zwłocznym LZW i układem pamiętającym ilość cykli zapisu UPL. Licznik zwłoczny LZW jest również połączony z blokiem sterowania - STER.

Działanie analizatora według wynalazku jest następujące. Na kluczach strobu wejściowego KSW ustala się te kanały wejściowe, w których zmiana stanu logicznego sygnału powoduje powstanie cyklu zapisu do bloku pamięci cyfrowej ΣPC . Następnie ustala się w układzie pamiętającym SK słowo kluczowe zawierające najbardziej interesujący stan logiczny

Po naciśnięciu przełącznika "start" następuje wyzerowanie adresu bloku pamięci cyfrowej ΣPC . Każda zmiana wartości logicznej sygnału wejściowego wybranego przez klucze strobu wejściowego KSW lub pojawienie się sygnału na wejściu strobu zewnętrznego STRZ powoduje zapisanie do kolejnej komórki bloku pamięci cyfrowej ΣPC informacji z wejścia We_1 do We_n . Istnieje możliwość dokonywania zapisów informacji wejściowych do bloku pamięci cyfrowej ΣPC w dwóch trybach, a mianowicie w cyklu zapisu prostego i zapisu cyklicznego. Przy zapisie prostym proces rejestracji kończy się z chwilą zapełnienia bloku pamięci cyfrowej ΣPC . W przypadku zapisu cyklicznego, po zapisaniu ostatniej komórki bloku pamięci cyfrowej ΣPC , następuje ponowne zapisywanie w bloku pamięci, począwszy od słowa o adresie zerowym.

Stan ten trwa do momentu pojawienia się stanu logicznego identycznego ze słowem kluczowym ustawionym w układzie pamiętającym SK. Od tego momentu następuje zliczanie cykli zapisu w bloku pamięci cyfrowej ΣPC na liczniku zwłocznym LZW. W momencie gdy stan tego licznika zrówna się z wartością ustawioną przez układ pamiętający UPL, następuje zablokowanie procesu zapisu do bloku pamięci cyfrowej ΣPC .

Zastrzeżenie patentowe

Analizator stanów logicznych zawierający układy wejściowe, pamięć, układy formowania sygnału wyjściowego, blok sterowania oraz rejestr wejściowy, z n a m i e n n y t y m, że posiada układ wykrywający zmianę wartości logicznej w czasie wybranych sygnałów wejściowych (I), które stanowią klucze strobu wejściowego (KSW) i układ różnicy logicznej (URL), połączony z wielokanałowym układem wejściowym (UWE), rejestrem wejściowym (RWE) i blokiem sterowania (STER) oraz ma układ porównania (PSK) słowa kluczowego wyposażony w układ pamiętający (SK) słowa kluczowego, połączony z blokiem sterowania (STER) i rejestrem wejściowym (RWE), a ponadto zawiera układ zmiennego opóźnienia sygnału wyzwalającego (OPSW), połączony z układem formowania sygnału wyjściowego (UFS) i układem wyświetlającym (DISP) oraz ma układ generujący sygnał blokady zapisu (II), który stanowi układ różnicy zwłocznej (URZW), połączony z licznikiem zwłocznym (LZW) i z układem pamiętającym ilość cykli zapisu (UPL) po słowie kluczowym.

