

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-193205

(P2004-193205A)

(43) 公開日 平成16年7月8日(2004.7.8)

(51) Int.Cl.⁷
H01L 21/76F I
H01L 21/76テーマコード (参考)
5 F O 3 2

審査請求 未請求 請求項の数 14 O L (全 15 頁)

(21) 出願番号	特願2002-356682 (P2002-356682)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成14年12月9日 (2002.12.9)	(74) 代理人	100089233 弁理士 吉田 茂明
		(74) 代理人	100088672 弁理士 吉竹 英俊
		(74) 代理人	100088845 弁理士 有田 貴弘
		(72) 発明者	北澤 雅志 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	黒井 隆 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		最終頁に続く	

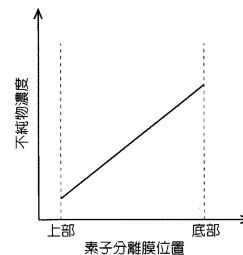
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 不純物を含有する素子分離膜において、当該素子分離膜を形成後の他の部材を形成する際の熱処理により、当該素子分離膜からの不純物の外方拡散を抑制することができる半導体装置および、その製造方法を提供することを目的とする。

【解決手段】 基板1の表面内に形成された溝12に素子分離膜2を充填することにより形成される素子分離構造において、素子分離膜2には不純物が含有されており、当該不純物濃度は素子分離膜2の底部より上部の方が低くなる構造とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板の表面内に形成された溝に素子分離膜が充填された溝型素子分離構造を有する半導体装置において、
前記素子分離膜には不純物が含有されており、その不純物濃度は、前記素子分離膜の底部から上部にかけて連続的に低くなっている、
ことを特徴とする半導体装置。

【請求項 2】

基板の表面内に形成された溝に素子分離膜が充填された溝型素子分離構造を有する半導体装置において、
前記素子分離膜には不純物が含有されており、その不純物濃度は、前記素子分離膜の底部から所定の深さまでは一定であり、当該所定の深さから上部にかけて連続的に低くなっている、
ことを特徴とする半導体装置。

【請求項 3】

前記素子分離膜の上部の前記不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である、
ことを特徴とする請求項 1 または請求項 2 のいずれかに記載の半導体装置。

【請求項 4】

前記不純物は、
フッ素、ボロン、リン、砒素、塩素、ヨウ素、臭素のいずれか、または、これらの組み合わせである、
ことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の半導体装置。

【請求項 5】

前記溝内において、前記基板と前記素子分離膜との間に設けられる下地膜をさらに備えており、
当該下地膜は、前記素子分離膜と同じ材料よりなり、かつ、不純物を含有しないか、または、前記素子分離膜の底部以下の不純物濃度の不純物を含有している、
ことを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の半導体装置。

【請求項 6】

(a) 基板の表面内に溝を形成する工程と、
(b) 前記溝内に、不純物を含有した素子分離膜を充填する工程と、
(c) 前記工程 (b) の後に、前記素子分離膜の上部付近の不純物濃度を下げる工程とを
備えることを特徴とする半導体装置の製造方法。

【請求項 7】

前記工程 (c) は、熱処理を施す工程である、
ことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記工程 (c) は、
 $1000 \sim 1100^\circ\text{C}$ で熱処理を施すことにより、前記不純物濃度を前記素子分離膜の底部から上部にかけて連続的に低くする工程である、
ことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記工程 (c) は、
 $900 \sim 1000^\circ\text{C}$ で熱処理を施すことにより、前記不純物濃度を前記素子分離膜の底部から所定の深さまでは一定とし、当該所定の深さから上部にかけて連続的に低くする工程である、
ことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】

(d) 前記工程 (b) の後に、前記素子分離膜の上部を平坦化する工程を、

10

20

30

40

50

さらに備え、

前記工程（c）は、前記工程（d）の後に施す、

ことを特徴とする請求項6ないし請求項9のいずれかに記載の半導体装置の製造方法。

【請求項11】

前記工程（c）は、前記素子分離膜の最終形状の整形が行われた後に施す、

ことを特徴とする請求項6ないし請求項10のいずれかに記載の半導体装置の製造方法。

【請求項12】

（f）基板の表面内に溝を形成する工程と、

（g）原料ガス内に添加される不純物の濃度を変化させつつ、前記溝内に当該不純物を含有した素子分離膜を充填する工程とを、

備えることを特徴とする半導体装置の製造方法。

10

【請求項13】

前記工程（g）において、前記添加される不純物濃度の変化は、

前記素子分離膜の充填処理の初期段階から最終段階にかけて、連続的に濃度を低下させるものである、

ことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】

前記工程（g）において、前記添加される不純物濃度の変化は、

前記素子分離膜の充填処理の初期段階から所定の中間段階にかけては濃度変化はなく、当該所定の中間段階から最終段階にかけて、連続的に濃度を低下させるものである、

ことを特徴とする請求項12に記載の半導体装置の製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置および半導体装置の製造方法に係る発明であって、例えば、半導体基板に溝を形成し、当該溝に酸化膜を充填することにより形成されるSTI構造を有する半導体装置および当該半導体装置の製造方法に適用される。

【0002】

【従来の技術】

一般に、シリコン基板（以下、単に基板と称す）上に形成される半導体装置において、トランジスタなどの素子間を電氣的に分離するために、酸化シリコン膜などを用いた素子分離構造が形成される。

30

【0003】

素子分離構造を形成するに当たり、基板を選択的に酸化するLOCOS（Local Oxidation of Silicon）法は素子分離膜の微細化には不向きであるため、現在では多くの微細デバイスにおいて、基板を選択的にエッチングすることにより溝を形成し、当該溝に酸化膜を埋め込む方法（当該方法により形成される素子分離構造をSTI（Shallow Trench Isolation）構造と呼ぶ）が採用されている。

【0004】

しかし、デバイスの微細化がさらに進み、それに伴って素子分離構造もさらに微細化しなければならなくなると、STI構造を形成するに当たり基板上に形成される溝の幅がさらに狭まり、当該溝のアスペクト比はさらに増大してきている。

40

【0005】

当該アスペクト比の増大した溝に対して酸化膜を埋め込むために、従来では、HDP-CVD（High Density Plasma-Chemical Vapor Deposition）装置を用いて、CVDの原料ガス中にフッ素などの反応性の高い不純物を添加し、化学的にエッチングをしながら酸化膜の充填を行う手法が採用されている（例えば、特許文献1参照）。

【0006】

50

当該手法により不純物が含有された酸化膜はリフロー性を有するので、基板に形成されたアスペクト比の増大した溝への当該酸化膜の埋め込み性が向上する。さらに、当該不純物が含有された酸化膜を基板に形成された溝に充填することにより、当該STI部と基板間の物理的ストレスを緩和する効果もある。

【0007】

なお、近年のアスペクト比の増大した溝への酸化膜の埋め込み性を向上させるためには、酸化膜に或る程度、高濃度の不純物を含有させる必要がある。

【0008】

しかし、当該手法で形成された酸化膜を有するSTIには、不純物がSTIの底部から表面にかけて高濃度の不純物が一様に含有されているので、当該STIを形成後、例えば、ゲート絶縁膜を成膜する際に、高温の熱処理による酸化プロセスを施すと、当該不純物がSTI表面から外方拡散し、当該不純物がゲート絶縁膜中に取り込まれてしまうことがあった。

10

【0009】

不純物がゲート絶縁膜中に取り込まれると、当該ゲート絶縁膜の組成が変化し、当該ゲート電極絶縁膜の電気的特性を劣化してしまう。

【0010】

さらに、これ以外にも、高濃度の不純物が一様に含有されているSTIには、プロセス面において以下に示す問題も有している。

【0011】

20

当該プロセス面での問題とは、不純物が含有されている酸化膜は、フッ酸などによるウェットエッチングのレートが変動してしまい、当該エッチング処理による形状的な制御が難しくなるというものである。

【0012】

そこで、当該各問題を解決する技術として、STIの下層には不純物を含有した第一の酸化膜を形成し、当該第一の酸化膜に積層して、STIの上層には不純物の含有しない第二の酸化膜を形成する、2層構造のSTIが提案されている（例えば、特許文献2参照）。

【0013】

当該2層構造のSTIでは、第二の酸化膜には不純物が含有されていないので、STI表面からの外方拡散を抑制することができる。

30

【0014】

【特許文献1】

特開平10-12718号公報（第4図）

【特許文献2】

特開2000-332099号公報（第4-7項、第1-4図）

【0015】

【発明が解決しようとする課題】

しかし、2層構造のSTIを形成するためには、2回のCVD工程と、1回目のCVD工程と2回目のCVD工程との間に施されるエッチング工程とを要するため、工程が複雑になっていた。

40

【0016】

そこで、この発明は、酸化膜の埋め込み性が高く、後の熱処理工程による不純物の外方拡散により他の部材への悪影響がなく、簡易な工程で形成されるSTI構造を有する半導体装置および半導体装置の製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】

上記の目的を達成するために、本発明に係る請求項1に記載の半導体装置は、基板の表面内に形成された溝に素子分離膜が充填された溝型素子分離構造を有する半導体装置において、前記素子分離膜には不純物が含有されており、その不純物濃度は前記素子分離膜の底部より上部の方が低いことを特徴とする。

50

【0018】

また、本発明に係る請求項2に記載の半導体装置では、基板の表面内に形成された溝に素子分離膜が充填された溝型素子分離構造を有する半導体装置において、前記素子分離膜には不純物が含有されており、その不純物濃度は、前記素子分離膜の底部から所定の深さまでは一定であり、当該所定の深さから上部にかけて連続的に低くなっている。

【0019】

また、本発明に係る請求項6に記載の半導体装置の製造方法では、(a)基板の表面内に溝を形成する工程と、(b)前記溝内に、不純物を含有した素子分離膜を充填する工程と、(c)前記工程(b)の後に、前記素子分離膜の上部付近の不純物濃度を下げる工程とを備えている。

【0020】

また、本発明に係る請求項12に記載の半導体装置の製造方法では、(f)基板の表面内に溝を形成する工程と、(g)原料ガス内に添加される不純物の濃度を変化させつつ、前記溝内に当該不純物を含有した素子分離膜を充填する工程とを備えるものであってもよい。

【0021】

【発明の実施の形態】

以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0022】

<実施の形態1>

図1は、本発明に係る半導体装置の一構成例を示す断面図である。

【0023】

図1に示す半導体装置には、シリコン基板等の基板1の表面内において、イオン注入により形成される活性領域(図示せず)を分離するために、シリコン酸化膜等からなる、STI構造の素子分離膜2が形成されている。また、基板1にはゲート電極3が形成されており、素子分離膜2およびゲート電極3が形成された基板1を覆うように層間絶縁膜4が形成されている。さらに、層間絶縁膜4の上面から基板1に達するコンタクトプラグ5が形成されており、当該コンタクトプラグ5の上面と接続するように配線6が形成されている。

【0024】

ここで、ゲート電極3は、ゲート電極部3aとゲート絶縁膜3bとで構成されている。また、ゲート電極3と基板1、および素子分離膜2と基板1とにより形成される段差によってボイドが発生することなく層間絶縁膜4を形成するために、当該層間絶縁膜4の材料として、例えば酸化膜にボロンやリンをドーピングしたBPTEOS等が用いられる。

【0025】

さて、基板1の表面内に溝を形成し、当該溝に充填される本実施の形態に係る素子分離膜2は以下の構造を有している。

【0026】

素子分離膜2は、例えばシリコン酸化膜に対して、フッ素、ボロン、リン、砒素、塩素、ヨウ素、臭素のいずれか、または、これらの組み合わせの不純物を含有させることにより形成されている。ここで、当該含有されている不純物濃度は、素子分離膜2の底部では高く、素子分離膜2の上部では低くなっている。この様子を図2に示す。

【0027】

つまり、図2から分かるように、不純物濃度の分布は、素子分離膜2の底部から上部にかけて連続的に減少している。例えば、素子分離膜2の底部付近での不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度であり、上部に近づくにつれて不純物濃度は減少していき、素子分離膜2の上部付近での不純物濃度は十分低くなっており、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度以下(今の場合、底部の不純物濃度の10%以下程度)となっている。

【0028】

このように、素子分離膜2はフッ素等の不純物を含有しているので、当該素子分離膜2は

10

20

30

40

50

リフロー性を有することとなり、基板 1 の表面内に形成された溝への埋め込み性を向上させることができる。

【0029】

また、素子分離膜 2 に含有されている不純物濃度は、当該素子分離膜 2 の底部に比べて上部の方が低いので、例えば後の工程でゲート絶縁膜 3 b を形成する際の熱処理工程により、当該素子分離膜 2 の上部からの不純物の外方拡散を抑制することができ、ゲート絶縁膜 3 b に当該外方拡散された不純物を取り込まれることも抑制することができる。したがって、ゲート絶縁膜 3 b の電気的特性の劣化も防ぐことができる。

【0030】

さて次に、図 2 で示す不純物濃度分布を有する素子分離膜 2 の形成方法について、図 3 ～ 10 9 の半導体装置の製造方法を示す工程断面図に基づいて具体的に説明する。

【0031】

まずはじめに、図 3 (a) に示すように、基板 1 の主面上に積層構造のハードマスク 10 を形成する。当該積層構造のハードマスク 10 は、例えば最上面が窒化シリコン膜 10 a として、5 ～ 30 nm 厚程度の酸化膜 10 c、10 ～ 50 nm 厚程度のポリシリコン 10 b、30 ～ 200 nm 厚程度の窒化シリコン 10 a の順で積層されている。

【0032】

なお、積層構造のハードマスク 10 の他の例として、図 3 (b) に示すように、5 ～ 30 nm 厚程度の酸化膜 10 c、30 ～ 200 nm 厚程度の窒化シリコン 10 a の順で積層された 2 層構造のものを採用してもかまわない。

【0033】

次に、ハードマスク 10 の主面上にフォトレジスト 11 を形成し、リソグラフィ技術により当該フォトレジスト 11 を、図 4 に示すような所定の形状にパターンニングする。

【0034】

次に、パターンニングされたフォトレジスト 11 をマスクとしてハードマスク 10 をエッチングした後、フォトレジスト 11 を除去し、ハードマスク 10 を図 5 に示すような所定の形状に形成する。

【0035】

次に、所定の形状に形成されたハードマスク 10 をマスクとして、基板 1 を異方性エッチングすることにより、図 6 に示すような溝 12 を形成する。当該溝 12 の深さは、例えば 150 ～ 500 nm 程度であり、当該溝 12 の幅は、例えば 50 ～ 200 nm 程度である。

【0036】

次に、前記異方性エッチングによる基板 1 のダメージを除去のため、および後工程での HDP-CVD 装置によるプラズマ現象に対する保護のために、溝 12 に対して熱処理を施すことにより図 7 に示すように、例えば 5 ～ 30 nm 程度の膜厚の熱酸化膜 13 を成膜する。

【0037】

さらに、後工程で溝に充填される素子分離膜 2 中に含有されている不純物の基板 1 への拡散を防止するために、図 7 に示すように熱酸化膜 13 の表面上からハードマスク 10 の表面上にかけて、例えば 5 ～ 20 nm 程度の膜厚のストッパ膜 14 を形成する。当該ストッパ膜 14 として、例えばシリコンオキシナイトライド膜、または窒化シリコン膜等を採用することにより、基板 1 への不純物の拡散を防止することができる。

【0038】

なお、基板 1 への不純物の拡散が少なく（例えば、後工程で熱処理が少ない場合等）、基板 1 の電気的特性への影響が無視できる場合には、ストッパ膜 14 の形成を省略することができる。

【0039】

さて次に、図 8 に示すように、HDP-CVD 装置を用いて素子分離膜 2 を、基板 1 の表面内に形成された溝 12 内に充填する。当該素子分離膜 2 の充填の際、CVD の原料ガス 50

中にフッ素などの反応性の高い不純物を添加する。添加する不純物の濃度は、当該充填処理の終始にわたって一定であり、充填後の素子分離膜 2 中に含有される不純物濃度は、例えば $1 \text{ E } 19 \text{ cm}^{-3} \sim 1 \text{ E } 21 \text{ cm}^{-3}$ 程度と一様に分布している。

【0040】

なお、CVDの原料ガス中に添加する不純物として、他に、ボロン、リン、砒素、塩素、ヨウ素、臭素のいずれか、または、これらの組み合わせの不純物を採用してもよい。

【0041】

次に、溝 12 内に充填された不純物が含有された素子分離膜 2 に対して熱処理を施す。当該熱処理により素子分離膜 2 の上部から不純物が外方拡散され、素子分離膜 2 上部近傍の不純物濃度下げることができ、結果として深さ方向に対する不純物濃度は、図 2 で示した濃度分布となる。つまり、素子分離膜 2 の上部の不純物濃度は、当該素子分離膜 2 の底部の不純物濃度よりも低くなる。 10

【0042】

ここで、当該熱処理は例えば、 $1000 \sim 1100^\circ\text{C}$ 程度の温度で、60～180 分程度の間行う。

【0043】

最後に、不純物の外方拡散のために熱処理を施した図 8 で示した半導体装置に対して、通常の CMP (Chemical Vapor Deposition) プロセス等の平坦化処理を施し、その後フッ酸等を用いたウェットエッチング処理によって素子分離膜 2 と基板 1 との段差を調整することにより、最終的に図 9 に示すような構造の素子分離膜 2 を基板 1 内に形成する。 20

【0044】

以上が、本実施の形態に係る素子分離膜 2 の形成方法の一例である。

【0045】

以上のように、基板 1 に形成された溝 12 内に素子分離膜 2 の充填を行う際に、CVDの原料ガス中にフッ素などの反応性の高い不純物を添加し、化学的にエッチングをしながら素子分離膜 2 の充填を行うことにより、当該溝 12 への埋め込み性を向上させることができる。また、当該不純物を含有する素子分離膜 2 はリフロー性を有することとなるので、さらに埋め込み性を向上させることができる。

【0046】

また、一様な濃度で不純物が含有されている素子分離膜 2 から当該不純物を外方拡散させるために、当該素子分離膜 2 に対して積極的に熱処理を施すことにより（特に、 $1000 \sim 1100^\circ\text{C}$ の熱処理を施すことにより）、簡易な工程で、素子分離膜 2 の上部の不純物濃度を底部の不純物濃度より下げることができる。 30

【0047】

したがって、素子分離膜 2 の形成後に、例えばゲート絶縁膜 3b の形成の際に熱処理を施したとしても、素子分離膜 2 からの不純物のさらなる外方拡散を抑制することができるので、ゲート絶縁膜 3b 内に不純物が取り込まれることがなくなり、当該ゲート絶縁膜 3b の電気的特性が劣化することもない。

【0048】

また、素子分離膜 2 の整形のために施されるウェットエッチング処理の前に、当該素子分離膜 2 の上部の不純物濃度を下げる熱処理を施すことにより、不純物が含有されていることにより生ずるフッ酸等のウェットエッチングのレートの変動を抑制することができるので、正確な形状の素子分離膜 2 を整形することができる。 40

【0049】

ここで、当該効果を達成するためには、当該素子分離膜 2 の上部の不純物濃度は、 $1 \text{ E } 18 \text{ cm}^{-3}$ 程度であることが望ましい。

【0050】

なお、上記したようにストッパ膜 14 の形成を省略した場合において、溝 12 内に不純物の含有された素子分離膜 2 を充填する前に、図 10 に示すように、不純物の含有されてい 50

ない素子分離膜 2 と同じ材料から成る、10～50 nm 程度の膜厚の下敷き膜 15 を成膜することにより、不純物を含有した素子分離膜 2 と基板 1 との間で生じる物理的な密着性の低下を防止することができる。したがって、後工程で加わるストレス等によって、素子分離膜 2 が基板 1 から剥離することを防止することができる。

【0051】

また、下地膜 15 は上記のように不純物を含有しないものの他に、素子分離膜 2 の底部の不純物濃度より低い濃度の不純物を含有していても（素子分離膜 2 の底部の不純物濃度の 10% 以下が望ましい）、同様の効果を期待することはできる。

【0052】

また、熱酸化膜 13 の膜厚を 20～50 nm 程度と膜厚化して形成することにより、当該膜厚化した熱酸化膜は下地膜の効果も奏することが可能である。 10

【0053】

<実施の形態 2>

本実施の形態に係る半導体装置が備える素子分離膜においても、実施の形態 1 と同様、フッ素、ボロン、リン、砒素、塩素、ヨウ素、臭素のいずれか、または、これらの組み合わせの不純物が含有されており、当該不純物濃度分布は、素子分離膜の上部より底部の方が濃度が高くなっているが、当該濃度の詳細な分布の仕方が、実施の形態 1 と異なる。

【0054】

本実施の形態では、素子分離膜に含有されている深さ方向に対する不純物は、図 11 に示す濃度分布で含有されている。つまり、図 11 から分かるように本実施の形態の素子分離膜は、当該素子分離膜の底部より所定の深さ（例えば、1/3～2/3 程度の深さ）までの不純物濃度は一定であり、当該所定の深さから素子分離膜の上部までの不純物濃度は連続的に減少して分布している。 20

【0055】

当該不純物濃度分布を有する素子分離膜の形成方法は、実施の形態 1 とほぼ同様であるが、溝内に一様な濃度分布（例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ ～ $1 \times 10^{21} \text{ cm}^{-3}$ 程度）の不純物を含有する素子分離膜を形成した後の、素子分離膜の上部から不純物を積極的に外方拡散させるための熱処理において異なる。

【0056】

本実施の形態の素子分離膜を形成するためには、当該熱処理として、900～1000℃ 程度の温度で、60～180 分程度の時間の熱処理施す。 30

【0057】

当該熱処理を施すことにより（特に、900～1000℃の熱処理を施すことにより）、素子分離膜の上部からの不純物の外方拡散を促し、図 11 に示す不純物濃度分布を有する素子分離膜を形成することができる。つまり、素子分離膜の底部から所定の深さ（例えば、1/3～2/3 程度の深さ）までの不純物濃度はほぼ一定（ $1 \times 10^{19} \text{ cm}^{-3}$ ～ $1 \times 10^{21} \text{ cm}^{-3}$ 程度）であり、当該所定の深さから上部までの不純物濃度は徐々に減少していき、素子分離膜の上部での不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度以下（今の場合、底部の濃度の 10% 以下程度）の低濃度である、素子分離膜を形成することが可能となる。

【0058】

上記で示した不純物濃度分布を有する素子分離膜を採用することにより、実施の形態 1 で記載した効果に加えて、以下に示す効果を得ることができる。 40

【0059】

つまり、素子分離膜 2 の底部から所定の高さまでは、一定の高濃度の不純物が含有されているので、当該素子分離膜 2 が基板 1 に与える物理的ストレスを低くすることができ、当該ストレスに起因するトランジスタ等の素子の電流低下等の悪影響を抑制することができる。

【0060】

なお、本実施の形態においても実施の形態 1 と同様に、ストッパ膜を溝内に形成しない場合において、下地膜を基板と素子分離膜との間に成膜する構成を採用してもかまわない。 50

【0061】

<実施の形態3>

実施の形態1では、図2に示した不純物濃度分布を有する素子分離膜を形成するに当たり、不純物外方拡散のために、一様な不純物濃度を有する素子分離膜に対して積極的に熱処理を施した。本実施の形態は、別の方法を用いて図2で示した不純物濃度分布を有する素子分離膜を形成する。

【0062】

本実施の形態の素子分離膜の形成方法は、基板の表面内に溝を形成し、当該溝内に熱酸化膜およびストッパ膜（省略してもよい）を形成するまでの工程は実施の形態1で記載した内容と同じであるが、その後のHDP-CVD装置を用いたCVD工程による素子分離膜の形成方法において異なる。 10

【0063】

つまり、基板の表面内に形成された溝内に素子分離膜を充填する際、実施の形態1では、CVDの原料ガス中に添加する不純物の濃度は、当該CVD工程の終始にわたって一定であったが、本実施の形態では、CVDの原料ガス中に添加する不純物の濃度を、当該CVD工程の間に变化させ、時間経過に伴う不純物濃度の変化を持たせた原料ガスを用いて、素子分離膜を形成する。

【0064】

具体的に、図2に示す不純物濃度分布の変化の傾向に併せて、充填処理の初期段階では、CVD原料ガスに添加する不純物濃度を高濃度とし、その後充填処理の最終段階にかけて、連続的にCVD原料ガスに添加する不純物濃度を減少させるように变化させる。 20

【0065】

ここで、CVDの原料ガス中に添加する不純物としては、実施の形態1と同様、フッ素、ボロン、リン、砒素、塩素、ヨウ素、臭素のいずれか、または、これらの組み合わせの反応性の高い不純物を採用する。

【0066】

その後、通常のCMPプロセス等の平坦化処理を施し、その後フッ酸等を用いたウェットエッチング処理によって素子分離膜と基板との段差を調整することにより、図9に示すような構造の素子分離膜を基板内に形成する。

【0067】

このように、深さ方向に濃度が変化する不純物を含有する素子分離膜を形成するに当たり、本実施の形態の方法を採用することにより、不純物の外方拡散のための積極的な熱処理を省くことができるので、工程の削減が図れる。 30

【0068】

なお、CVD工程により素子分離膜を形成した後に、不純物の外方拡散のための熱処理を施してもかまわない。これにより、工程は増えるが、素子分離膜の上部の不純物濃度をより下げることができる。

【0069】

<実施の形態4>

実施の形態2では、図11に示した不純物濃度分布を有する素子分離膜を形成するに当たり、不純物外方拡散のために、一様な不純物濃度を有する素子分離膜に対して積極的に熱処理を施した。本実施の形態は、別の方法を用いて図11で示した不純物濃度分布を有する素子分離膜を形成する。 40

【0070】

本実施の形態の素子分離膜の形成方法は、基板の表面内に溝を形成し、当該溝内に熱酸化膜およびストッパ膜（省略してもよい）を形成するまでの工程は実施の形態1で記載した内容と同じであるが、その後のHDP-CVD装置を用いたCVD工程による素子分離膜の形成方法において異なる。

【0071】

つまり、基板の表面内に形成された溝内に素子分離膜を充填する際、実施の形態2では、 50

CVDの原料ガス中に添加する不純物の濃度は、当該CVD工程の終始にわたって一定であったが、本実施の形態では、CVDの原料ガス中に添加する不純物の濃度を、当該CVD処理の間で変化させ、時間経過に伴う不純物濃度変化を持たせた原料ガスを用いて、素子分離膜を形成する。

【0072】

具体的に、図11に示す不純物濃度分布の変化の傾向に併せて、充填処理の初期段階では、CVD原料ガスに添加する不純物濃度を高濃度とし、所定の深さ（中間段階）まで素子分離膜が形成されるまで当該高濃度を維持し、所定の深さまで素子分離膜が形成されてからは、中間段階から最終段階にかけて連続的にCVD原料ガスに添加する不純物濃度を減少させるように変化させる。

10

【0073】

ここで、CVDの原料ガス中に添加する不純物としては、実施の形態1と同様、フッ素、ボロン、リン、砒素、塩素、ヨウ素、臭素のいずれか、または、これらの組み合わせの反応性の高い不純物を採用する。

【0074】

その後、通常のCMPプロセス等の平坦化処理を施し、その後フッ酸等を用いたウェットエッチング処理によって素子分離膜と基板との段差を調整することにより、図9に示すような構造の素子分離膜を基板内に形成する。

【0075】

上記のように、図11に示すように深さ方向に濃度が変化する不純物を含有する素子分離膜を形成するに当たり、本実施の形態の方法を採用することにより、不純物の外方拡散のための積極的な熱処理を省くことができるので、工程の削減が図れる。

20

【0076】

なお、CVD工程により素子分離膜を形成した後に、不純物の外方拡散のための熱処理を施してもかまわない。これにより、工程は増えるが、素子分離膜の上部の不純物濃度をより下げることができる。

【0077】

<実施の形態5>

実施の形態1、2では、図2または図11に示した不純物濃度分布を有する素子分離膜を形成するに当たり、不純物外方拡散のための積極的な熱処理を、CMPプロセス等の平坦化処理を行う前に施していた。

30

【0078】

しかし、本実施の形態では、CMPプロセス等の平坦化処理を施した後に、素子分離膜に対して不純物外方拡散のための積極的な熱処理を施すことを特徴とする。

【0079】

HDP-CVD装置を用いて、不純物濃度が深さ方向に対して一様である素子分離膜2を、基板1の表面内に形成された溝内に充填するまでは、実施の形態1と同じである（図8）。

【0080】

その後、本実施の形態では、図8に示した半導体装置に対してCMPプロセス等の平坦化処理を施し、図12の形状の製造途中の半導体装置を形成する。なお、この時点において、素子分離膜2内には不純物が、例えば $1 \text{ E } 19 \text{ cm}^{-3} \sim 1 \text{ E } 21 \text{ cm}^{-3}$ 程度の濃度で一様に含有されている。

40

【0081】

上記平坦化処理後、次に、図12で示した半導体装置に対して、含有されている不純物の外方拡散のために積極的な熱処理を施す。

【0082】

当該熱処理において、図2で示す不純物濃度分布を有する素子分離膜2を形成する場合には、実施の形態1で記述したように、例えば $1000 \sim 1100^\circ\text{C}$ 程度の温度で、 $60 \sim 180$ 分程度の間、熱処理を行う。また、図11で示す不純物濃度分布を有する素子分離

50

膜 2 を形成する場合には、実施の形態 2 で記述したように、例えば 900 ～ 1000 °C 程度の温度で、60 ～ 180 分程度の間、熱処理を行う。

【0083】

上記熱処理後、最後に、図 12 で示した製造途中の半導体装置に対して、フッ酸等を用いたウェットエッチング処理することにより、素子分離膜 2 と基板 1 との段差を調整を行い、図 9 に示すような構造の素子分離膜 2 を基板 1 内に形成する。

【0084】

実施の形態 1, 2 で説明した素子分離膜 2 の形成手順では、平坦化処理を行う前に、不純物外方拡散のための熱処理を施していたので、最も不純物濃度が低くなる表面部分が当該平坦化処理により研磨・除去される。

10

【0085】

そこで、本実施の形態のように、平坦化処理により前もって余分な素子分離膜 2 の部分を研磨・除去した後に、不純物外方拡散のための熱処理を施すことにより、最終形状の素子分離膜 2 の上部の不純物濃度を、実施の形態 1, 2 の手順で形成した場合に比べて、低くすることができる。

【0086】

したがって、例えばゲート絶縁膜の形成の際に熱処理を施したとしても、素子分離膜 2 からの不純物のさらなる外方拡散をさらに抑制することができるので、ゲート絶縁膜内に不純物を取り込まれることがなくなり、当該ゲート絶縁膜 3 b の電気的特性が劣化することをさらに抑制することができる。

20

【0087】

<実施の形態 6>

実施の形態 1, 2 では、図 2 または図 11 に示した不純物濃度分布を有する素子分離膜を形成するに当たり、不純物外方拡散のための積極的な熱処理を施した後に、CMP プロセス等の平坦化処理、フッ酸等を用いたウェットエッチング処理を施すことにより、最終的な素子分離膜の整形が行われていた。

【0088】

しかし、本実施の形態では、最終的な素子分離膜の整形後（つまり、CMP プロセス等の平坦化処理およびフッ酸等を用いたウェットエッチング処理後）に、当該整形された素子分離膜に対して不純物外方拡散のための積極的な熱処理を施すことを特徴とする。

30

【0089】

HDP-CVD 装置を用いて、不純物濃度が深さ方向に対して一様である素子分離膜 2 を、基板 1 の表面内に形成された溝内に充填し、その後、当該素子分離膜 2 に対して CMP プロセス等の平坦化処理を施し、図 12 の形状の製造途中の半導体装置を形成するまでは、実施の形態 5 と同じである。

【0090】

その後、本実施の形態では、図 12 に示した製造途中の半導体装置に対して、フッ酸等を用いたウェットエッチング処理することにより、素子分離膜 2 と基板 1 との段差を調整を行い、図 9 に示すような最終形状に整形された素子分離膜 2 を基板 1 内に形成する。なお、この時点において、素子分離膜 2 内には不純物が、例えば $1 \text{ E } 19 \text{ cm}^{-3} \sim 1 \text{ E } 21 \text{ cm}^{-3}$ 程度の濃度で一様に含有されている。

40

【0091】

上記素子分離膜の整形処理後、次に、図 9 で示した形状の半導体装置に対して、含有されている不純物の外方拡散のために積極的な熱処理を施す。

【0092】

当該熱処理において、図 2 で示す不純物濃度分布を有する素子分離膜 2 を形成する場合には、実施の形態 1 で記述したように、例えば 1000 ～ 1100 °C 程度の温度で、60 ～ 180 分程度の間、熱処理を行う。また、図 11 で示す不純物濃度分布を有する素子分離膜 2 を形成する場合には、実施の形態 2 で記述したように、例えば 900 ～ 1000 °C 程度の温度で、60 ～ 180 分程度の間、熱処理を行う。

50

【0093】

その後、ゲート電極等の形成へと移行する。

【0094】

実施の形態5で説明した素子分離膜2の形成手順では、フッ酸等を用いたウェットエッチング処理により素子分離膜2の最終的な整形を行う前に、不純物外方拡散のための熱処理を施していたので、最も不純物濃度が低くなる表面部分がウェットエッチング処理により除去される。

【0095】

そこで、本実施の形態のように、ウェットエッチング処理により前もって余分な素子分離膜2の部分を除去した後に、不純物外方拡散のための熱処理を施すことにより、最終形状の素子分離膜2の上部の不純物濃度を、実施の形態5の手順で形成した場合に比べて、低くすることができる。

【0096】

したがって、例えばゲート絶縁膜の形成の際に熱処理を施したとしても、素子分離膜2からの不純物のさらなる外方拡散を最も抑制することができるので、ゲート絶縁膜内に不純物が最も取り込まれることがなくなり、当該ゲート絶縁膜3bの電気的特性が劣化することを最も抑制することができる。

【0097】

【発明の効果】

本発明の請求項1に記載の半導体装置は、基板の表面内に形成された溝に素子分離膜が充填された溝型素子分離構造を有する半導体装置において、前記素子分離膜には不純物が含有されており、その不純物濃度は前記素子分離膜の底部より上部の方が低いので、素子分離膜形成後において例えば、ゲート絶縁膜の形成のために熱処理を施したとしても、素子分離膜からの不純物の外方拡散を抑制することができるので、ゲート絶縁膜内に不純物が取り込まれることがなくなり、当該ゲート絶縁膜の電気的特性が劣化することもない。また、素子分離膜の上部では不純物濃度が比較的低いので、不純物が含有されていることにより生ずるフッ酸等のウェットエッチングのレートの変動を抑制することができ、正確な形状の素子分離膜2を整形することができる。

【0098】

本発明の請求項2に記載の半導体装置は、基板の表面内に形成された溝に素子分離膜が充填された溝型素子分離構造を有する半導体装置において、前記素子分離膜には不純物が含有されており、その不純物濃度は、前記素子分離膜の底部から所定の深さまでは一定であり、当該所定の深さから上部にかけて連続的に低くなっている所以、請求項1に記載の半導体装置と同様な効果を得ることができる。

【0099】

本発明の請求項6に記載の半導体装置の製造方法は、(a)基板の表面内に溝を形成する工程と、(b)前記溝内に、不純物を含有した素子分離膜を充填する工程と、(c)前記工程(b)の後に、前記素子分離膜の上部付近の不純物濃度を下げる工程とを、備えているので、簡易な工程により請求項1に記載の半導体装置を製造することができる。

【0100】

本発明の請求項12に記載の半導体装置の製造方法は、(f)基板の表面内に溝を形成する工程と、(g)原料ガス内に添加される不純物の濃度を変化させつつ、前記溝内に当該不純物を含有した素子分離膜を充填する工程とを、備えているので、例えば、充填処理の初期段階よりも終了段階の方の不純物の添加濃度を変化させることにより、請求項1に記載の半導体装置を請求項7に記載の方法よりも、簡易に形成することができる。

【図面の簡単な説明】

【図1】素子分離膜を有する半導体装置の構成の一例を示す図である。

【図2】実施の形態1に係る素子分離膜に含有されている不純物濃度分布を示す図である。

【図3】半導体装置の製造工程を示す断面図である。

10

20

30

40

50

【図 4】半導体装置の製造工程を示す断面図である。

【図 5】半導体装置の製造工程を示す断面図である。

【図 6】半導体装置の製造工程を示す断面図である。

【図 7】半導体装置の製造工程を示す断面図である。

【図 8】半導体装置の製造工程を示す断面図である。

【図 9】最終整形された素子分離膜を有する製造途中の半導体装置を示す断面図である。

【図 10】溝内部において、下地膜が形成されている様子を示す断面図である。

【図 11】実施の形態 2 に係る素子分離膜に含有されている不純物濃度分布を示す図である。

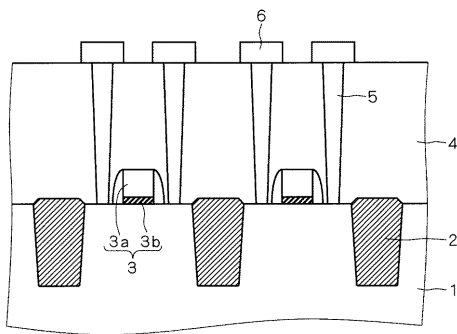
【図 12】平坦化処理終了直後の製造途中の半導体装置を示す断面図である。

10

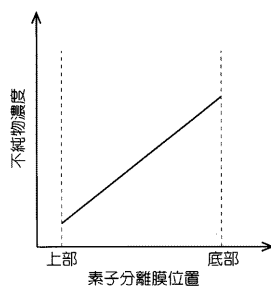
【符号の説明】

1 基板、2 素子分離膜、3 ゲート電極、3 a ゲート電極部、3 b ゲート絶縁膜、4 層間絶縁膜、5 コンタクトプラグ、6 配線、10 ハードマスク、11 フォトレジスト、12 溝、13 熱酸化膜、14 ストップ膜、15 下地膜。

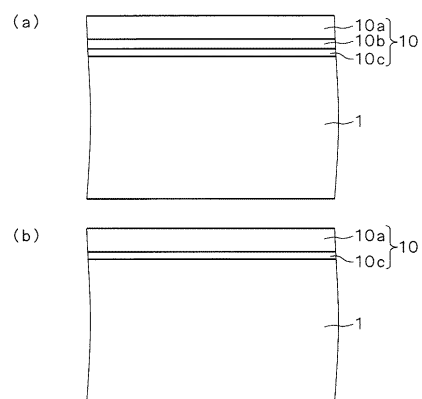
【図 1】



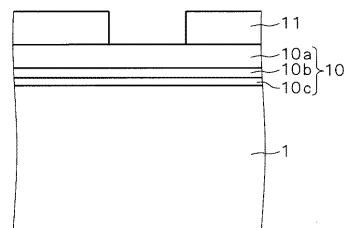
【図 2】



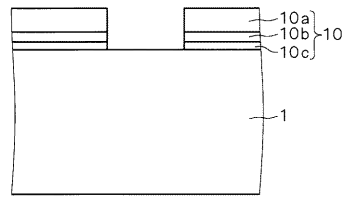
【図 3】



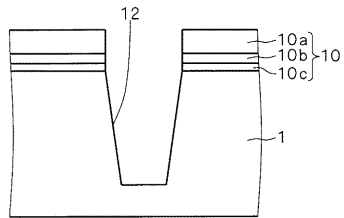
【図 4】



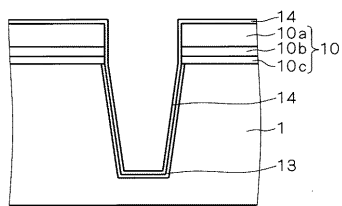
【図 5】



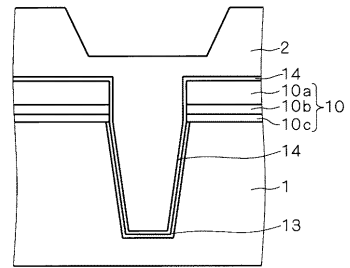
【図 6】



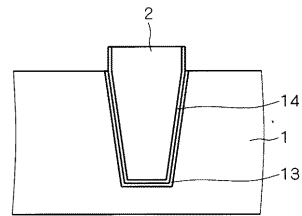
【図 7】



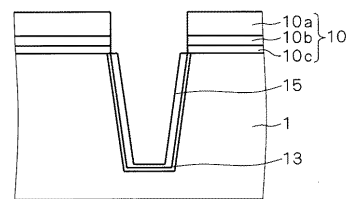
【図 8】



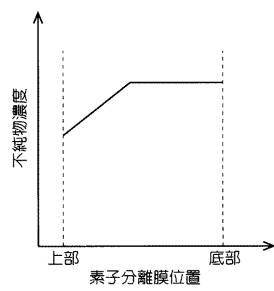
【図 9】



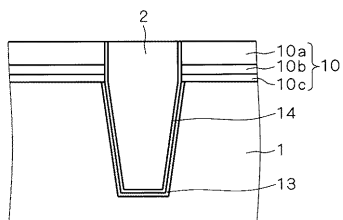
【図 10】



【図 11】



【図 12】



フロントページの続き

Fターム(参考) 5F032 AA35 AA44 AA45 AA46 AA48 AA54 CA17 DA04 DA24 DA25
DA33 DA74