

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号  
特許第4409152号  
(P4409152)

(45) 発行日 平成22年2月3日 (2010.2.3)

(24) 登録日 平成21年11月20日 (2009.11.20)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 2 F 1/133 (2006.01)

G O 9 G 3/20 (2006.01)

G O 9 G 3/36

G O 2 F 1/133 5 O 5

G O 2 F 1/133 5 5 O

G O 9 G 3/20 6 1 1 A

G O 9 G 3/20 6 1 2 L

請求項の数 8 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2002-188022 (P2002-188022)	(73) 特許権者	503121103
(22) 出願日	平成14年6月27日 (2002.6.27)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-29540 (P2004-29540A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成16年1月29日 (2004.1.29)	(74) 代理人	100089071
審査請求日	平成17年6月7日 (2005.6.7)		弁理士 玉村 静世
		(72) 発明者	黒川 康人
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		(72) 発明者	谷 邦彦
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
		審査官	後藤 亮治
			最終頁に続く

(54) 【発明の名称】 表示制御駆動装置および表示システム

(57) 【特許請求の範囲】

【請求項1】

表示データを記憶する表示メモリと、内部動作を外部から設定可能な複数のレジスタと、外部出力端子と、前記表示メモリと前記外部出力端子の間に接続された出力回路とを備え、前記表示メモリから順次読み出された表示データに基づいてドットマトリックス型カラー表示装置の各画素に供給する駆動信号を前記出力回路で生成し前記各画素で表示される色に応じて時分割で前記外部出力端子から出力する表示制御駆動装置であって、

時分割で出力される前記駆動信号のそれぞれの出力期間に応じた制御信号を生成し出力する信号生成回路を備え、

前記信号生成回路には、前記表示装置に表示すべき表示データを前記表示メモリに格納すべく外部から入力される外部クロック信号が供給され前記外部クロック信号を分周する可変分周回路と、前記可変分周回路に接続され前記可変分周回路で分周された信号を計数するカウンタと、前記可変分周回路に接続され前記分周された信号が供給され前記制御信号を生成する制御信号生成回路とを含み、

前記複数のレジスタには、前記可変分周回路の分周比を設定する第1レジスタと、前記カウンタにおいて計数する値を設定する第2レジスタと、前記制御信号のパルス幅を設定する第3レジスタと、前記制御信号の立ち上がり位置を設定する第4レジスタとが含まれ、

前記信号生成回路は、前記第1レジスタと前記第2レジスタと前記第3レジスタと前記第4レジスタのそれぞれに設定された値に従い、時分割で出力される前記駆動信号の数で

10

20

1 水平期間を等分した時間に相当するパルス幅を有するように前記制御信号を生成し出力することを特徴とする表示制御駆動装置。

【請求項 2】

前記駆動信号は、R（赤色）信号と、G（緑色）信号と、B（青色）信号であることを特徴とする請求項 1 に記載の表示制御駆動装置。

【請求項 3】

発振回路を備え、前記信号生成回路は前記発振回路で生成された内部発振クロック信号または前記外部クロック信号のいずれかに基づいて前記第 1 レジスタと前記第 2 レジスタと前記第 3 レジスタと前記第 4 レジスタのそれぞれの設定値に従って前記制御信号を生成可能に構成されていることを特徴とする請求項 1 に記載の表示制御駆動装置。

10

【請求項 4】

前記表示装置の 1 画面の走査期間であるフレーム周期を設定するための第 5 レジスタを備え、

前記信号生成回路は、前記外部クロック信号に基づいて前記制御信号を生成するときは外部から入力される垂直同期信号に基づいてフレーム周期を示す信号を生成し、前記内部発振クロック信号に基づいて前記制御信号を生成するときは前記第 5 レジスタの設定値に基づいてフレーム周期を示す信号を生成するように構成されていることを特徴とする請求項 3 に記載の表示制御駆動装置。

【請求項 5】

マトリクス状に配置された画素と、各画素に供給される駆動信号を入力するための複数の外部端子と、前記複数の外部端子に入力された前記駆動信号を前記画素に伝達する第 1 方向の所定数の第 1 配線と、前記複数の外部端子と前記所定数の前記第 1 配線との間に設けられ前記複数の外部端子に入力された前記駆動信号を前記所定数の第 1 配線のいずれかに選択的に伝達する選択スイッチ素子とを備えたドットマトリクス型カラー表示装置と、

20

表示データを記憶する表示メモリと、内部動作を外部から設定可能な複数のレジスタと、前記複数の外部端子と接続される外部出力端子と、前記表示メモリと前記複数の外部端子の間に接続された出力回路とを備え、前記表示メモリから順次読み出された表示データに基づいて前記表示装置の各画素に供給される前記駆動信号を前記出力回路で生成し前記各画素で表示される色に応じて時分割で前記外部出力端子から出力するとともに、前記選択スイッチ素子の制御信号を生成し出力する表示制御駆動装置と、

30

前記表示メモリに書き込む表示データの生成およびその書き込み位置情報に関する設定を行なうデータ処理装置と、

前記表示制御駆動装置は、前記選択スイッチ素子の前記制御信号を生成する信号生成回路を備え、

前記信号生成回路は、外部から入力される外部クロック信号が供給され前記外部クロック信号を分周する可変分周回路と、前記可変分周回路に接続され前記可変分周回路で分周された信号を計数するカウンタと、前記可変分周回路に接続され前記分周された信号が供給され前記制御信号を生成する制御信号生成回路とを含み、

前記複数のレジスタには、前記可変分周回路の分周比を設定する第 1 レジスタと、前記カウンタにおいて計数する値を設定する第 2 レジスタと、前記制御信号のパルス幅を設定する第 3 レジスタと、前記制御信号の立ち上がり位置を設定する第 4 レジスタとが含まれ、

40

前記信号生成回路は、前記第 1 レジスタと前記第 2 レジスタと前記第 3 レジスタと前記第 4 レジスタのそれぞれに設定された値に従い、時分割で出力される前記駆動信号の数で 1 水平期間を等分した時間に相当するパルス幅を有するように前記制御信号を生成し出力することを特徴とする表示システム。

【請求項 6】

前記画素は画素電極と前記画素電極に前記第 1 方向の前記第 1 配線を介して伝達される前記駆動信号を供給するスイッチ素子を有し、

50

前記表示装置には、前記第 1 方向と交差する第 2 方向に沿って配置され各画素の前記スイッチ素子を制御する信号を伝達する複数の第 2 配線と、前記複数の前記第 2 配線を駆動する駆動回路と、前記複数の前記第 2 配線を順次選択駆動させるためのシフトレジスタとが設けられ、

前記表示制御駆動装置は、前記シフトレジスタをシフト動作させるクロック信号を生成して前記表示装置へ出力するようにされ、前記クロック信号は前記表示装置の 1 画面の走査期間であるフレーム周期に応じた周期に設定されていることを特徴とする請求項 5 に記載の表示システム。

#### 【請求項 7】

前記液晶パネルの前記画素は赤色、緑色及び青色の 3 つのドットを 1 組みとして構成され、前記表示制御駆動装置から前記表示装置へ供給される前記駆動信号は R（赤色）信号と G（緑色）信号と B（青色）信号であることを特徴とする請求項 5 または請求項 6 に記載の表示システム。

#### 【請求項 8】

3 つの色信号を含む 1 画素のデータを複数含む表示データを記憶する表示メモリと、複数のレジスタと、  
前記表示メモリから読み出された一画素に対応する 3 つの色信号が時分割供給される複数の外部出力端子と、

前記表示メモリと前記外部出力端子の間に接続された出力回路と、  
時分割で出力される前記 3 つの色信号のそれぞれの出力期間に応じた制御信号を生成する信号生成回路と、を有し、

前記信号生成回路は、表示パネルに表示すべき表示データを前記表示メモリに格納すべく外部から入力される外部クロック信号が供給され前記外部クロック信号を分周する可変分周回路と、前記可変分周回路で分周された信号を計数するカウンタと、前記可変分周回路に接続され前記分周された信号が供給され前記制御信号を生成する制御信号生成回路とを有し、

前記複数のレジスタは、前記可変分周回路の分周比を設定する第 1 レジスタと、前記カウンタにおいて計数する値を設定する第 2 レジスタと、前記制御信号のパルス幅を設定する第 3 レジスタと、前記制御信号の立ち上がり位置を設定する第 4 レジスタとを含み、

前記信号生成回路は、前記第 1 レジスタと前記第 2 レジスタと前記第 3 レジスタと前記第 4 レジスタのそれぞれに設定された値に应答し、1 水平期間を実質的に 3 等分した時間に相当するパルス幅を有するように前記制御信号を生成することを特徴とする 1 つの半導体基板に形成された表示制御駆動装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

この発明は、液晶パネルを表示駆動する液晶表示制御駆動装置さらには半導体集積回路化された液晶表示制御駆動装置の駆動信号の出力方式に適用して有効な技術に関し、例えば LTPS（低温ポリシリコン）液晶パネルを駆動する液晶表示制御駆動装置およびそれを用いた液晶表示システムに利用して有効な技術に関する。

#### 【0002】

#### 【従来の技術】

近年、携帯電話器や PDA（パーソナル・デジタル・アシスタント）などの携帯用電子機器の表示装置としては、一般に複数の表示画素がマトリックス状に 2 次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された表示制御装置（液晶コントローラ）や液晶パネルを駆動するドライバもしくはドライバを内蔵した表示制御駆動装置（液晶コントローラドライバ）が搭載されている。

#### 【0003】

液晶パネルにはアモルファスシリコンを使用したものと低温ポリシリコンを使用した LT

10

20

30

40

50

P S 液晶パネルと呼ばれるものがある。液晶パネルはガラス基板を使用するため製造プロセスにおいて高温の工程を用いることができない。L T P S 液晶パネルはアモルファスシリコンをレーザーアニール等により多結晶化してポリシリコンに変質させたもので、アモルファスシリコンに比べてトランジスタの高速動作が可能であるという利点がある。

#### 【 0 0 0 4 】

##### 【 発明が解決しようとする課題 】

従来、携帯用電子機器に用いられる液晶パネルは、モノクロ静止画表示のものが多かった。しかしながら、近年、携帯用電子機器の高機能化に伴い、表示部に表示される内容の多様化が進んでおり、カラー表示や動画表示を行なうものも提供されつつある。

#### 【 0 0 0 5 】

ところで、カラー液晶パネルは R ( 赤 ) , G ( 緑 ) , B ( 青 ) の 3 原色の画素を備えており、各画素には画素電極と該画素電極を充放電する T F T ( 薄膜トランジスタ ) からなるスイッチ素子が設けられ、同一列の画素のスイッチ素子のソースは画像信号を伝達する共通の配線 ( ソース線あるいはデータ線と呼ばれる ) に接続されている。

#### 【 0 0 0 6 】

従来のカラー液晶パネルは各ソース線毎に外部端子が設けられているため、パネルの大きさすなわち表示ドット数が大きくなるほど外部端子数が多くなる。液晶パネルはこのパネルを駆動する半導体集積回路化された表示制御駆動装置に比べると大きいため、パネルの大型化に伴って外部端子数が増加してもそれほど問題はないが、半導体集積回路化される表示制御駆動装置は外部端子数の増加によってチップ面積およびパッケージの容積が大きくなるため、できるだけ外部端子数は少なくしたいという要望がある。

#### 【 0 0 0 7 】

L T P S 液晶パネルは、トランジスタが高速動作可能であるため、液晶パネル側にセレクトを設けて 3 色の画素の信号を共通の外部端子から時分割で入力させるように構成することができる。しかしながら、かかる時分割駆動方式を採用すると、採用しないものに比べて各画素電極を充電するのに割り当てられる時間が 1 / 3 に減少するため、液晶表示制御駆動装置側のドライバないしはアンプの駆動力を高くする必要がある。このドライバもしくはアンプの消費電力は液晶表示制御駆動装置のチップ全体の消費電力に占める割合が比較的大きいため、単にドライバないしはアンプの駆動力を高くしたのでは、出力の安定性が損なわれるおそれがあることが明らかになった。

#### 【 0 0 0 8 】

また、近年の携帯電話器のような電子機器は静止画のほか動画像を表示できるようにされた表示システムを搭載することが多くなっており、携帯電話器は機種によって画像サイズ等が異なるため送られてくる画像データに応じてデータ転送速度が異なることがあり、最大のものに合わせてドライバないしはアンプの駆動力を設計し動作させるようにすると、転送速度が遅い場合に無駄な電流を消費することになるという課題もあることが分かった。

#### 【 0 0 0 9 】

この発明の目的は、データ転送速度が異なる場合にも画像データサイズ等に応じてドライバもしくはアンプによる画素電極の充電時間を最適化してトータルの消費電力を低減することができる表示制御駆動装置および表示システムを提供することにある。

この発明の他の目的は、画像データサイズ等に応じてフレーム周波数を変更した場合にもそれに応じてドライバもしくはアンプによる画素電極の充電時間を最適化してトータルの消費電力を低減することができる表示制御駆動装置および表示システムを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

#### 【 0 0 1 0 】

##### 【 課題を解決するための手段 】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりであ

10

20

30

40

50

る。

すなわち、表示データを記憶する表示メモリから順次表示データを読み出してドットマトリックス型カラー表示装置の各画素の3原色の画像信号をそれぞれ生成し時分割で共通の外部出力端子から出力するとともに、表示装置に設けられ入力画像信号を3本のソース線のいずれかに選択的に伝達する選択スイッチ素子の制御信号を生成し出力する表示制御駆動装置に、表示データと同期して外部から入力されるクロック信号に基づいて1水平期間を設定する手段と、1水平期間を3等分した時間に相当するパルス幅を有するように前記選択スイッチ素子の制御信号を生成し出力する信号生成回路とを設けるようにした。

#### 【0011】

上記した手段によれば、割当て可能な最大の時間をかけて各画素を充電させることができるようになるため、画像データサイズ、転送スピード、パネル特性等に応じて1水平期間を設定するとともに各画素を充電させる画像信号を出力する駆動回路の電流を最適な値に制御することで、表示制御駆動装置の消費電力を低減できるようになる。

#### 【0012】

また、本願の他の発明は、上記のような構成を有する表示制御駆動装置において、表示装置に表示すべき画像のサイズ、内容に応じて表示装置の1画面の走査期間であるフレーム周期を変更するとともに、フレーム周期に応じて前記原色信号の出力時間を変化させて画像サイズが小さい時は大きい時よりも前記フレーム周期を長くするとともに長い時間をかけて前記原色信号を出力させるようにしたものである。これにより、各画素を充電させるのに必要な時間をフレーム周波数に応じて可能な範囲でできるだけ長くすることができるようになるため、画像信号を出力する駆動回路の電流を制御して表示制御駆動装置の消費電力を一層低減させることができるようになる。

#### 【0013】

##### 【発明の実施の形態】

以下、この発明の好適な実施の形態を図面に基づいて説明する。

図1は、本発明に係る液晶表示制御駆動装置（液晶コントロールドライバ）を備えた携帯電話器の全体構成を示すブロック図である。

この実施例の携帯電話器は、表示部としての液晶パネル100、送受信用のアンテナ120、音声出力用のスピーカ130、音声入力用のマイクロホン140、CCD（チャージ・カップルド・デバイス）やMOSセンサなどからなる固体撮像素子150、該固体撮像素子150からの画像信号を処理するDSP（Digital Signal Processor）などからなる画像信号処理回路230、本発明に係る液晶表示制御駆動装置としての液晶コントロールドライバ200、スピーカ130やマイクロホン140の信号の入出力を行なう音声インタフェース241、アンテナ120との間の信号の入出力を行なう高周波インタフェース242、音声信号や送受信信号に係る信号処理等を行なうベースバンド部250、MPEG方式等に従った動画処理等マルチメディア処理機能や解像度調整機能、ジャヴァ高速処理機能等を有するマイクロプロセッサなどからなる動画処理回路（以下、アプリケーションプロセッサと称する）260、電源用IC270およびデータ記憶用のメモリ280等を備えてなる。アプリケーションプロセッサ260は、固体撮像素子150からの画像信号の他、高周波インタフェース242を介して他の携帯電話器から受信した動画データも処理する機能を有する。

#### 【0014】

一点鎖線Aで囲まれた部分のICや部品はプリント配線基板のような1枚の基板上に搭載される。これまで液晶コントロールドライバ200は同じ基板上に実装されていたが、最近では携帯電話などの携帯端末の小型・薄型化のため、液晶コントロールドライバ200及び電源用IC270は液晶パネル100のガラス上にCOG（Chip on Glass）実装されることが増えている。システムバス290と表示データバス295が形成され、画像信号処理回路230と液晶コントロールドライバ200とベースバンド部250とアプリケーションプロセッサ260およびメモリ280はシステムバス290を介して接続され、液晶コントロールドライバ200とアプリケーションプロセッサ260およびメモリ280

10

20

30

40

50

0 はさらに表示データバス 295 に接続されている。

【0015】

なお、上記ベースバンド部 250 は、例えば DSP (Digital Signal Processor) などからなり音声信号処理を行なう音声信号処理回路 251、カスタム機能 (ユーザ論理) を提供する ASIC (application specific integrated circuits) 252、ベースバンド信号の生成や表示制御、システム全体の制御等を行なうデータ処理装置としてのマイクロプロセッサもしくはマイクロコンピュータ (以下、マイコンと略す) 253 等により構成される。

【0016】

上記液晶パネル 100 は、表示画素がマトリックス状に配列されたドットマトリックス方式のカラー低温ポリシリコン (LTPS) TFT 液晶パネルであり、1 画素は赤、青、緑の 3 ドットで構成されている。また、各画素には画素電極と該画素電極を充放電する TFT (薄膜トランジスタ) からなるスイッチ素子が設けられ、同一列の画素のスイッチ素子のソースは画像信号を伝達する共通のソース線に接続され、同一行の画素のスイッチ素子のゲートは画素選択レベルを伝達する共通の配線 (ゲート線と称する) に接続されている。

10

【0017】

所定のブロック単位で一括消去可能なフラッシュメモリ 300 は、表示制御を含む携帯電話器システム全体の制御プログラムや制御データが記憶される。メモリ 280 は、さまざまな画像処理を行った画像データ等が保存されるフレームバッファ等として用いられ、通常 SRAM や SDRAM が用いられる。

20

【0018】

図 2 は、図 1 に示されている液晶コントロールドライバ 200 の実施例を示すブロック図である。

この実施例の液晶コントロールドライバ 200 は、外部からの発振信号もしくは外部端子に接続された振動子からの発振信号に基づいてチップ内部の基準クロックパルスを生成するパルスジェネレータ 201、このクロックパルスに基づいてチップ内部のタイミング制御信号を発生するタイミング制御回路 202、外部のマイコン 253 からの指令に基づいてチップ内部全体を制御する制御部 203、前記システムバス 290 を介してマイコン 253 との間でコマンドや静止画像データなどのデータの送受信を行なうシステム・インタフェース 204、外部の電源用 IC 270 に対して制御信号 GCS やクロック信号 GCL、コマンド GDA 等を供給する電源インタフェース 205 等を備えている。

30

【0019】

なお、電源用 IC 270 は、液晶駆動に必要な電圧を生成したり、タイミング制御回路 202 から出力されるクロック SFTCLK1, 2 や CLA ~ CLC, フレーム同期信号 FL M, 表示制御信号 DISPTMG, EQ などをレベルシフトして液晶パネル 100 に供給する機能も備えている。なお、電源用 IC 270 によってレベル変換されたタイミング信号に関しては、その記号の末尾に、SFTCLK1O, SFTCLK2O, EGO, FLMO, CLAO ~ CLCO、DISPTMGO 等のように “O (オー)” が付されている。この実施例の液晶コントロールドライバ 200 は、このような機能を有する電源用 IC 270 とセットで用いられる。液晶パネル 100 と液晶コントロールドライバ 200 と電源用 IC 270 の関係を示すと、図 3 のようになる。

40

【0020】

また、この実施例の液晶コントロールドライバ 200 には、表示データをビットマップ方式で記憶する表示メモリとしての表示 RAM (Random Access Memory) 206、上記表示 RAM 206 に対するアドレスを生成するアドレスカウンタ 207、表示 RAM 206 から読み出されたデータを保持するリードデータラッチ回路 208、リードデータラッチ回路 208 に読み出されたデータすなわち既に表示されている表示内容とマイコン 253 から供給された新たな表示データとに基づいてすかし表示や重ね合わせ表示のための論理演算を行なう論理演算手段やスクロール表示のためのビットシフト手段などを備えマイコン

50

253からの書込みデータまたは表示RAM206からのリードデータに対するビット処理を行なうビットオペレーション回路209、ビット処理されたデータを取り込んで上記表示RAM206に対してデータの書込みを行なう書込みラッチ回路221、前記表示データバス295を介して前記アプリケーションプロセッサ260からの動画データや水平・垂直同期信号HSYNC, VSYNCを受ける外部表示インタフェース222が設けられている。前記アプリケーションプロセッサ260からの動画データは、ドットクロック信号DOTCLKに同期して供給される。外部表示インタフェース222はマイコン253から供給される静止画像データも受けることができる。

#### 【0021】

さらに、この実施例の液晶コントロールドライバ200には、外部の電源用IC270から供給される電圧DDVDHやVDH, およびVGSに基づいてカラー表示や階調表示に適した波形信号を生成するのに必要な階調電圧を生成する階調電圧生成回路223、液晶パネル100の特性に合わせた階調電圧を設定する調整回路224、液晶パネルへの表示のために表示RAM206から読み出された表示データを保持する表示データラッチ回路225、該表示データラッチ回路225に読み出された表示データからRGBそれぞれのデータを選択するとともに液晶の劣化を防止する交流駆動のためのデータに変換するセクタ&交流化回路226、変換されたデータを保持するラッチ回路227、上記階調電圧生成回路223から供給される階調電圧の中から表示データに応じた電圧を選択して液晶パネル100のソース線に印加される電圧S1~S256を出力する出力する液晶駆動回路228、外部から供給される3.3Vや2.5Vのような電圧Vciを降圧して1.5Vのような内部回路の電源電圧Vddを生成する電圧レギュレータ229等が設けられている。TS0~TS3, COM0P~COM1Mは電圧レギュレータ229で生成される電圧を調整するためのトリミング信号である。なお、図2において、SEL1, SEL2はデータセクタである。

#### 【0022】

特に制限されるものでないが、液晶パネル100にはポリシリコンTFTからなり同一行の画素のスイッチ素子のゲートが接続されたゲート線を順次選択レベルに駆動するゲートドライバと、選択レベルにするゲート線を指定するためのシフトレジスタが設けられており、前記タイミング制御回路202は液晶パネルに対してフレーム同期信号FLMやゲート線指定用のシフトレジスタをシフト動作させるための互いに位相が180°ずれた、あるいはノンオーバーラップの2相のクロック信号SFTCLK1, SFTCLK2を供給する。

#### 【0023】

また、この実施例の液晶コントロールドライバ200は、上記液晶パネル100の構成に応じて液晶駆動回路228から各画素のRGBの駆動信号を共通の端子から時分割で出力するようにされているとともに、液晶パネル100に対していずれの色の画素駆動信号を出力しているかまた出力している期間を示す3個のタイミングクロックCLA, CLB, CLCを前記タイミング制御回路202により生成して出力するように構成されている。さらに、前記タイミング制御回路202は、液晶パネル100に対して表示を行なうラインを指示する表示タイミング信号DISPTMG等を生成して出力する。

#### 【0024】

前記制御部203には、この液晶コントロールドライバ100の動作モードなどチップ全体の動作状態を制御するためのコントロールレジスタCTRや、予め制御部内に複数のコマンドコードと実行するコマンドを指示するインデックスIXRなどのレジスタが設けられており、外部のマイコン253がインデックスレジスタIXRに書込みを行なうことで実行するコマンドを指定すると、制御部203が指定されたコマンドに対応した制御信号を生成するように構成されている。

このように構成された制御部203による制御によって、液晶コントロールドライバ100は、マイコン253からの指令およびデータに基づいて上述した液晶パネル100に表示を行なう際に、表示データを表示RAM206に順次書き込んでいく描画処理を行うと

10

20

30

40

50

共に、表示RAM206から周期的に表示データを読み出す読出し処理を行なって液晶パネル100のソース線に印加する信号を生成して出力する。

#### 【0025】

システム・インタフェース204は、マイコン253との間で表示RAM206への描画の際などに必要とされるレジスタへの設定データや表示データ等の信号の送受信を行なう。IM3-1およびIM0/ID端子により選択可能である80系i/fでは、マイコン253とシステム・インタフェース204との間には、データ送信先のチップを選択するチップセレクト信号CS\*、データ格納先のレジスタを選択するレジスタセレクト信号RS、リード/ライトの制御信号WR\*、RD\*などが送信される制御信号線、レジスタ設定データや表示データなど18ビットのデータ信号DB0~DB17が送受信されるデータ信号線とが設けられている。

10

#### 【0026】

なお、データ信号線DB0~DB17のうちDB0とDB1はシリアルデータ通信線を兼用するように構成されている。リード/ライトの制御信号WR\*と共通の端子に入力されるSCLは、シリアルデータの入出力を行なうためのシリアルクロック信号である。なお、符号に\*が付されている信号は、ロウレベルが有効レベルとされる信号であることを意味している。シリアルデータ入出力を使用することにより、データ信号線DB2~DB18が不要となり、基板上に設けられるシステムバス290の幅を小さくすることができる。

#### 【0027】

20

図4には、上記液晶駆動回路228と液晶パネル側の回路の構成例が示されている。図4において、図2に示されている回路と同一の回路には同一の符号を付して重複した説明は省略する。また、図4では、電源用IC270を省略してある。そのため、タイミング制御回路202から出力される信号が液晶パネル100へ直接供給されるように示されている。電源用IC270の機能を液晶コントローラドライバ200内に取り込むことにより、このような接続も可能である。

#### 【0028】

この実施例では表示RAM206から読み出される表示データは1画素当たりRGBそれぞれ6ビット計18ビットで構成されており、表示データラッチ回路225には液晶パネルの各ソース線毎に18ビットのデータが保持される。この18ビットの表示データは、セクタ&交流化回路226を構成する単位セクタSEL1~SEL256によりRGBいずれか6ビットの表示データが選択されてラッチ回路227を構成する単位ラッチ回路LT1~LT256にラッチされる。また、このときセクタSEL1~SEL256を選択制御した信号に対応したRGB切替え信号CLA, CLB, CLCが液晶パネル100へ出力される。

30

#### 【0029】

液晶駆動回路228は、レベルシフト回路LS1~LS256と階調電圧選択回路SVS1~SVS256とから構成されており、単位ラッチ回路LT1~LT256にラッチされたデータ信号はレベルシフト回路LS1~LS256によりレベルシフトされ、その信号によって階調電圧選択回路SVS1~SVS256が階調電圧生成回路223で生成された電圧のうち表示データに応じた電圧を選択して出力端子P1~P256より液晶パネル100へ出力する。

40

#### 【0030】

液晶パネル100は、特に制限されるものでないが、この実施例では、各ライン(行)毎にRGBの画素が順に繰返し配置され、列方向には同一色の画素が並ぶように配置されている。各画素は、TFEからなるスイッチ素子SWと、画素電極ELとから構成され、画素電極と液晶を挟んで対抗する共通電極との間の容量に対して画像信号に応じた電荷が蓄積される。

#### 【0031】

図4において、SL1~SL320は同一ラインの画素のスイッチ素子のソースが共通に

50

接続されたソース線で、 $GL1 \sim GL320$ は同一ラインの画素のスイッチ素子のゲートが共通に接続されたゲート線で、各ゲート線は1フレーム周期に1回ずつ選択レベルにされ、選択レベルのゲート線に接続されているスイッチ素子がオン状態にされ、その他すべてオフ状態にされる。また、 $SL1 \sim SL768$ は同一列の画素のスイッチ素子のソースが共通に接続されたソース線で、このソース線を介して各画素に画像信号が伝達され画素電極に画像信号に応じた電荷が充電される。

#### 【0032】

この実施例の液晶パネル100には、ソース線 $SL1 \sim SL768$ の数の $1/3$ の数のセグメント端子 $T1 \sim T256$ が設けられ、各セグメント端子 $T1 \sim T256$ にはそれぞれ3個で1組の選択用スイッチ素子 $Q1 \sim Q3$ 、 $Q4 \sim Q6$ 、……、 $Q766 \sim Q768$ を介してRGBの各画素列に対応した3本のソース線群 $SL1 \sim SL3$ 、 $SL4 \sim SL6$ 、……、 $SL766 \sim SL768$ の中の1つが接続可能に構成されている。選択用スイッチ素子 $Q1 \sim Q3$ 、 $Q4 \sim Q6$ 、……、 $Q766 \sim Q768$ は、タイミング制御回路202から出力される前記RGB切替え信号 $CLA$ 、 $CLB$ 、 $CLC$ によってオン、オフ制御される。

10

#### 【0033】

また、この実施例の液晶パネル100には、ゲート線 $GL1 \sim GL320$ に対応してこれらを駆動するゲートドライバ $DRV1 \sim DRV320$ がそれぞれ設けられているとともに、ゲート線 $GL1 \sim GL320$ と直交する方向に沿ってシフトレジスタ $SFR$ が設けられている。さらに、液晶パネル100には、タイミング制御回路202から供給される制御信号 $FLM$ 、 $M$ 、 $EQ$ や制御電圧 $VGH$ 、 $VGL$ 、 $Vgoff$ 等に基づいてパネル内部の制御信号を生成する制御回路110が設けられている。

20

#### 【0034】

上記シフトレジスタ $SFR$ を構成する各段のフリップフロップの出力は、上記ゲートドライバ $DRV1 \sim DRV320$ の入力端子に供給されており、シフトレジスタ $SFR$ がタイミング制御回路202から出力される前記シフトクロック $SFTCLK1$ 、 $SFTCLK2$ によって1フレーム周期をかけて“1”を一巡させることにより、各ゲート線が1フレーム周期に1回ずつ選択レベルにされる。

#### 【0035】

また、1本のゲート線が選択レベルにされている1水平期間にRGB切替え信号 $CLA$ 、 $CLB$ 、 $CLC$ が図5(C)のように $1/3$ 期間ずつ順にハイレベルに変化される。液晶表示制御装置200から供給される画像信号がスイッチ素子 $Q1 \sim Q768$ により3本一組のソース線の中から1本のソース線に画像信号が伝達される。この画像信号は、切替え信号 $CLA$ 、 $CLB$ 、 $CLC$ に同期して液晶表示制御装置200から1水平期間内にRGBの各信号がそれぞれ時分割で供給される。

30

#### 【0036】

これにより、各ソース線毎にセグメント端子が設けられている液晶パネルでは、図5(A)のように、1水平期間をかけて充電される画素が、図5(B)のように、1水平期間の $1/3$ の時間でRGBの各画素順に充電されるようになる。なお、このような時分割充電を可能にするため、前記実施例の液晶コントローラドライバにおいては、階調電圧生成回路223内の出力アンプが図5(A)のように1水平期間をかけて画素電極を充電する場合よりも大きな駆動力を有するように設計されている。

40

#### 【0037】

また、階調電圧生成回路223内の出力アンプは駆動電流を流す電流源が複数個設けられており、コントロールレジスタ $CTR$ の設定値によって必要とされる駆動力に応じてオンされる電流源の数が制御されるように構成されている。これは、使用する液晶パネルによってソース線の寄生容量や画素電極の容量値が異なっているため、レジスタの設定値を変更することで容量値に応じて階調電圧生成回路223の出力アンプの駆動電流を切り替えられるようにして、容量値の異なる複数の液晶パネルに対応できるようにするためである。

50

## 【 0 0 3 8 】

なお、本実施例の液晶パネル 1 0 0 では、同一列には R G B のうち同一色の画素が配置されている場合を説明したが、列方向にも R G B が順に配置されているような液晶パネルに対しても本発明を適用することができる。その場合、選択信号を選択レベルに変化させる順序を C L A - C L B - C L C の順から C L B - C L C - C L A , C L C - C L A - C L B のように変えることで R G B 画像信号の転送順序を変えずに正しい表示を行なわせることができる。R G B 切替え信号 C L A , C L B , C L C の順序を変える代わりに、液晶コントロールドライバ 2 0 0 側で液晶パネルへ送る R G B 画像信号の転送順序を R - G - B から G - B - R , B - R - G のように変えたり、液晶パネル 1 0 0 側において例えば R G B 切替え信号 C L A , C L B , C L C の入力端子と選択用スイッチ素子 Q 1 ~ Q 7 6 8 のゲート端子との間に信号の伝達経路を切り替えるスクランブル回路を設けて選択ラインに応じて R G B 切替え信号 C L A , C L B , C L C を供給する選択用スイッチ素子 Q 1 ~ Q 7 6 8 を切り替えるように構成してもよい。

10

## 【 0 0 3 9 】

ところで、図 1 の実施例のような携帯電話器においては、画像サイズによってアプリケーションプロセッサ 2 6 0 から液晶コントロールドライバ 2 0 0 へ送られる画像データの転送速度が変化することがある。これは、1 ライン分の画像データは 1 水平期間で転送するように転送速度を制御することによって、連続したデータ転送が可能になるためである。ただし、このようにすると、画像データを受ける液晶コントロールドライバ 2 0 0 の側では、画像データの転送速度に応じて R G B 切替え信号 C L A , C L B , C L C のタイミン

20

## 【 0 0 4 0 】

本実施例の液晶コントロールドライバ 2 0 0 は、上記のような制御を行なえるようにタイミング制御回路 2 0 2 が構成されている。逆にいえば、タイミング制御回路 2 0 2 が、画像データの転送速度に応じて R G B 切替え信号 C L A , C L B , C L C のタイミングを変えられるように構成されていることによって、アプリケーションプロセッサ 2 6 0 が画像サイズに応じて液晶表示制御装置 2 0 0 へ送る画像データの転送速度を変えることで連続したデータ転送を行なえるようになる。

## 【 0 0 4 1 】

次に、画像データの転送速度に応じて R G B 切替え信号 C L A , C L B , C L C のタイミングを変える制御を可能にするタイミング制御回路 2 0 2 の具体例を、図 6 を用いて説明する。

30

この実施例のタイミング制御回路 2 0 2 は、内部発振回路 2 0 1 からの発振クロック O S C を使用した動作と表示インタフェース 2 2 2 に入力される画像データに同期したドットクロック DOTCLK を使用した動作のいずれかの動作を行なえるようにするため、例えばクロックを選択するセクタ S E L 3 もしくはそれと同等の機能が設けられている。このセクタ S E L 3 はコントロールレジスタ C T R 内のモードレジスタ M D R への設定状態によっていずれのクロックを選択するか制御される。

## 【 0 0 4 2 】

タイミング制御回路 2 0 2 には、上記セクタ S E L 3 で選択されたクロックを分周する可変分周回路 2 0 2 1 と、分周されたクロック B C L K を計数するカウンタ 2 0 2 2 と、画素電極への充電時間を決定する R G B 切替え信号 C L A , C L B , C L C のパルス幅と立上り / 立下りタイミングを調整して出力する R G B 切替え信号生成回路 2 0 2 3 と、液晶パネル側のゲートドライバを切り替えるシフトレジスタ S F R を動作させるシフトクロック SFTCLK 1 , SFTCLK 2 を生成するシフトクロック生成回路 2 0 2 4 と、垂直同期信号 V S Y N C 等に基づいてフレーム周期を示す信号 F L M を生成するフレーム周期信号生成回路 2 0 2 5 が設けられている。可変分周回路 2 0 2 1 とカウンタ 2 0 2 2 を設けているのは、例えば R G B 切替え信号 C L A , C L B , C L C のハイレベルの期間が互いにオーバーラップしないように、デッドタイム  $t_{dead}$  ( 図 5 参照 ) を設ける場合にそのデッドタイムの最小幅を規定できるようにするためである。

40

50

## 【 0 0 4 3 】

また、コントロールレジスタCTRには、上記可変分周回路2021における分周比を設定するための分周比設定レジスタDRRと、カウンタ2022により計数される1水平期間中のクロックの数を設定するための1水平期間クロック数設定レジスタCNRと、RGB切替え信号生成回路2023における切替え信号の立上り位置を設定するためのCL立上り位置設定レジスタRTRおよび切替え信号のパルス幅すなわち画素電極の充電時間を設定するための充電時間設定レジスタTMRと、シフトクロック生成回路2024の動作を制御するシフト制御用レジスタSCRと、フレーム周期信号生成回路2025により生成されるフレーム周期信号FLMの周期を設定するフレーム周期設定レジスタFSRなどが設けられている。

10

## 【 0 0 4 4 】

なお、図6に示されているレジスタはコントロールレジスタCTRに設けられているレジスタのすべてではなく、これら以外のレジスタもある。CL立上り位置設定レジスタRTRには、本実施例では生成すべき切替え信号CLA, CLB, CLCに応じて3つの値が設定され、それぞれについて比較が行なわれる。切替え信号CLA, CLB, CLCのパルス幅は同一で良いので、充電時間設定レジスタTMRに設定される値は1つとされる。

## 【 0 0 4 5 】

RGB切替え信号生成回路2023は、CL立上り位置設定レジスタRTRの設定値とカウンタ2022で計数された値とを比較して立上りタイミングを決定する第1比較回路CMP1と、上記CL立上り位置設定レジスタRTRの設定値と充電時間設定レジスタTMRの設定値とを加算する加算回路ADDと、該加算結果とカウンタ2022の計数値とを比較して立下りタイミングを決定する第2比較回路CMP2と、上記第2比較回路CMP2の出力を反転するインバータINVと、第1比較回路CMP1の一致検出信号と第2比較回路CMP2の一致検出信号をインバータINVで反転した信号の論理積をとるANDゲートG1と、ANDゲートG1の出力信号を保持するフリップフロップFFで構成されている。

20

## 【 0 0 4 6 】

上記第1比較回路CMP1と第2比較回路CMP2は、可変分周回路2021で分周されたクロックBCLKに同期して比較動作を行なう。比較回路の代わりに演算回路を使用し、比較すべき2つの値を引き算して「0」になったか否かで一致を検出するように構成してもよい。また、第1比較回路CMP1と第2比較回路CMP2をクロックBCLKに同期させる代わりに、ANDゲートG1の後段のフリップフロップFFをクロックBCLKでラッチ動作させて同期させるようにしても良い。

30

## 【 0 0 4 7 】

ここで、使用する液晶パネルの表示画面FLDが、画素数で320×80、ドット数で320×240の大きさを有し、フレーム周波数90Hz、垂直ブランク期間32ラインで駆動する場合を例にとって、タイミング制御回路202における上記分周比設定レジスタDRRと1Hクロック数設定レジスタCNRと充電時間設定レジスタTMRへの設定の仕方を具体的に説明する。なお、フレーム周波数が90Hzの場合、1水平期間1Hは、 $1H = 1 \div \{ 90 [Hz] \times (320 + 32) [ライン] \} = 31.57 [\mu s]$ である。

40

## 【 0 0 4 8 】

画像サイズSZが、図7(A)のように176×120ドットの場合には、画像データは周期が0.263(=31.57÷120)[μs]のドットクロックDOTCLKに同期して送られてくる。この場合、例えば分周比設定レジスタDRRに分周比として「4」を設定し、1Hクロック数設定レジスタCNRにクロック数として「30」を設定し、充電時間設定レジスタTMRに「10」を設定する。すると、RGB各画素電極への充電時間tcは、 $t_c = 0.263 [\mu s] \times 4 [分周] \times 10 [クロック] = 10.52 [\mu s]$ となる。

## 【 0 0 4 9 】

画像サイズSZが、図7(B)のように176×240ドットの場合には、画像データは

50

周期が  $0.1315 (= 31.57 \div 240)$  [ $\mu s$ ] のドットクロック DOTCLK に同期して送られてくる。この場合、例えば分周比設定レジスタ DRR に分周比として「8」を設定し、1H クロック数設定レジスタ CNR にクロック数として「30」を設定し、充電時間設定レジスタ TMR に「10」を設定する。すると、RGB 各画素電極への充電時間  $t_c$  は、 $t_c = 0.1315 [\mu s] \times 8 [\text{分周}] \times 10 [\text{クロック}] = 10.52 [\mu s]$  となる。

#### 【0050】

画像サイズ SZ が、図 7 (C) のように  $352 \times 120$  画素 ( $352 \times 288$  ドット) の場合には、画像データは周期が  $0.1096 (= 31.57 \div 288)$  [ $\mu s$ ] のドットクロック DOTCLK に同期して送られてくる。この場合、例えば分周比設定レジスタ DRR に分周比として「8」を設定し、1H クロック数設定レジスタ CNR にクロック数として「36」を設定し、充電時間設定レジスタ TMR に「12」を設定する。すると、RGB 各画素電極への充電時間  $t_c$  は、 $t_c = 0.1096 [\mu s] \times 8 [\text{分周}] \times 12 [\text{クロック}] = 10.52 [\mu s]$  となる。

#### 【0051】

上記のようにこの実施例のタイミング制御回路によればデータサイズの異なる画像データが周期の異なるドットクロック DOTCLK に同期して送られてくる場合にも、フレーム周期が一定であれば、画素電極に対する充電時間をほぼ同一でかつ最大限 (1H 期間の  $1/3$ ) に近い時間に設定することができる。なお、実施例においては充電時間設定レジスタ TMR を設けて RGB 切替え信号 CLA, CLB, CLC のハイレベルの期間を制御するように構成されているが、1 水平期間クロック数設定レジスタ CNR の設定値の  $1/3$  の値を計算する回路を設けてその算出値を RGB 切替え信号生成回路 23 に供給して RGB 切替え信号 CLA, CLB, CLC を生成させるようにしてもよい。

#### 【0052】

次に、本発明の第 2 の実施例を説明する。この実施例は、階調電圧生成回路 223 内の出力アンプが複数の電流源を備え駆動力を切り替えられるように構成されている。携帯電話器には、待ち受け時等に表示画面全体に画像表示するのではなく、図 8 に示すように、表示画面 FLD の一部の領域 PDT に表示 (以下、パーシャル表示と称する) を行なうことで消費電力を低減させるような制御が行なわれるものがある。

#### 【0053】

第 2 実施例は、このようなパーシャル表示の際に階調電圧生成回路 223 内の出力アンプに流すバイアス電流を減らすことで、消費電力をさらに低減できるようにしたものである。また、パーシャル表示の際には充電時間設定レジスタ TMR 等への設定により RGB 切替え制御信号 CLA, CLB, CLC のパルス幅を 2 倍に伸ばす一方、ゲートドライバによるゲート選択時間も伸ばす必要があるため、シフト制御用レジスタ SCR の設定も変更してシフトクロック生成回路 2024 から出力されるクロックの周期も 2 倍に伸ばすように構成される。

#### 【0054】

具体的には、フル画面表示の際のフレーム周波数が  $90 \text{ Hz}$  であった場合、パーシャル表示ではフレーム周波数を例えば半分の  $45 \text{ Hz}$  に切り替える。そして、これに応じて液晶パネルへ出力される RGB 切替え制御信号 CLA, CLB, CLC のパルス幅を 2 倍に伸ばすとともに、階調電圧生成回路 223 内の出力アンプに流すバイアス電流を減らす。本実施例の液晶コントロールドライバでは、このような制御をコントロールレジスタ CTR への設定に従ってタイミング制御回路 202 等において行なう。

#### 【0055】

上記のように、フレーム周波数が半分にされると、図 9 (B) に示すように、1 水平期間は全画面表示時の 2 倍に延びる。一方、タイミング制御回路 202 によって RGB 切替え制御信号 CLA, CLB, CLC のパルス幅が 2 倍に引き伸ばされるため、階調電圧生成回路 223 内の出力アンプの駆動電流が  $1/2$  に減らされても画素電極を十分に充電させることができる。そして、出力アンプの駆動電流が  $1/2$  に減らされることにより、チツ

10

20

30

40

50

プの消費電力を低減させることができる。

【 0 0 5 6 】

なお、上記フレーム周期に応じた液晶パネルへの表示制御は、発振回路 2 0 1 からの内部発振クロック O S C に従って行なうのが好ましいが、外部表示インタフェース 2 2 2 へ入力されるクロック D O T C L K に従って実行するように構成することも可能である。内部発振クロック O S C は数 1 0 0 k H z の周波数に設定されている。これに対し、前記ドットクロック D O T C L K の周波数は、一般には数 M H z ~ 数 1 0 M H z が選択される。

【 0 0 5 7 】

ここで、画素数で 3 2 0 × 8 0、ドット数で 3 2 0 × 2 4 0 の大きさを有する液晶パネルを垂直ブランク期間 1 6 ラインで駆動し水平ドット数 2 4 0 個の画像データを表示させる場合を例にとって、図 6 に示されているタイミング制御回路 2 0 2 における上記分周比設定レジスタ D R R と 1 H クロック数設定レジスタ C N R と充電時間設定レジスタ T M R への設定の仕方を具体的に説明する。なお、フレーム周波数が 9 0 H z の場合、1 水平期間 1 H は、 $1 H = 1 \div \{ 9 0 [ H z ] \times ( 3 2 0 + 1 6 ) [ ライン ] \} = 3 3 . 0 7 [ \mu s ]$  である。内部発振回路 2 0 1 の発振クロック O S C の周波数は 5 4 4 k H z ( 周期は約 1 . 8 4  $\mu s$  ) である。

10

【 0 0 5 8 】

この場合、例えば分周比設定レジスタ D R R に分周比として「 1 」を設定し、1 H クロック数設定レジスタ C N R にクロック数として「 1 8 」を設定し、充電時間設定レジスタ T M R に「 6 」を設定する。すると、R G B 各画素電極への充電時間  $t_c$  は、 $t_c = 1 . 8 4 [ \mu s ] \times 1 [ 分周 ] \times 6 [ クロック ] = 1 1 . 0 4 [ \mu s ]$  となる。

20

【 0 0 5 9 】

一方、フレーム周波数が 4 5 H z の場合には、1 水平期間 1 H は、 $1 H = 1 \div \{ 4 5 [ H z ] \times ( 3 2 0 + 1 6 ) [ ライン ] \} = 6 6 . 1 4 [ \mu s ]$  である。内部発振回路 2 0 1 の発振クロック O S C の周波数は 5 4 4 k H z ( 周期は約 1 . 8 4  $\mu s$  ) とする。この場合、例えば分周比設定レジスタ D R R に分周比として「 2 」を設定し、1 H クロック数設定レジスタ C N R にクロック数として「 1 8 」を設定し、充電時間設定レジスタ T M R に「 6 」を設定する。すると、R G B 各画素電極への充電時間  $t_c$  は、 $t_c = 1 . 8 4 [ \mu s ] \times 2 [ 分周 ] \times 6 [ クロック ] = 2 2 . 0 8 [ \mu s ]$  となる。

30

【 0 0 6 0 】

また、フレーム周波数が 4 5 H z で内部発振回路 2 0 1 の発振クロック O S C の周波数は 5 4 4 k H z の場合に、例えば分周比設定レジスタ D R R に分周比として「 1 」を設定し、1 H クロック数設定レジスタ C N R にクロック数として「 3 6 」を設定し、充電時間設定レジスタ T M R に「 1 2 」を設定するようにしてもよい。この場合、R G B 各画素電極への充電時間  $t_c$  は、 $t_c = 1 . 8 4 [ \mu s ] \times 1 [ 分周 ] \times 1 2 [ クロック ] = 2 2 . 0 8 [ \mu s ]$  となる。

【 0 0 6 1 】

上記のようにこの実施例のタイミング制御回路によれば、フレーム周波数が 1 / 2 に低くなった場合に、レジスタへの設定を変更することで、画素電極に対する充電時間を容易に 2 倍に設定することができる。なお、また、パースナル表示がなされるエリア以外の非表示領域に対応したゲートドライバを動作させないような制御を可能にするため、液晶パネルへの表示制御信号 D I S P T M G の立上がり立下がりのタイミングを設定可能なレジスタも設けられている。液晶パネルでは、この表示制御信号 D I S P T M G のハイレベル期間に対応したラインのゲートドライバのみ駆動したり、この範囲でシフトレジスタがシフト動作するような制御が行なわれる。これにより、消費電力が大幅に低減される。

40

【 0 0 6 2 】

この実施例の表示コントロールドライバにおいて、タイミング制御回路により画素電極に対する充電時間を変更する前と、2 倍に変更した後の信号のタイミングの例を、図 1 0 に示す。

【 0 0 6 3 】

50

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、前記実施例においては、ゲートドライバDRV1～DRV320が液晶パネル100側に設けられている場合について説明したが、ゲートドライバDRV1～DRV320が別の半導体集積回路として構成されている場合や実施例の液晶コントローラドライバと同一チップ上に形成されている場合にも適用することができる。

#### 【0064】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電話器の表示装置について説明したがこの発明はそれに限定されるものでなく、例えば、PHS (personal handy phone)、PDAなど種々の携帯型電子機器に適用することができる。

#### 【0065】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、画像データサイズ等に応じて1水平期間を設定するとともに各画素を充電させる画像信号を出力する駆動回路の電流を最適な値に制御することで、消費電力の少ない表示制御駆動装置およびそれを用いた表示システムを実現することができる。また、これにより、かかる表示制御駆動装置とこれにより駆動される液晶パネルのような表示装置を搭載した携帯用電子機器においては、電源である電池の消耗を少なくすることができ、一回の充電で長時間の稼動が可能な携帯用電子機器を実現することができる。

#### 【0066】

さらに、本発明に従うと、画像データサイズ等に応じてフレーム周波数を変更した場合にもそれに応じて画素電極の充電時間を最適化して画像信号を出力する駆動回路の電流を最適な値に制御することで、消費電力の少ない表示制御駆動装置および表示システムを実現することができる。

##### 【図面の簡単な説明】

【図1】本発明を適用した液晶コントローラドライバを備えた携帯電話器の全体構成を示すブロック図である。

【図2】実施例の液晶コントローラドライバの構成例を示すブロック図である。

【図3】液晶パネルと液晶コントローラドライバと電源用ICの接続関係を示すシステム構成図である。

【図4】液晶コントローラドライバ内の液晶駆動回路と液晶パネル側の回路の構成例を示すブロック図である。

【図5】本発明を適用しない場合と適用した場合における画素の充電動作の違いを示す波形図である。

【図6】実施例の液晶コントローラドライバにおけるタイミング制御回路の構成例を示すブロック図である。

【図7】実施例の液晶コントローラドライバを使用したシステムにおける表示画面と画像データとの関係を示す図である。

【図8】第2の実施例の液晶コントローラドライバを適用したシステムにおいて可能なパースナル表示の表示画面と表示エリアとの関係を示す図である。

【図9】第2の実施例の液晶コントローラドライバを適用したシステムにおけるフレーム周期に応じた画素の充電動作の違いを示す波形図である。

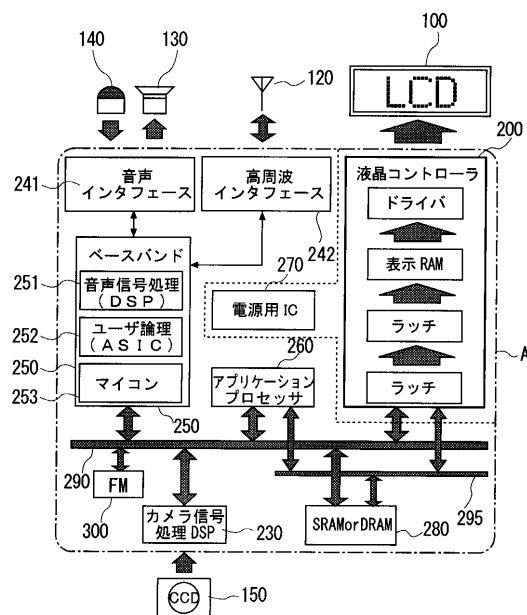
【図10】実施例の表示コントローラドライバにおいて、タイミング制御回路により画素電極に対する充電時間を変更する前と変更した後の信号のタイミングを示すタイミングチャートである。

##### 【符号の説明】

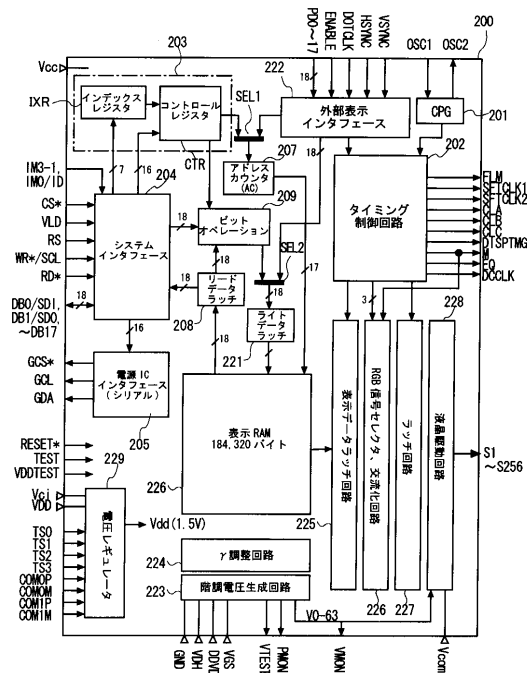
1 0 0	表示装置（液晶ディスプレイ）
2 0 0	表示制御駆動装置（液晶コントローラドライバ）
2 0 2	タイミング制御回路
2 0 3	制御部
2 0 6	表示メモリ（表示 R A M）
2 2 5	表示データラッチ回路
2 2 6	セクタ & 交流化回路
2 2 7	ラッチ回路
2 2 8	液晶駆動回路
C T R	コントロールレジスタ
D R V	ゲートドライバ

10

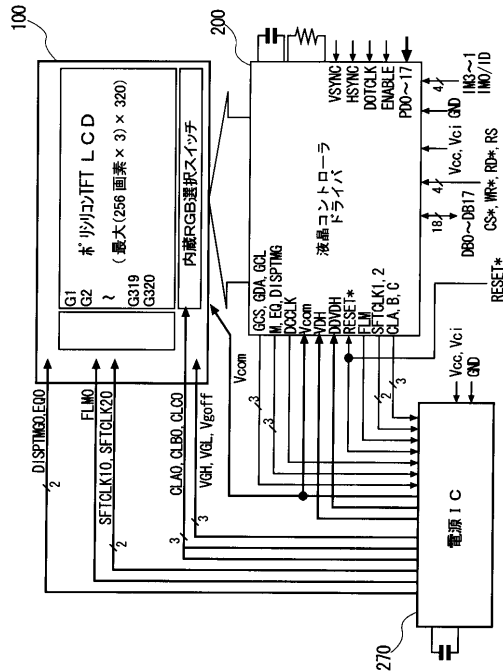
【図 1】



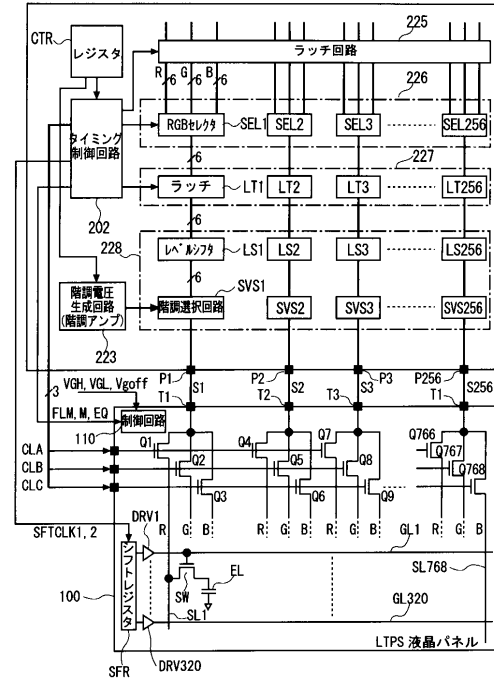
【図 2】



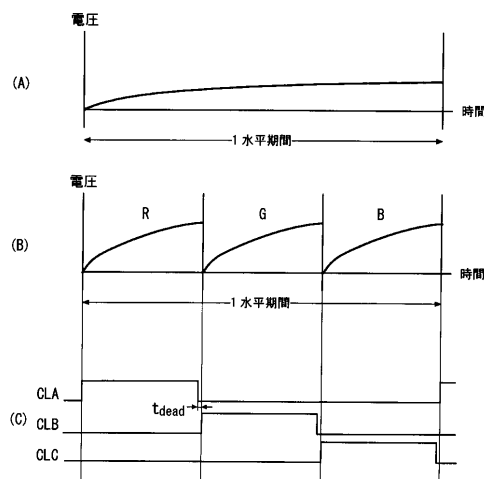
【図 3】



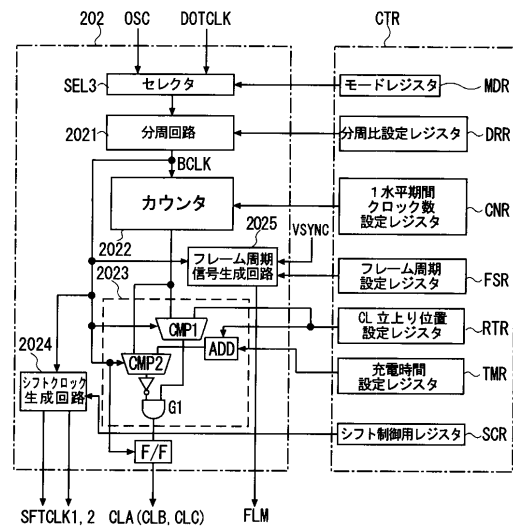
【図 4】



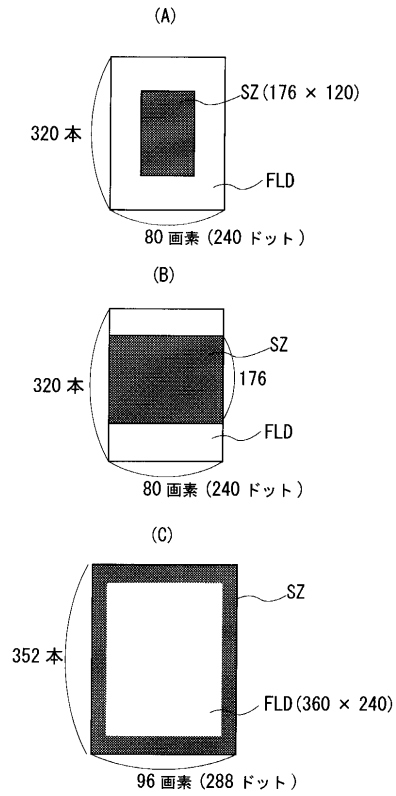
【図 5】



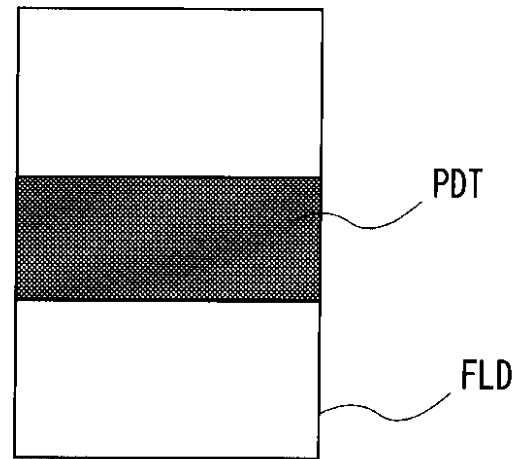
【図 6】



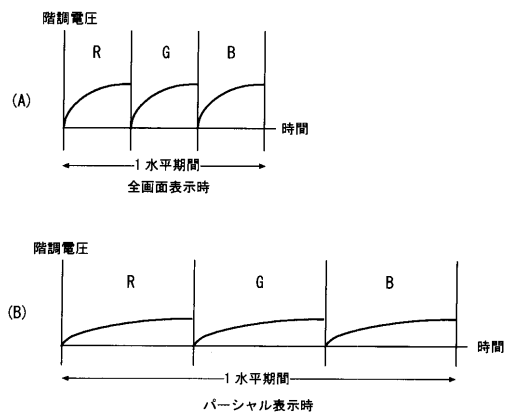
【図 7】



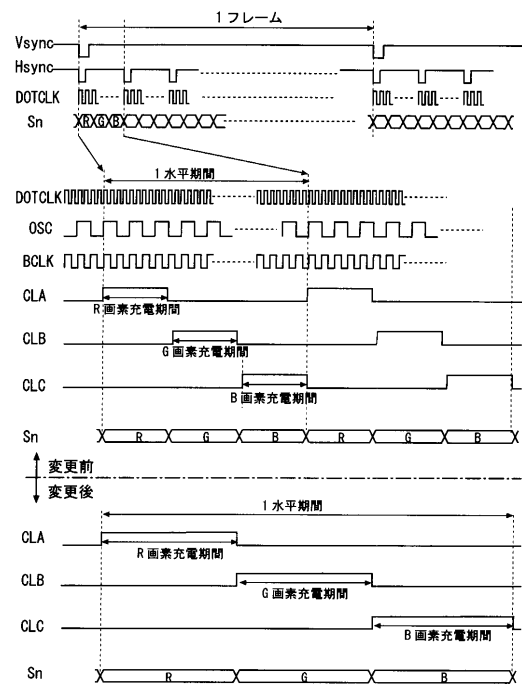
【図 8】



【図 9】



【図 10】



---

 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 2 3 V
	G 0 9 G	3/20	6 3 1 B
	G 0 9 G	3/20	6 3 1 M
	G 0 9 G	3/20	6 5 0 B
	G 0 9 G	3/20	6 8 0 G

(56)参考文献 特開平 1 1 - 1 6 7 3 7 3 ( J P , A )  
 特開 2 0 0 0 - 2 7 5 6 1 1 ( J P , A )  
 特開平 1 1 - 3 3 8 4 3 8 ( J P , A )  
 米国特許第 0 6 0 4 0 8 2 8 ( U S , A )  
 特開平 1 1 - 2 5 9 0 5 1 ( J P , A )  
 特開平 0 6 - 0 9 5 6 1 7 ( J P , A )  
 特開 2 0 0 0 - 0 7 5 8 4 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
 G09G 3/00 - 3/38  
 G02F 1/133