

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 11 月 10 日 (2016.11.10)

【公開番号】特開 2014-96579 (P2014-96579A)

【公開日】平成 26 年 5 月 22 日 (2014.5.22)

【年通号数】公開・登録公報 2014-027

【出願番号】特願 2013-214359 (P2013-214359)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/861 (2006.01)

H 0 1 L 29/868 (2006.01)

H 0 1 L 21/761 (2006.01)

【F I】

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 3 3 1 C

H 0 1 L 27/04 P

H 0 1 L 29/78 3 0 1 D

H 0 1 L 29/91 E

H 0 1 L 21/76 J

【手続補正書】

【提出日】平成 28 年 9 月 23 日 (2016.9.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体デバイスであって、

第 1 の導電型および基板上面を有する半導体基板と、

前記基板上面の下の埋め込み層であって、該埋め込み層は前記第 1 の導電型と異なる第 2 の導電型を有する、前記埋め込み層と、

前記基板上面と前記埋め込み層との間のシンカ領域であって、該シンカ領域は前記第 2 の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、シンカ領域と、

前記半導体基板において、前記分離構造体によって収容される該半導体基板の第 1 の部分内に位置するアクティブデバイスであって、該アクティブデバイスは前記第 2 の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第 1 の導電型を有する前記半導体基板の第 2 の部分によって分離される、前記アクティブデバイスと、

前記分離構造体と前記ボディ領域との間に接続される抵抗回路とを備える、半導体デバイス。

**【請求項 2】**

前記抵抗回路は、多結晶シリコン抵抗器を含む、請求項 1 に記載の半導体デバイス。

**【請求項 3】**

前記抵抗回路は、

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合されるショットキーダイオードであって、該ショットキーダイオードは分離領域に結合されるショットキーコンタクトから形成される、前記ショットキーダイオードとを含む、請求項 1 に記載の半導体デバイス。

**【請求項 4】**

前記ショットキーダイオードは前記第 1 の抵抗ネットワークに直列に結合される、請求項 3 に記載の半導体デバイス。

**【請求項 5】**

前記ショットキーダイオードは前記第 1 の抵抗ネットワークに並列に結合される、請求項 3 に記載の半導体デバイス。

**【請求項 6】**

前記抵抗回路は、前記ショットキーダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 5 に記載の半導体デバイス。

**【請求項 7】**

前記抵抗回路は、前記ショットキーダイオードに並列に結合される P N 接合ダイオードをさらに含む、請求項 3 に記載の半導体デバイス。

**【請求項 8】**

前記抵抗回路は、

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合される P N 接合ダイオードとを含む、請求項 1 に記載の半導体デバイス。

**【請求項 9】**

前記 P N 接合ダイオードは前記第 1 の抵抗ネットワークに直列に結合される、請求項 8 に記載の半導体デバイス。

**【請求項 10】**

前記 P N 接合ダイオードは前記第 1 の抵抗ネットワークに並列に結合される、請求項 8 に記載の半導体デバイス。

**【請求項 11】**

前記抵抗回路は、

前記 P N 接合ダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 10 に記載の半導体デバイス。

**【請求項 12】**

前記シンカ領域に延びる前記第 1 の導電型のさらなる領域をさらに備え、前記 P N 接合ダイオードは、前記さらなる領域と前記シンカ領域との間に形成される、請求項 8 に記載の半導体デバイス。

**【請求項 13】**

前記 P N 接合ダイオードは多結晶シリコンダイオードを含む、請求項 8 に記載の半導体デバイス。

**【請求項 14】**

前記アクティブデバイスは、

アクティブ領域の中央部分における前記第 1 の導電型のドリフト領域であって、前記基板上面から前記半導体基板内へ延びる、前記ドリフト領域と、

前記基板上面から前記ドリフト領域内へ延びる前記第 1 の導電型のドレイン領域と、

前記ドリフト領域と前記分離構造体との間において前記基板上面から前記半導体基板内へ延びるボディ領域と、

前記基板上面から前記ボディ領域内へ延びる前記第 1 の導電型のソース領域とを備える

、請求項 1 に記載の半導体デバイス。

【請求項 15】

ドライバ回路であって、

第 1 の導電型および基板上面を有する半導体基板に形成される第 1 の横方向拡散金属酸化膜半導体電界効果トランジスタ ( L D M O S F E T ) であって、該第 1 の L D M O S F E T は、

前記基板上面の下の埋め込み層であって、該埋め込み層は前記第 1 の導電型と異なる第 2 の導電型を有する、前記埋め込み層と、

前記基板上面と前記埋め込み層との間のシンカ領域であって、該シンカ領域は前記第 2 の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、シンカ領域と、

前記半導体基板において、前記分離構造体によって収容される該半導体基板の第 1 の部分内に位置するアクティブデバイスであって、該アクティブデバイスは前記第 2 の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第 1 の導電型を有する前記半導体基板の第 2 の部分によって分離される、前記アクティブデバイスと、

前記分離構造体と前記ボディ領域との間に接続される抵抗回路とを備える、ドライバ回路。

【請求項 16】

前記抵抗回路は、多結晶シリコン抵抗器を含む、請求項 15 に記載のドライバ回路。

【請求項 17】

前記抵抗回路は、

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合されるショットキーダイオードであって、該ショットキーダイオードは分離領域に結合されるショットキーコンタクトから形成される、前記ショットキーダイオードとを含む、請求項 15 に記載のドライバ回路。

【請求項 18】

前記ショットキーダイオードは前記第 1 の抵抗ネットワークに並列に結合され、前記抵抗回路は、前記ショットキーダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 17 に記載のドライバ回路。

【請求項 19】

前記抵抗回路は、

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合される P N 接合ダイオードとを含む、請求項 15 に記載のドライバ回路。

【請求項 20】

前記シンカ領域に延びる前記第 1 の導電型のさらなる領域をさらに備え、前記 P N 接合ダイオードは、前記さらなる領域と前記シンカ領域との間に形成される、請求項 19 に記載のドライバ回路。

【請求項 21】

前記 P N 接合ダイオードは多結晶シリコンダイオードを含む、請求項 19 に記載のドライバ回路。

【請求項 22】

前記 P N 接合ダイオードは前記第 1 の抵抗ネットワークに並列に結合され、前記抵抗回路は、前記 P N 接合ダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 19 に記載のドライバ回路。

【請求項 23】

半導体デバイスを形成するための方法であって、

第 1 の導電型を有する半導体基板の基板上面の下に埋め込み層を形成する埋め込み層形成工程であって、該埋め込み層は前記第 1 の導電型と異なる第 2 の導電型を有する、前記

埋め込み層形成工程と、

前記基板上面と前記埋め込み層との間にシンカ領域を形成するシンカ領域形成工程であって、該シンカ領域は前記第２の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、前記シンカ領域形成工程と、

前記半導体基板において、前記分離構造体によって収容される該半導体基板の第１の部分内に位置するアクティブデバイスを形成するアクティブ領域形成工程であって、該アクティブデバイスは前記第２の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第１の導電型を有する前記半導体基板の第２の部分によって分離される、前記アクティブ領域形成工程と、

前記分離構造体と前記ボディ領域との間に接続される抵抗回路を形成する抵抗回路形成工程とを含む、方法。

【請求項２４】

前記抵抗回路形成工程は、

前記抵抗回路の一部として多結晶シリコン抵抗を形成するとともに相互接続する工程を含む、請求項２３に記載の方法。

【請求項２５】

前記抵抗回路は抵抗ネットワークおよびショットキーダイオードを含み、前記抵抗回路形成工程は、

前記抵抗ネットワークを形成する工程と、

前記ショットキーダイオードを形成するショットキーダイオード形成工程であって、該ショットキーダイオードは分離領域に結合されるショットキーコンタクトを含む、前記ショットキーダイオード形成工程と、

前記抵抗ネットワークを前記ショットキーコンタクトに結合する工程とを含む、請求項２３に記載の方法。

【請求項２６】

前記抵抗回路は抵抗ネットワークおよびＰＮ接合ダイオードを含み、前記抵抗回路形成工程は、

前記抵抗ネットワークを形成する工程と、

前記シンカ領域に延びる前記第１の導電型のさらなる領域を形成する工程であって、前記ＰＮ接合ダイオードは前記さらなる領域と前記シンカ領域との間に形成される、前記工程と、

前記抵抗ネットワークを前記さらなる領域に結合する工程とを含む、請求項２３に記載の方法。

【請求項２７】

前記抵抗回路は抵抗ネットワークおよびＰＮ接合ダイオードを含み、前記抵抗回路形成工程は、

前記抵抗ネットワークを形成する工程と、

前記ＰＮ接合ダイオードを多結晶シリコンダイオードとして形成する工程と、

前記抵抗ネットワークを前記多結晶シリコンダイオードに結合する工程とを含む、請求項２３に記載の方法。