[19]中华人民共和国专利局

[11] 授权公告号 CN 1032173C

[12]发明专利说明书

[21] ZL 专利号 91103681.4

[51]Int.Cl[6]

[45]授权公告日 1996 年 6 月 26 日

H01L 29/784

[24]颁证日 96.4.6

[21]申请号 91103681.4

[22]申请日 91.6.3

[30]优先权

[32]90.6.4 [33]JP[31]2-144544

[73]专利权人 佳能株式会社

地址 日本东京都

[72]发明人 松本繁幸

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

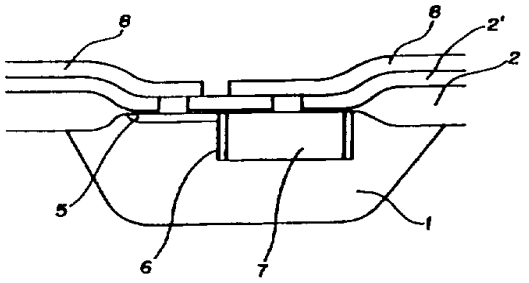
代理人 王以平

权利要求书 1 页 说明书 21 页 附图页数 15 页

[54]发明名称 具有改良的绝缘栅型晶体管的半导体器件

[57]摘要

半导体器件，包括具有由半导体形成的源和漏区、栅绝缘膜和栅电极区的晶体管，所述源、漏、栅绝缘膜和栅电极沿基片的主表面并列设置，其中至少一部分隐埋在该基片内。根据本发明，能够使 MOS 晶体管的面积小且表面平坦，从而能得到高速且高可靠的 MOS 晶体管。



权 利 要 求 书

1. 一种半导体器件，包括：

其上形成有一凹槽的半导体主体；

形成在所述半导体主体内的掺杂区(13)；

设置在所述掺杂区(13)上并填满形成在半导体主体上的凹槽的栅电极区(7)；

中间夹着所述栅电极区(7)的第 1 和第 2 半导体区(4,5)，所述第 1 和第 2 半导体区(4,5)位于所述半导体主体的表面，限定出源区(4)和漏区(5)；

设于所述栅电极区和所述半导体主体其余部分之间的绝缘膜；

其特征在于进一步包括：

构成第 1 通路(14,15)的第 1 沟道，该沟道位于所述半导体主体的体内、至少部分基本垂直于该表面，载流子通过该沟道经所述掺杂区(13)从所述第 1 半导体区(4)流入所述第 2 半导体区；以及

构成第 2 通路(16)的第 2 沟道，该沟道沿着所述半导体主体的表面，载流子通过该沟道从所述第 1 半导体区(4)流入所述第 2 半导体区。

2. 如权利要求 1 的半导体器件，其特征是所述栅电极区包括一多晶硅和一金属部件。

说　　明　　书

具有改良的绝缘栅型晶体管的半导体器件

本发明涉及装载于各种电子仪器上的存储器、光电变换器件、信号处理器件等半导体集成电路器件，特别涉及绝缘栅型晶体管。

近年来，人们希望把微细加工的功能元件付诸实用，如开发其栅长为亚微米量级的ＭＯＳ晶体管，向高集成度方向努力。

图１至图３是表示现有技术的ＭＯＳ晶体管构造的示意剖面图。图１是在具有栅极２０１、氧化膜２０２、源极２０３以及漏极204的单漏结构的Ｎ—ＭＯＳ晶体管的最简单结构，其制造工艺也是简单的。但是，由于微细加工的进步，若栅长在约1.２μｍ以下，就会因热载流子导致ＭＯＳ晶体管的工作性能变坏。图２是设置了低浓度区域２０５和２０６的结构，称为ＬＤＤ（轻掺杂漏）结构。所述低浓度区是为了防止上述缺点而缓和源、漏间的电场用的。作为更微细化最新发展的ＤＲＡＭ用的ＬＳＬ，提出了图３所示的薄型晶体管单元（ＴＴＣ）。它在半导体基片２１１上设置一个槽，同时形成晶体管和电容。即，在槽内置有栅氧化膜２１３，在栅氧化膜２１３的侧面设有沟道２１４。在栅２１２的下部槽内填积多晶硅２１５，成为记忆用的电容电极，将其表面氧化，构成电容用的介电膜２１６。在多晶硅２１５的上部形成埋入的源极２１７。还具有多晶Ｓｉ形成的作为字线２１８、漏极及位线的n^+扩散层２１９，由隔离氧化膜220

与邻接的单元电绝缘。在绝缘膜２２１和层间绝缘膜２２２上形成各自的布线图形２２３及２２４。此种ＴＴＣ，由于晶体管和电容是在上下两个方向上形成的，所以具有面积小，不易因受α射线的影响而产生误动作，以及没有寄生晶体管等优点。

然而上述晶体管单元，在下述各点尚有改善的余地。

１）在图３的半导体器件中，仅从晶体管部分来看，深度／孔径比约为２左右，因此由于Ｓｉ腐蚀中产生的缺陷，使成品率下降、还有在槽中难以形成均匀的优质绝缘膜，使可靠性也有问题。

２）还有在ＴＴＣ中，一般用作控制电极材料的多晶硅、即使让杂质最大限度地扩散，其电阻率也不会降至１ｍΩ　ｃｍ，这就不能减小决定晶体管速度的传输、延迟时间。即使采用硅化物（Ｓｉ金属合金来替代多晶硅，也得不到电阻率约为１００～２００μΩｃｍ的高速、高成品率以及高可靠性的晶体管。

３）再有，通常由于控制电极同样淀积在半导体器件的表面，在控制电极表面反映出槽本身的凹凸不平，这是与平坦化背道而驰的。也就是，为了保持在这种控制电极上淀积的布线的可靠性，必须把控制电极上的绝缘膜作得厚些，必须用反复腐蚀法进行平坦化。此种办法。只是在凹部留下较厚的光刻胶，在ｒｆ等离子体中把光刻胶凹部的绝缘膜同时削去的方法，因ｒｆ给ＭＯＳ晶体管带来的影响很大，所以有损于成品率和可靠性的危险也是大的。

本发明的目的在于：解决上述技术课题，提供面积小且表面平坦的半导体器件。

为达此目的，依照本发明的半导体器件包含具有由半导体形成的

源区和漏区、栅绝缘膜和栅电极区的晶体管，其特征在于，沿基片的主表面方向并列设置上述源区和漏区、上述栅绝缘膜和上述栅电极区并至少将其中一部分埋入该基片内。

例如，本发明的包含具有由半导体形成的源区和漏区、栅绝缘膜和栅电极区的晶体管的半导体器件的制造方法，其特征在于包括：将上述源区和漏区、栅绝缘膜和栅电极中的至少一部分埋设在半导体基片内的工序，将上述源区和漏区以及上述栅电极区沿上述基片的主要方向设置的工序。

根据本发明，把控制电极埋设在半导体基片表面之下，所以能实现面积小、且表面平坦的ＭＯＳ晶体管，从而能得到高速且可靠性高的ＭＯＳ晶体管。

下面结合附图说明本发明。

图１～图３是现有技术各ＭＯＳ晶体管的剖面图。

图４是说明本发明优选的实施形式的剖面图。

图５是本发明实施例的平面图和剖面图。

图６～图８是本发明各其他实施例的平面图。

图９是说明图８所示实施例的制造方法的示意剖面图。

图１０是本发明另一实施例的平面图及等效电路图。

图１１是又一种实施例的平面图及剖面图。

图１２、图１３是适合于实施形成本发明半导体器件的布线层的成膜方法的一种成膜装置的示意图。

图１４是图１２、图１３所示装置的简　略平面结构图。

图１５是增加了图１４中基片移动顺序箭头的简略结构图。

图16（A）至图16（D）是适合于形成本发明的半导体器件布线层的成膜方法的示意图。

以下对本发明进行说明，本发明不受下述实施例的限制，凡能实现本发明目的的结构都是许可的。

图4是说明本发明的理想的实施形式的剖面图。本发明是将MOS晶体管的控制电极区7的一部分或全部由半导体基片1的表面埋设而形成的。另外，本发明的实行MOS晶体管的晶体管工作的沟道部分6的一部分或全部是在该表面的下部形成的。

还有，本发明用化学气相反应选择淀积形成该控制电极的一部分或全部，平坦地形成了该半导体器件的表面。

图4所示的实施形式示出了源（漏）区5、绝缘膜2、2'以及布线层8，但如上所述，本发明不受此种结构的限制。

为在槽中形成控制电极区、并实现半导体器件的表面平坦度，用下述诸如铝一类的金属膜的选择淀积是有效的。

实施例1

图5表示作为本发明实施例的MOS晶体管。图5（a）表示在由P型芯片1、场氧化膜2包围的部分内形成的N MOS晶体管3的平面图，图5（b），5（c）及5（d）各自表示沿图5（a）的A—A'、B—B'以及C—C'线的剖面图。

本NMOS晶体管的源4和漏5设置在平面隔开的位置上，在由基片表面垂直向下的方向设置分别与源4、漏5邻接的栅氧化膜6，把与栅氧化膜6邻接的栅电极（控制电极）区7从基片表面埋设到比源4、漏5更深的深度，将源4和漏5隔开的区间是称为沟道9的进

行晶体管工作的区域。本晶体管的表面由于控制电极的隐埋而大体上是平坦的。本发明的晶体管用层间绝缘层2'覆盖表面，通过为从源4漏5以及栅极引出电极的接触孔引出Al等金属布线8。在金属布线8的形成工序中，为了防止接触孔部位的Al塌陷，有效的方法是先把Al有选择地淀积在接触孔内，即只淀积在半导体基片上，在接触孔被填平后，再在绝缘膜表面上全面淀积布线材料，按图形形成布线。

本发明的MOS晶体管是用栅电极7控制源极4和漏极5之间沟道9的电导的元件。在源极4与漏极5之间施加一电压V_D时，如在栅极7上外加一电压V_G，所流过的电流由下式决定：

当$V_D < V_G - V_T$时，

$$I_D = \frac{W}{L} \mu C_{ox} \left[(V_G - V_T) V_D - \frac{1}{2} V_D^2 \right]$$

当$V_D > V_G - V_T$时

$$I_D = \frac{1}{2} C_{ox} \cdot \mu \cdot \frac{W}{L} (V_G - V_T)^2$$

（C_{ox}：栅电容，μ：载流子迁移率，W：沟道宽度，L：沟道长度，V_T：阈值电压）

目前对MOS晶体管的要求是：

1）要把晶体管做在小的面积内，

2）晶体管能高速工作。

本实施例对上述两点进行了大幅度的改善，晶体管的面积只有以往的８０％。与速度相关的重要因素是栅极电阻。现有技术使用的各多晶Ｓｉ栅的电阻为３０～８０Ω／ｃｍ²，采用多晶化（ポリサイド），达到2－５Ω／ｃｍ²，而本发明可以实现１×１０⁻⁶Ω／ｃｍ²的低电阻。其理由在于，金属电极是直接埋入的，所用的Ａｌ具有单晶结构，而且因为是埋入型的，所以可把膜作得足够厚。

实施例 2

图６是根据本发明的ＮＭＯＳ晶体管的另一实施例的平面图。本实施例是为了实现进一步的高速化，把栅极７与源极和漏极５之间的重叠部分减小，而减少电容量的例子。即，通过改变栅电极７的配置，一方面要确保沟道，与图５所示之例相比，又可以减小电容量。

实施例 3

图７表示又一种实施例的平面图。本实施例的沟道部分９，由于中间设置了绝缘膜６，而不与构成栅极７的部件直接接触，隔着中间的多晶硅１０而设置了栅极材料。根据此种结构，可防止栅极材料直接向绝缘膜扩散，并不管栅电极材料的功函数如何，由于使用了以往工艺中使用的多晶硅，均能得到具有与现有技术完全相同特性的ＭＯＳ晶体管，而且由于进一步减少了栅极的串联电阻，故可以得到微细结构的高速ＭＯＳ晶体管。

实施例 4

图８是本发明另一实施例的平面图。本实施例与图７所示的例子相比，为使栅电极与Ｐ型阱之间的寄生电容量进一步减小，加厚了栅极部件埋入部位的开口周围三个方向的氧化膜，就可大大减小寄生电

容。

其次，叙述图8所示实施例的制造方法。图9（a）至图9（g）表示图8所示实施例沿A—A线的剖面。

首先，在N型Si基片101上，用现有技术的方法，形成P阱102，将基片表面12000Å厚的氧化膜103的一部分去掉（图9（a））。

其次，以12000Å厚的氧化膜103作掩模，按照使用Cl_2，$CBrF_3$气体的RIE（反应离子腐蚀）法腐蚀基片，形成槽104。基片腐蚀的深度为3μm（图9（b））。

然后除掉上述氧化膜103，在整个基片上全面形成1000Å厚的热氧化膜105及SiN膜106，再去掉部分SiN膜（图9（c））。

采用以往使用的LOCOS法，只在除去了SiN膜106的部分形成场氧化膜107。形成条件是O_2：2l／分钟，H_2：4l／分钟；氧化温度为1000℃，膜厚为8000Å。其后除掉SiN膜106（图9（d））。

接着，在HF的气氛中，完全除去基片上的氧化膜105后、形成栅绝缘膜108。形成温度为850℃，膜厚为180A。作为MOS晶体管栅极的一部分，用SiH_4的热分解法在栅极绝缘膜108全表面上淀积一层多晶硅109，在CCl_2F_2气氛中，用RIE方法去掉其中的一部多晶Si。为了形成MOS晶体管的源、漏扩散层110，以5×10^{15}离子／cm^2的剂量注入砷。另外砷也注入到多晶Si109中，起到降低多晶Si109电阻率的作

用。然后，为了电激活源、漏扩散层，使用ＲＴＡ（快速热退火）法进行１０００℃１５秒钟的热处理（图９（ｅ））。

随后，只在上述多晶Ｓｉ１０９上淀积Ａｌ１１１。

下文介绍该淀积方法。首先把基片放入ＣＶＤ装置的反应室内，把反应室抽真空至１×１０$^{-8}$ 乇左右。然后，由供气管道供给ＤＭＡＨ。另外携带气体用H_2。再使来自另一气体管道的作为反应气体的H_2流过加热至２７０℃的基片。对此情况，典型的压力约１．５乇，ＤＭＡＨ的分压约５×１０$^{-3}$ 乇。用此办法，只在具有导电性的多晶Ｓｉ１０９上选择淀积Ａｌ，而不在氧化膜１０８和场氧化膜１０７上淀积。因而，Ａｌ１１１形成了ＭＯＳ晶体管栅电极的一部分（图９（ｆ））。

然后淀积作为层间绝缘膜１１２的ＢＰＳＧ、为了引出电极，开接触孔１１３、１１４，用上述Ａｌ—ＣＶＤ法，在接触孔１１３、１１４内填入Ａｌ（图９（ｇ））。

如此则可制作出图８所示的ＭＯＳ晶体管。

实施例５

图１０表示又一个实施例。图１０（ａ）表示平面图，图１０（ｂ）表示等效电路图。本实施例为以共用的栅电极连接两个ＮＭＯＳ晶体管的例子。

实施例６

图１１表示了另一种实施例。图１１（ａ）为平面图，图１１（ｂ）为剖面图。本实施例与图５～图１０所示的实施形式根本的差异在于：沟道部分１１和１２沿埋入的栅电极７、在与基片表面垂直

的方向上形成。当栅电极7加有电压 V_G 时，由源4流向漏5的电流，按箭头14的方向流动，再流入设置在由多晶Si和金属材料构成的栅极正下方的高掺杂区（n＋）13。然后，电流再通过沟道12，按箭头15方向流入漏极5。电流中除存在沿与表面垂直的方向流动的电流成分之外，还存在着如图11（a）箭头16所示的沿表面流动的成分。

适用于本发明的成膜方法是使用氢化烷基铝气体和氢气，通过在贡献电子的基片上的表面反应而形成淀积膜的方法（以下称Al—CVD法）。

特别是，可用氢化一甲基铝或氢化二甲基铝作为原料气体，用 H_2 气作为反应气体。在这些气体的混合气体中加热基片表面就可以淀积得到优质的Al膜。在选择淀积Al时，用直接加热或用间接加热，把基片表面温度保持在氢化烷基铝的分解温度以上、不到450℃为好，更好的是保持在260℃以上、440℃以下。

要尽量使基片在上述温度范围内加热的方法有直接加热和间接加热两种方式，不过，用直接加热把基片保持在上述温度，能以高的淀积速度形成优质的Al膜。例如，当使Al膜形成时的基片表面温度处在较理想的温度范围260℃～440℃时，能够以比电阻加热的300Å～5000Å／分钟还要高的淀积速度获得优质的膜。作为此种直接加热（由加热器具使能量直接传递给基片、使基片本身加热）的方法，例如，推荐用卤素灯、氙灯等灯加热法。作为间接加热方法的有电阻加热、可以用安置在为支承待形成淀积膜的基片而配置在淀积膜形成空间的基片支承部件上设置的发热体来进行。

依据此法，若在贡献电子的表面与不贡献电子的表面共存的基片上采用ＣＶＤ法，就能只在贡献电子那部分基片表面上选择性良好地形成Ａｌ单晶。此种Ａｌ就成为所要求的各种性能均良好的电极／布线材料。也就是说，能达到降低小丘的发生概率和合金尖峰的发生概率。

可以认为，在作为贡献电子的表面的由半导体和导体组成的表面上，可选择形成优质的Ａｌ，而且由于Ａｌ的结晶性很好，所以几乎看不见，或极少有由于与下面的硅／等的共晶反应而形成的合金尖峰从而，采用这样的铝作半导体器件的电极，能取得超越以往一直持有的Ａｌ电极概念的，现有技术所预想不到的效果。

以上说明了在形成了贡献电子的表面，例如形成在绝缘膜上的半导体表面所露出的开孔内，淀积的Ａｌ成为单晶结构的情况。若用此种Ａｌ—ＣＶＤ法也可以选择淀积如下的以Ａｌ为主要成分的金属膜，其膜的质量也呈现出优良的特性。

例如，在氢化烷基铝的气体和氢气中，还可加添下列气体进行适当组合作为混合气体的环境气体，选择淀积Ａｌ—Ｓｉ、Ａｌ—Ｔｉ Ａｌ—Ｃｕ、Ａｌ—Ｓｉ—Ｔｉ、Ａｌ—Ｓｉ—Ｃｕ等等导电材料，也可以形成电极。这些添加的气体有：SiH_4、Si_2H_6、Si_3H_8、$Si(CH_3)_4$、$SiCl_4$、SiH_2Cl_2、$SiHCl_3$等包含Ｓｉ原子的气体，$TiCl_4$、$TiBr_4$、$Ti(CH_3)_4$等包含Ｔｉ原子的气体，双乙酰丙酮化铜$Cu(C_5H_7O_2)$、双二叔戊酰甲烷化铜$Cu(C_{11}H_{19}O_2)_2$、双六氟乙酰丙酮化铜$Cu(C_5HF_6O_2)_2$等包含Ｃｕ原子的气

体。

另外，由于上述Ａｌ—ＣＶＤ法即是选择性很好的成膜方法，又能使淀积出的膜具有良好的表面特性，所以，在后面的淀积工序中用非选择性成膜方法，在上述选择淀积得到的Ａｌ膜及作为绝缘膜的SiO_2上，也形成Ａｌ或Ａｌ为主要成分的金属膜，就可以得到通用性高的合适的金属膜，用来作为半导体器件的布线。

具体的这类金属膜如下所列。选择淀积的Ａｌ、Ａｌ—Ｓｉ、Ａｌ—Ｔｉ、Ａｌ—Ｃｕ、Ａｌ—Ｓｉ—Ｔｉ、Ａｌ—Ｓｉ—Ｃｕ，与非选择淀积的Ａｌ、Ａｌ—Ｓｉ、Ａｌ—Ｔｉ、Ａｌ—Ｃｕ、Ａｌ—Ｓｉ—Ｔｉ、Ａｌ—Ｓｉ—Ｃｕ的组合等。

关于非选择淀积的成膜方法，有除上述Ａｌ—ＣＶＤ法外的ＣＶＤ法或溅射法等。

（成膜装置）

下面介绍适用于形成本发明的电极的成膜装置。

图１２至图１４示意地表示出适用于上述成膜方法的金属膜连续形成装置。

该金属膜连续形成装置，如图１２所示，由依靠阀门３１０ａ～３１０ｆ在与大气隔绝的情况下可相互连通的装料阀门室３１１、作为第１成膜室的ＣＶＤ反应室３１２、Ｒｆ腐蚀室３１３、作为第２成膜室的溅射室３１４以及另一个装料阀门室３１５构成，各室由各自的抽气系统３１６ａ～３１６ｅ抽气减压。这里，上述的装料阀门室３１１是为提高吞吐量，在淀积处理之前把基片周围气氛抽净后，换入H_2气氛所用的室。ＣＶＤ反应室３１２是依照上述Ａｌ—ＣＶＤ

法，基本上在常压或减压下进行选择淀积的室，其构成是室内设有一个具有加热电阻３１７的基片支承件３１８，可把要淀积的基片表面至少加热到２００℃～４５０℃的范围内，同时由ＣＶＤ用原料气体通过导入管３１９导入室内，（这些原料气体有由氢气经鼓泡瓶３19－１鼓泡气化的氢化烷基铝等），而作为反应气体的氢气是通过气体管道３１９'导入的。下面的Ｒｆ腐蚀室３１３是在Ａｒ的气氛中对选择淀积后的基片表面进行腐蚀清洁的室。室内设有一个可把基片至少在１００℃～２５０℃范围内加热的基片支承件３２０和一个Ｒｆ腐蚀用的电极线３２１，同时也与Ａｒ气供给管３２２相接。再下面的溅射室３１４是在Ａｒ气气氛中用溅射法在基片表面上非选择淀积金属膜的室。室内设有一个至少可在２００℃～２５０℃范围内加热的基片支承件３２３和一个固定溅射靶材３２４ａ的靶电极３２４，同时与Ａｒ气供给管３２５相接。最后的装料阀门室３１５是在完成金属膜淀积之后，将基片取出进入大气之前的调整室。其构成便于用N_2气更换反应气氛。

图１３表示适用于上述成膜方法的金属膜连续形成装置的另一种结构实例。与图１２相同的部分用相同的标号表示。图１３的装置与图１２的装置的不同之点在于，设置了卤素灯３３０作为直接加热装置，故基片表面可被直接加热，为此，在基片支承件３１２上安置一个卡爪３３１，用以把基片保持在悬浮状态。

用此种构成的直接加热基片表面的办法，可将如上所述的淀积速度进一步提高。

上述构成的金属膜连续形成装置，实际上如图１４所示，实质上

等效于以输运室３２６为中继室、把上述装料闸门室３１１、ＣＶＤ反应室３１２、Ｒｆ腐蚀室３１３、溅射室３１４以及另一个装料闸门室３１５相互连结起来而构成的装置。按此种结构，装料闸门室３１１兼作装料闸门室３１５。在上述输运室３２６中，如图所示，设置一个可沿ＡＡ方向正反旋转、且可沿ＢＢ方向伸缩的作输运装置的臂３２７、如图１５中箭头所示，移动该臂３２７，可在工艺过程中使基片在不暴露于大气的条件下，依次连续地从装料闸门室３１１移动到ＣＶＤ室３１２、Ｒｆ腐蚀室３１３、溅射室３１４、再到装料闸门室３１５。

（成膜过程）

现在说明形成根据本发明的电极和布线的成膜过程。

图１６是说明根据本发明的电极和布线的成膜过程的示意透视图。

首先作概略说明。准备一个具有在绝缘膜上形成了开孔的半导体基片，将基片安放到成膜室内，使其表面保持在２６０℃～４５０℃根据用氢化烷基铝的ＤＭＡＨ气体与氢气的混合气氛中的热ＣＶＤ法将Ａｌ选择淀积在开孔内暴露出的那部分半导体上。当然，如上所述那样导入含有Ｓｉ原子的气体，也可以淀积Ａｌ—Ｓｉ一类的以Ａｌ作主要成分的金属膜。然后用溅射法在选择淀积的Ａｌ和绝缘膜上非选择地形成一层Ａｌ或以Ａｌ为主要成分的金属膜。此后，在非选择淀积的金属膜上光刻形成所希望的布线形状，可形成电极及布线。

其次，参照图１３和１６作具体说明。首先，准备一基片。作为基片，例如准备在单晶Ｓｉ晶片上形成设有各种孔径的开孔的绝缘

膜。

图16（A）是表示基片一部分的示意图。这里，401是作为导电基片的单晶硅基片，402是热氧化硅膜，作绝缘膜（层）。403和404是开孔（暴露出的部位），其孔径各不相同。410是暴露出的Si槽的底部。

在基片上形成将成为第一布线层的电极的Al膜的工序，参照图13介绍如下。

首先，将上述的基片放入装料闸门室311，如上所述，将氢气导入该装料闸门室311作为氢气气氛。然后，用抽气系统316b把反应室312抽真空达到约1×10^{-8} 乇。但是反应室312内的真空度劣于1×10^{-8} 乇，也能形成Al膜。

然后，由气体管道319供给经过鼓泡的DMAH气体。DMAH管道的携带气体用H_2。

第二气体管道319'是为反应气体H_2而设的。H_2从该第二气体管道319'流出，调整未图示的慢渗漏阀的打开程度，把反应室312内的压力控制在一个预定值。此情况下的典型压力最好是大约1.5乇。由DMAH管道把DMAH导入反应管内。使总压强近似为1.5乇，而DMAH的分压强近似为5.0×10^{-3} 乇。然后，给卤素灯330通电、直接加热晶片。这样就可选择淀积Al。

经过预定的淀积时间后，立刻停止DMAH的供给。在此过程中，Al膜的预定淀积时间是指使Si（单晶硅基片1）上的Al膜厚度达到等于SiO_2（热氧化硅膜2）的膜厚的时间，这可根据实验事先测定。

由此时的直接加热把表面温度控制在大约２７０℃。根据至此为止的工艺过程，如图１６（Ｂ）所示，把Ａｌ膜４０５选择淀积在开孔内和槽内。

以上称为在接触孔内形成电极的第一成膜步骤。

在上述第一成膜步骤之后，用抽气系统３１６ｂ把ＣＶＤ反应室３１２抽气到真空度为５×１０$^{-3}$ 乇以下。同时将Ｒｆ腐蚀室312抽气至５×１０$^{-6}$ 乇以下。确认两室达到上述真空度后，打开阀门３１０ｃ，用输运装置把基片从ＣＶＤ反应室３１２移送到Ｒｆ腐蚀室３１３，关闭阀门３１０ｃ。把基片输送到Ｒｆ腐蚀室３１３，用抽气系统１１６ｃ把Ｒｆ腐蚀室３１３直抽到使真空度为１０$^{-6}$ 乇或更高的真空度。然后，经Ｒｆ腐蚀用氩气供给管道３２２提供氩气、使Ｒｆ腐蚀室３１３保持在１０$^{-1}$ ～１０$^{-3}$ 乇的氩气气氛中。把Ｒｆ腐蚀用基片支承件３２０保持在２００℃，给Ｒｆ腐蚀用电极３２１施加１００Ｗ的Ｒｆ功率，大约６０秒、就可激发Ｒｆ腐蚀室３１３内的氩气放电。如若这样，用氩离子腐蚀基片的表面，可除掉ＣＶＤ淀积膜的不要的表面层。在这种情况下的腐蚀深度大约相当于氧化层的厚度、大约１００Ａ。还有，这里，ＣＶＤ淀积膜的表面腐蚀是在Ｒｆ腐蚀室中进行的，又因在真空中输送基片上的ＣＶＤ膜的表面层不含大气中的氧，因此不进行Ｒｆ腐蚀也无妨。这种情况下，当Ｒｆ腐蚀室３１３与ＣＶＤ反应室３１２及溅射室３１４的温差较大时，Ｒｆ腐蚀室３１３起着在短时间内实现温度变化的温度变更室的作用。

在Ｒｆ腐蚀室３１３内，完成Ｒｆ腐蚀之后，停止输入氩气，将

Rf反应室313抽真空至5×10⁻⁶ 乇。再把溅射室314抽到5×10⁻⁶ 乇以下之后，打开阀门310d。然后把基片用输运装置从Rf腐蚀室313移动到溅射室314，再关闭阀门310d。

在基片输送到溅射室314之后，像Rf腐蚀室313那样，使溅射室314处于10⁻¹～10⁻³ 乇的氩气气氛中，把已放置了基片的基片支承件323的温度设定在200～250℃。然后，用5～10KW的直流功率使氩气放电。用氩离子轰击诸如Al或Al—Si（Si：0.5%）等靶材，使Al或Al—Si等金属以10000Å／分钟左右的淀积速度进行成膜。该工艺过程是非选择的淀积工艺。把该步工艺称为形成与电极相连接的布线的第二成膜步骤。

在基片上大约形成5000Å的金属膜后，停止供给氩气，并停止施加直流功率。在把装料闸门室311抽真空到5×10⁻³ 乇以下之后，打开阀门310e，移动基片。在把阀门310e关闭后，让N_2 气流装料闸门室311，直到达到一个大气压，打开阀门310f，从装置中取出基片。

若依照上述第二Al膜淀积工艺过程，如图16（c）所示，可在SiO_2 膜402上形成Al膜406。

然后，把Al膜406刻成如图16（D）所示的图形，可得到所要求的布线形状。

（实验例）

下面根据实验结果，说明上述Al—CVD法的出色效果，以及由此方法淀积于开孔内的Al是怎样优质的膜。

首先，在作为衬底的N型单晶硅的表面热氧化形成８０００Ａ的SiO_2，进行光刻成形准备出多个0.２５μｍ×0.２５μｍ到１００μｍ×１００μｍ见方的各种孔径的开孔，露出下面的Ｓｉ单晶（样品1—１）。

依照以下条件，用Ａｌ—ＣＶＤ法，在这些基片上形成Ａｌ膜。以ＤＭＡＨ为原料气体，以氢气为反应气体，总压强为1.５千，ＤＭＡＨ分压强为5.０×１０$^{-3}$千，调整流过卤素灯的功率，直接加热，将基片表面温度设置在２００℃～４９０℃，进行成膜。

其结果如表1所示。

表 1

基片表面温度（℃）	200	230	250	260	270	280	300	350	400	440	450	460	470	480	490
淀积速度（Å／分）	←1000 - 1500			→				3000	-	5000	→				
Si的线 缺陷	←	未见									→				
含碳率	←	未检测出									→				
电阻率（μΩcm）	←2.7 - 3.3			→				2.8 - 3.4			→				
反射率（%）	←	85 - 95		→				90 - 95		→		60	→		
1μm以上的小丘密度（cm^{-2}）	← 1 - 10^2			→				0 - 10		→		10 - 10^4	→		
尖锥状发生率（%）（0·15μm 结 的破坏概率）	←	0								→		0 - 30	→		

由表1可见，当直接加热基片表面温度在260℃以上时，Al以3000～5000Å／分钟的高淀积速度选择淀积在开孔内。

当基片表面温度在260°～440℃的范围内，检测开孔内的Al膜特性时，判明膜特性良好不含碳、电阻率为2.8～3.4μΩcm，反射率为90～95%，1μm以上小丘的密度为0～10、几乎无尖峰产生（0.15μ结的损坏概率）。

相反，当基片表面温度为200℃～250℃时，与260℃～440℃的情况相比，膜的质量稍微逊色，虽然从现有技术来看还是相当不错的，但其淀积速度还不能说是十分高。

还有，基片表面温度若高于450℃，反射率为60%以下，1μm以上小丘密度为$10-10^4$ cm^{-2}、合金尖峰的发生为0～30%、开孔内的Al膜的特性变差。

下面说明上述方法如何能适用于诸如接触孔或通孔一类的开孔。

也就是说，它较好地适用于由下述材料构成的接触孔／通孔结构。

在与上述样品1—1形成Al膜相同的条件下，在具有如下所述结构的基片（样品）上，形成Al膜。

在作为第1基片表面材料的单晶硅上，按CVD法形成作为第二基片表面材料的二氧化硅膜、按光刻工艺步骤进行刻图。露出部分单晶硅的表面。

此时的热氧化SiO_2膜的厚度为8000Å，单晶硅的露出部位，即开口的尺寸为0.25μm×0.25μm～100μm×100μm。这样就制备了样品1—2〔以下把此种样品记作"CVD

SiO_2（以下略称SiO_2）单晶硅〕。

样品1—3是用常压CVD法成膜的掺硼氧化膜（以下略称BSG）／单晶硅。

样品1—4是用常压CVD法成膜的掺磷氧化膜（以下略称PSG）／单晶单。

样品1—5是用常压CVD法成膜的掺磷和硼的氧化膜（以下缩为BPSG）／单晶硅。

样品1—6是用等离子体CVD法成膜的氮化膜（以下略称P—SiN）／单晶硅。

样品1—7是热氮化膜（以下略称T—SiN）／单晶硅。

样品1—8是用减压CVD法成膜的氮化膜（以下略称LP—SiN）／单晶硅。

样品1—9是用ECR装置成膜的氮化膜（以下略称ECR—SiN）／单晶硅。

还有，如下所列的由第1基片表面材料（18种）与第2基片表面材料（9种）的全组合，构成样品1—11至1—179（注意缺少样品号1—10、20、30、40、50、60、70、80 90、100、110、120、130、140、150、160 170）。采用单晶硅（单晶Si）、多晶硅（多晶Si）、非晶硅（非晶Si）、钨（W）、钼（Mo）、钽（Ta）、硅化钨（WSi）、硅化钛（TiSi）、铝（Al）、铝硅（Al—Si）、钛铝（Al—Ti）、氮化钛（Ti—N）、铜（Cu）、铝—硅铜（Al—Si—Cu）、铝钯（Al—Pd）、钛（Ti）

硅化钼（Mo—Si）、硅化钽（Ta—Si）作为第一基片表面材料。采用T—SiO_2、SiO_2、BSG、PSG、BPSG、P—SiN、T—SiN、LP—SiN、ECR—SiN作第2基片表面材料。以上所有的样品均可形成堪与样品1—1相比的良好的Al膜。

然后，在如上所述的选择淀积了Al的基片上，采用溅射方法，非选择地淀积Al，再进行刻图。

其结果，采用溅射法得到的Al膜和开孔内选择淀积的Al膜相比，由于开孔内的Al膜表面性能好，其接触状态在电气和机械两方面都具有高的耐久性。

如上所述，根据本发明，由于把控制电极隐埋在半导体基片表面的下部，可以实现面积小，而且表面平坦的绝缘栅型晶体管，从而可以得到高速且可靠性高的绝缘栅型晶体管。

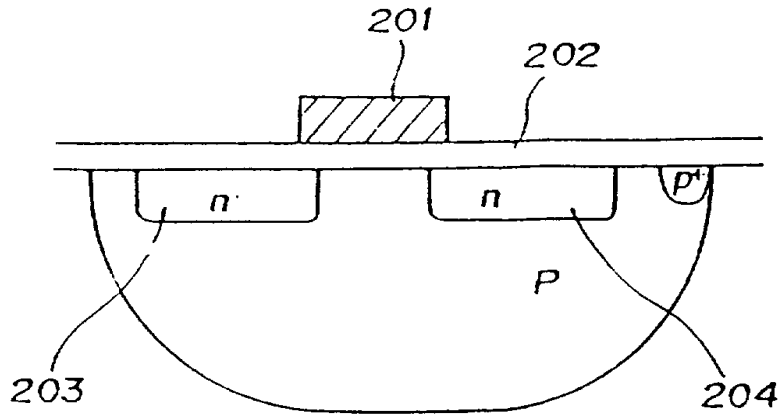


图. 1

现有技术

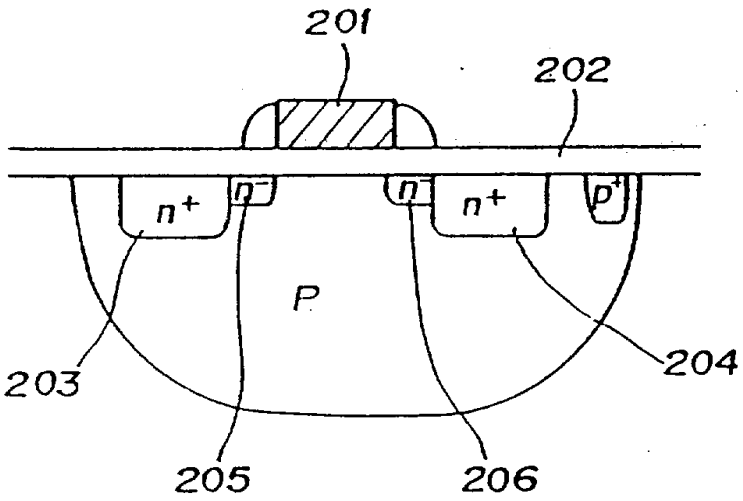


图. 2　现有技术

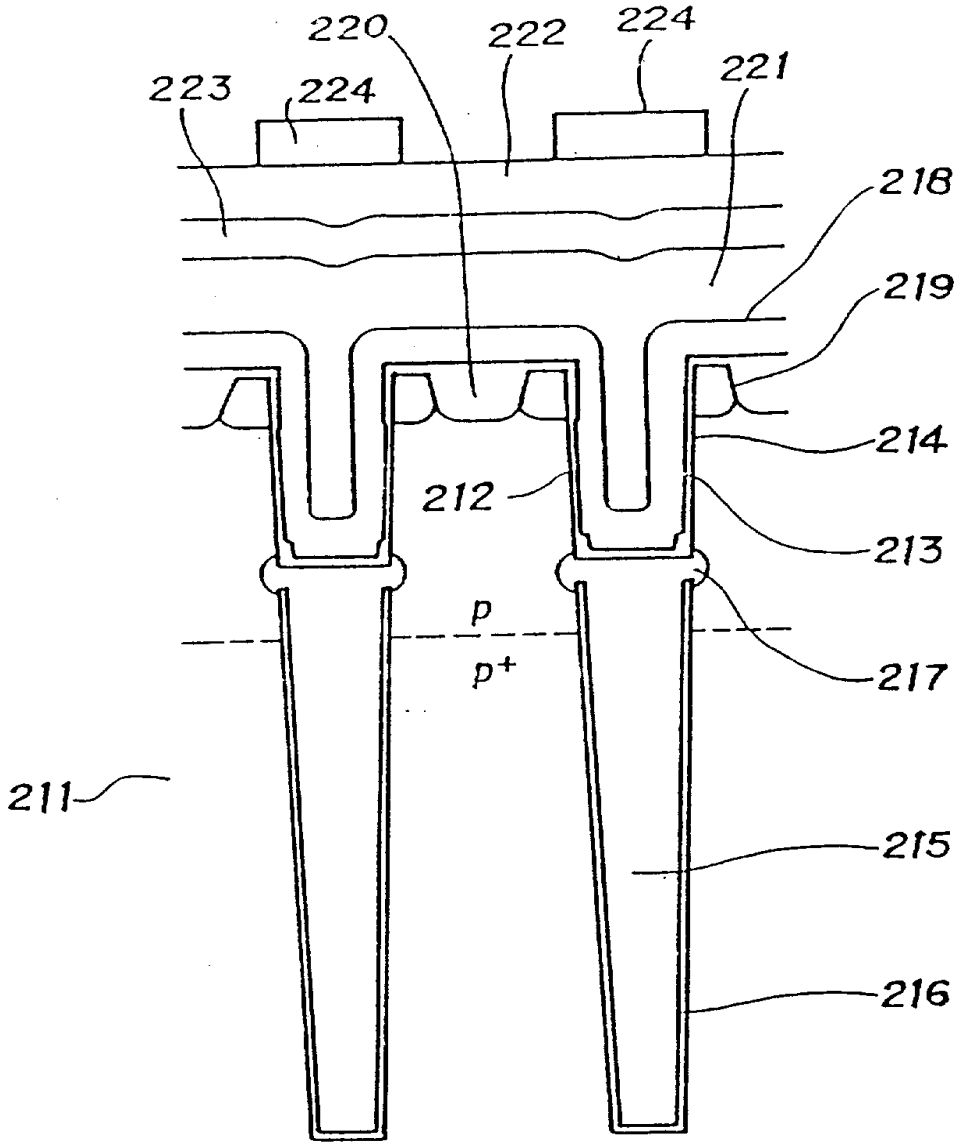


图. 3

现有技术

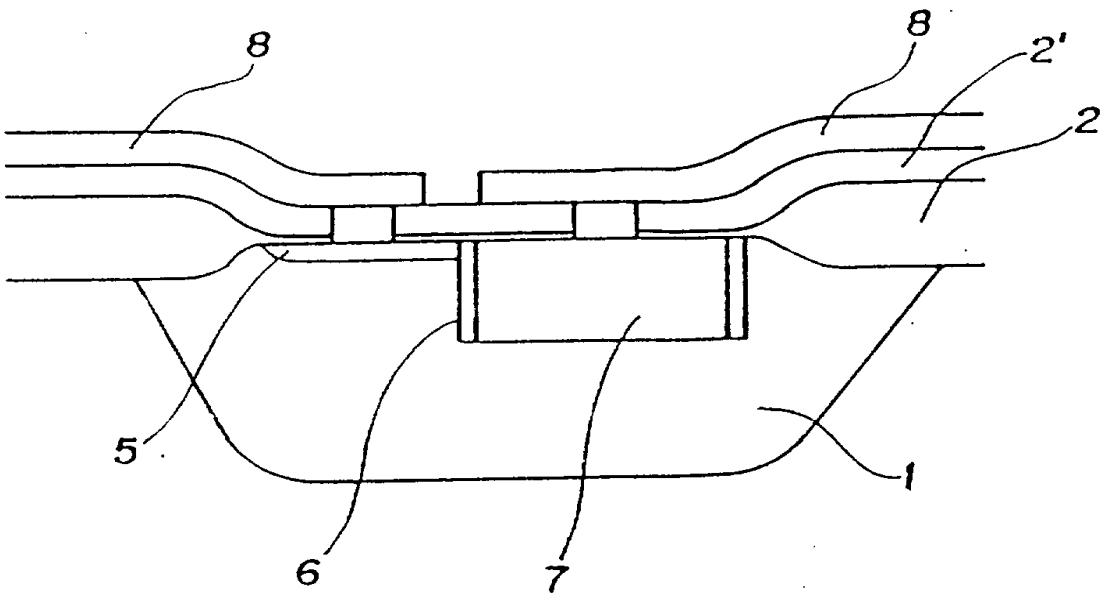
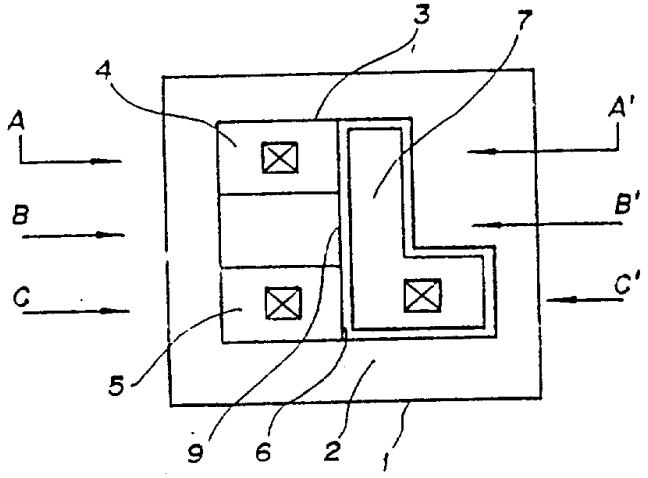


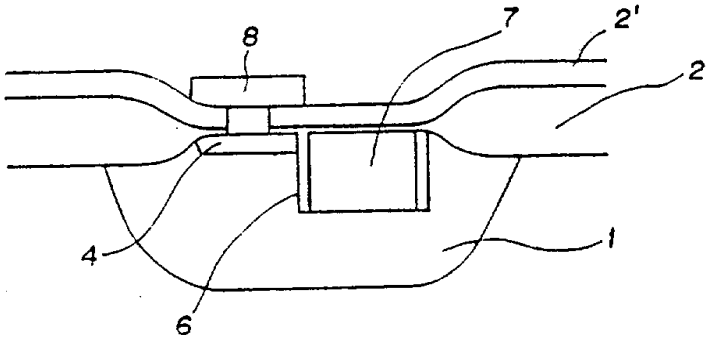
图. 4

图. 5

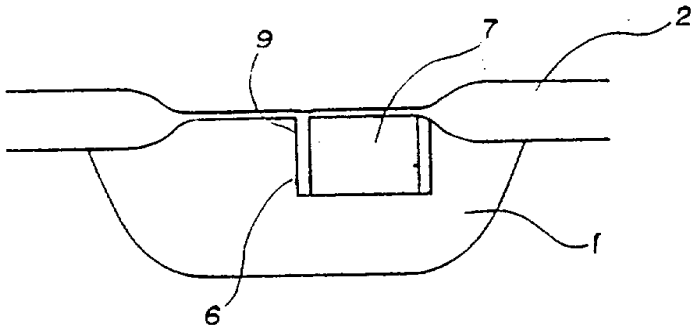
(a)



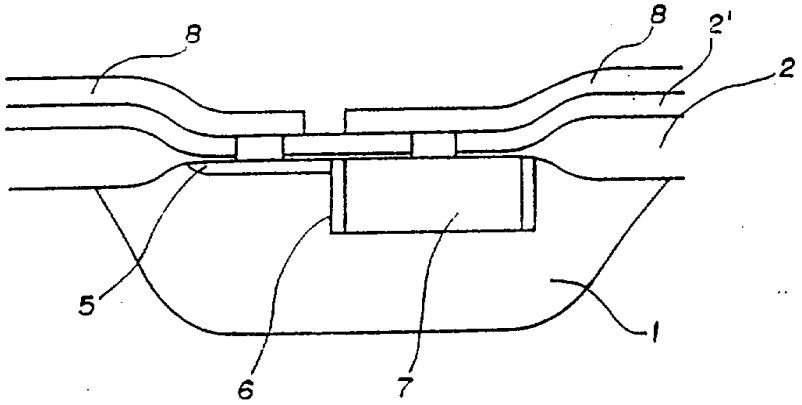
(b)



(c)



(d)



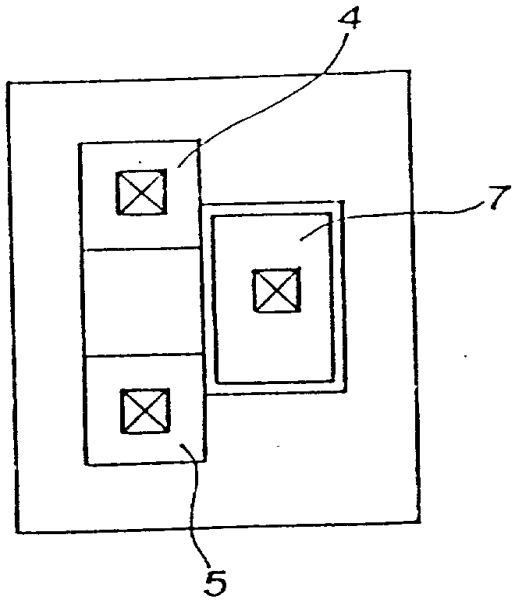


图. 6

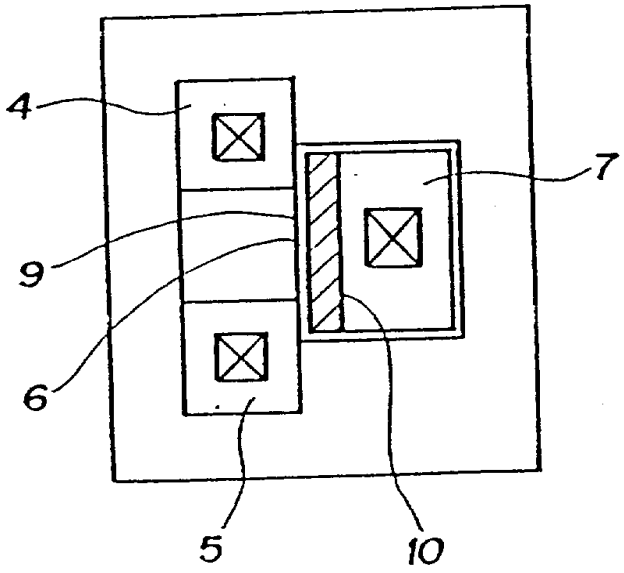


图. 7

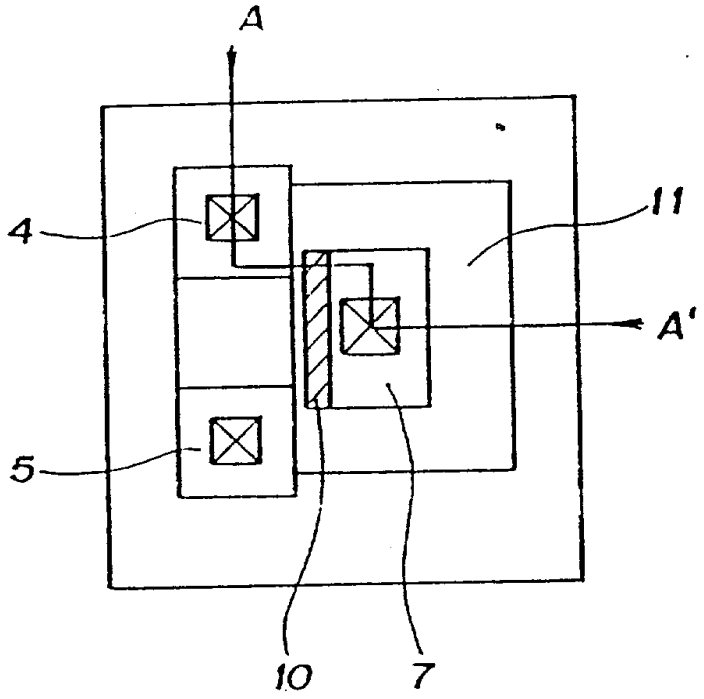


图. 8

图. 9

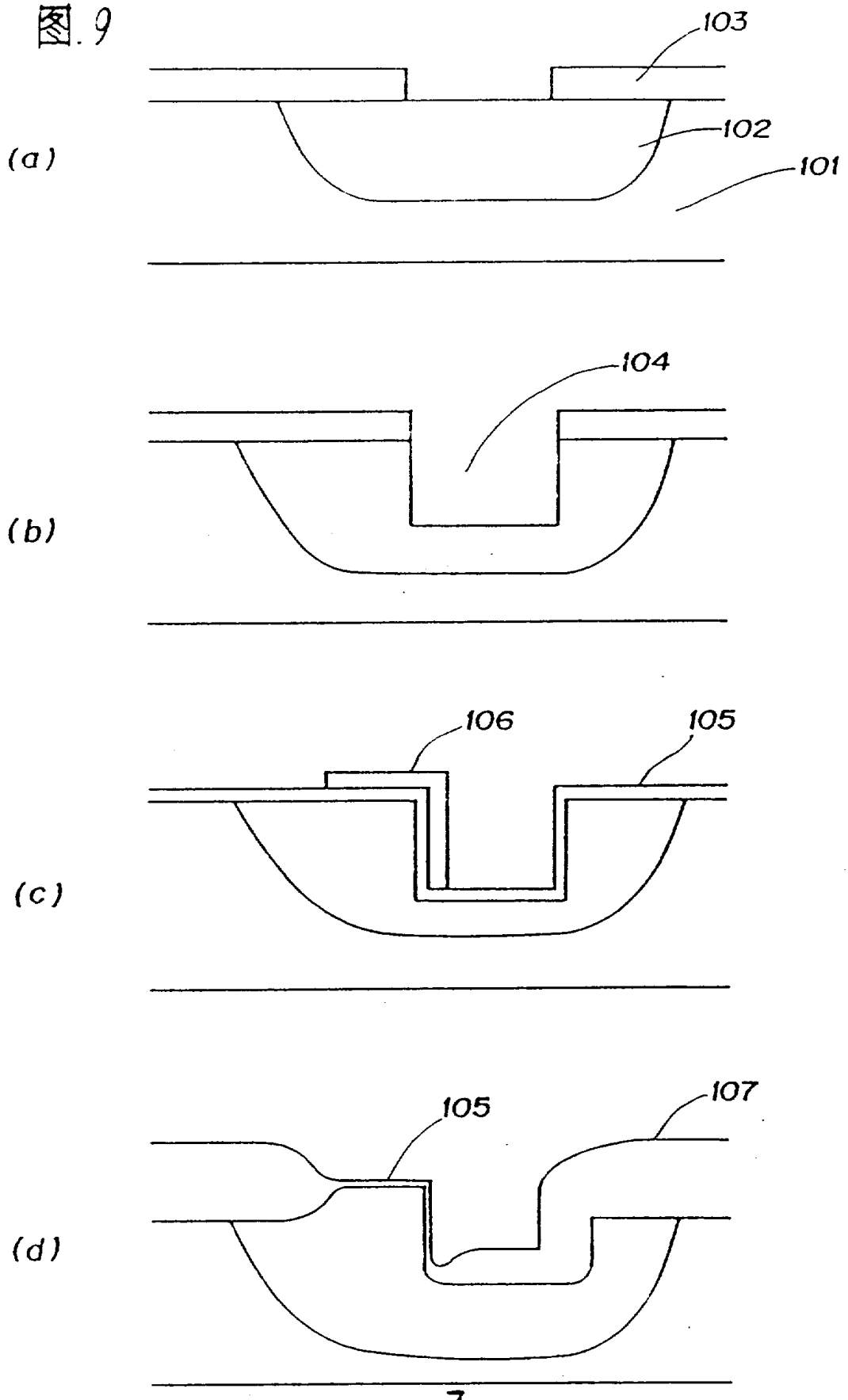
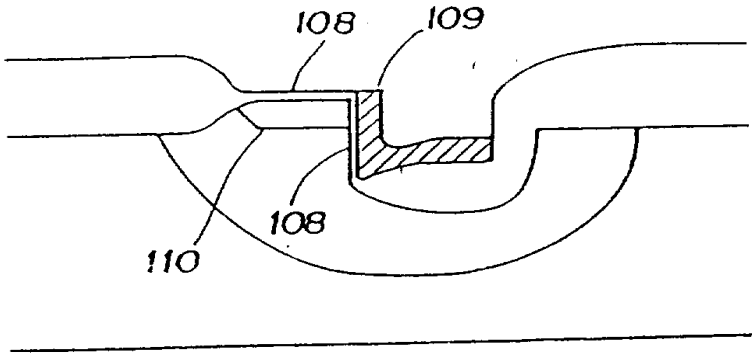
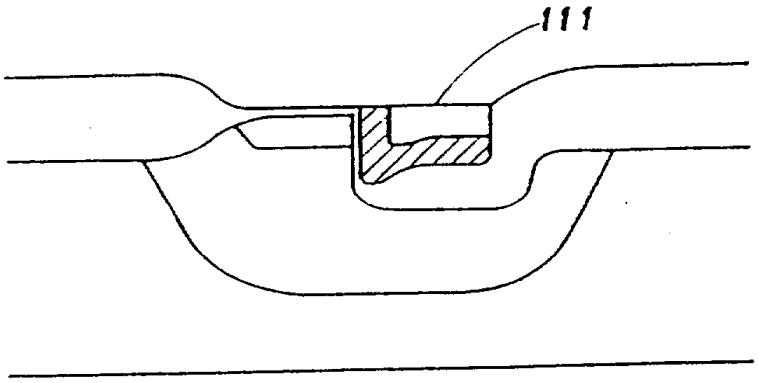


图. 9

(e)



(f)



(g)

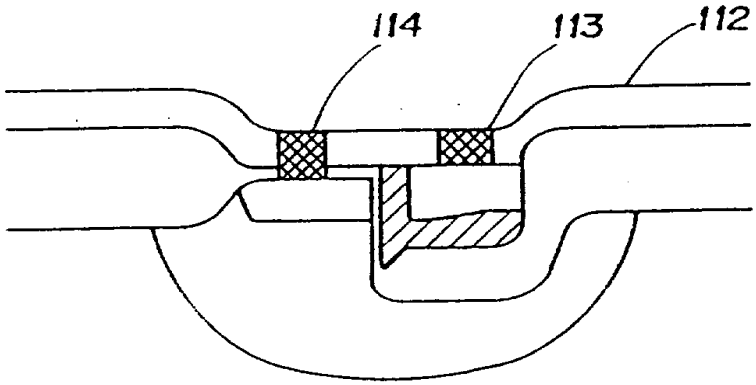
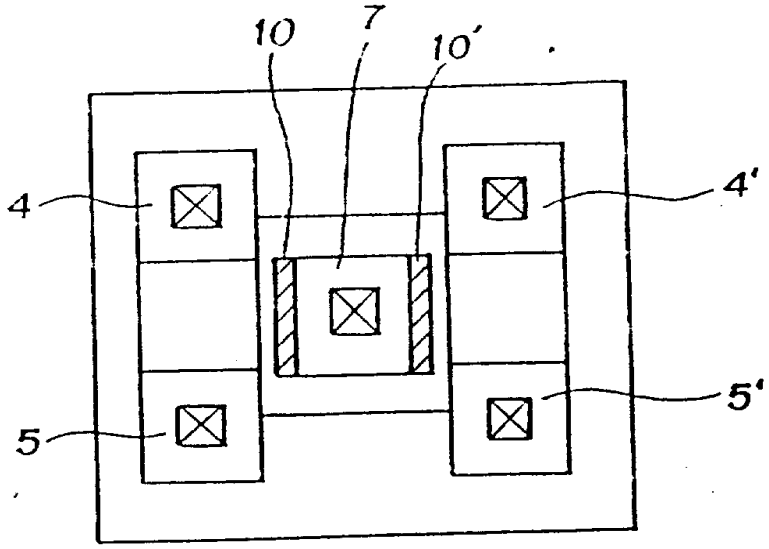


图.10

(a)



(b)

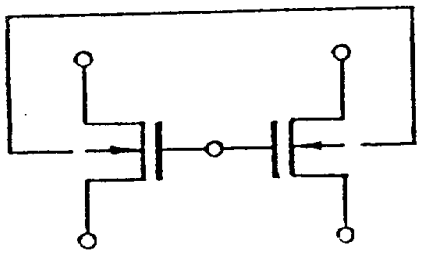
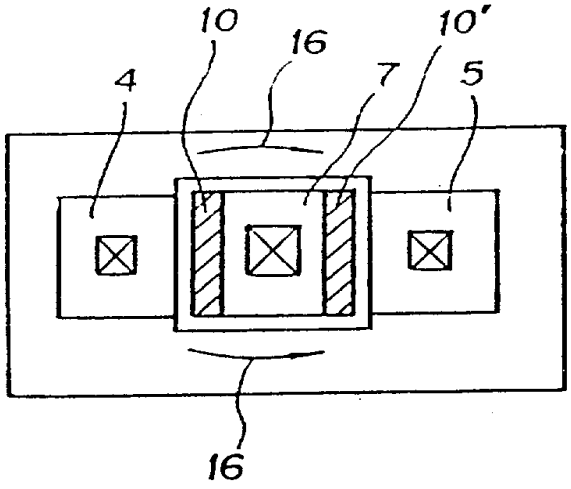


图.11

(a)



(b)

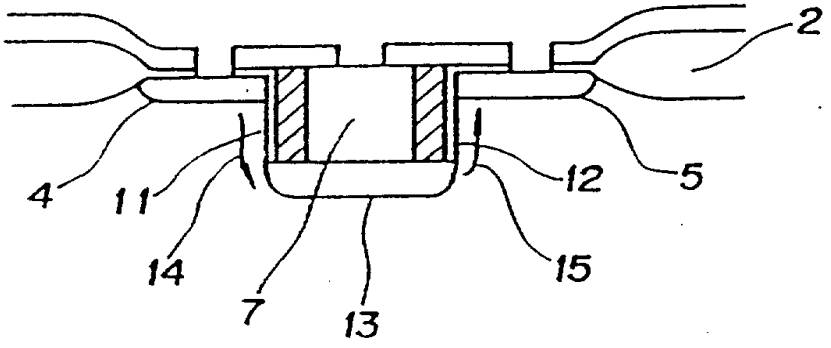


图. 12

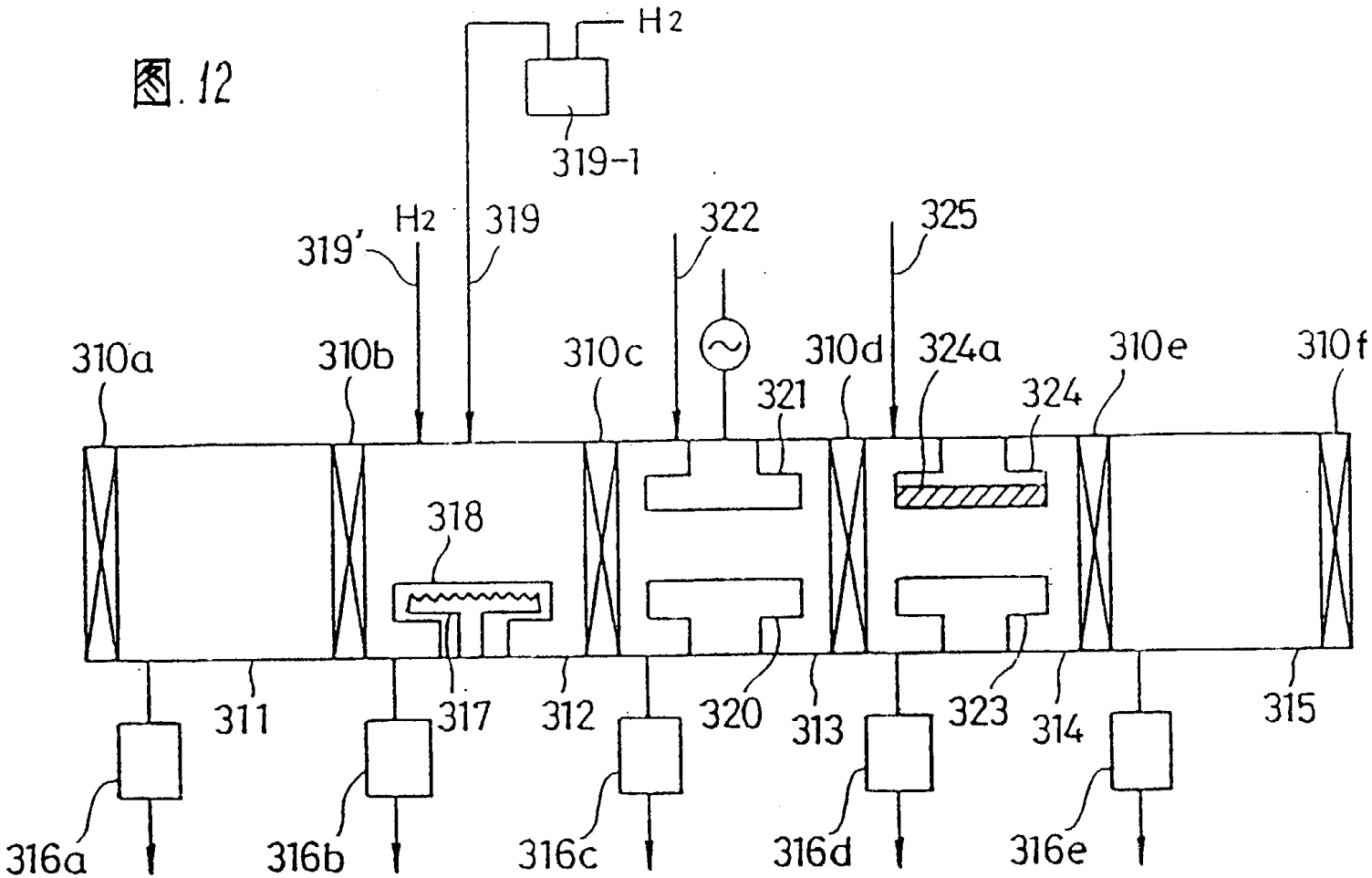
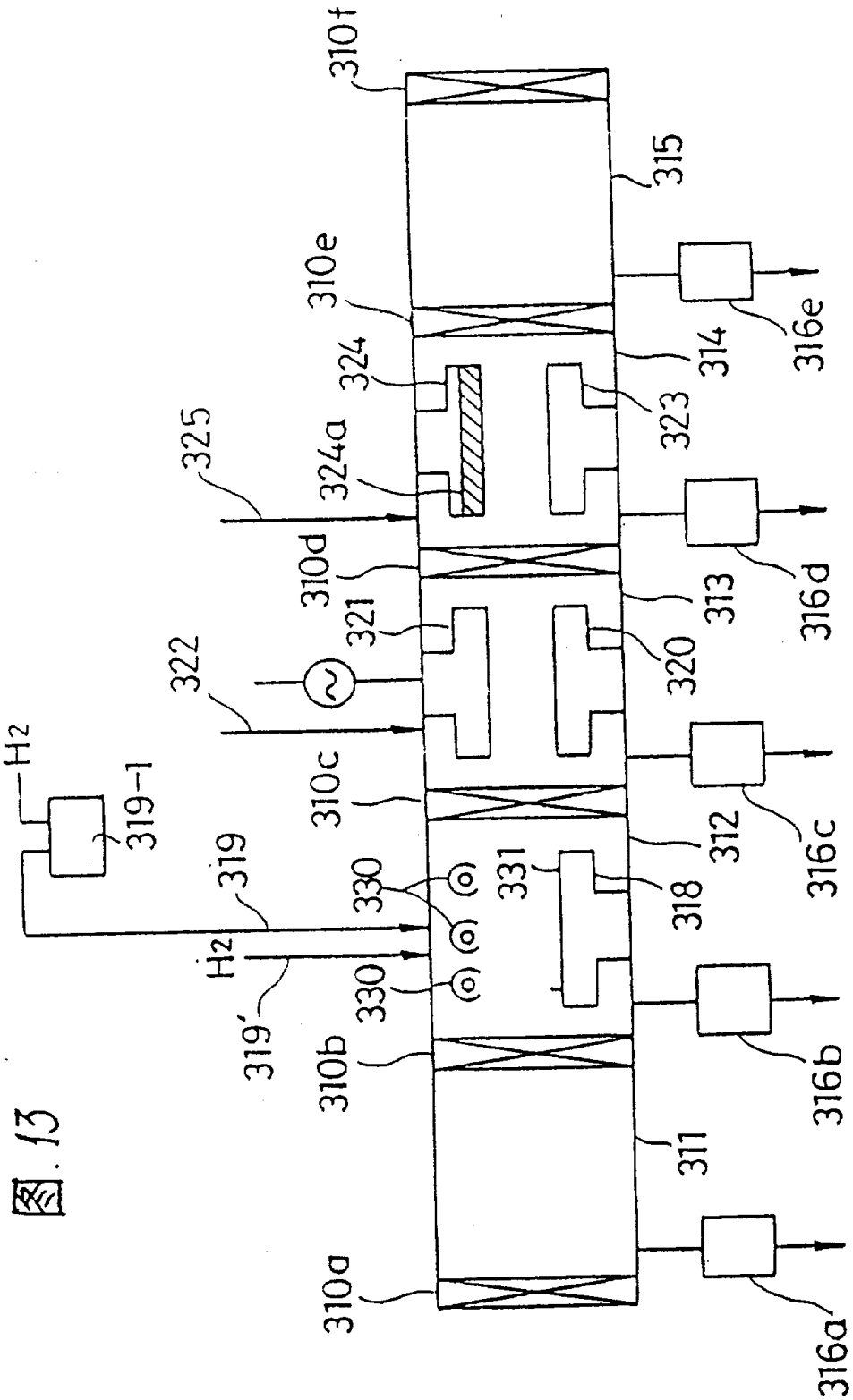

H2
319-1
319'
H2
319
322
325
310a
310b
310c
310d
324a
310e
310f
321
324
318
311
317
312
320
313
323
314
315
316a
316b
316c
316d
316e

图. 13


H2
319-1
319
H2
319'
330
330
331
322
325
324a
324
323
320
321
318
312
311
315
314
313
310a
310b
310c
310d
310e
310f
316a
316b
316c
316d
316e

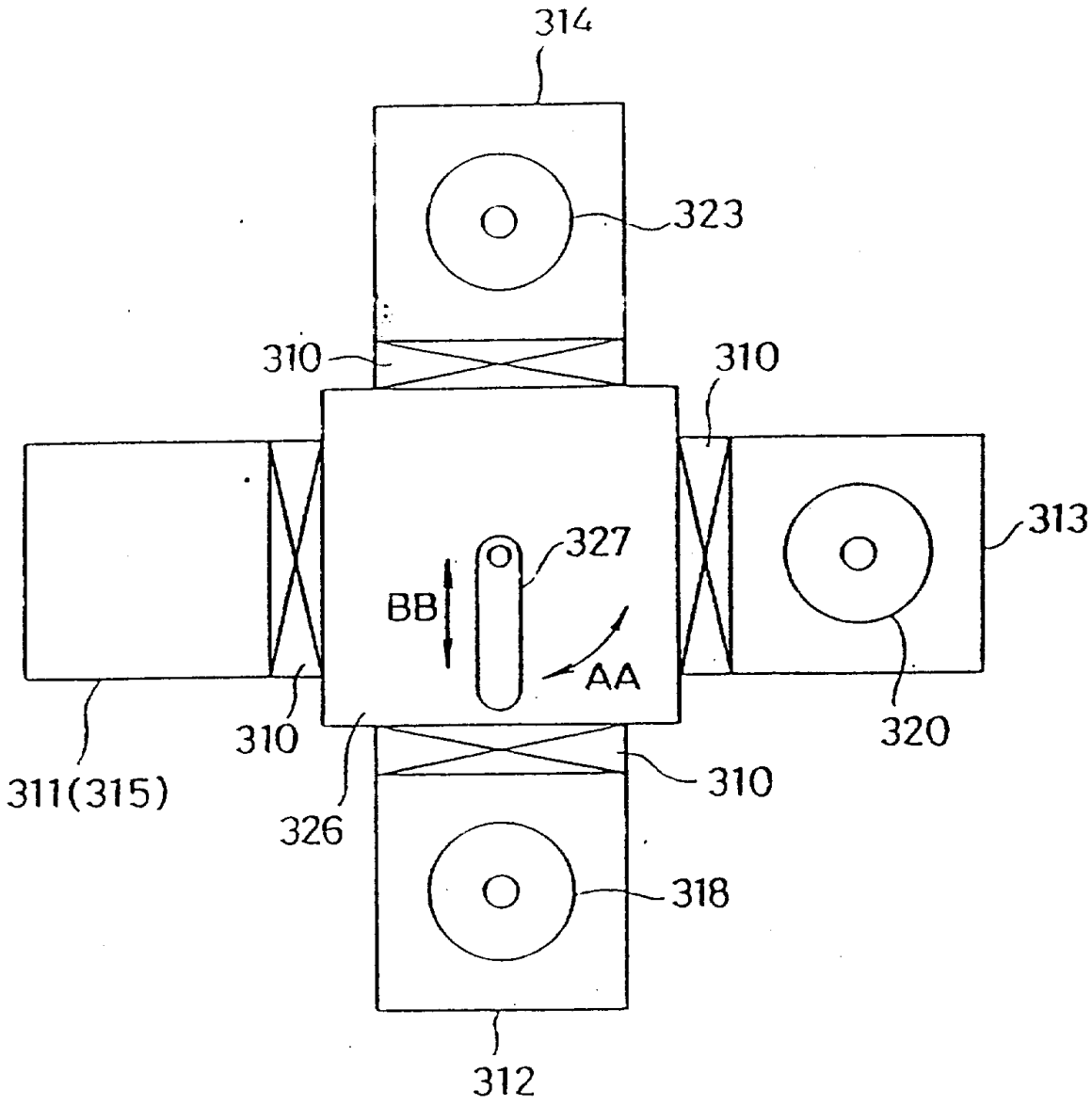


图. 14

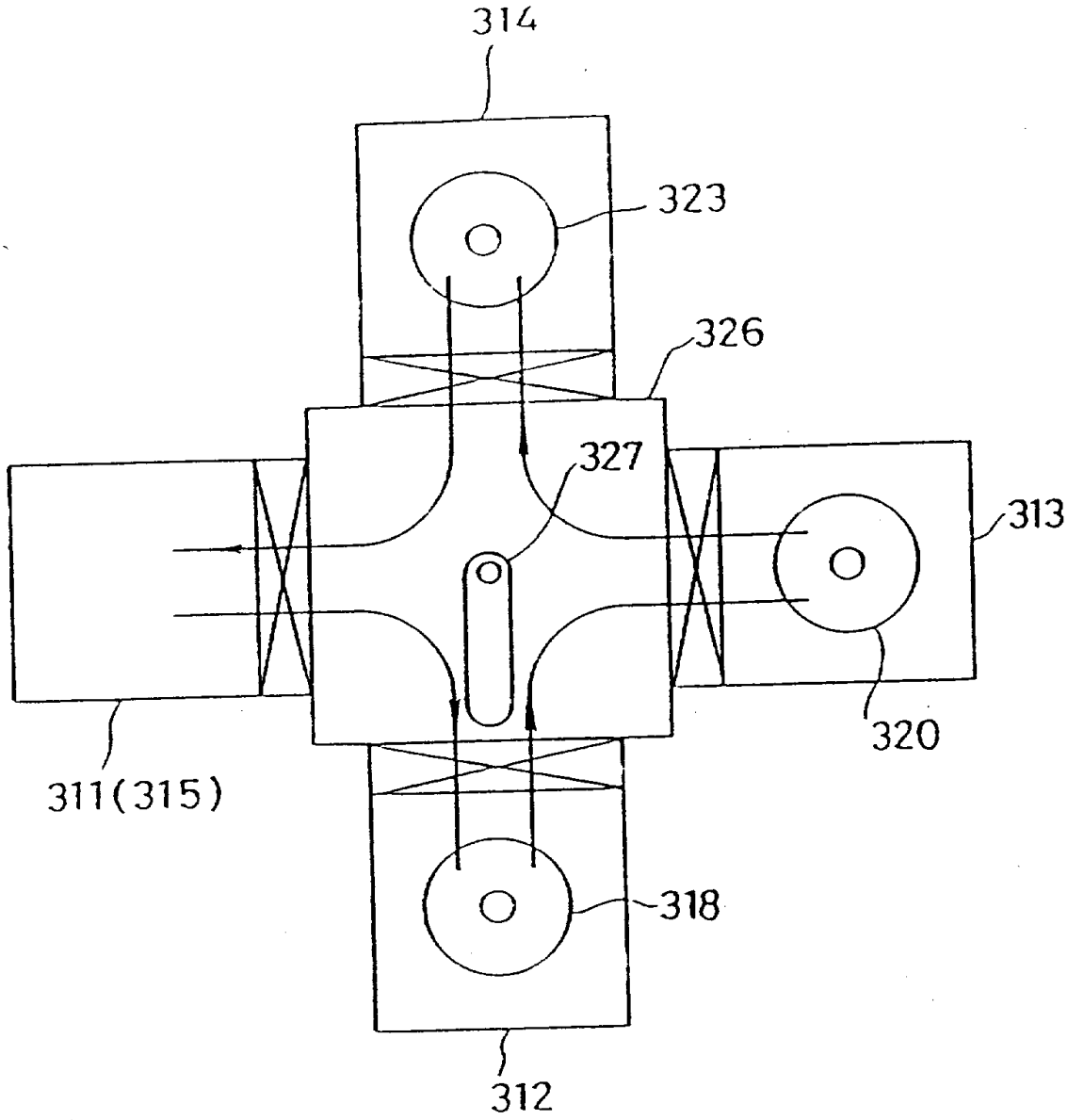
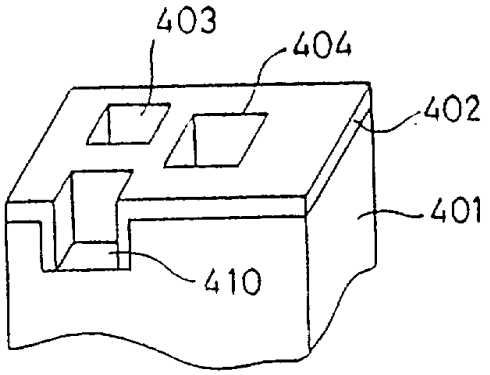


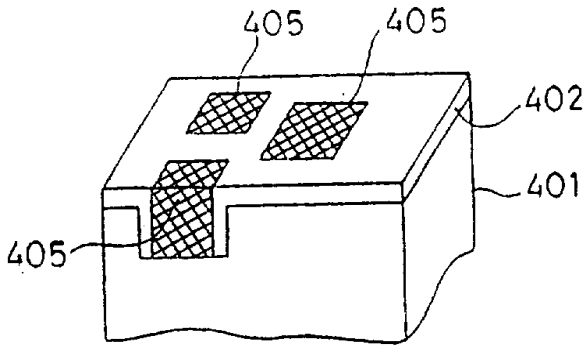
图. 15

图.16

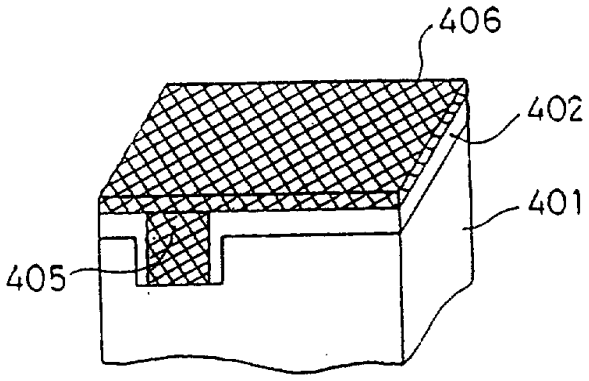
(A)


403
404
402
401
410

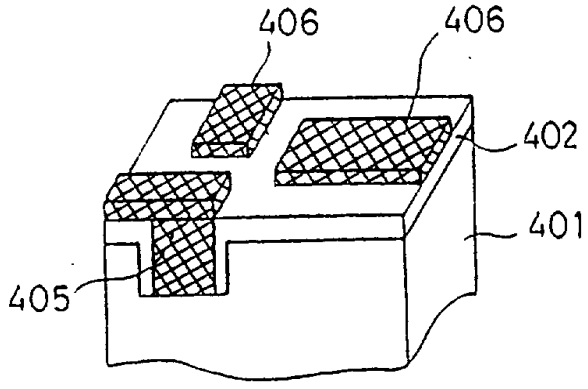
(B)


405
405
402
401
405

(C)


406
402
401
405

(D)


406
406
402
401
405