(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 21/66

(11) 공개번호 10-2004-0004105
(43) 공개일자 2004년01월13일

(21) 출원번호 10-2003-0044101
(22) 출원일자 2003년07월01일

(30) 우선권주장 10/190,408 2002년07월02일 미국(US)

(71) 출원인 애질런트 테크놀로지스, 인크.
미합중국 캘리포니아 (우편번호 94306-2024) 팔로 알토 페이지 밀로드 395

텍사스 인스트루먼츠 인코포레이티드
미합중국 텍사스 (우편번호: 75243) 달라스 티아이 블리바드 12500

(72) 발명자 맥아담스휴피
미국텍사스주75071맥키니카운티로드2065416

그레이스제임스더블유
미국캘리포니아주94022로스알토스힐스라크레스타드라이브13355

(74) 대리인 김창세
장성구

심사청구 : 없음

(54) 집적 회로, 집적 회로의 제조 프로세스 및 집적 회로에대한 테스트 프로세스

요약

집적 회로(integrated circuit : IC) 칩은 FeRAM 어레이 등과 같이, IC 칩의 제조, 테스트 및 성능과 연관된 정보를 저장하는 소형 비휘발성 'ID' 메모리를 보유한다. 저장된 정보는 일련 번호(serial number), 웨이퍼(wafer) ID, 배치(batch) ID, 날짜 코드, 칩 이력(chip history), 테스트 데이터 및 성능 정보를 포함할 수 있으나 이것만으로 한정되지는 않는다. 칩에 정보를 저장하면 정보를 IC 칩과 매칭(matching)시킬 때 발생되는 어떠한 어려움도 제거하고 제조업자가 유용하다고 확인할만한 임의의 정보에 대한 유동적인 영구 기록(flexible permanent record)을 제공한다. 그러므로, ID 메모리는 종래에는 실현되지 못했던 정도까지 IC를 추적(tracking)하고 식별할 수 있게 한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 칩의 이력(history)을 위해 FeRAM을 보유한 집적 회로 칩의 블럭도,

도 2는 칩의 이력을 저장하는 FeRAM을 보유한 집적 회로 칩의 제조 및 테스트 프로세스를 도시하는 흐름도.

도면의 주요 부분에 대한 부호의 설명

100 : 집적 회로 110 : ID 메모리(FeRAM)

115 : I/O 인터페이스 120 : 기능성 유닛

130 : 모드 선택 로직 140 : I/O 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

일반적으로, 양호한 집적 회로의 높은 수율을 달성하는 것은 집적 회로 제조업자에게 있어서 결정적으로 중요한 문제이다. 따라서, 제조업자들은 결함이 검출 되었을 때, 흔히 결함의 원인을 파악하고 처리하고자 시도한다. 결함이 있는 칩에 대응되는 배치(batches) 또는 특정한 웨이퍼(wafers)를 추적하는 것은 때때로 결함의 원인을 식별하는 데 도움이 될 수 있다. 따라서, 종종 고유 ID 또는 일련 번호를 웨이퍼에 표시하여 제조업자가 웨이퍼의 제조 이력(history)을 포함하고 있는 데이터 베이스를 보유할 수 있게 한다.

웨이퍼의 절단은 식별 마크(identifying marks)를 최종 칩으로부터 분리시키므로, 절단 후에 특정한 칩의 출처를 추적하는 것은 매우 어려워진다. 특히, 개개의 칩에 표시(이는 시간을 소모하는 추가적인 프로세싱 단계일 수 있음)하고, 그에 따라 칩 상의 식별 마크로 색인이 작성된 데이터베이스를 유지하는 것에 의해서 개개의 칩을 추적할 수 있다. 또한, 칩은 프로세싱 장치 상에서 자신의 위치에 따라 식별될 수 있으나, 이러한 식별은 에러를 발생시키는 경향이 있다.

또한, 집적 회로의 테스트는 품질 제어 및 양호한 IC 칩의 높은 수율의 달성을 위해서도 중요하다. 따라서, 조립(packaged)되기 전 또는 후에 IC 칩에 일련의 품질 제어 테스트(quality control tests)를 수행하는 것이 일반적이다. 별개의 테스트 결과를 비교하는 것은 유익한 것으로 입증되었으나, 이들 테스트 결과를 추적하고 상호 관련(correlating)시키는 것은 개별적인 칩을 식별하고 그에 따라 종래의 테스트 결과에 칩을 매칭(matching)시켜야 하는 어려움을 발생시킨다.

개개의 칩을 식별하고 특정한 칩과 데이터를 매칭시키는 현행 기법의 한계점을 고려하여, 집적 회로의 제조와 연관된 정보를 추적하기 위한 보다 나은 구조 및 프로세스를 모색한다.

발명이 이루고자 하는 기술적 과제

본 발명의 특성에 따르면, 집적 회로(IC) 칩은 FeRAM 어레이 등과 같이 IC 칩의 제조, 테스트 및 성능과 연관된 정보를 저장하는 소형 비휘발성 'ID' 메모리를 보유한다. IC 칩에 대해서 저장된 정보는 일련 번호, 웨이퍼 ID, 배치 ID, 날짜 코드, 칩의 이력, 테스트 데이터 및 성능에 관한 정보를 포함하지만, 이것만으로 제한되지는 않는다. 칩에 저장되는 정보는 IC 칩과 정보를 매칭시키는 데 발생되는 어떠한 장애도 제거하고 제조업자가 유용하다고 확인할 수 있을 임의의 정보에 대한 유동적인 영구 기록(flexible permanent record)을 제공한다. 따라서, ID 메모리는 종래에는 실현되지 못했던 정도까지 IC를 추적하고 식별할 수 있게 한다.

ID 메모리는 수명 시험(life test) 및 품질 제어용으로 사용될 수 있다. 이러한 애플리케이션에서, 1개의 테스트에서 측정된 칩의 동작을 해당 칩에 대한 종래의 테스트에 의한 결과와 비교하여 칩의 작용에 있어서 성능을 확인하고 변화를 검출한다. 집적 회로는 자체적으로 자기 테스트(self-test)를 수행하고 자기 테스트의 결과를 저장된 테스트 결과와 비교하여 집적 회로가 여전히 기대한 바 대로 작동되고 있는지 여부를 판정할 수 있다.

본 발명의 일 실시예는 집적 회로 내에 기능성 유닛(functional units) 및 ID 메모리를 포함하는 집적 회로이다. 기능성 회로는 집적 회로의 정규 기능을 수행하고, ID 메모리(바람직하게는, FeRAM 어레이)는 집적 회로의 제조 및 테스트와 연관된 정보를 저장한다. 저장된 정보는 배치 식별자(batch identifier), 웨이퍼 식별자, 일련 번호 또는 테스트 결과를 포함할 수 있으나, 이것만으로 한정되지는 않는다.

집적 회로는 기능성 유닛을 외부 단자(external terminals)(예를 들면, 핀(pins), 솔더 범프(solder bumps) 또는 패드(pads))에 접속시키는 제 1 모드 및 ID 메모리를 단자에 접속시키는 제 2 모드로 구동될 수 있는 모드 선택 로직(mode selection logic)을 더 포함할 수 있다. 핀 카운트(pin count)를 최소화하고 데이터 액세스를 단순화하기 위해서, 정보를 직렬로 주입하고 판독할 수 있으나, 직렬 I/O 인터페이스(serial I/O interfaces) 외의 I/O 인터페이스를 사용할 수도 있다. IC를 테스트하는 표준 테스트 장비는 또한 ID 메모리에 액세스하여 저장된 정보를 판독하거나 초기 정보 또는 추가 정보를 기록할 수 있다.

본 발명의 다른 실시예는 집적 회로의 제조 프로세스이다. 이 프로세스는 제조 프로세스 도중에 액세스될 수 있고, 그에 따라 제조 프로세스 도중에 메모리 내에 정보를 기록하는 비휘발성 메모리를 포함하도록 집적 회로를 제조하는 것을 포함한다. 기록된 정보는 집적 회로를 식별하거나 테스트 결과를 나타낼 수 있다. 테스트가 결함을 검출하면, 집적 회로로부터 판독된 정보는 결함의 원인을 판정하는 데 사용될 수 있다. 메모리에 정보를 기록하는 단계는 웨이퍼를 절단하여 집적 회로 칩을 분리하기 전 또는 후에 수행될 수 있다.

본 발명의 또 다른 실시예는 집적 회로를 테스트하고 집적 회로 내의 메모리에 테스트 결과를 기록하는 프로세스이다. 저장된 테스트 결과를 추후에 판독하고 제 2 테스트로부터의 결과와 비교하여 테스트 결과를 확인하거나 시효 효과(aging effects)를 관찰할 수도 있다.

발명의 구성 및 작용

본 발명의 특성에 따르면, 집적 회로 칩은 집적 회로의 식별 번호(identity), 이력, 성능을 나타내는 정보를 저장하기 위해서, FeRAM 어레이 또는 다른 소형 비휘발성 'ID' 메모리인 ID 메모리를 포함한다. 따라서, 집적 회로 칩이 웨이퍼로부터 분리된 후라고 해도, ID 메모리를 판독하여 배치, 웨이퍼, 웨이퍼 상에서 칩의 위치 또는 칩에 대한 다른 식별 정보를 식별할 수 있다. 제조업자는 웨이퍼로부터 칩이 분리된 후라고 해도 칩의 출처를 쉽게 추적할 수 있다.

본 발명의 추가적인 특성에 따르면, 웨이퍼에서 집적 회로를 분리시키기 전 또는 후에 집적 회로의 테스트 결과를 ID 메모리 내에 저장한다. 이 결과는 어떠한 시점에서도 판독할 수 있고 다른 테스트 결과와 비교하여 시효 효과를 관찰하거나 성능 평가를 확인할 수 있다. IC 칩 상에 테스트 또는 성능 데이터를 갖는 것은 집적 회로 제조 프로세스 동안 특정한 칩을 물리적으로 추적할 필요성을 제거하고 테스트 데이터를 특정한 칩과 매칭시키는 것도 단순화한다. 또한, 집적 회로가 사용중일 때, 저장된 테스트 데이터는 온-칩 테스트(on-chip testing) 도중에 비교를 위해서 사용될 수 있다.

도 1은 ID 메모리(110)를 포함하는 집적 회로(IC) 칩(100)의 블록도이다. IC 칩(100)은 임의의 타입의 집적 회로가 될 수 있는데, 몇 가지를 들자면, ASIC, 프로그래밍가능한 로직(programmable logic), 마이크로프로세서(microprocessor), 마이크로제어기(microcontroller), DRAM 또는 SRAM 등이 있다. IC 칩(100) 내의 기능성 유닛(120)은 IC 칩(100)의 정규 기능을 구현하고, 이 기능을 구현하기 위해 서 개발될 수 있는 임의의 구조를 가질 수 있다.

ID 메모리(110)는 IC 칩(100)의 제조 및 테스트와 기본적으로 연관된 정보를 저장한다. 일 실시예에서, IC 칩(100)의 정규 기능에 있어서 ID 메모리(110)는 불필요하며 관련도 없다. 예를 들어, IC 칩(100)이 프로세서 또는 제어기라면, ID 메모리(110)는 IC 칩(100)의 프로세싱 또는 제어 기능에 있어서 불필요하고 관계가 없을 수 있으며 또한, IC 칩(100)이 DRAM, SRAM 또는 FeRAM 등의 메모리라면, ID 메모리는 통상적인 데이터 저장을 제공하는 메모리 어레이로부터 분리될 수 있다. 이와 다르게, 기능성 유닛(120)은 정규 동작 또한/또는 고유한 자기 테스트 동작 도중에 ID 메모리(110)를 사용하기 위해서 접속될 수 있고, ID 또는 테스트 데이터가 더 이상 필요하지 않다면, 기능 유닛(120)은 ID 메모리(110)를 사용하기 위해서 ID 및 테스트 테이터를 덮어쓰기(overwrite)할 수 있다.

본 발명의 바람직한 실시예에서의 ID 메모리(110)는 데이터의 소형 비휘발성 저장을 제공하는 FeRAM 어레이이다. 각 FeRAM 셀에 단일 또는 2중 강유전성 캐패시터(ferroelectric capacitor)를 내장한 FeRAM 어레이 구조는 본 기술 분야에서 잘 알려져 있으며, ID 메모리(110)에 적합하다. 이와 다르게, ID 메모리(110)는 EPROM, EEPROM 또는 플래시 메모리(FLASH memory) 등의 다른 비휘발성 반도체 기법으로부터 제조할 수도 있다. 일반적으로, ID 메모리(110)의 크기는 제조업자가 IC(100)를 제조하고 테스트하는 데 사용하고자 하는 정보의 양에 의존할 것이지만, 전형적으로, ID 메모리(110)는 저장 용량에 있어서 수십 비트에서 수 킬로비트의 범위를 가질 것이다.

설명된 실시예에서, ID 메모리(110)는 모드 선택 로직(130) 및 I/O 단자(140)를 통해서 액세스할 수 있다. IC 칩(100)이 조립되었는지 여부에 따라서, I/O 단자(140)는 IC 칩(100) 상의 패드이거나 핀 또는 솔더 범프 등의 패키지 커넥터(package connectors)일 수 있다.

모드 선택 로직(130)은 기능성 유닛의 정규 동작을 위한 정규 모드 및 모드 선택 로직(130)이 ID 메모리(110)로의 액세스를 위해서 I/O 단자(140) 중에서 적어도 몇 개를 접속시키는 ID 모드에서 작동된다. 모드 선택 로직(130)을 위한

제어 레지스터(control register)(도시하지 않음)의 프로그래밍 또는 I/O 단자(140)로의 특정한 입력 신호의 활성화에서는 모드를 선택할 수 있다. I/O 단자(140)의 수요가 많은 패키지에서, 모드 선택 로직(130)을 통해서 I/O 단자(140)를 공유하면 IC 칩(100)이 조립된 후에도 ID 메모리(110)를 액세스할 수 있다. 본 발명의 이와 다른 실시예에 있어서, ID 메모리(110)는 전용 I/O 패드를 갖는데, 전용 IO 패드는 조립된 후에 ID 메모리(110)로의 액세스가 필요한지 여부에 따라서 패키지 단자에 접속될 수도 있고 접속되지 않을 수도 있다.

ID 메모리(110)는 I/O 인터페이스(115)를 가지며, I/O 인터페이스(115)는 집적 회로에 대한 종래의 테스트 장치가 ID 메모리(110)를 판독하거나 기록하는 데 필요한 제어 및 데이터 신호를 쉽게 다룰 수 있도록 간단한 액세스 프로토콜(access protocol)을 제공하는 것이 바람직하다. 본 발명의 예시적인 실시예에서, ID 메모리(110)를 위한 I/O 인터페이스(115)는 ID 메모리(110) 내의 어드레스에 데이터를 판독 또는 기록하는 병렬 인터페이스(parallel interface)이다. 내장형 애플리케이션에 있어서, 병렬 인터페이스는 프로그래밍/테스트 시간을 단축시키고, 또한 필요한 내부 버스는 이미 존재할 것이기 때문에, 병렬 인터페이스가 선호될 수 있다. 그러나, 직렬 액세스 및 데이터 전송을 제공하는 덜 복잡한 I/O 인터페이스도 이용할 수 있다.

표 1은 4 메가비트 FeRAM인 집적 회로 내의 ID 메모리에 대한 예시적인 활용을 도시한다. 표 1의 ID 메모리는 제품 번호, 칩 제조에 사용된 프로세스, 웨이퍼 로트 번호(wafer lot number), 웨이퍼 번호 및 칩 위치에 의해 칩을 식별하는 필드를 포함한다. 또한, 특정한 프로세스 또는 테스트가 수행된 시기를 나타내기 위해서 날짜 및 시간 정보가 포함될 수 있다. 칩의 식별 및 날짜 정보는 100비트 이하의 저장 용량을 필요로 한다.

또한, 표 1의 ID 메모리는 리던던시(redundancy)를 위한 필드 또한/또는 칩에 대한 구성 정보를 포함한다. 칩의 결함을 검출하거나 성능을 측정할 때, 테스트 장치는 ID 메모리에 리던던시 또는 구성 정보를 기록할 수 있다. 구성 또는 리던던시 동작을 위해서 ID 메모리를 사용하면 그렇지 않을 경우에 발생되는 레이저 퓨즈 커팅(laser fuse cutting) 또는 다른 추가적인 프로세싱 단계의 필요성을 회피할 수 있다.

표 1의 ID 메모리는 테스트 결과에 대한 추가적인 저장을 포함한다. 테스트 실패 번호 또는 실패를 식별하는 코드는 최소량의 저장 공간을 사용하여 각 테스트 결과를 간단하게 나타낼 수 있다. 이와 다르게, 4 메가비트 FeRAM에 대한 상세한 테스트 결과는 칩 상의 모든 감지 증폭기에 대한 감지 증폭기 오프셋과 같은 정보 를 포함할 수 있다. 또한, ID 메모리는 모든 FeRAM이 '0' 값을 저장할 때에 FeRAM 셀로부터 판독되는 비트 라인 전압의 분포 및 모든 FeRAM이 '1' 값을 저장할 때에 판독 비트 라인 전압의 분포를 나타내는 정보를 저장할 수 있다. 이러한 상세한 테스트 정보는 테스트마다 4 킬로비트 또는 그 이상을 필요로 할 수도 있다. 그러므로 ID 메모리는 수 개의 테스트로부터의 결과를 기록하기 위한 수 개의 4 킬로비트 섹션(sections)을 보유할 수 있다. 수 개의 테스트로부터의 테스트 데이터를 저장할 때에도, ID 메모리의 크기는 4 메가비트 칩의 크기에서 작은 부분일 뿐이다.

필드	크기
제품 ID	10비트
프로세스 ID	6비트
웨이퍼 로트 ID	16비트
웨이퍼 ID	6비트
칩 위치	14비트
테스트 또는 프로세스의 날짜/시간	32비트
리던던시/구성	64비트
테스트 1의 테스트 데이터	4킬로비트
…	
테스트 4의 테스트 데이터	4킬로비트

도 2는 도 1의 IC 칩(100) 등과 같은 집적 회로에 대한 제조 및 테스트 프로세스(200)에 대한 흐름도이다. 제조 프로세스(200)는 웨이퍼의 프로세싱 단계(210)에서 개시되어 웨이퍼 상에 다수의 집적 회로를 형성한다. 웨이퍼를 절단하여 개개의 IC 칩으로 분리하기 전에, 표준 테스트 장비는 웨이퍼 상에서 IC의 패드를 전기적으로 접속시키고 테스트 절차(220)를 수행할 수 있다. 또한, 테스트 장치는 위에서 주지된 바와 같이 모드 선택 로직의 활성화 또는 온-칩 ID 메모리를 액세스하여 배치, 웨이퍼 및 칩 일련 번호 등과 같은 식별 정보를 저장(230)할 수 있다. 도 2에서 도시된 바와 같이, 저장 단계(230)가 테스트 단계(220) 후에 수행되면, 테스트 장치는 또한 저장 단계(230) 도중에 ID 메모리 내에 테스트 결과를 저장할 수 있다.

절단 프로세스(240)에서는 웨이퍼를 절단하여 개개의 IC 칩을 분리한다. 개별 IC 칩 내의 ID 메모리는 특정 순서로 IC 칩을 표시하거나 유지하는 데 특별한 주의를 요하지 않도록, 절단 프로세스(240) 전에 기록된 임의의 식별 정보를 유지한다.

웨이퍼의 절단 단계(240) 후에, 표준 테스트 장치는 개개의 조립된 IC 칩을 테스트(250)하고 ID 메모리 내에 테스트 결과를 기록할 수 있으며, ID 메모리는 어느 때나 판독(260)되어 저장된 테스트 결과를 다른 저장된 테스트 결과와 비교하거나 ID 메모리 내에 저장되지 않은 테스트 결과를 갱신(fresh)할 수 있다. 더 이상의 테스트가 필요하지 않을 때까지, 추가적인 테스트, 결과의 기록, 결과의 판독 및 결과의 비교가 IC 칩의 조립 전 또한/또는 후에 수행될 수 있다. IC 칩이 사용되고 있는 이후라고 해도, 자기 테스트 또는 자기 교정 동작(self-calibration operation)으로 저장된 테스트 결과를 자기 테스트 결과와 비교하여 결함을 검출하거나 집적 회로의 동작 파라미터를 선택할 수 있다.

도 2의 프로세스(200)에서 도시된 결과를 비교하여 IC 칩의 측정된 성능을 확인하거나 결함을 검출할 수 있다. 결함이 검출되는 경우에, ID 메모리에 저장된 정보는 IC 칩에서의 원인을 식별하고 결함의 원인을 판정하여 분석하는 데 이용될 수 있다.

본 발명은 특정한 실시예를 참조하여 설명되었으나, 이 설명은 본 발명의 적용에 대한 예일 뿐이며 제한하는 것으로 취급되어서는 안 된다. 예를 들면, 위의 실시예는 IC 제조 및 테스트와 관련된 특정한 유형의 정보를 저장하였으나, 저장된 정보는 위에서 개시된 유형만으로 한정되지 않으며, 오히려 원하는 임의의 타입의 데이터가 될 수 있다. 이와 같이, ID 메모리를 사용하면 종래에는 실현되지 못했던 정도까지 집적 회로를 추적하고 식별할 수 있다. 또한, 예시적인 프로세스에서는 특정한 순서의 단계로 설명되었으나, 일반적으로 이러한 단계의 순서는 변화될 수 있고 특정한 단계가 완전히 생략될 수도 있다. 개시된 실시예의 특성에 대한 이와 다른 다양한 적용 및 조합도 첨부된 청구항에서 규정된 바와 같이 본 발명의 범주 내에 있다.

발명의 효과

본 발명에 의하면, 개개의 칩을 식별하고 특정한 칩과 데이터를 매칭시키는 현행 기법의 한계점을 고려하여 집적 회로의 제조와 연관된 정보를 추적하기 위한 보다 나은 구조 및 프로세스를 제공한다.

(57) 청구의 범위

청구항 1.
집적 회로(integrated circuits)의 정규 기능을 수행할 수 있는 기능성 유닛(functional units)과,

상기 집적 회로의 제조 및 테스트와 연관된 정보를 저장하는 ID 메모리

를 포함하는 집적 회로.

청구항 2.
제 1 항에 있어서,

모드 선택 로직(mode selection logic)을 더 포함하되,

상기 모드 선택 로직은

상기 선택 로직이 상기 정규 기능을 위해서 상기 기능성 유닛을 상기 집적 회로의 단자에 접속시키는 제 1 모드와,

상기 선택 로직이 상기 ID 메모리를 상기 단자에 접속시켜서 상기 ID 메모리로의 액세스를 가능하게 하는 제 2 모드

로 작동될 수 있는 집적 회로.

청구항 3.
제 1 항에 있어서,

상기 ID 메모리는 FeRAM 어레이를 포함하는 집적 회로.

청구항 4.
제 1 항에 있어서,

상기 정보는 상기 집적 회로가 형성된 웨이퍼를 식별하는 집적 회로.

청구항 5.
제 4 항에 있어서,

상기 정보는 제조 도중에 상기 웨이퍼 상에 집적 회로의 위치를 추가적으로 식별하는 집적 회로.

청구항 6.
제 1 항에 있어서,

상기 정보는 상기 집적 회로의 테스트로부터의 결과를 포함하는 집적 회로.

청구항 7.
제 6 항에 있어서,

상기 테스트 결과는 테스트 실패 번호(test failure number)를 포함하는 집적 회로.

청구항 8.
제 6 항에 있어서,

상기 집적 회로는 FeRAM 어레이를 보유하고 상기 테스트 결과는 비트 라인 전압 분포를 나타내는 집적 회로.

청구항 9.
제 6 항에 있어서,

상기 집적 회로는 메모리 어레이를 보유하고 상기 테스트 결과는 측정된 감지 증폭기(sense amplifier) 오프셋을 나타내는 집적 회로.

청구항 10.
제 6 항에 있어서,

상기 집적 회로는 메모리 어레이를 보유하고 상기 결과는 상기 메모리 어레이의 리던던시(redundancy) 구성을 나타내는 집적 회로.

청구항 11.
제조 프로세스 도중에 액세스 가능한 메모리를 포함하도록 집적 회로를 제조하는 단계와,

제조 프로세스 도중에 상기 메모리 내에 정보를 기록하는 단계-상기 정보는 상기 집적 회로를 식별함-

를 포함하는 집적 회로의 제조 프로세스.

청구항 12.
제 11 항에 있어서,

상기 집적 회로의 결함에 대해 테스트하는 단계와,

상기 집적 회로 내에서의 결함의 검출에 응답하여, 상기 결함의 원인을 판정하는 데 사용하기 위해 상기 메모리로부터 정보를 판독하는 단계

를 더 포함하는 집적 회로의 제조 프로세스.

청구항 13.
제 11 항에 있어서,

웨이퍼를 절단하여 상기 웨이퍼 상에서 형성된 다른 집적 회로로부터 상기 집적 회로를 분리시키는 단계를 더 포함하며,

상기 정보의 기록 단계는 웨이퍼의 절단 단계 전에 이루어지는

집적 회로의 제조 프로세스.

청구항 14.
제 11 항에 있어서,

상기 집적 회로를 테스트하는 단계와,

상기 메모리 내에 테스트 결과를 기록하는 단계

를 더 포함하는 집적 회로의 제조 프로세스.

청구항 15.
제 14 항에 있어서,

상기 메모리 내에 상기 테스트가 수행된 시기를 나타내는 정보를 기록하는 단계를 더 포함하는 집적 회로의 제조 프로세스.

청구항 16.
제 14 항에 있어서,

상기 집적 회로 내에서 식별된 결함을 나타내는 정보를 메모리 내에 기록하는 단계를 더 포함하는 집적 회로의 제조 프로세스.

청구항 17.
집적 회로를 테스트하는 단계와,

상기 집적 회로 내의 메모리에 상기 테스트의 결과를 나타내는 정보를 기록하는 단계

를 포함하는 집적 회로에 대한 테스트 프로세스.

청구항 18.
제 17 항에 있어서,

상기 집적 회로에 대해 제 2 테스트를 수행하는 단계와,

상기 집적 회로 내의 상기 메모리로부터 상기 정보를 판독하는 단계와,

상기 제 2 테스트 결과를 상기 정보가 나타내는 상기 결과와 비교하는 단계

를 더 포함하는 집적 회로에 대한 테스트 프로세스.

청구항 19.
제 18 항에 있어서,

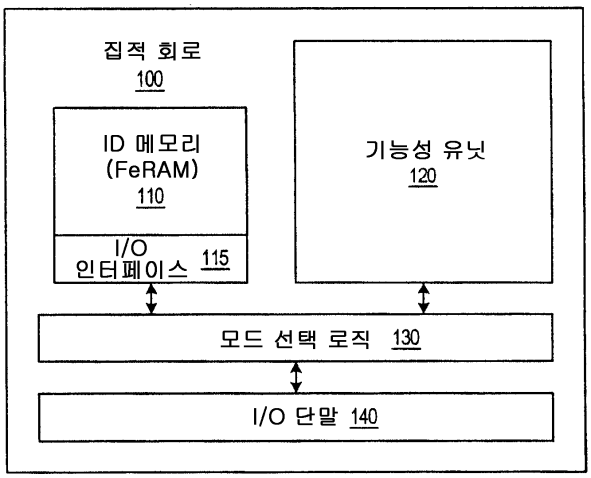
상기 제 2 테스트는 상기 집적 회로가 수행하는 자기 테스트(self-test)인 집적 회로에 대한 테스트 프로세스.

청구항 20.
제 17 항에 있어서,

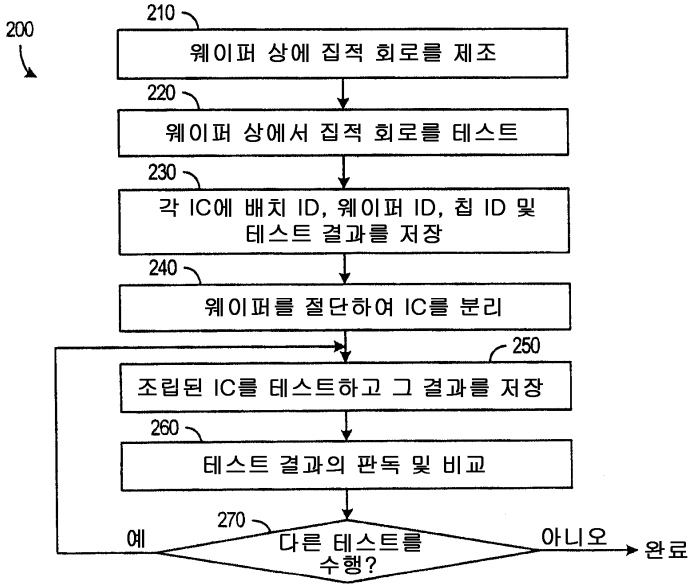
상기 제 1 테스트는 상기 집적 회로를 제조하는 도중에 수행되는 집적 회로에 대한 테스트 프로세스.

도면

도면1


집적 회로
100
ID 메모리
(FeRAM)
110
I/O
인터페이스 115
기능성 유닛
120
모드 선택 로직 130
I/O 단말 140

도면2


200
210
웨이퍼 상에 집적 회로를 제조
220
웨이퍼 상에서 집적 회로를 테스트
230
각 IC에 배치 ID, 웨이퍼 ID, 칩 ID 및
테스트 결과를 저장
240
웨이퍼를 절단하여 IC를 분리
250
조립된 IC를 테스트하고 그 결과를 저장
260
테스트 결과의 판독 및 비교
270
다른 테스트를
수행?
예
아니오
완료