

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200710002046.7

[51] Int. Cl.

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

[45] 授权公告日 2009 年 6 月 24 日

[11] 授权公告号 CN 100504525C

[22] 申请日 2007.1.18

[21] 申请号 200710002046.7

[30] 优先权

[32] 2006.1.18 [33] JP [31] 2006-009709

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 南昭宏

[56] 参考文献

JP11-231843A 1999.8.27

JP2000-338936A 2000.12.8

CN1348166A 2002.5.8

JP2003-162257A 2003.6.6

JP2003-91266A 2003.3.28

JP2001-202066A 2001.7.27

CN1453761A 2003.11.5

CN1470930A 2004.1.28

审查员 丁 园

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 浦柏明 刘宗杰

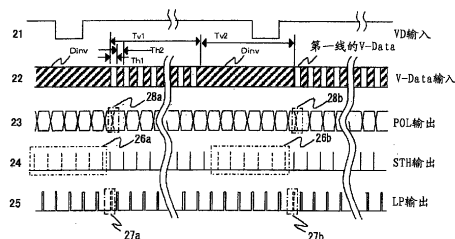
权利要求书 2 页 说明书 18 页 附图 6 页

[54] 发明名称

有源矩阵显示装置及其定时控制用半导体装置

[57] 摘要

本发明涉及一种有源矩阵显示装置，在垂直消隐期间，也可以将用于驱动矩阵显示装置的控制信号连续供给源极驱动器的定时控制电路中，使先于下一帧而停止驱动的期间达到最小限。在垂直消隐期间(Tv2)内的至少后半的多个水平周期中，以停止向源极驱动器(6~13)的图像数据(RGB-Data)的读取的方式，控制水平启动脉冲(STH)。进而，消去包含源极驱动器(6~13)中固有的门锁脉冲输入禁止期间的规定期间(27a、27b)、门锁脉冲(LP)的输出。



1. 一种有源矩阵显示装置, 具备:

多个像素, 配置成矩阵状;

多个图像信号线, 配置在该像素的各列;

扫描信号线, 配置在该像素的行;

图像信号线驱动单元, 向所述图像信号线供给用于驱动所述像素的像素信号; 以及

定时控制电路, 其构成为: 即使在垂直消隐期间中, 也以规定的周期将图像显示控制信号送到所述图像信号线驱动单元,

该有源矩阵显示装置的特征在于,

所述定时控制电路进行如下控制:

对应所述垂直消隐期间内的至少后半的第一期间, 由所述图像信号线驱动单元停止图像显示数据的读取,

将所述图像显示数据的读取停止期间中规定的第一时点、以及与垂直消隐期间终止后的最初的水平显示期间对应的图像显示数据的读取开始时点作为第二时点, 在所述第一时点与第二时点之间的期间, 停止所述图像信号线驱动单元的输出电压的更新。

2. 根据权利要求1所述的有源矩阵显示装置, 其特征在于,

所述定时控制电路对应所述第一期间, 消去向所述图像信号线驱动单元输入的水平起动脉冲。

3. 根据权利要求1所述的有源矩阵显示装置, 其特征在于,

所述定时控制电路在所述第一时点与所述第二时点之间, 消去向所述图像信号线驱动单元输入的门锁脉冲。

4. 根据权利要求1所述的有源矩阵显示装置, 其特征在于,

所述定时控制电路进行如下控制:

使所述第一时点与第二时点之间的期间变得比垂直扫描期间中的一个水平显示期间更短。

5. 根据权利要求1所述的有源矩阵显示装置, 其特征在于,

所述定时控制电路控制所述图像信号线驱动单元, 以使所述第一时点与第二时点之间的期间包含: 基于所述图像信号线驱动单元的结构而预先规定的门锁脉冲的输入禁止期间。

6. 根据权利要求1所述的有源矩阵显示装置, 其特征在于,

所述定时控制电路将所述第一期间长设定为超过所述垂直消隐期间长的一半。

7. 一种有源矩阵显示装置的定时控制用半导体装置，其特征在于，

内装有权利要求 1~6 任一项中记载的所述定时控制电路。

有源矩阵显示装置 及其定时控制用半导体装置

技术领域

本发明涉及一种即使在垂直消隐期间，也可以对有源矩阵显示器件的图像信号线驱动单元连续供给用于驱动所述器件的控制信号的有源矩阵显示装置。

背景技术

在有源矩阵显示装置、例如液晶显示装置等的图像显示装置的驱动电路中，与垂直扫描的有效显示期间相同，即使在垂直消隐期间，也对图像信号线驱动单元连续输送控制信号，从而与驱动所述显示器件的图像信号线（源极线）的状态相同，这是为防止在显示图像上的每个横线的显示中产生不均匀的有效手段。

通常，如上所述，为了在垂直消隐期间对图像信号线驱动单元连续输送控制信号，而必须在与垂直扫描期间中相同的定时（周期）或与其相近的定时分别输送各控制信号。另外，在垂直消隐期间中发生的水平同步信号，必须是与在垂直扫描的有效显示期间发生的水平同步信号相同、或与其相近的定时。因此，周知的有具备用于在垂直消隐期间生成伪水平基准信号的水平基准信号生成电路的图像显示装置。（例如特许文献1，参照图6）

特许文献1：特开2003-91266号公报

但是，将从外部信号源（例如计算机主体侧等）输入的同步信号进行变动，进而变动该垂直消隐期间长时，在垂直消隐期间内从显示控制单元输出到图像信号线驱动单元的控制信号、和在垂直消隐期间终止后的下一帧的显示期间内从定时控制单元输出到图像信号线驱动单元的控制信号互相干扰，从而有可能引起图像信号线驱动单元的误动作。

因此，在垂直消隐期间的最后部分（相当于大约从1到2的水平周期量）不输送驱动控制信号的方法是众所周知的。（特许文献1，参照图9）。

但是，削除以将原来所述显示器件的图像信号线作成与驱动状态相同为目的而生成的信号的处理，是阻碍达到此目的的主要因素，作为尽可能短的期间没有必要过多地削除。尤其是，在垂直消隐期间终止时的期间，长期间停止图像信号线的驱动时，其之后的下一帧的垂直扫描期间受到的影响很大。

另外，在该方法中，需要有用对垂直消隐期间中的水平周期进行计数的计数器，进而，垂直消隐期间长因向液晶显示装置输入信号的系统不同而不同。因此，所述计数器必须预计液晶显示装置的各种输入信号，并对应所考虑到的最大计数，因而，就变成较大规模的电路。（特许文献1，参照图17）。

另外，所述计数器的计数值为了成为在下一帧能使用的值，而变为不能与按每一帧变动垂直消隐期间长的外部输入信号对应。

发明内容

本发明是为解决上述的问题而开发的。

本发明提供有源矩阵显示装置，其具备：多个像素，配置成矩阵状；多个图像信号线，配置在该像素的各列；扫描信号线，配置在该像素的行；图像信号线驱动单元，向所述图像信号线供给用于驱动所述像素的像素信号；以及定时控制电路，其构成为，即使在垂直消隐期间中，也以规定的周期将图像显示控制信号送到所述图像信号线驱动单元，该有源矩阵显示装置的特征在于，所述定时控制电路进行如下控制：

对应所述垂直消隐期间内的至少后半的第一期间，由所述图像信号线驱动单元停止图像显示数据的读取，

将所述图像显示数据的读取停止期间中规定的第一时点、以及与垂直消隐期间终止后的最初的水平显示期间对应的图像显示数据的读取开始时点作为第二时点，在所述第一时点与第二时点之间的期间，停止所述图像信号线驱动单元的输出电压的更新。

还有，本发明的半导体装置内装有所述定时控制电路，其用于有源矩阵显示装置的定时控制。

在垂直消隐期间，向图像信号线驱动单元连续输送驱动控制信号的有源矩阵显示装置中，垂直消隐期间的最后的驱动控制信号对下一

帧的显示期间的信号，可以只是在有真正成为误动作的原因的可能性的情况下，停止所述图像显示数据的读取，从而提供使所述停止期间成为最小的定时控制单元。

另外，在上述定时控制单元中，不需要用于对垂直消隐期间中的水平周期进行计数的计数器，其结果是，为了实现上述功能而内装于定时控制单元的电路规模也不会大规模化，且成本上升也不多。

附图说明

图 1 是用于实施本发明实施例 1 的液晶显示装置的电路结构图；

图 2 是用于实施本发明实施例 1 及 2 中的从定时控制电路向源极驱动器 IC 输出的发送信号波形图；

图 3 是用于实施本发明实施例 1 及 2 中的源极驱动器 IC 的结构图；

图 4 是用于实施本发明实施例 1 的源极驱动器控制信号生成电路的结构图；

图 5 是用于实施本发明实施例 1 的源极驱动器控制信号生成电路内各信号的动作定时波形图；

图 6 是用于实施本发明实施例 1 中的源极驱动器控制信号生成电路内各信号的详细动作定时波形图；

图 7 是表示用于实施本发明实施例 1 及 2 的定时控制电路内的附加功能电路的结构图；

图 8 是用于实施本发明实施例 1 的源极驱动器控制信号生成电路内各信号的动作定时波形图；

图 9 是表示用于实施本发明实施例 2 的定时控制电路的结构图；

图 10 是用于实施本发明实施例 2 的源极驱动器控制信号生成电路的结构图；

图 11 是用于实施本发明实施例 2 的源极驱动器控制信号生成电路内各信号的动作定时波形图；

图 12 是用于实施本发明实施例 2 的源极驱动器控制信号生成电路内各信号的详细动作定时波形图。

具体实施方式

下面，参照附图说明本发明的实施例。另外，为了避免说明重复且冗长，对各图中具有相同或相当功能的要件标上相同的记号。

实施例 1

图 1 表示本实施例中的液晶显示装置 1 的电路结构，是表示作为所述有源矩阵显示器件之一例的用于驱动液晶面板 2 的外围电路的结构的块图。同图中液晶显示装置 1 由液晶面板 2、图像信号线驱动单元即源极驱动器 IC(6~13)、扫描信号线驱动单元即栅极驱动器 IC(3~5)及定时控制电路 18(以后将定时控制电路称为 TCON)构成。

在此，所述图像信号线驱动单元，作为一实施例，由用符号 6、7、8、9、10、11、12 及 13 表示的八个源极驱动器 IC(6~13: 采用硅半导体集成电路)构成。同样，所述扫描信号线驱动单元，作为一实施例，由用符号 3、4 及 5 表示的三个栅极驱动器 IC(3~5: 采用硅半导体集成电路)构成。另外，所述 TCON18 也用硅半导体集成电路实现。

为在液晶显示装置 1 上显示图像，从外部信号源输入到所述 TCON18 的显示控制信号作为图像数据输入(V-Data)及成为所述 TCON18 的控制基准的信号包含：作为用于提取液晶面板的水平方向的同步的基准信号使用的水平同步信号(HD)、作为用于提取液晶面板的垂直方向的同步的基准信号使用的垂直同步信号(VD)、表示图像数据有效的期间的数据起动信号(DENA)以及成为上述控制信号的消去基准的点时钟 DCLK(dot clock)等。(以后将水平同步信号称为 HD，将垂直同步信号称为 VD，还有以后将数据起动信号称为 DENA。DENA 用 High 电平输入表示所述图像数据输入(V-Data)的有效，用 Low 表示无效)。这些显示控制信号的输入定时及结构是众所周知的，在此省略其说明。

接着，为控制源极驱动器 IC(6~13)而从所述 TCON18 输出的源极驱动器控制信号被分成对应显示像素的显示辉度的图像显示数据(RGB~Data)、和控制该图像显示数据(RGB~Data)等的输入输出定时的驱动控制信号。另外，该驱动控制信号由移位时钟(SCLK)、水平起动脉冲(STH)、门锁脉冲(LP)及极性反转信号(POL)构成。另外，所述 TCON18 输出时钟 V(CLV)和垂直起动脉冲(STV)作为用于控制栅极驱动器 IC(3~5)的栅极驱动器控制信号。(以后，将水平起动脉冲称为 STH、将极性反转信号称为 POL、将门锁脉冲称为 LP)。

另外,源极驱动器 IC(6~13)分别集成用于驱动多个图像信号线 14(为简化只图示其最左端)的驱动电路,栅极驱动器 IC(3~5)分别集成用于驱动多个扫描信号线 15(为简化只图示其最上端的栅极线)的驱动电路,进而,通过使用多个这些硅半导体集成电路来对应液晶面板 2 的图像信号线数及扫描信号线数。

接着,详细对用于控制从 TCON18 输出的源极驱动器 IC(6~13)的信号进行说明。图像显示数据(RGB~Data)分别用红、绿、蓝的数字信号构成,其分别构成具有规定位宽的数据总线。所述图像显示数据(RGB~Data)与由源极驱动器 IC(6~13)中成为用于上述所述数据的输入处理的基准的移位时钟(SCLK)、表示所述显示数据的起始并表示数据移位的开始的 STH、用于使液晶驱动的极性反转的 POL、用于将所述显示数据(RGB~Data)传递到所述源极驱动器 IC(6~13)的信号输出端子侧的 LP 等构成的驱动控制信号一同输出到源极驱动器 IC(6~13)。

另外,在用于控制从 TCON18 输出的栅极驱动器 IC(3~5)的信号中主要包含用于在栅极驱动器 IC 中实施信号处理的时钟 V(CLKV)、表示垂直扫描的开始的垂直起动脉冲(STV)等。

另外,通常,所述源极驱动器 IC(6~13),对于对应通过所述栅极驱动器 IC(3~5)变为有源的扫描信号线的各像素部 16(作为代表,只图示最上·最左端像素部)分别写入所要求的图像信号。通常,通过使所述写入控制对各扫描信号线 15(图示只是最上端)从上部依次按每行与水平扫描同步进行,从而进行整体画面的图像显示。这些信号的基本动作定时是众所周知的,在此省略其说明。

图 1 的所述 TCON18 以从外部信号源输入的 HD、VD 及 DENA 为基准,与点时钟(DCLK)同步,作成对源极驱动器 IC(6~13)及栅极驱动器 IC(3~5)的控制信号。另外,在垂直消隐期间生成伪水平基准信号的未图示的所述水平基准信号生成电路也内装于所述 TCON18 中。

接着,图 2 是表示对本实施例的所述 TCON18 对驱动器 IC(6~13)输出的所述驱动控制信号的波形的图。但是,在同图中,符号 21 表示 VD 的输入波形,该垂直同步信号通常是输入 TCON18 的信号,但为了使图中的垂直扫描期间(Tv1)和消隐期间(Tv2)明确化而作为参考而予以图示。

首先,对向图2中的TCON18输入的信号进行说明。符号22表示输入到所述TCON18的图像数据输入(V-Data)波形。用符号21表示的VD的周期 T_v 为: $T_v = T_{v1} + T_{v2}$ 。在此, T_{v1} 是垂直扫描期间, T_{v2} 是垂直消隐期间。在垂直扫描期间(T_{v1})中,包含规定数的水平周期 T_h 。该水平周期 T_h 为: $T_h = T_{h1} + T_{h2}$ 。在此, T_{h1} 是水平扫描期间, T_{h2} 是水平消隐期间。所述像素数据信号(V-Data)波形22的斜线部分表示非有效显示期间,即表示非有效显示期间的期间中的图像数据信号波形,且表示不定。在垂直消隐期间(T_{v2})及水平消隐期间(T_{h2})中,图像数据输入(V-Data)成为无效数据(Dinv)。

其次,对TCON18的输出信号进行说明。符号23表示POL输出波形、符号24表示STH输出波形、符号25表示LP输出波形。这些驱动控制信号被供给到源极驱动器IC(6~13),基于所述驱动控制信号,以分别对应图像信号的电压交流驱动液晶面板的各图像信号线14。具体地说,POL波形23为用于使施加于液晶面板的液晶的像素电压交流化的基准信号,符号24是对源极驱动器IC(6~13)开始像素数据的消去的STH波形,还有,LP波形25是将与门锁消去所述源极驱动器IC(6~13)的图像数据及所述POL信号23同时进行D/A变换的驱动电压,向图像信号线14施加并表示在输出中反映的定时的脉冲信号波形。

在本实施例中,即使在如图2所示的垂直消隐期间(T_{v2}),除后述的一部分期间外,也可对源极驱动器IC(6~13)输出POL波形23、STH波形24、LP波形25,从而,继续进行液晶面板2的驱动。

在此,本实施例中,如前所述,从外部信号源输入到TCON18的显示控制信号中的同步信号进行变动,垂直消隐期间(T_{v2})的期间长变动,而发生使在随后的垂直扫描期间(T_{v1})的控制中遭受误动作的情况、及在垂直消隐期间(T_{v2})发生一水平周期或其周期以下的不完全期间的变动,作为发生所述误动作的情况的对策,在DENA中进行High输入(未图示)后,在用所述源极驱动器IC(6~13)的电路规格规定的规定期间与LP及POL的输出定时重迭时,消去该期间内的所述LP及POL输出。

用图2对所述输出消去的定时说明其概略情况。在图2所示的波形例中,在用符号23表示的POL波形中,用点划线围着的范围28a、

28b 的部分中, POL 的极性反转被消去(用虚线记载的波形部分)。还有,在用符号 25 表示的 LP 信号波形中,用点划线围着的范围 27a、27b 的部分中, LP 输出被消去(用虚线记载的波形部分)。

如上所述,用点划线围着的范围,在所述源极驱动器 IC(6~13)中,用其电路规格来决定,并保持先于 LP 的输入,例如数个移位时钟(SCLK)期间 STH 及 POL 变为无效。对应垂直消隐(Tv2)后的最初水平扫描期间(Th1)(DENA 的 High 期间)的 STH 变为无效的情况下,对应所述水平扫描期间(Th1)的图像数据的消去在驱动器 IC(6~13)中没有正确进行,成为显示缺陷。因此,在规定的期间内输出的 LP 及 POL 等所述驱动控制信号,被预见有对下一帧的显示成为误动作的原因的可能性时,即,消去用图 2 的符号 27a、27b、28a、28b 表示的点划线围着的期间的驱动控制信号的变化或发生。其结果,所述期间停止所述源极驱动器 IC 的输出电压的更新。在此,所谓“停止更新”,意味着消去所述驱动控制信号(尤其是 LP 信号)的变化,接收该信号的所述图像信号线驱动单元的主要部分即源极驱动器 IC 的输出,不移向输出新的电压的控制状态。

另外,在用图 2 中的符号 25 波形中的点划线围着的用符号 26a、26b 表示的第一期间,消去 STH 输出(图 2 的例中用虚线表示的 6 个脉冲量),将 High 输入(未图示)所述 DENA 后,在基于该输入(上升)的定时恢复 STH 输出。因此,所述第一期间由于不输入 STH,而停止在源极驱动器 IC(6~13)中图像显示数据的读取。在此,所谓“停止读取”,意味着消去所述 STH 输出,且不在源极驱动器 IC(6~13)可接收新的图像显示数据的输入的控制状态。这由以下情况而能够实现,即,通常,源极驱动器 IC 输入 LP 并实行输出电压的更新后,到下一个 STH 信号输入之前,不变成接收图像显示数据的输入的状态。

在本实施例中,为对应所述第一期间而消去 STH24,首先,在垂直消隐期间(Tv2)的中途停止 STH24。就停止所述 STH24 而言,只要在垂直消隐期间(Tv2)的前半部分则任何期间都可以。即,STH24 停止的期间即第一期间变为超过垂直消隐期间(Tv2)的期间长的一半。因此,垂直消隐期间(Tv2)的后半部分对源极驱动器 IC(6~13)至少输出 POL23 和 LP25,从而即使在垂直消隐期间(Tv2),也可按水平周期 Th 或与其近似的周期而周期性地交流驱动液晶面板 2。

这样,通常广泛普及的源极驱动器 IC 为如图 3 所示的结构,STH 的停止期间(第一期间)中,使用存储在移位寄存器 60 或从该移位寄存器 60 传送数据的寄存器 61 中的图像数据,在规定的定时输入 LP 后,对应其输入定时,数字·模拟转换电路 DAC62 动作,将所述图像数据进行 D/A 转换,从而,可将用于驱动液晶面板 2 的电压施加到所述图像信号线 14 上。(当然,POL 为以与源极驱动器 IC 的输入定时制约无关的定时进行反转的信号。)

其次,使用图 4,对实现本实施例的最小结构即生成所述的垂直消隐期间(Tv2)中的 STH 及 LP 的定时的源极驱动器控制信号生成电路 36 的结构进行详细说明。在此,图中表示的信号是用于实现本实施例的主要信号,是与未图示的某频率的移位时钟(SCLK)同步的信号。在此,在本实施例中,如图 1 所示,所述源极驱动器控制信号生成电路 36,虽然被作为内装于所述 TCON18 中的电路进行了说明,但不是必须要内装到 TCON 内。

在图 4 中,水平起动脉冲触发器源信号(STHtr0)为表示 STH 的生成定时的触发器信号,其由包含从外部信号源向所述 TCON18 输入的点时钟 DCLK、HD、VD、DENA 的同步信号等通过未图示的所述水平基准信号生成电路而生成。另外,门锁脉冲触发器源信号(LPtr0)为表示 LP 的生成定时的触发器信号,同样,从所述同步信号的其它通过未图示的所述水平基准信号生成电路而生成。另外,虽然多数所述外部信号源在垂直消隐期间(Tv2)不向所述 TCON18 输出 DENA 及 HD、VD,但如前所述,为了在此期间驱动液晶面板 2 而在所述 TCON18 内生成伪 DENA 及 HD、VD。使用该伪 DENA 及 HD、VD 在垂直消隐期间(Tv2)中生成所述水平起动脉冲触发器源信号(STHtr0)及门锁脉冲触发器源信号(LPtr0)。

在此,所述水平起动脉冲触发器源信号(STHtr0)被分别输入到 AND 电路 30 一侧的端子及屏蔽信号生成电路 33 中。所述门锁脉冲触发器源信号(LPtr0)被输入到 AND 电路 35 一侧的端子。屏蔽信号生成电路 32 输入 HD 及 DENA,并将作为第一屏蔽信号的水平起动脉冲触发器有效信号(STHvld)输出到所述 AND 电路 30 的另一侧端子中。所述屏蔽信号生成电路 33 输入所述水平起动脉冲触发器源信号(STHtr0)及 DENA,并作为第二屏蔽信号将门锁脉冲触发器有效信号(LPvld)输

出到所述 AND 电路 35 的另一侧端子中。

所述 AND 电路 30 取所述水平起动脉冲触发器源信号 (STHtr0) 和所述水平起动脉冲触发器有效信号 (STHvld) 的逻辑积, 并输出所述水平起动脉冲触发器信号 (STHtr)。所述 AND 电路 35 取所述闩锁脉冲触发器源信号 (LPtr0) 和所述闩锁脉冲触发器有效信号 (LPvld) 的逻辑积, 并输出闩锁脉冲触发器信号 (LPtr)。

起动脉冲生成电路 31 输入所述水平起动脉冲触发器信号 (STHtr) 并输出 STH 信号。另外, 闩锁脉冲生成电路 34 输入所述闩锁脉冲触发器信号 (LPtr) 并输出 LP 信号。

其次, 利用图 5 对所述源极驱动器控制信号生成电路 36 内的各信号的详细动作及定时进行说明 (以后, 为了说明的简化, 将所述各信号即水平起动脉冲触发器源信号称为 STHtr0、闩锁脉冲触发器源信号称为 LPtr0、水平起动脉冲触发器有效信号称为 STHvld、闩锁脉冲触发器有效信号称为 LPvld、水平起动脉冲触发器信号称为 STHtr、闩锁脉冲触发器信号称为 LPtr)。

首先, 图 5 的符号 40、41 分别表示 DENA 及 HD 波形, 是从外部信号源输入到 TCON18 的信号的一例, 在本实施例中, 为了说明的简化, 垂直消隐期间 (Tv2) 长为相当于水平周期 Th 的约三倍的期间长, 而通常, 标准是相当于水平周期 Th 的数十倍的期间长。用符号 42 的波形表示的第一内部信号 (HDc1) 为屏蔽信号生成电路 32 内的内部信号, 由于消隐期间 (Tv2) 中的 HD 的下降而变为 High, 输入 DENA 后, 判断为开始下一个帧的显示期间而成为 Low 的信号。

另外, 用符号 43 的波形表示的第二内部信号 (HDc2) 也为屏蔽信号生成电路 32 内的内部信号, 其在由垂直消隐期间 (Tv2) 中的 HD 的下降的定时导致所述第一内部信号 (HDc1) 的值为 High 的情况下, 该第一内部信号 (HDc1) 的值偏移, 但输入 DENA 后, 判断为下一个帧的显示期间开始的情况而成为 Low 的信号。另外, 使所述第二内部信号 (HDc2) 的逻辑反转的信号为所述 STHvld, 用符号 45 表示概略定时信号波形。

即, 所述第一内部信号 (HDc1) 及第二内部信号 (HDc2) 为屏蔽信号生成电路 32 内的内部信号, 所述屏蔽信号生成电路 32 的输出信号变为所述 STHvld。

其次,符号 48 为所述 LPvld 波形,将某帧的显示期间开始的 DENA 从上升到用符号 44 的波形表示的所述 STHtr0 的期间设定为 Low,其以外的期间为成为 High 的脉冲信号。该信号如上所述,由 DENA 和所述 STHtr0 在所述屏蔽信号生成电路 33 中生成。

所述 STHvld 与所述 STHtr0 一起通过 AND 电路 30,因此,将删除了所述 STHtr0 中不必要的部分的所述 STHtr 输入到起动脉冲生成电路 31。因而,如用图 5 的符号 46 的波形表示的那样,所述 STHtr 对于用符号 44 表示的所述 STHtr0,对应于垂直消隐期间 (Tv2) 的后半的所述第一期间,固定在 Low 并消去。如上所述,在该期间停止在源极驱动器 IC (6~13) 的图像显示数据的读取。

用符号 48 表示的 LPvld 与用符号 47 的波形表示的所述 LPtr0 一起通过 AND 电路 35,因此,将删除了所述 LPtr0 中不需要的部分的所述 LPtr 输入到门锁脉冲生成电路 34。即,由所述 LPvld 屏蔽所述 LPtr0 的不需要的部分。因而,如符号 49 的波形所示,所述 LPtr 只在所述 LPtr0 中、该 LPtr0 对应所述 LPvld 的 Low 期间的情况下,只将垂直消隐期间 (Tv2) 的最后的部分固定在 Low 并消去。

为了更详细地说明定时,作为用图 5 的虚线表示的“A”部分的放大图如图 6 所示。

在图 6 中,用符号 C 表示的信号组由 DENA 和 HD 构成,其为向 TCON18 的输入信号的一部分,用符号 D 表示的信号组为由 TCON18 内的所述源极驱动器控制信号生成电路 36 生成的内部信号的一部分,其由 HDc1~LPtr 构成。用符号 E 表示的信号组为 STH 和 LP 且表示从 TCON18 的输出信号的一部分。

在图 6 中,如符号 40、41、42、43 波形所示,接收下一帧的最初线的有效期间开始即垂直消隐期间 (Tv2) 终止后的最初 DENA 的上升,所述第一内部信号 (HDc1) 及第二内部信号 (HDc2) 成为 Low (符号 42、43 的波形)。如上所述,用符号 45 表示的 STHvld 波形成为所述第二内部信号 (HDc2) 的逻辑反转信号。

在此,在用图 6 的符号 44 表示的 STHtr0 波形例中记载有,在垂直消隐期间 (Tv2) 中由所述水平基准信号生成电路生成脉冲信号 J、和下一帧的最初线的有效期间开始后 (DENA 上升后) 发生的脉冲信号 K,但通过所述 AND 电路 30 的 STHtr 为与所述 STHvld 的逻辑积信号,

因此,如符号 46 所示,成为只有脉冲信号 L 的波形。在此,STHtr0 中的所述脉冲信号 J 为在所述水平基准信号生成电路中生成的伪信号,另一方面,所述脉冲信号 K 基于从外部信号源输入的 DENA 的上升定时而生成。因此,当所述垂直消隐期间长变动时,所述脉冲信号 J 的位置相对于 DENA 的上升有相对变动的可能性,但所述脉冲信号 K 的位置及所述 STHtr 的脉冲信号 L 的位置不变。

如上所述,符号 47 的波形表示的 LPtr0 为输入到所述源极驱动器控制信号生成电路 36 的信号,在 TCON18 内由所述水平基准信号生成电路来生成。如上所述,由符号 48 的波形表示的 LPvld 将对应从下一帧的最初线的有效期间开始后(DENA 的上升时点,将其作为第一时点 M)到所述 STHtr0(下降时点,将其作为第二时点 N)的期间 DLY 的期间(即所述第一时点 M 和第二时点 N 之间)设定为 Low,其以外的期间为成为 High 的脉冲信号,对应所述 Low 期间内的 LPtr0 的 High 信号经由所述 AND 电路 35 被消去,从而成为如用符号 49 波形表示的那样的 Low。因而,用符号 51 表示的 LP 信号波形也成为 Low。其结果,如上所述,对应所述 DLY 的期间,停止所述源极驱动器 IC 的输出电压的更新。另外,符号 50 波形表示的 STH 信号为所述 STHtr 通过所述起动脉冲生成电路 31 的信号,伴随规定的延迟从起动脉冲生成电路 31 输出。另外,TCON18 将第一时点 M 与第二时点 N 之间的期间 DLY(参照图 6)设定为比垂直扫描期间(Tv1)中的一个水平扫描期间(Th1)短。

在此,如上所述,通过预先在垂直消隐期间的前半停止 STH,在其以后向源极驱动器 IC 输入的信号中,之所以在垂直消隐期间中的控制信号与下一帧的开始显示期间中的控制信号之间具有引起制约违反的可能性,是因为在从作为垂直消隐期间的最后输出的 LP(上升)到 STH 上升的期间被收缩。

对应该期间即期间 DLY 的期间比由源极驱动器 IC 的规格决定的规定值小时,由垂直消隐期间及所述伪 HD 的长度导致下一帧的垂直扫描期间(Tv1)的源极驱动器 IC 的误动作,其结果成为在显示图像上招致异常的原因。但是,所述规定值在从 TCON18 向源极驱动器 IC(6~13)输出的移位时钟 SCLK 的周期进行换算而成为相当于数个时钟量,实际使用上可以非常短,从而可以认为其对显示图像上的影响是轻微的。鉴于此,在考虑相应其制约的可能性的所述数个时钟相当期间内,

成为只消除上升的 LPtr0 即可。

所述的概念如图 7 所示,通常,与比 TCON18 的输入信号 (DENA、HD、VD 等) 延迟数个时钟的定时同步而生成所述 STHtr0 及 LPtr0。尤其是,在所述 TCON18 内置入各种各样的附加功能电路 70 后,相对输入定时而生成的所述 STHtr0 及 LPtr0 的生成定时比输入信号的同步定时更加延迟 (延迟值相当于 DLY)。

与此相对,向屏蔽信号生成电路 33 输入的 DENA 与向 TCON18 的输入信号本身或所述的延迟 (DLY) 相比较,使用只有稍稍延迟的信号。由此,与生成的所述 LPtr0 相比,在数个移位时钟 (SCLK) 以前,可以预见下一帧的最初线扫描期间开始,并且,此后在直到 STHtr0 发生的期间可利用 LPvld 消去发生的 LPtr0。

另外,根据源极驱动器 IC 的所述规定值的制约,调节 LPtr0 的生成定时或 DENA 的向屏蔽信号生成电路 33 取入定时或所述延迟 (DLY) 的值,由此能够容易地只削除插入所述规定值的制约的范围的 LP。

这样,本实施例的 TCON18 将图 6 所示的第一时点 M 与第二时点 N 之间的期间 DLY (参照图 6) 设定为包含基于源极驱动器 IC6~13 的结构 (规格) 而预先规定的门锁脉冲的输入禁止期间。

在此,在本实施例中,垂直消隐期间开始后,在经过一个水平周期后停止 STH 的输出,但如果连垂直消隐期间的最后的数个水平周期量的 STH 的驱动也切实地停止,则本实施例的必要条件充分满足。

进而,在本实施例中,关于相对图 2 表示的 POL 波形 (符号 23) 的特定期间 (符号 28a、28b) 的信号反转禁止方法没有提及,但如果有显示品质上的需要,则通过采用与所述的 LP 信号同样的方法及结构,就可容易地实现信号反转禁止,这一点是显而易见的。

另外,如图 8 所示,通过外部信号源的同步信号 (VD、HD、DENA) 的定时,从而能够使垂直消隐期间 (Tv2) 的所述伪 HD 与垂直扫描期间 (Tv1) 中的正规 HD 在同一周期,且成为可连续生成。在这种情况下,在 LPvld 的 Low 期间不发生 LPtr0,因此,不用消去 LPtr, STHvld 只消去 Low 期间的 STHtr。

另外,由于 TCON 的结构,从而存在在所述 TCON 内垂直消隐期间 (Tv2) 中发生伪 DENA 而控制图像信号线驱动单元的情况。在这种情况下,垂直消隐期间 (Tv2) 中,也可以使用所述伪 DENA 代替所述伪

HD, 并生成 STH_{vld} 的上升定时, 但作为所述 STH_{vld} 的上升定时的触发, 必须使用对应输入图像数据的外部输入 DENA 的上升。

实施例 2

本实施例中的液晶显示装置的结构与上述实施例 1 中的图 1 的结构相同, 省略其详细说明而主要对其不同的部分进行说明。定时控制电路 (TCON) 18 的结构表示于图 9。本实施例中的 TCON18 的输入、输出信号与上述实施例 1 相同, 在此省略其详细说明。图 9 中符号 84 为源极驱动器控制信号生成电路, 其相当于上述实施例 1 中的源极驱动器控制信号生成电路 34, 其内部结构虽然不同, 但具有相同的功能。

接着, 使用图 2 对从所述 TCON18 输入输出的信号的各定时进行说明。本实施例也与实施例 1 同样, 首先使 STH 在垂直消隐期间 (T_{v2}) 的中途停止输出 (成为 Low)。本实施例中该期间也停止由源极驱动器 IC (6~13) 进行的图像显示数据的读取。

就停止所述 STH 而言, 若在垂直消隐期间 (T_{v2}) 的前半部分, 则可以是任意位置。因此, 垂直消隐期间 (T_{v2}) 的后半部分对源极驱动器 IC (6~13) 至少输出 POL23 和 LP25, 从而即使在垂直消隐期间 (T_{v2}), 也可以在水平周期 Th 或近似于该周期的周期, 周期性地交流驱动液晶面板 2。

在此基础上, 只在预见到垂直消隐期间 (T_{v2}) 的 POL 或 LP 对于下一帧的最初水平扫描期间 ($Th1$) 成为误动作的原因的可能性时, 停止作为在垂直消隐期间 (T_{v2}) 的最后要输出的 LP 或 POL。

关于上述动作, 与实施例 1 相同。因此, 表示相对于垂直消隐期间 (T_{v2}) 的 TCON18 的输入输出波形的图也一样, 在此, 省略对以上的说明。

接着, 使用图 10 对实现本实施例的最小结构、即生成上述的垂直消隐期间 (T_{v2}) 中的 STH 及 LP 的定时的源极驱动器控制信号生成电路 84 的结构进行详细说明。在此, 图中所示的信号表示用于实现本实施例的主要信号, 并且是相对未图示的某一频率的移位时钟 (SCLK) 成为同步信号的信号。在此, 在本实施例中如图 9 所示, 在本实施例中, 源极驱动器控制信号生成电路 84 与本实施例 1 相同, 作为内装于所述 TCON18 中的情况而进行了说明, 但并非必须内装于 TCON 中。

在图 10 中, STHtr0 是表示 STH 的生成定时的触发信号, 其根据包含从外部信号源向所述 TCON18 输入的点时钟 DCLK、HD、VD、DENA 的同步信号等在未图示的所述水平基准信号生成电路中生成。另外, LPtr0 为表示 LP 的生成定时的触发信号, 其同样根据所述其它同步信号在未图示的所述水平基准信号生成电路中生成。另外, 多数外部信号源在垂直消隐期间 (Tv2) 中不向所述 TCON18 输出 DENA 及 HD、VD, 但如上所述, 为了也在该期间驱动所述液晶面板 2, 而在所述 TCON18 内生成伪 DENA 及 HD、VD。使用该伪 DENA 及 HD、VD, 在垂直消隐期间 (Tv2) 中生成所述 STHtr0 及 LPtr0。

在此, 所述 STHtr0 被输入 AND 电路 30 一侧的端子, 所述 LPtr0 被输入 AND 电路 35 一侧的端子。消隐计数器 80 被输入 HD 和 DENA, 并将垂直消隐期间中的 HD 数进行计数, 将计数值 (HDcnt) 输出到存储电路 81、第一比较电路 82 及第二比较电路 83。存储电路 81 为输入所述计数值 (HDcnt) 并存储同值的存储电路, 其由 DENA 的上升信号输入存储所述计数值 (HDcnt), 将其值作为存储值 (cntkp) 向第二比较电路 83 输出。所述第一比较电路 82 将所述计数值 (HDcnt) 的值与常数 k (在此, 设定为 $k=1$) 进行比较, 当 k 小于所述计数值 (HDcnt) 时, 输出 Low, 除此以外, 将 High 作为 STHvld 向所述 AND 电路 30 的另一侧端子输出。所述第二比较电路 83 将所述计数值 (HDcnt) 的值与所述存储值 (cntkp) 进行比较, 当计数值 (HDcnt) 大于等于存储值 (cntkp) 时, 输出 Low, 除此以外, 将 High 作为 LPvld 向所述 AND 电路 35 的另一侧端子输出。

所述 AND 电路 30 取所述 STHtr0 和所述 STHvld 的逻辑积并输出 STHtr。所述 AND 电路 35 取所述 LPtr0 和所述 LPvld 的逻辑积并输出 LPtr。

起动脉冲生成电路 31 输入所述 STHtr 并输出 STH 信号。另外, 门锁脉冲生成电路 34 输入所述 LPtr 并输出 LP 信号。

所述消隐计数器 80 将垂直消隐期间 (Tv2) 中的 HD 的上升进行计数, 输入 DENA 后, 其输出即所述计数值 (HDcnt) 当判断为下一帧的垂直扫描期间 (Tv1) 开始的情况之后被复位成 0。

另外, 所述计数值 (HDcnt) 在开始所述下一帧的显示期间的定时, 作为计数存储值 (cntkp) 存储于存储电路 81。

接着,用图 11 对所述源极驱动器控制信号生成电路 84 内的各信号的详细动作及定时进行说明。在图 11 中,符号 90、91 分别表示 DENA 及 HD 波形,是从外部信号源输入 TCON18 的信号的一例,在本实施例中,为了记载上的简化,垂直消隐期间(Tv2)长为相当于水平周期Th的三倍的期间长,但通常,标准是相当于水平周期Th的十倍的期间长。

所述计数值(cntkp)如图 11 的符号 92 所示,对垂直消隐期间(Tv2)中的 HD 的下降进行计数,按每一次 HD 下降依次从 1 到 2、3、4 进行计数 UP。所述 STHvld 为所述的第一比较电路 82 的输出,当 k 小于所述计数值(HDcnt)时为 Low,除此以外由于成为 High(在本实施例中,设定为 k=1),因此如符号 95 所示,所述计数值(HDcnt)为 2 以上时呈现变为 Low 的波形。

所述 STHvld,其与符号 94 表示的所述 STHtr0 一起通过 AND 电路 30,因此,AND 电路 30 的输出即 STHtr 用符号 96 的波形表示,相对所述 STHtr0,对应垂直消隐期间(TV2)的后半的第一期间固定于 Low 并被消去。如上所述,该期间停止在源极驱动器 IC(6~13)的图像显示数据的读取。

另一方面,用符号 93 表示的存储值(cntkp)为在 DENA 的上升信号输入时点的所述计数值(HDcnt),因此,作为存储值“4”被保持。所述第二比较电路 83 将所述计数值(HDcnt)与所述存储值(cntkp)进行比较,当所述计数值(HDcnt)大于等于所述存储值(cntkp)时输出 Low,除此此外输出 High,因此,其输出即 LPvld 如符号 98 所示,所述计数值(HDcnt)为“4”时,呈现成为 Low 的波形。

所述 LPvld 与用符号 97 表示的所述 LPtr0 一起通过 AND 电路 35,因此,将切掉所述 LPtr0 中不必要的部分的所述 LPtr 输入到所述门锁脉冲生成电路 34。即,由所述 LPvld 屏蔽所述 LPtr0 的不必要的部分。因此,如图 11 的符号 99 波形所示,所述 LPtr 只在所述 LPtr0 中、该 LPtr0 比下一帧的水平扫描期间(Th1)之前的 HD 的下降定时靠后发生的情况下,只将垂直消隐期间(Tv2)的最后部分固定在 Low。

为了更详细地说明定时,作为用图 11 的虚线表示的“B”部分的放大图如图 12 所示。在图 12 中,用符号 F 表示的信号组由 DENA 和 HD 构成,其为向 TCON18 的输入信号的一部分,用符号 G 表示的信号组为由 TCON18 内的所述源极驱动器控制信号生成电路 84 生成的内部信号

的一部分, 其由 HDcnt ~ LPtr0 构成。用符号 H 表示的信号组为 STH 和 LP 且表示从 TCON18 输出的信号的一部分。在图 12 中, 用符号 92 表示的数值变化定时与由图 11 所示的所述计数值 (HDcnt) 的那些相同, 另外, 在图 12 中, 用符号 93 表示的数值变化定时与由图 11 所示的所述存储值 (cntkp) 的那些相同。但是, 由于图 12 是图 11 的放大图, 因此, 相对于 DENA 和 HD 的计数值 (HDcnt) 和所述存储值 (cntkp) 的变化定时附带各自的信号处理时间, 考虑规定的延迟而被记载。

在本实施例中, 也采用图 3 所示的结构的源极驱动器 IC, 因此, 如图 11 的符号 96 所示, 与实施例 1 相同, 预先在垂直消隐期间的中途停止 STHtr。其结果是, STH 也停止。STH 的停止期间中, 使用存储在移位寄存器 60 或从该移位寄存器 60 输送数据的寄存器 61 中的图像数据, 若在规定的定时输入 LP, 则对应其输入定时, 数字·模拟转换电路 DAC62 动作, 并将所述图像数据进行 D/A 转换, 可将用于驱动液晶面板 2 的电压施加到所述图像信号线 14 上。

在此, 如上所述, 通过在垂直消隐期间的前半停止 STH, 在向此后的源极驱动器 IC 输入的信号中, 之所以在垂直消隐期间 (Tv2) 中的控制信号与下一帧的开始显示期间中的控制信号之间, 具有引起制约违反的可能性, 是由于在从作为在垂直消隐期间 Tv2 的最后输出的 LP (上升) 到 STH 上升的期间被收缩。

该期间比由源极驱动器 IC 的规格决定的规定值小时, 垂直消隐期间及所述伪 HD 的长度导致在下一帧的垂直扫描期间 (Tv1) 的源极驱动器 IC 的误动作, 其结果, 成为在显示图像上招致异常的原因。但是, 所述规定值在从 TCON18 向源极驱动器 IC (6 ~ 13) 输出的移位时钟 (SCLK) 的周期进行换算而成为相当于数个时钟量, 实际使用上可以非常短, 从而可以认为其对显示图像上的影响是轻微的。鉴于此, 在考虑相应其制约的可能性的所述数个时钟相当期间内, 只消除要上升的 LPtr0 即可。

由此, 在本实施例中, 如图 12 所示, 在垂直消隐期间 (Tv2) 的最后部分, 为了不输出成为发生于比下一帧的水平扫描期间 (Th1) 之前的 HD 的下降定时更靠后要发生的 LP, 将 LPvld (符号 98 波形) 降至 Low (第一时点 M)。其结果是, LPtr (符号 99 波形) 如图 12 所记载, 所述 LPvld 在 Low 的期间被屏蔽而消去 (没有变成 High)。因此,

用符号 101 表示的 LP 波形也在所述期间变为 Low。随后, 开始下一帧最初行的水平扫描期间 (Th1) 且 DENA (符号 90 波形) 上升时, LPvld 变成 High (第二时点 N), 此后的垂直扫描期间 (Tv1) 中从 LPtr 变成 LPtr。其结果是, 如上所述, 所述 LPvld 在对应 Low 的期间的期间即第一时点 M 和第二时点 N 之间, 由于不输出 LP, 故停止所述源极驱动器 IC 的输出电压的更新。

另外, AND 电路 30 在 STHvld (符号 95 波形) 只在 High 期间原样输出 STHtr0 (符号 94 波形), 因此, 用图 12 的符号 94 表示的所述 STHtr0 的波形, 与所述 STHtr (符号 96 波形) 变成相同波形。但是, 所述 STHvld (符号 95 波形) 的 Low 期间 (垂直消隐期间的后半部、所述第一期间), 即使发生所述 STHtr0 的 High 脉冲, 所述 STHtr 也变成 Low 而被消去。因此, 用符号 100 表示的 STH 波形为所述 STHtr 通过所述起动脉冲生成电路 31 的信号, 其伴随规定的延迟从所述起动脉冲生成电路 31 输出。

在此, 从所述 HD 的下降到 DENA (符号 90 波形) 的上升的期间非常短时, 在本实施例的性质上, 对于在所述 HD 之前显现的 LP, 不能消去。但是, 与所述的实施例 1 相同, 与比通常 TCON18 的输入信号 (DENA、HD、VD 等) 数个时钟延迟的定时同步而生成 STHtr0 (符号 94 波形) 及 LPtr0 (符号 97 波形)。

通过使该 STHtr0 及 LPtr0 的生成定时进一步延迟 (DLY), 从而所述不能消去的部分可以最小限度化。

另外, 在本实施例中, 虽然在输入垂直消隐期间 (Tv2) 之后不久, 停止 STH 的输出, 但若连垂直消隐期间的最后的数个水平周期量的 STH 也切实地停止驱动, 则本实施例的必要条件充分满足。

进而, 在本实施例中, 相对图 2 所示的 POL 波形 (符号 23) 的特定期间 (符号 28a、28b) 中的信号反转禁止方法没有言及, 但如果有显示品质上的需要, 则通过采用与所述的 LP 信号同样的方法及结构, 就可容易地实现信号反转禁止, 这一点是显而易见的。

本实施例中, 也为了使所述目的简单, 并且, 只停止被预见相对下一帧显示有可能成为垂直消隐期间中的交流化信号误动作的原因的部分交流化信号, 首先, 在垂直消隐期间的中途停止输出数据移位用起动脉冲。只要在垂直消隐期间的前半部分的任一处, 停止所述数据

移位用起动脉冲都可以。因而，垂直消隐期间的后半部分（所述第一期间）相对于源极驱动器 IC，至少输出 POL 和 LP 信号，并可进行垂直消隐期间（Tv2）中的液晶面板的连续驱动。

在此基础上，只在预见相对下一帧显示而在垂直消隐期间 Tv2 中输入驱动器 IC 的控制信号、尤其是 LP 信号有可能成为误动作的原因时，停止作为在垂直消隐期间最后要输出的 LP。

另外，由 TCON 的结构导致在所述 TCON 内，在垂直消隐期间（Tv2）中发生伪 DENA 并控制图像信号线驱动单元的情况。在这种情况下，在垂直消隐期间（Tv2）中，也可以使用所述伪 DENA 代替所述伪 HD，并加算计数值（HDcnt），但作为所述计数值（HDcnt）的复位及计数存储值（cntkp）的存储定时，必须使用对应输入图像数据的外部输入 DENA 的上升。

在本实施例 1 及 2 中，在垂直消隐期间中，不从外部信号源将 HD 输入 TCON 而进行，由 TCON 内部的水平基准信号生成电路生成伪 HD，用该 HD 在垂直消隐期间中对图像信号线驱动单元连续输送控制信号，但通过外部信号源的结构，即使在垂直消隐期间中，也有连续输出 HD 的情况。在该情况下，通过使用非所述伪 HD 的从外部信号源输出的 HD，从而其对于所述图像信号线驱动单元的控制与本实施例 1 及 2 同样，没有特别限制就可实现。另外，即使在垂直消隐期间中所述 HD 的周期紊乱的情况下、及奇数帧与偶数帧时的垂直消隐期间中的 HD 数不同的情况下，也可以对应所述第一期间由所述图像信号线驱动单元停止图像显示数据的读取，进一步可消去作为在垂直消隐期间最后要输出的 LP。

但是，在本实施例 1 及 2 中，作为所述图像信号线驱动单元及所能信号线驱动单元之一例，使用了采用硅半导体集成电路的源极驱动器 IC 及栅极驱动器 IC，而作为有源元件，也可以是采用低温多晶硅 TFT 在玻璃衬底上形成同电路的结构。进而，若采用低温多晶硅 TFT，则内装有所述的图 4 及图 10 的结构的定时控制电路 TCON18 也同样可以在玻璃衬底上形成。

另外，在本实施例 1 及 2 中，作为驱动有源矩阵驱动电路的对象物，以采用液晶面板为例进行了说明，但如果例如为具备有机 EL 显示装置等有源矩阵的图像显示装置，则也可采用本驱动电路。

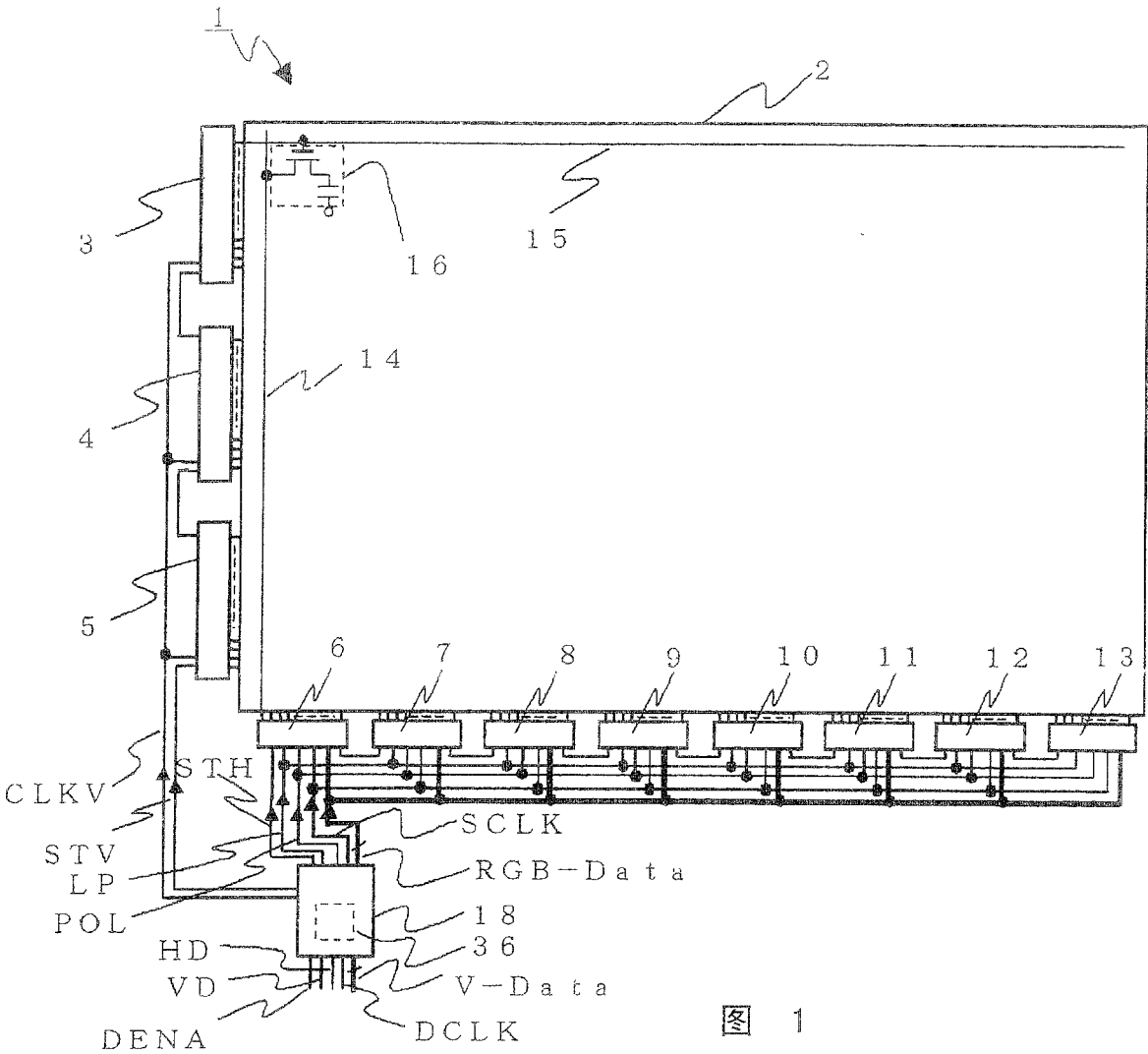


图 1

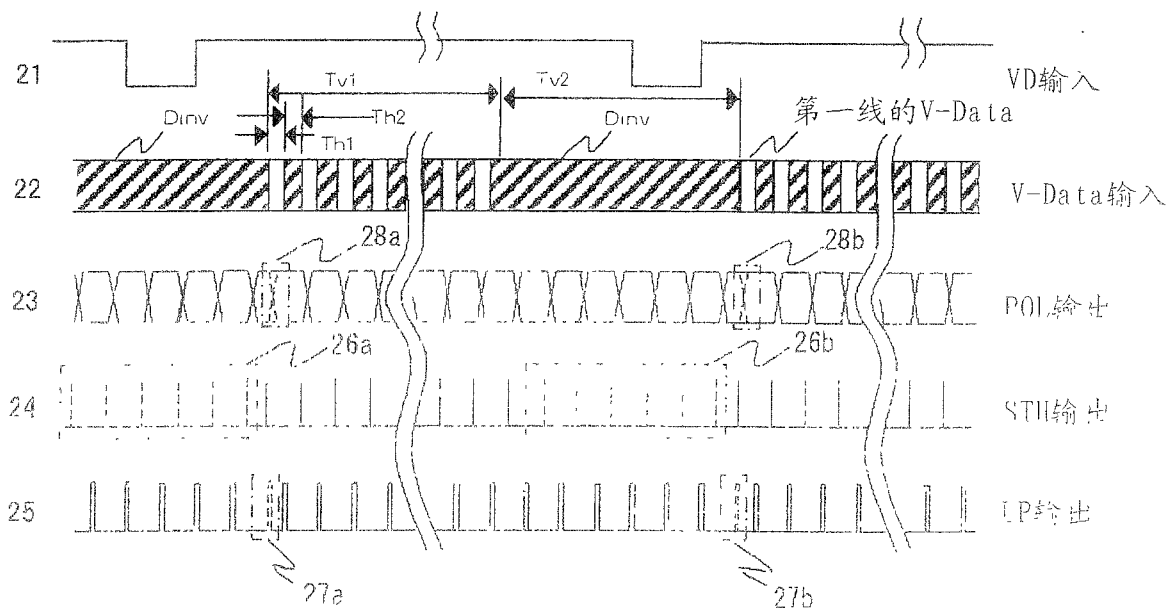


图 2

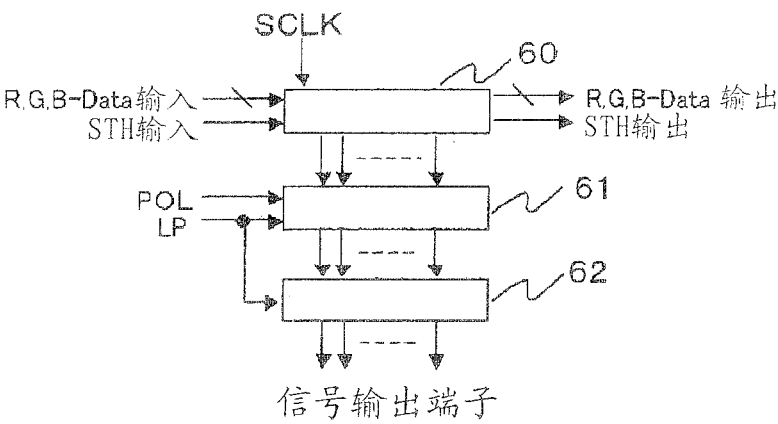


图 3

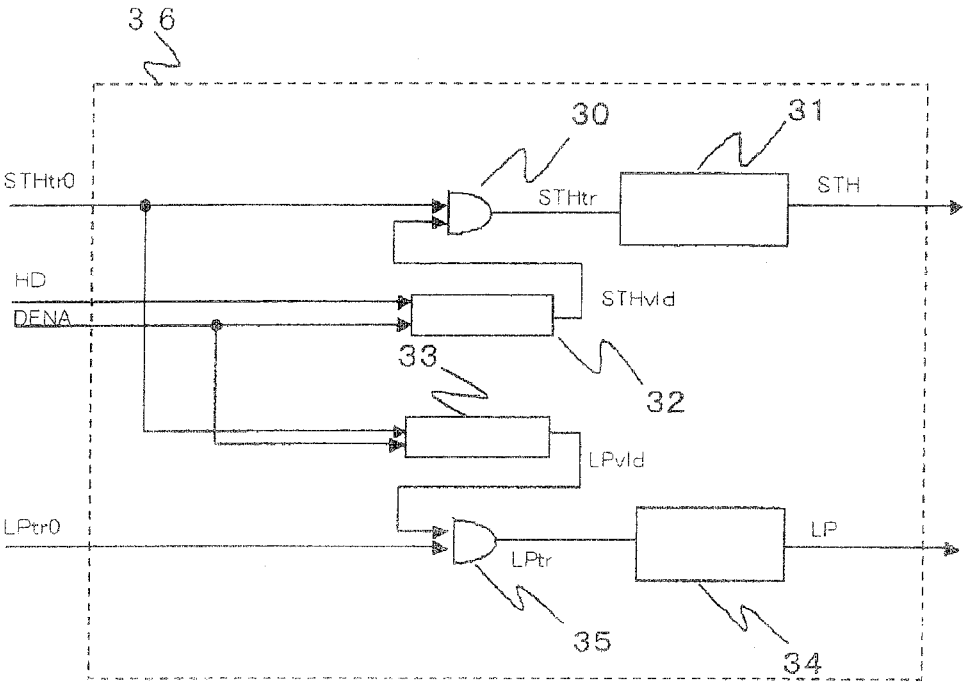
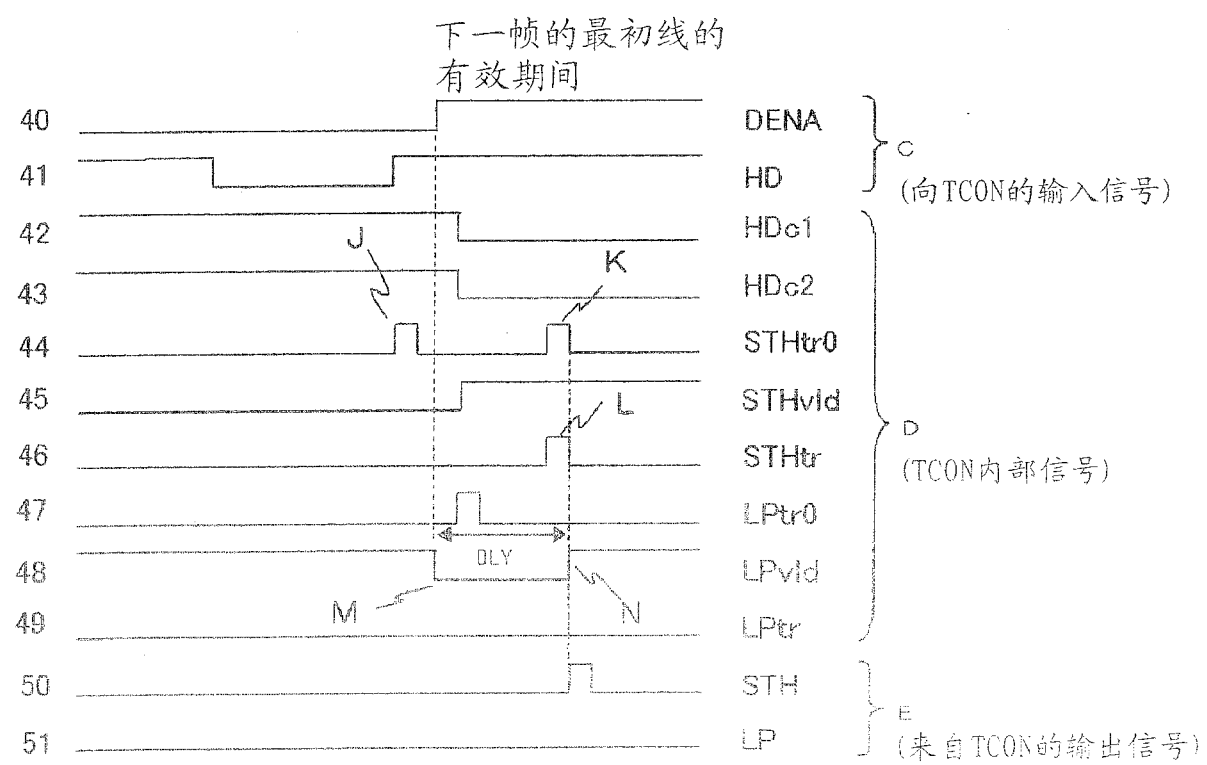
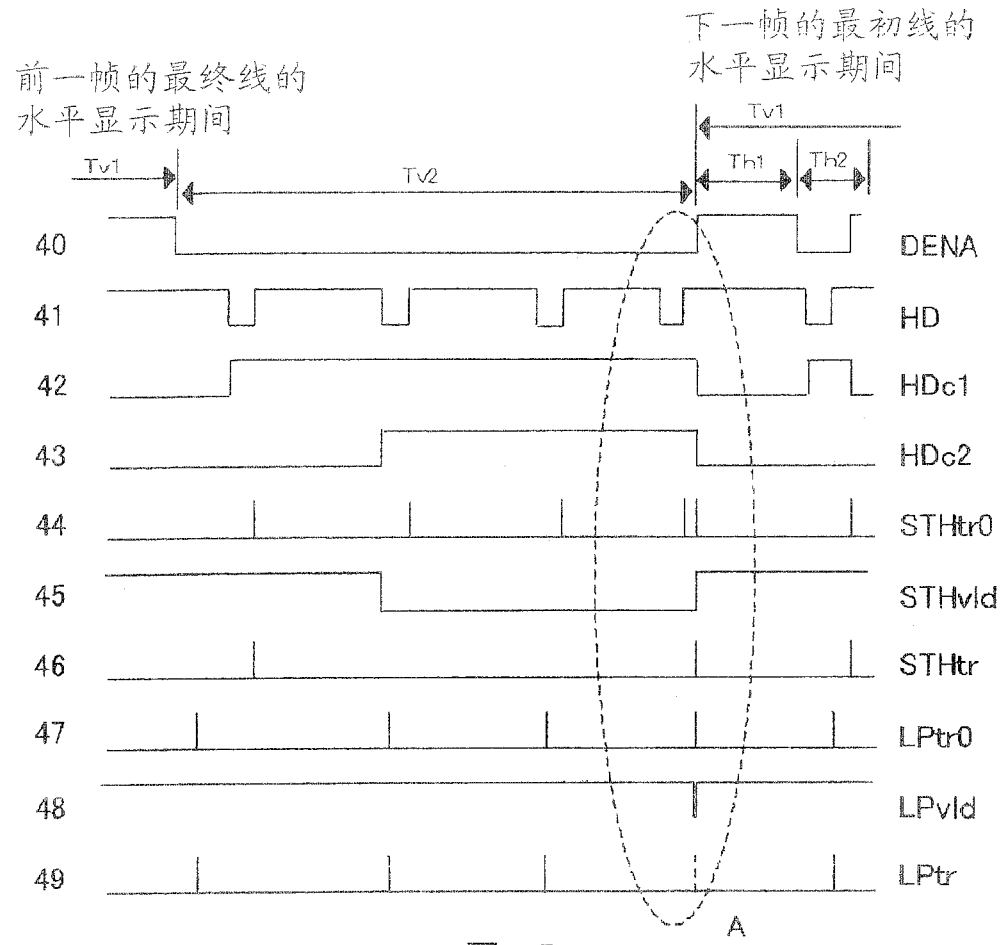


图 4



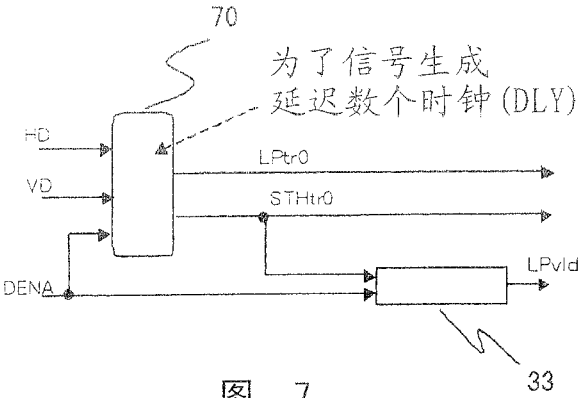


图 7

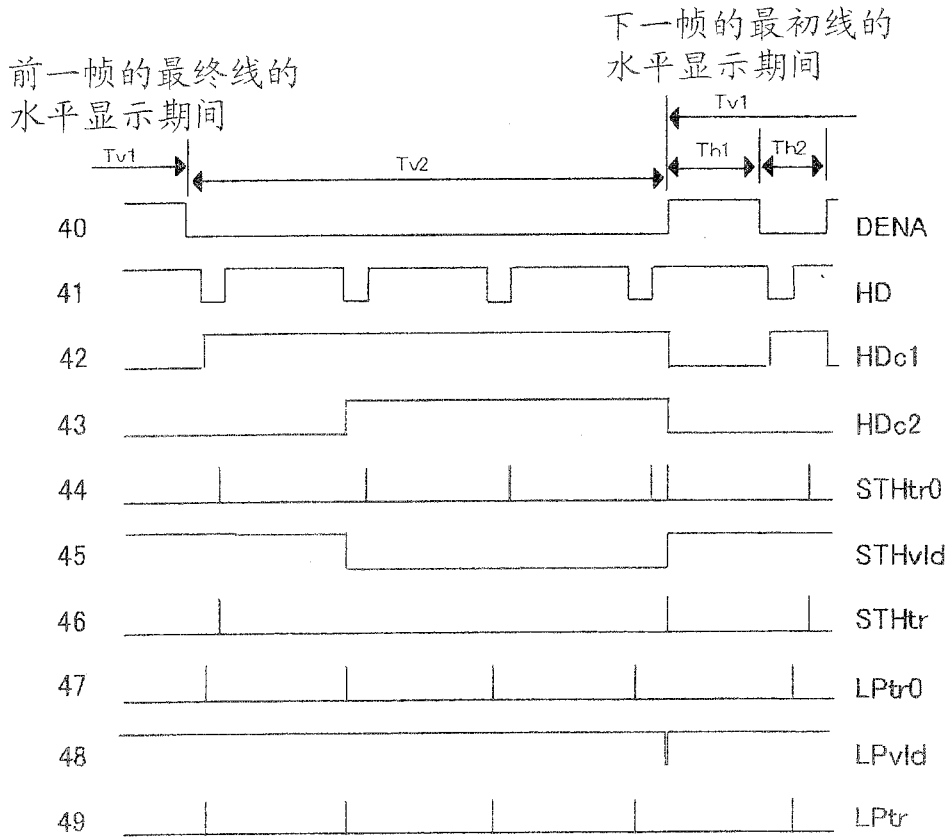


图 8

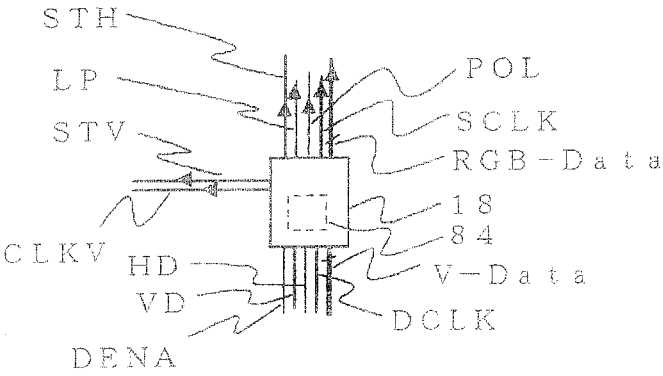


图 9

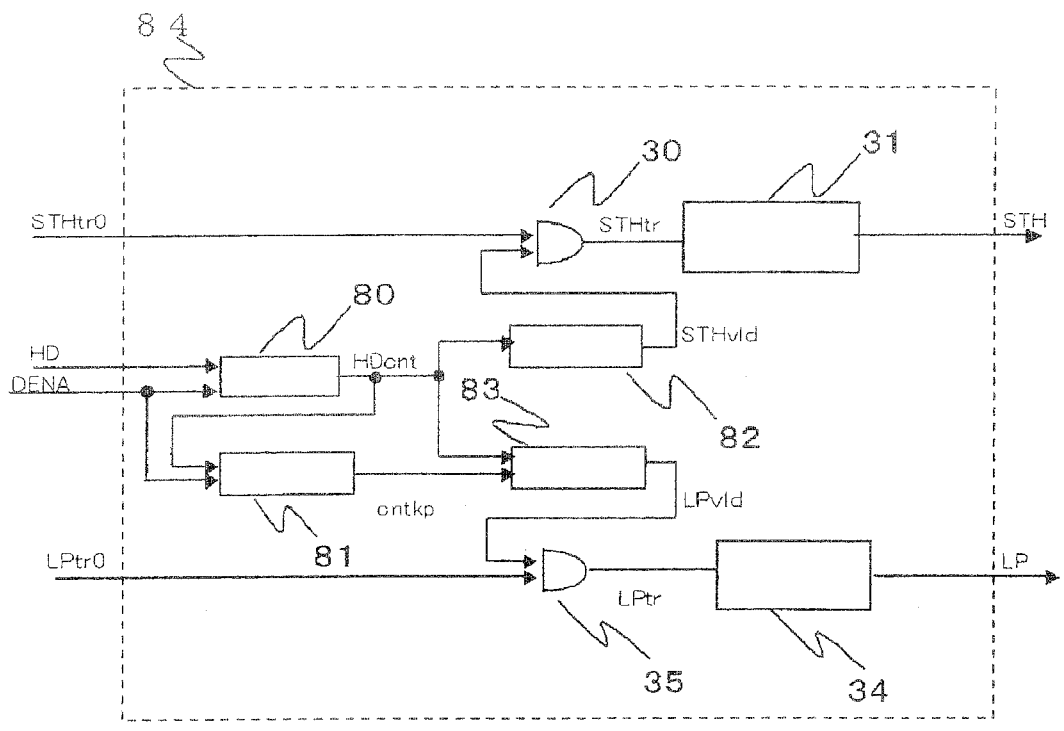


图 10

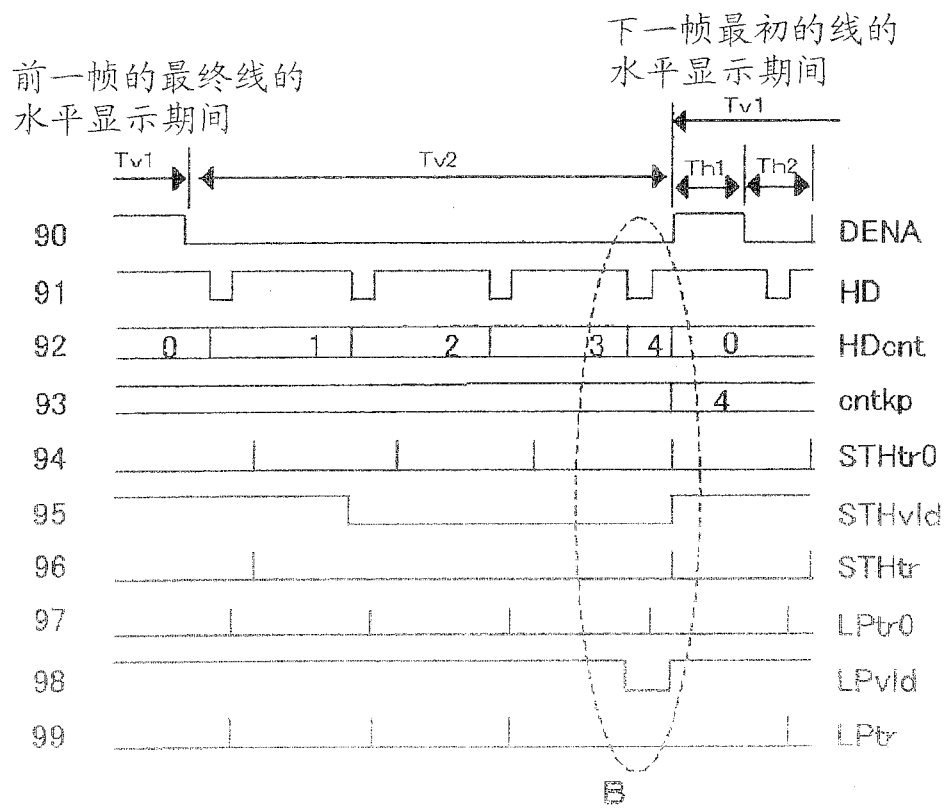


图 11

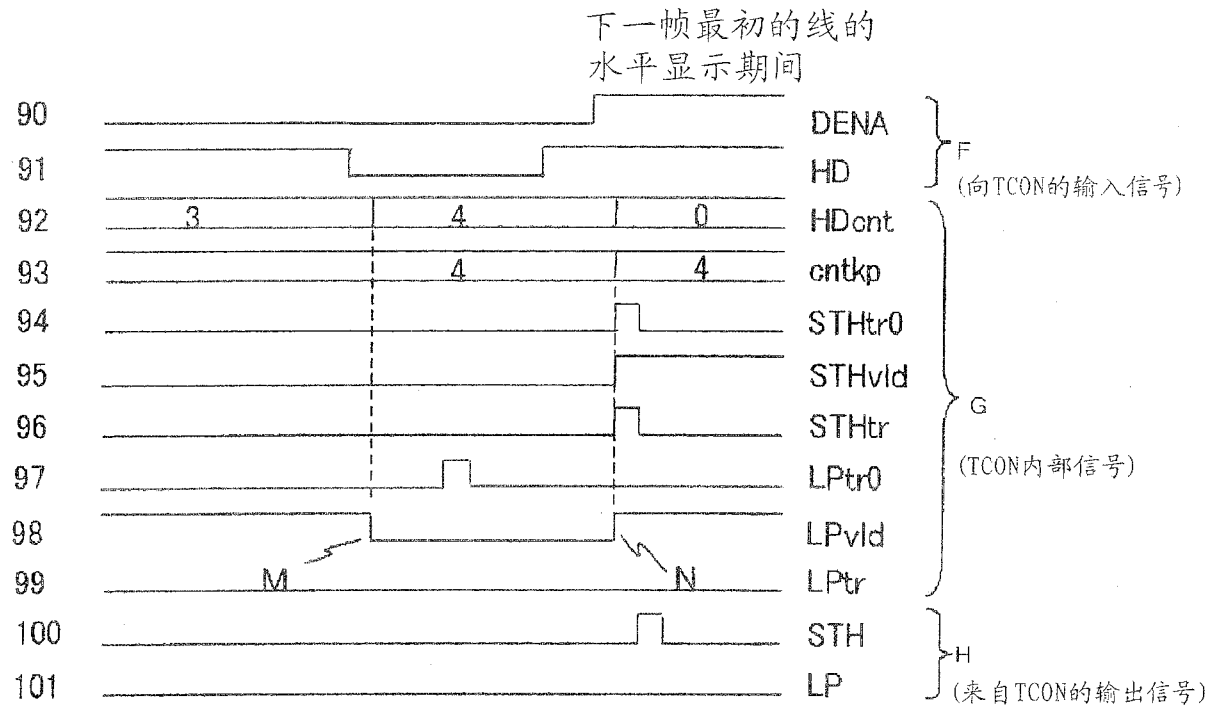


图 12