

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-14875
(P2004-14875A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8238	H O 1 L 27/08 3 2 1 E	5 F O 4 8
H O 1 L 27/092	H O 1 L 29/78 3 O 1 G	5 F 1 4 O
H O 1 L 29/78		

審査請求 未請求 請求項の数 10 O L (全 19 頁)

(21) 出願番号 特願2002-167637 (P2002-167637)	(71) 出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日 平成14年6月7日(2002.6.7)	(74) 代理人 100090273 弁理士 國分 孝悦
	(72) 発明者 齋木 孝志 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
	Fターム(参考) 5F048 AC03 BA01 BB05 BB11 BC05 BC06 BD04 BE03 BF11 BG14 DA23 DA24 DA25 DA27
	最終頁に続く

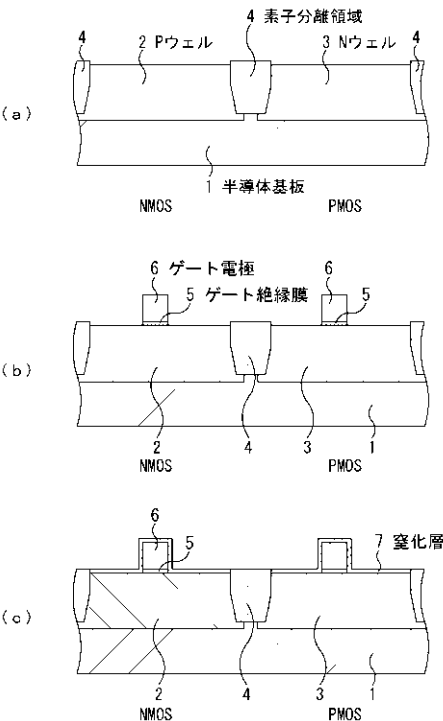
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】レジスト膜を除去する際の半導体基板の酸化及びアニール時の不純物の外方拡散を防止して良好な特性、例えば低いエクステンション抵抗を得ることができる半導体装置及びその製造方法を提供する。

【解決手段】Pウェル2及びNウェル3の表面並びにゲート電極6の上面及び側面に、膜厚が3nm以下のシリコン窒化膜7を形成する。シリコン窒化膜7は、例えば、マグネトロンR I E装置を使用して、窒素ガスを含むプラズマに、Pウェル2及びNウェル3の表面並びにゲート電極6の上面及び側面を晒すことにより形成することができる。その後、シリコン窒化膜7を残したまま、ポケット層、エクステンション層及びソース・ドレイン拡散層を形成する。この方法によれば、イオン注入時のマスクとしてレジスト膜を使用しても、その除去時に半導体基板1の表面は酸化しない。また、不純物導入後のアニールによっても不純物の外方拡散が防止される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一導電型の半導体基板上に形成され、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜と、
該ゲート絶縁膜上に形成されたゲート電極と、
該ゲート電極の側壁に形成された第 1 の窒素導入層と、
該ゲート電極の両側で、該半導体基板に形成され、該一導電型とは異なる反対導電型の一对の不純物層と、
を有することを特徴とする半導体装置。

【請求項 2】

一導電型の半導体基板上に形成され、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜と、
該ゲート絶縁膜上に形成されたゲート電極と、
該ゲート電極の側壁に形成された第 1 の窒素導入層と、
該ゲート電極の両側で、該半導体基板に形成され、該一導電型とは異なる反対導電型の一对の不純物層と、
該ゲート電極に自己整合して該半導体基板に形成された、一对の一導電型不純物層と、
を有することを特徴とする半導体装置。

【請求項 3】

一導電型の半導体基板上に形成され、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜と、
該ゲート絶縁膜上に形成されたゲート電極と、
該ゲート電極の側壁に形成された第 1 の窒素導入層と、
該ゲート電極の両側で、該半導体基板から第 1 の深さに形成され、該一導電型とは異なる第 1 の反対導電型不純物層と、
該ゲート電極に自己整合して該半導体基板に形成された、一对の一導電型不純物層と、
該第 1 の窒素導入層を介して、該ゲート電極の側面に形成されたサイドウォールと、
該サイドウォール及び該ゲート電極に自己整合して該半導体基板に形成され、該半導体基板から該第 1 の深さよりも深い第 2 の深さに形成された、第 2 の反対導電型不純物層と、
を有することを特徴とする半導体装置。

【請求項 4】

前記サイドウォールと前記半導体基板との間に形成された、第 2 の窒素導入層を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記ゲート絶縁膜は、シリコン酸化膜を含むことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

一導電型の半導体基板上に、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜を形成する工程と、
該ゲート絶縁膜を介してゲート電極を形成する工程と、
該半導体基板及び該ゲート電極の表面に、窒素を導入する工程と、
次いで、該ゲート電極の両側の該半導体基板に、該一導電型とは異なる反対導電型の一对の不純物層を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 7】

一導電型の半導体基板上に、一導電型領域及び該一導電型とは異なる反対導電型の反対導電型領域を形成する工程と、
該一導電型領域上に、シリコン酸化膜よりも誘電率が高い材料からなる第 1 のゲート絶縁膜を形成する工程と、
該反対導電型領域上に、第 2 のゲート絶縁膜を形成する工程と、

該第 1 のゲート絶縁膜上に第 1 のゲート電極を形成する工程と、
該第 2 のゲート絶縁膜上に第 2 のゲート電極を形成する工程と、
該第 1 及び第 2 のゲート電極の表面に、窒素を導入する工程と、
次いで、該反対導電型領域を選択的に覆う第 1 のマスク層を形成する工程と、該第 1 のゲート電極及び該第 1 のマスク層をマスクにして、該第 1 のゲート電極の両側の該半導体基板に、該反対導電型の不純物層を形成する工程と、
次いで、該第 1 のマスク層を除去する工程と、
次いで、該一導電型領域を選択的に覆う第 2 のマスク層を形成する工程と、
該第 2 のゲート電極及び該第 2 のマスク層をマスクにして、該第 2 のゲート電極の両側の該半導体基板に、該一導電型の不純物層を形成する工程と、
次いで、第 2 のマスク層を除去する工程と、
を含むことを特徴とする半導体装置の製造方法。

10

【請求項 8】

一導電型の半導体基板上にゲート絶縁膜を形成する工程と、
該ゲート絶縁膜を介してゲート電極を形成する工程と、
該半導体基板及び該ゲート電極の表面に、窒素を含むガスのプラズマ又はラジカルに晒して、窒素を導入する工程と、
次いで、該ゲート電極の両側の該半導体基板に、該一導電型とは異なる反対導電型の一对の不純物層を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

20

【請求項 9】

該窒素を導入する工程の後に、該ゲート電極の両側の該半導体基板に、該一導電型の不純物層を形成する工程を含むことを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

該窒素を導入する工程により形成される窒素を含む層の厚さを 3 nm 以下とすることを特徴とする請求項 6 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

30

本発明は、CMOS (complementary metal-oxide semiconductor) トランジスタに好適な半導体装置及びその製造方法に関する。

【0002】**【従来の技術】**

従来、CMOS トランジスタは、次のようにして製造されている。図 15 乃至図 17 は、CMOS トランジスタの従来の製造方法を工程順に示す断面図である。

【0003】

先ず、図 15 (a) に示すように、P 型半導体基板 1 の表面に素子分離領域 4 を形成し、この素子分離領域 4 により区画された素子領域内にウェルを形成する。このとき、N チャネル MOS (NMOS) 領域には P ウェル 2 を形成し、P チャネル MOS (PMOS) 領域には N ウェル 3 を形成する。

40

【0004】

次に、図 15 (b) に示すように、素子領域内において、半導体基板 1 上に絶縁膜及び多結晶シリコン膜を形成し、これらをパターニングすることにより、ゲート絶縁膜 5 及びゲート電極 6 を形成する。

【0005】

次いで、図 15 (c) に示すように、PMOS 領域を覆い NMOS 領域を露出するレジスト膜 21 を半導体基板 1 上に形成する。そして、このレジスト膜 21 及びゲート電極 6 をマスクとして、高濃度に砒素をイオン注入することにより、エクステンション層 11 を形成し、ボロン又はインジウムをイオン注入することにより、ポケット層 9 を形成する。な

50

お、ボロン又はインジウムイオンの注入は、半導体基板 1 の表面に対して垂直な方向又は傾斜した方向から行われる。

【0006】

続いて、図 16 (a) に示すように、レジスト膜 21 を除去した後、NMOS 領域を覆い PMOS 領域を露出するレジスト膜 22 を半導体基板 1 上に形成する。そして、このレジスト膜 22 及びゲート電極 6 をマスクとして、高濃度にボロンをイオン注入することにより、エクステンション層 12 を形成し、砒素をイオン注入することにより、ポケット層 10 を形成する。なお、砒素のイオン注入は、半導体基板 1 の表面に対して垂直な方向又は傾斜した方向から行われる。

【0007】

次に、図 16 (b) に示すように、レジスト膜 22 を除去した後、全面に絶縁膜を形成し、ゲート電極 6 の側方にのみこの絶縁膜が残るように、異方性エッチングを施すことにより、サイドウォール 13 を形成する。

【0008】

次いで、図 16 (c) に示すように、PMOS 領域を覆い NMOS 領域を露出するレジスト膜 25 を半導体基板 1 上に形成する。そして、このレジスト膜 25、ゲート電極 6 及びサイドウォール 13 をマスクとして、高濃度に砒素をイオン注入することにより、深いソース・ドレイン拡散層 14 を形成する。

【0009】

その後、図 17 (a) に示すように、レジスト膜 25 を除去した後、NMOS 領域を覆い PMOS 領域を露出するレジスト膜 26 を半導体基板 1 上に形成する。そして、このレジスト膜 26、ゲート電極 6 及びサイドウォール 13 をマスクとして、高濃度にボロンをイオン注入することにより、深いソース・ドレイン拡散層 15 を形成する。

【0010】

続いて、図 17 (b) に示すように、レジスト膜 26 を除去した後、コバルトシリサイド層等のシリサイド層 16 を、ゲート電極 6 並びにソース・ドレイン拡散層 14 及び 15 上に形成する。

【0011】

このようにして、CMOS トランジスタを製造することができる。

【0012】

【発明が解決しようとする課題】

しかしながら、このような製造方法においては、ポケット層及びエクステンション層を形成する際のマスクとして使用するレジスト膜 21 及び 22 をこれらの層を形成した後に、アッシング及びウェット処理により除去する必要があるが、この除去の工程の際に、シリコン基板が酸化されてしまうという問題点がある。シリコン基板が酸化されると、注入した不純物が喪失するため、所望の濃度及びプロファイルを得ることができなくなってしまう。また、シリコン基板の酸化により、エクステンション層がゲート部よりも沈み込んだ状態となるため、エクステンション層の接合が実質的に深くなる。このため、ショートチャネル効果等の特性劣化が生ずることもある。

【0013】

また、上述の製造方法においては、ソース・ドレイン拡散層 15 を形成した後に、その不純物を活性化させるためにアニール処理を行う必要があるが、このアニール処理の際に、チャネルに存在する不純物の外方拡散が発生して空乏化が生じたり、ソース・ドレイン拡散層 15 内の不純物の外方拡散が発生したりすることがあるという問題点もある。

【0014】

この外方拡散を抑制するための技術として、RTO (酸素室素アニール) による酸化膜キャップ技術が知られている。また、外方拡散防止膜として、CVD 法により 100 nm 程度の厚さで窒化膜を成膜する技術も知られている。しかし、酸化膜キャップ技術においては、酸素による増速拡散により、ソース・ドレイン拡散層のプロファイルが深くなってしまうという問題点がある。また、CVD 法により 100 nm 程度の窒化膜をゲート電極の

10

20

30

40

50

側壁に形成した場合には、ストレスが増加しやすく、また、異常拡散が発生しやすいという問題点がある。

【0015】

本発明は、かかる問題点に鑑みてなされたものであって、レジスト膜を除去する際の半導体基板の酸化及びアニール時の不純物の外方拡散を防止して良好な特性、例えば低いエクステンション抵抗を得ることができる半導体装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】

本願発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

10

【0017】

本発明に係る半導体装置の製造方法においては、一導電型の半導体基板上に、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜を形成し、該ゲート絶縁膜を介してゲート電極を形成した後に、該半導体基板及び該ゲート電極の表面に、窒素を導入し、次いで、該ゲート電極の両側の該半導体基板に、該一導電型とは異なる反対導電型の一对の不純物層を形成する工程と、を含むことを特徴とする。

【0018】

本発明においては、ゲート絶縁膜及びゲート電極を形成した後に半導体基板及びゲート電極の表面に窒素を導入しているので、その後にレジスト膜の形成及び除去を行ったとしても、窒素が導入された領域の酸化が防止される。また、アニールの実施を、半導体基板及びゲート電極の表面に窒素が導入された状態で行うことにより、既に導入されている不純物の外方拡散を防止することができる。

20

【0019】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置及びその製造方法について添付の図面を参照して具体的に説明する。図1乃至図5は、本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【0020】

第1の実施形態では、先ず、図1(a)に示すように、例えばP型のシリコン基板等の半導体基板1の表面に素子分離領域4を形成し、この素子分離領域4により区画された素子領域内にウェルを形成する。このとき、NチャネルMOS(NMOS)領域にはPウェル(チャネル)2を形成し、PチャネルMOS(PMOS)領域にはNウェル(チャネル)3を形成する。

30

【0021】

次に、図1(b)に示すように、素子領域内において、半導体基板1上に絶縁膜及び多結晶シリコン膜を形成し、これらをパターニングすることにより、ゲート絶縁膜5及びゲート電極6を形成する。なお、ゲート絶縁膜5は、例えばシリコン酸化膜から構成されていることが好ましいが、シリコン酸化膜から構成されていてもよい。

【0022】

次いで、図1(c)に示すように、Pウェル2及びNウェル3の表面並びにゲート電極6の上面及び側面に、膜厚が例えば3nm以下のシリコン窒化膜(窒素導入層)7を形成する。シリコン窒化膜7は、例えば、マグネトロンRIE装置を使用して、窒素ガスを含むプラズマに、Pウェル2及びNウェル3の表面並びにゲート電極6の上面及び側面を晒すことにより形成することができる。このときの条件として、例えば、ガス圧を10mTorr(約 1.33×10^{-1} Pa)とし、RFパワーを100Wとし、N₂流量を50sccmとし、処理時間を2秒間とし、処理温度を150℃としてもよい。また、マグネトロンRIE装置を使用して、窒素とアルゴンとの混合ガスを含むプラズマに、Pウェル2及びNウェル3の表面並びにゲート電極6の上面及び側面を晒すことによりシリコン窒化膜7を形成してもよい。また、他の成膜方法として、リモートプラズマ装置を使用して、窒素を含むガス(例えば、窒素とヘリウムとの混合ガス)を含むラジカルに、Pウェル2及

40

50

びNウェル3の表面並びにゲート電極6の上面及び側面を晒すことによりシリコン窒化膜7を形成してもよい。このときの条件としては、例えば、処理温度を550乃至800とし、処理時間を30乃至60秒間とし、パワーを3kWとし、窒素とヘリウムとの混合比をHe:90体積%、N₂:10体積%としてもよい。

【0023】

その後、図2(a)に示すように、全面に順次シリコン酸化膜8a及びシリコン窒化膜8bを順次形成する。

【0024】

続いて、図2(b)に示すように、シリコン窒化膜8bに異方性エッチングを施すことにより、ゲート電極6の側方にのみシリコン窒化膜8bを残す。

10

【0025】

次に、シリコン酸化膜8aにウェット処理を施す。この結果、図2(c)に示すように、シリコン酸化膜8a及びシリコン窒化膜8bからなる積層膜の下端部が除去されて、ノッチ8が形成される。

【0026】

次いで、図3(a)に示すように、PMOS領域を覆いNMOS領域を露出するレジスト膜21を半導体基板1上に形成する。そして、このレジスト膜21及びゲート電極6をマスクとして、P型不純物、例えばインジウム及びボロンをイオン注入することにより、Pウェル2の表面にP型のポケット層9を形成する。このイオン注入は、例えば平面視で互いに直交する4方向からの斜めイオン注入により行う。また、インジウムのイオン注入においては、例えば、注入エネルギーを60乃至90keVとし、ドーズ量を 5×10^{12} 乃至 $1.2 \times 10^{13} \text{ cm}^{-2}$ とする。ボロンのイオン注入においては、例えば、注入エネルギーを8乃至12keVとし、ドーズ量を 2×10^{12} 乃至 $7 \times 10^{12} \text{ cm}^{-2}$ とする。これらのイオン注入の後、レジスト膜21を除去し、アニールを行うことにより、注入された不純物を活性化させる。このアニールは、例えばN₂雰囲気下での950乃至1050のスパイクアニールとしてもよい。レジスト膜21の除去では、例えばアッシング処理及びウェット処理を行う。アッシング処理では、例えば、ダウンフローの装置で、O₂の流量を1000sccm、CF₄の流量を10sccm、フォーシングガスの流量を600sccmとし、処理温度を250とする。また、ウェット処理では、例えば硫酸過水を使用する。以下のレジスト膜の除去も、同様の方法により行うことができる。

20

30

【0027】

その後、図3(b)に示すように、NMOS領域を覆いPMOS領域を露出するレジスト膜22を半導体基板1上に形成する。そして、このレジスト膜22及びゲート電極6をマスクとして、N型不純物、例えばアンチモンをイオン注入することにより、Nウェル3の表面にN型のポケット層10を形成する。このイオン注入は、例えば平面視で互いに直交する4方向からの斜めイオン注入により行う。また、例えば、注入エネルギーを50乃至70keVとし、ドーズ量を 1.0×10^{13} 乃至 $1.5 \times 10^{13} \text{ cm}^{-2}$ とする。このイオン注入の後、レジスト膜22を除去する。

【0028】

続いて、図3(c)に示すように、PMOS領域を覆いNMOS領域を露出するレジスト膜23を半導体基板1上に形成する。そして、このレジスト膜23、ゲート電極6、シリコン酸化膜8a及びシリコン窒化膜8bをマスクとして、N型不純物、例えば砒素をイオン注入することにより、ポケット層9の表面にN型のエクステンション層11を形成する。このイオン注入は、例えば半導体基板1の表面に垂直な方向から行う。また、例えば、注入エネルギーを2乃至4keVとし、ドーズ量を 1.0×10^{15} 乃至 $1.5 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入の後、レジスト膜23を除去し、アニールを行うことにより、注入された不純物を活性化させる。このアニールは、例えばN₂雰囲気下での950乃至1050のスパイクアニールとしてもよい。

40

【0029】

次に、図4(a)に示すように、NMOS領域を覆いPMOS領域を露出するレジスト膜

50

24を半導体基板1上に形成する。そして、このレジスト膜24、ゲート電極6、シリコン酸化膜8a及びシリコン窒化膜8bをマスクとして、P型不純物、例えばボロンをイオン注入することにより、ポケット層10の表面にP型のエクステンション層12を形成する。このイオン注入は、例えば半導体基板1の表面に垂直な方向から行う。また、例えば、注入エネルギーを0.2乃至0.4keVとし、ドーズ量を 1.0×10^{15} 乃至 $1.5 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入の後、レジスト膜24を除去する。

【0030】

次いで、全面に絶縁膜、例えばシリコン酸化膜を形成した後、ゲート電極6の側方にのみこの絶縁膜が残るように、異方性エッチングを施すことにより、図4(b)に示すように、サイドウォール13を形成する。シリコン酸化膜8a及びシリコン窒化膜8bは、例えばサイドウォール13に覆われる。

【0031】

その後、図4(c)に示すように、PMOS領域を覆いNMOS領域を露出するレジスト膜25を半導体基板1上に形成する。そして、このレジスト膜25、ゲート電極6及びサイドウォール13をマスクとして、N型不純物、例えばリンを高濃度でイオン注入することにより、Pウェル2の表面にN型の深いソース・ドレイン拡散層14を形成する。このイオン注入は、例えば半導体基板1の表面に垂直な方向から行う。また、例えば、注入エネルギーを5乃至9keVとし、ドーズ量を 5×10^{15} 乃至 $8 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入の後、レジスト膜25を除去する。

【0032】

続いて、図5(a)に示すように、NMOS領域を覆いPMOS領域を露出するレジスト膜26を半導体基板1上に形成する。そして、このレジスト膜26、ゲート電極6及びサイドウォール13をマスクとして、P型不純物、例えばボロンを高濃度でイオン注入することにより、Nウェル3の表面にP型の深いソース・ドレイン拡散層15を形成する。このイオン注入は、例えば半導体基板1の表面に垂直な方向から行う。また、例えば、注入エネルギーを2乃至5keVとし、ドーズ量を 3×10^{15} 乃至 $5 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入の後、レジスト膜26を除去する。このレジスト膜26の除去の後、アニールを行うことにより、注入された不純物を活性化させる。このアニールは、例えば N_2 雰囲気下での1025乃至1070℃のスパイクアニールとしてもよい。

【0033】

次に、図5(b)に示すように、露出しているシリコン窒化膜7を除去し、コバルトシリサイド層等のシリサイド層16を、ゲート電極6並びにソース・ドレイン拡散層14及び15上に形成する。

【0034】

そして、図5(c)に示すように、層間絶縁膜17の形成、この層間絶縁膜17に対するソース・ドレイン拡散層14及び15まで到達するコンタクトホール18の開口、及びこのコンタクトホール18への導電材19の埋め込み、配線の形成等を行ってCMOSトランジスタを完成させる。

【0035】

このようにして製造された半導体装置は、図5(c)に示す構造を備えている。

【0036】

このような本発明の第1の実施形態によれば、ゲート電極6の形成(図1(b))と、ソース・ドレイン拡散層14及び15における不純物の活性化のためのアニール(図5(b))との間に、少なくともゲート電極6の側面並びにPウェル2及びNウェル3の表面にシリコン窒化膜7を形成しているため、アニールによっても、チャネル内の不純物の外方拡散並びにソース・ドレイン拡散層14及び15内の不純物の外方拡散を抑制することができる。このため、従来のような空乏化を抑制することができる。

【0037】

また、ポケット層の形成、エクステンション層の形成及びソース・ドレイン拡散層の形成の度にレジスト膜の形成及び除去を行っているが、これらを行う前に少なくともPウェル

2 及び N ウェル 3 の表面にシリコン窒化膜 7 を形成しているため、レジスト膜の除去のためのアッシング又はウェット処理の際にも、P ウェル 2 及び N ウェル 3 の表面（半導体基板 1 の表面）は酸化されない。このため、不純物の減少並びに濃度及びプロファイルの変動が防止される。また、エクステンション層の沈み込みも発生しないため、浅い接合を確保することができる。

【0038】

更に、ノッチ 8 を形成した後に、ポケット層を半導体基板 1 の表面に対して傾斜した方向からのイオン注入により形成し、エクステンション層を半導体基板 1 の表面に対して垂直な方向からのイオン注入により形成しているため、平面視において、ポケット層とゲート電極とのオーバーラップを広く確保しながら、エクステンション層とゲート電極とのオーバーラップを狭く抑えることができる。

【0039】

次に、本発明の第 2 の実施形態について説明する。第 2 の実施形態では、2 重サイドウォール構造を CMOS トランジスタに適用する。図 6 は、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図であり、図 7 は、本発明の第 2 の実施形態により製造された CMOS トランジスタを示す断面図である。

【0040】

第 2 の実施形態においては、先ず、第 1 の実施形態と同様にして、素子分離領域 4 の形成（図 1（a））からシリコン窒化膜 7 の形成（図 1（c））までの工程を行う。

【0041】

次に、図 6（a）に示すように、全面に順次シリコン酸化膜 31 を順次形成する。

【0042】

次いで、図 6（b）に示すように、シリコン酸化膜 31 に異方性エッチングを施すことにより、ゲート電極 6 の側方にのみシリコン酸化膜 31 を残す。

【0043】

その後、第 1 の実施形態と同様にして、レジスト膜 21 の形成（図 3（a））からエクステンション層 12 の形成（図 4（a））までの工程を行う。

【0044】

続いて、全面に絶縁膜、例えばシリコン酸化膜を形成した後、ゲート電極 6 の側方にのみこの絶縁膜が残るように、異方性エッチングを施すことにより、図 6（c）に示すように、サイドウォール 13 を形成する。シリコン酸化膜 31 は、例えばサイドウォール 13 に覆われる。

【0045】

そして、第 1 の実施形態と同様にして、レジスト膜 25 の形成（図 4（c））以降の工程を行うことにより、図 7 に示す CMOS トランジスタを完成させる。

【0046】

このような第 2 の実施形態によっても、第 1 の実施形態と同様に、外方拡散の抑制及びレジスト膜を除去する際の半導体基板 1 の酸化の防止という効果が得られる。

【0047】

次に、本発明の第 3 の実施形態について説明する。第 3 の実施形態では、ゲート電極にノッチが形成された構造を CMOS トランジスタに適用する。図 8 乃至図 9 は、本発明の第 3 の実施形態に係る半導体装置の製造方法を工程順に示す断面図であり、図 10 は、本発明の第 3 の実施形態により製造された CMOS トランジスタを示す断面図である。

【0048】

第 3 の実施形態においては、先ず、第 1 の実施形態と同様にして、素子分離領域 4、P ウェル 2 及び N ウェル 3 の形成（図 1（a））の工程を行う。

【0049】

次に、図 8（a）に示すように、素子領域内において、半導体基板 1 上に絶縁膜 32 及び多結晶シリコン膜 33 を形成し、この多結晶シリコン膜 33 上に、ゲート電極を形成する領域を覆うレジスト膜 27 を形成する。

10

20

30

40

50

【 0 0 5 0 】

次いで、レジスト膜 2 7 をマスクとし、H B r 及び O₂ を含むガスを用いて多結晶シリコン膜 3 3 の上部をエッチングする。但し、このエッチングは、エッチングにより発生するデポ物が、多結晶シリコン膜 3 3 の上部のエッチング後に残る部位の側面に付着しやすい条件で行う。このようなエッチングの結果、図 8 (b) に示すように、デポ物 3 4 が残存する。

【 0 0 5 1 】

その後、レジスト膜 2 7 をマスクとして、多結晶シリコン膜 3 3 の下部をエッチングする。但し、このエッチングは、エッチングにより発生するデポ物が、多結晶シリコン膜 3 3 の下部のエッチング後に残る部位の側面に付着しにくい条件で行う。このようなエッチングの結果、図 8 (c) に示すように、デポ物 3 4 は多結晶シリコン膜 3 3 の上部及びレジスト膜 2 7 の側面に残存する。

10

【 0 0 5 2 】

続いて、レジスト膜 2 7 をマスクとして、多結晶シリコン膜 3 3 の等方性エッチングを行う。この等方性エッチングにおいては、多結晶シリコン膜 3 3 の上部は厚いデポ物 3 4 に保護されているため、ほとんど除去されない。一方、多結晶シリコン膜 3 4 の下部にはほとんどデポ物 3 4 が付着していないので、この僅かなデポ物 3 4 が除去された後、多結晶シリコン膜 3 3 の下部の除去が進行する。この結果、図 9 (a) に示すように、ゲート絶縁膜 5 の縁部及びゲート電極 6 の下縁部に、テーパ状のノッチ 3 5 が形成される。ゲート電極 6 は、残存する多結晶シリコン膜 3 3 及びデポ物 3 4 から構成される。

20

【 0 0 5 3 】

次に、P ウェル 2 及び N ウェル 3 の表面、ゲート電極 6 の上面及び側面並びにノッチ 3 5 の側面に、図 9 (b) に示すように、膜厚が例えば 3 n m 以下のシリコン窒化膜 7 を形成する。シリコン窒化膜 7 は、第 1 の実施形態と同様に形成することができる。

【 0 0 5 4 】

その後、第 1 の実施形態と同様にして、レジスト膜 2 1 の形成 (図 3 (a)) からエクステンション層 1 2 の形成 (図 4 (a)) までの工程を行う。

【 0 0 5 5 】

続いて、全面に絶縁膜、例えばシリコン酸化膜を形成した後、ゲート電極 6 の側方にのみこの絶縁膜が残るように、異方性エッチングを施すことにより、図 9 (c) に示すように、サイドウォール 1 3 を形成する。

30

【 0 0 5 6 】

そして、第 1 の実施形態と同様にして、レジスト膜 2 5 の形成 (図 4 (c)) 以降の工程を行うことにより、図 1 0 に示す C M O S トランジスタを完成させる。

【 0 0 5 7 】

このような第 3 の実施形態によっても、第 1 の実施形態と同様に、外方拡散の抑制及びレジスト膜を除去する際の半導体基板 1 の酸化の防止という効果が得られる。

【 0 0 5 8 】

次に、本発明の第 4 の実施形態について説明する。第 4 の実施形態では、所謂シングルドレイン構造を C M O S トランジスタに適用したものである。図 1 1 は、本発明の第 4 の実施形態に係る半導体装置の製造方法により製造された C M O S トランジスタを示す断面図である。

40

【 0 0 5 9 】

図 1 1 に示す C M O S トランジスタにおいては、図 5 (c) に示す C M O S トランジスタと比較して、N チャネル M O S トランジスタ及び P チャネル M O S トランジスタのいずれにおいても、ソース・ドレイン領域に、ポケット層及びエクステンション層が形成されていない。また、サイドウォール 1 3 も形成されていない。

【 0 0 6 0 】

このような構成の C M O S トランジスタは、図 1 乃至図 5 に示す工程において、ポケット層又はエクステンション層を形成する工程及びこれに付随するマスクの形成及び除去に関

50

する工程を省略することにより、形成することができる。但し、図 1 (c) に示すシリコン窒化膜 7 を形成する工程が必須の工程であることはいうまでもない。

【 0 0 6 1 】

このような第 4 の実施例によっても、第 1 の実施形態と同様に、外方拡散の抑制及びレジスト膜を除去する際の半導体基板 1 の酸化の防止という効果が得られる。

【 0 0 6 2 】

次に、本発明の第 5 の実施例について説明する。第 5 の実施例では、ノッチ 8 又は 3 2 が存在しない構造を C M O S トランジスタに適用したものである。図 1 2 は、本発明の第 5 の実施形態に係る半導体装置の製造方法を工程順に示す断面図であり、図 1 3 は、本発明の第 4 の実施形態により製造された C M O S トランジスタを示す断面図である。

10

【 0 0 6 3 】

第 5 の実施形態においては、先ず、第 1 の実施形態と同様にして、素子分離領域 4 の形成 (図 1 (a)) からシリコン窒化膜 7 の形成 (図 1 (c)) までの工程を行う。

【 0 0 6 4 】

次に、図 2 (a) 乃至 (c) に示す工程を行うことなく、図 1 2 (a) に示すように、レジスト膜 2 1 を形成する。そして、このレジスト膜 2 1 及びゲート電極 6 をマスクとして、P 型のポケット層 9 の形成及び N 型のエクステンション層 1 1 の形成を行う。

【 0 0 6 5 】

次いで、図 1 2 (b) に示すように、レジスト膜 2 1 を除去し、レジスト膜 2 2 を形成する。そして、このレジスト膜 2 2 及びゲート電極 6 をマスクとして、N 型のポケット層 1 0 の形成及び P 型のエクステンション層 1 2 の形成を行う。

20

【 0 0 6 6 】

その後、レジスト膜 2 2 を除去し、第 1 の実施形態と同様にして、サイドウォール 1 3 の形成 (図 4 (b)) 以降の工程を行うことにより、図 1 3 に示す C M O S トランジスタを完成させる。

【 0 0 6 7 】

このような第 5 の実施形態によっても、第 1 の実施形態と同様に、外方拡散の抑制及びレジスト膜を除去する際の半導体基板 1 の酸化の防止という効果が得られる。

【 0 0 6 8 】

なお、本発明においては、窒化膜の厚さは 3 n m 以下であること、特に 2 n m であることが好ましい。図 1 4 は、窒化膜の厚さとエクステンション層の抵抗 (e x t e n s i o n 抵抗) との関係を示すグラフ図である。図 1 4 に示すように、窒化膜の存在により、エクステンション層の抵抗が低くなるが、窒化膜の厚さが厚くなりすぎると、エクステンション層の抵抗が上昇する傾向がある。従って、窒化膜の厚さは 3 n m 以下であることが好ましい。

30

【 0 0 6 9 】

なお、上述の実施形態に示された C M O S トランジスタは、インバータ等に適用することが可能である。但し、本発明に係る半導体装置は、C M O S トランジスタへの適用に限定されるものではない。

【 0 0 7 0 】

また、上述の実施形態では、レジスト膜をマスクとしてイオン注入を行っているが、ステンスルマスクを用いてイオン注入を行う場合にも、本発明は有効である。これは、ステンスルマスクを用いる場合には、レジスト膜の除去という工程は必要ないが、従来の方法では、アニールに伴うチャネルの空乏化が発生する虞があるためである。

40

【 0 0 7 1 】

以下、本発明の諸態様を付記としてまとめて記載する。

【 0 0 7 2 】

(付記 1) 一導電型の半導体基板上に形成され、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜と、
該ゲート絶縁膜上に形成されたゲート電極と、

50

該ゲート電極の側壁に形成された第 1 の窒素導入層と、
該ゲート電極の両側で、該半導体基板に形成され、該一導電型とは異なる反対導電型の一対の不純物層と、
を有することを特徴とする半導体装置。

【0073】

(付記 2) 一導電型の半導体基板上に形成され、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜と、
該ゲート絶縁膜上に形成されたゲート電極と、
該ゲート電極の側壁に形成された第 1 の窒素導入層と、
該ゲート電極の両側で、該半導体基板に形成され、該一導電型とは異なる反対導電型の一対の不純物層と、
該ゲート電極に自己整合して該半導体基板に形成された、一対の一導電型不純物層と、
を有することを特徴とする半導体装置。

【0074】

(付記 3) 前記第 1 の窒素導入層を介して、前記ゲート電極の側面及び前記半導体基板上に形成されたサイドウォールを有することを特徴とする付記 1 又は 2 に記載の半導体装置。

【0075】

(付記 4) 一導電型の半導体基板上に形成され、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜と、
該ゲート絶縁膜上に形成されたゲート電極と、
該ゲート電極の側壁に形成された第 1 の窒素導入層と、
該ゲート電極の両側で、該半導体基板から第 1 の深さに形成され、該一導電型とは異なる第 1 の反対導電型不純物層と、
該ゲート電極に自己整合して該半導体基板に形成された、一対の一導電型不純物層と、
該第 1 の窒素導入層を介して、該ゲート電極の側面に形成されたサイドウォールと、
該サイドウォール及び該ゲート電極に自己整合して該半導体基板に形成され、該半導体基板から該第 1 の深さよりも深い第 2 の深さに形成された、第 2 の反対導電型不純物層と、
を有することを特徴とする半導体装置。

【0076】

(付記 5) 前記サイドウォールと前記半導体基板との間に形成された、第 2 の窒素導入層を有することを特徴とする付記 3 又は 4 に記載の半導体装置。

【0077】

(付記 6) 前記第 2 の反対導電型不純物層が形成された前記半導体基板の表面に、シリサイド層を有することを特徴とする付記 5 に記載の半導体装置。

【0078】

(付記 7) 前記ゲート絶縁膜は、シリコン酸化膜を含むことを特徴とする付記 1 乃至 6 のいずれか 1 項に記載の半導体装置。

【0079】

(付記 8) 一導電型の半導体基板上に、シリコン酸化膜よりも誘電率が高い材料からなるゲート絶縁膜を形成する工程と、
該ゲート絶縁膜を介してゲート電極を形成する工程と、
該半導体基板及び該ゲート電極の表面に、窒素を導入する工程と、
次いで、該ゲート電極の両側の該半導体基板に、該一導電型とは異なる反対導電型の一対の不純物層を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【0080】

(付記 9) 一導電型の半導体基板上に、一導電型領域及び該一導電型とは異なる反対導電型の反対導電型領域を形成する工程と、
該一導電型領域上に、シリコン酸化膜よりも誘電率が高い材料からなる第 1 のゲート絶縁

膜を形成する工程と、
該反対導電型領域上に、第2のゲート絶縁膜を形成する工程と、
該第1のゲート絶縁膜上に第1のゲート電極を形成する工程と、
該第2のゲート絶縁膜上に第2のゲート電極を形成する工程と、
該第1及び第2のゲート電極の表面に、窒素を導入する工程と、
次いで、該反対導電型領域を選択的に覆う第1のマスク層を形成する工程と、該第1のゲート電極及び該第1のマスク層をマスクにして、該第1のゲート電極の両側の該半導体基板に、該反対導電型の不純物層を形成する工程と、
次いで、該第1のマスク層を除去する工程と、
次いで、該一導電型領域を選択的に覆う第2のマスク層を形成する工程と、
該第2のゲート電極及び該第2のマスク層をマスクにして、該第2のゲート電極の両側の該半導体基板に、該一導電型の不純物層を形成する工程と、
次いで、第2のマスク層を除去する工程と、
を含むことを特徴とする半導体装置の製造方法。

10

【0081】

(付記10) 前記窒素を導入する工程は、窒素を導入する予定の領域を、窒素を含むガスのプラズマ又はラジカルに晒す工程を含むことを特徴とする付記8又は9に記載の半導体装置の製造方法。

【0082】

(付記11) 一導電型の半導体基板上にゲート絶縁膜を形成する工程と、
該ゲート絶縁膜を介してゲート電極を形成する工程と、
該半導体基板及び該ゲート電極の表面に、窒素を含むガスのプラズマ又はラジカルに晒して、窒素を導入する工程と、
次いで、該ゲート電極の両側の該半導体基板に、該一導電型とは異なる反対導電型の一对の不純物層を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

20

【0083】

(付記12) 該窒素を導入する工程の後に、該ゲート電極の両側の該半導体基板に、該一導電型の不純物層を形成する工程を含むことを特徴とする付記8乃至11に記載の半導体装置の製造方法。

30

【0084】

(付記13) 該窒素を導入する工程の後に、該窒素を導入する工程により形成された窒素を含む層を介して、該ゲート電極の側面にサイドウォールを形成する工程を有することを特徴とする付記8乃至12のいずれか1項に記載の半導体装置の製造方法。

【0085】

(付記14) 該窒素を導入する工程により形成される窒素を含む層の厚さを3nm以下とすることを特徴とする付記8乃至13のいずれか1項に記載の半導体装置の製造方法。

【0086】

(付記15) 該ゲート絶縁膜をシリコン酸窒化膜から形成することを特徴とする付記8乃至14のいずれか1項に記載の半導体装置の製造方法。

40

【0087】

(付記16) 前記不純物層の表面にシリサイド層を形成する工程を含むことを特徴とする付記8乃至15のいずれか1項に記載の半導体装置の製造方法。

【0088】**【発明の効果】**

以上詳述したように、本発明よれば、ゲート絶縁膜及びゲート電極を形成した後に窒素の導入を行っているので、その後にレジスト膜の形成及び除去を行ったとしても、窒素が導入された領域の酸化を防止することができる。また、アニールの実施を、窒素が導入された状態で行うことにより、既に導入されている不純物の外方拡散を防止することができる。従って、従来の方法で生じていたようなチャンネルの空乏化を防止することができる。こ

50

これらの結果、良好な特性の半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す図であって、図 1 に示す工程の次工程を示す断面図である。

【図 3】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す図であって、図 2 に示す工程の次工程を示す断面図である。

【図 4】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す図であって、図 3 に示す工程の次工程を示す断面図である。

10

【図 5】同じく、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す図であって、図 4 に示す工程の次工程を示す断面図である。

【図 6】本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】本発明の第 2 の実施形態により製造された CMOS トランジスタを示す断面図である。

【図 8】本発明の第 3 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】同じく、本発明の第 3 の実施形態に係る半導体装置の製造方法を工程順に示す図であって、図 8 に示す工程の次工程を示す断面図である。

20

【図 10】本発明の第 3 の実施形態により製造された CMOS トランジスタを示す断面図である。

【図 11】本発明の第 4 の実施形態に係る半導体装置の製造方法により製造された CMOS トランジスタを示す断面図である。

【図 12】本発明の第 5 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 13】本発明の第 4 の実施形態により製造された CMOS トランジスタを示す断面図である。

【図 14】窒化膜の厚さとエクステンション層の抵抗 (e x t e n s i o n 抵抗) との関係を示すグラフである。

30

【図 15】CMOS トランジスタの従来の製造方法を工程順に示す断面図である。

【図 16】同じく、CMOS トランジスタの従来の製造方法を工程順に示す図であって、図 15 に示す工程の次工程を示す断面図である。

【図 17】同じく、CMOS トランジスタの従来の製造方法を工程順に示す図であって、図 16 に示す工程の次工程を示す断面図である。

【符号の説明】

1 ; 半導体基板

2 ; P ウェル

3 ; N ウェル

4 ; 素子分離領域

40

5 ; ゲート絶縁膜

6 ; ゲート電極

7 ; 窒化膜

8 ; ノッチ

8 a ; シリコン酸化膜

8 b ; シリコン窒化膜

9、10 ; ポケット層

11、12 ; エクステンション層

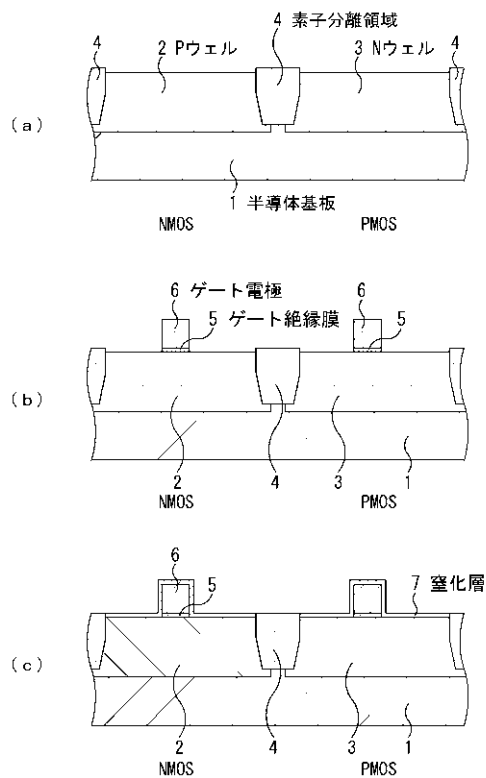
13 ; サイドウォール

14、15 ; ソース・ドレイン拡散層

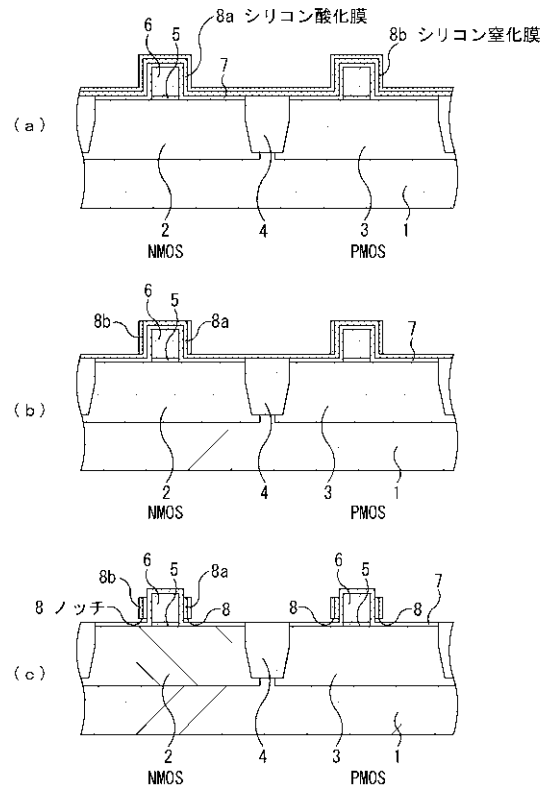
50

- 16 ; シリサイド層
- 17 ; 層間絶縁膜
- 18 ; コンタクトホール
- 19 ; 導電材
- 21、22、23、24、25、26、27 ; レジスト膜
- 31 ; シリコン酸化膜
- 32 ; 絶縁膜
- 33 ; 多結晶シリコン膜
- 34 ; デポ物
- 35 ; ノッチ

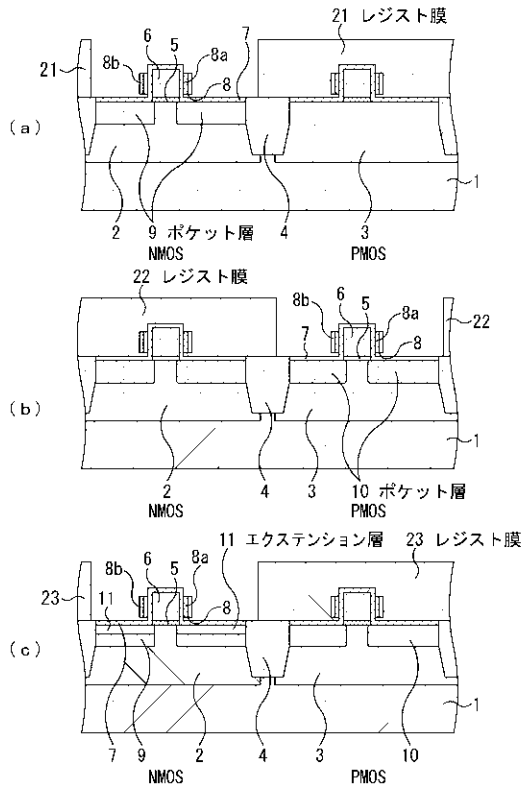
【図1】



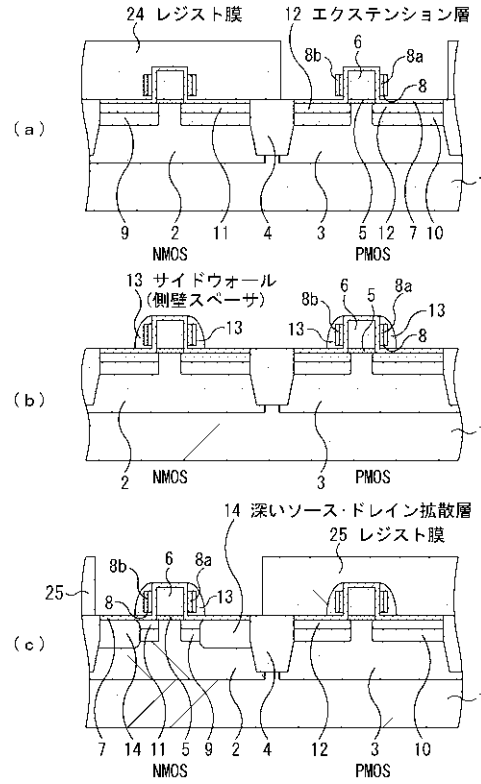
【図2】



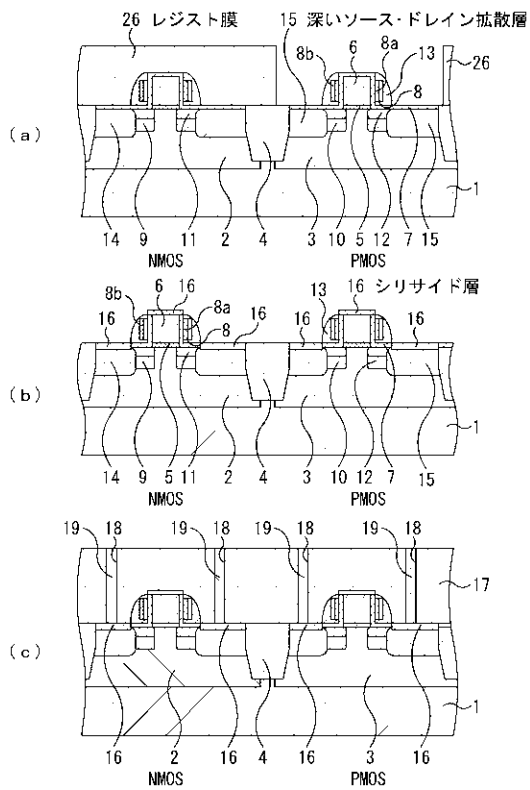
【図 3】



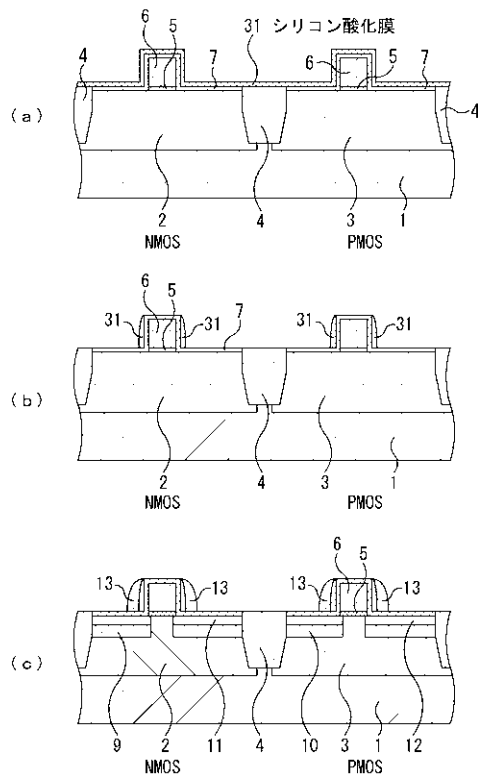
【図 4】



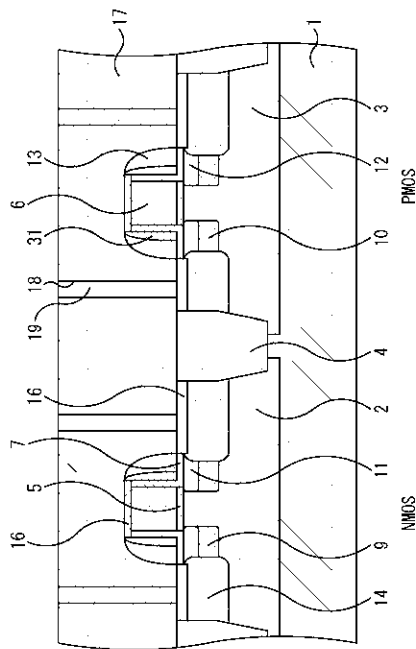
【図 5】



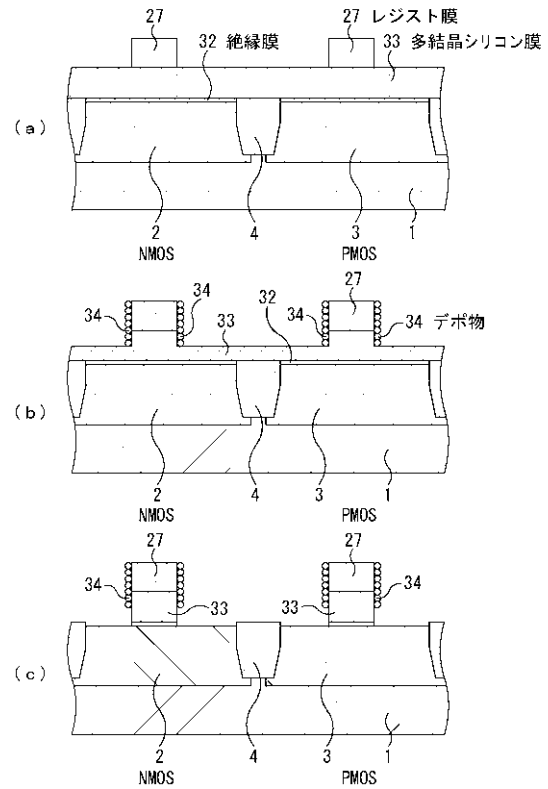
【図 6】



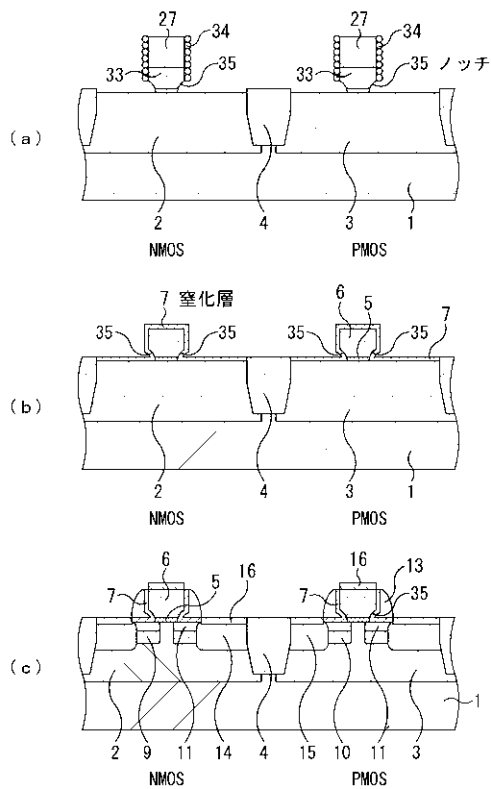
【図 7】



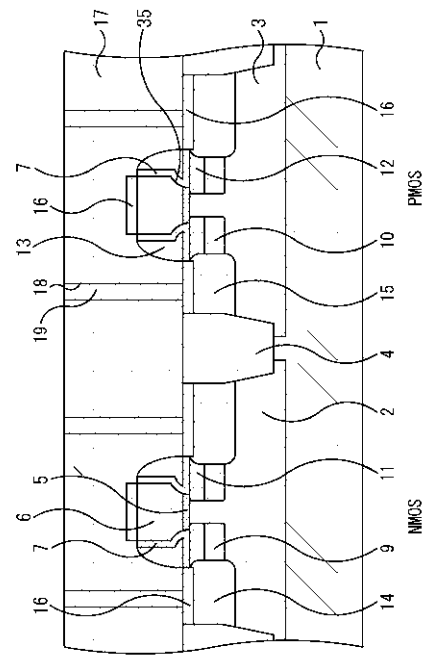
【図 8】



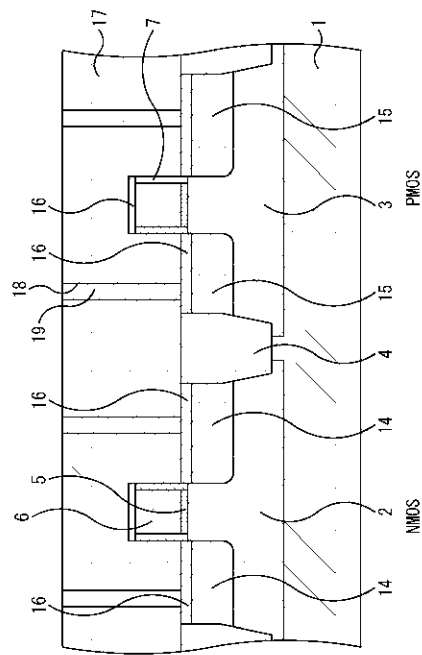
【図 9】



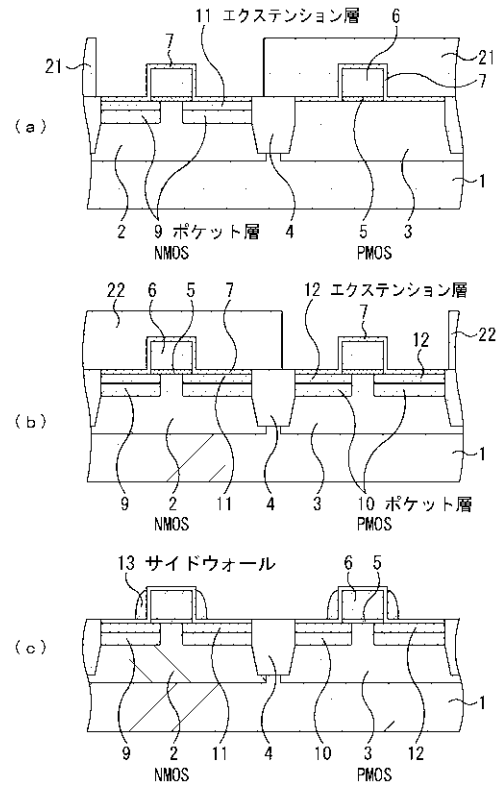
【図 10】



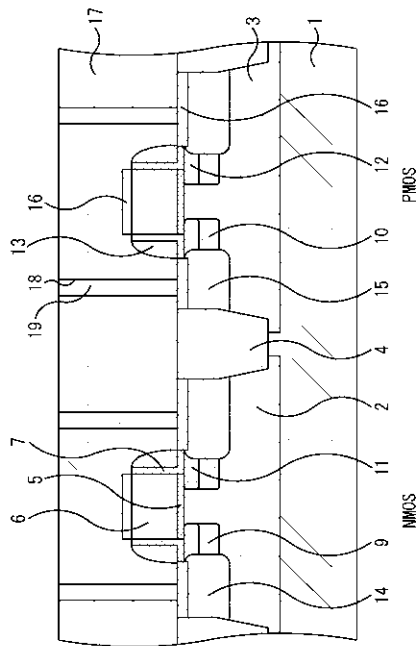
【図 1 1】



【図 1 2】

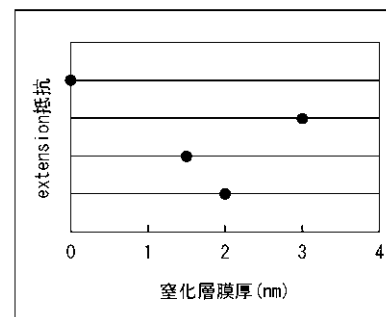


【図 1 3】

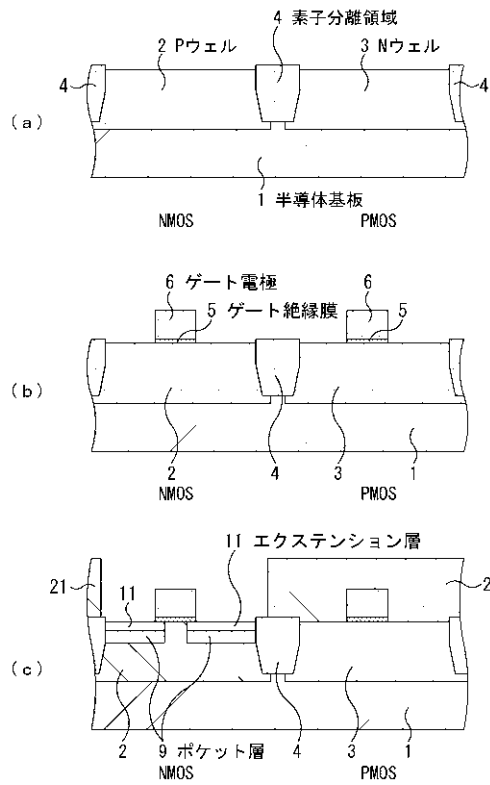


【図 1 4】

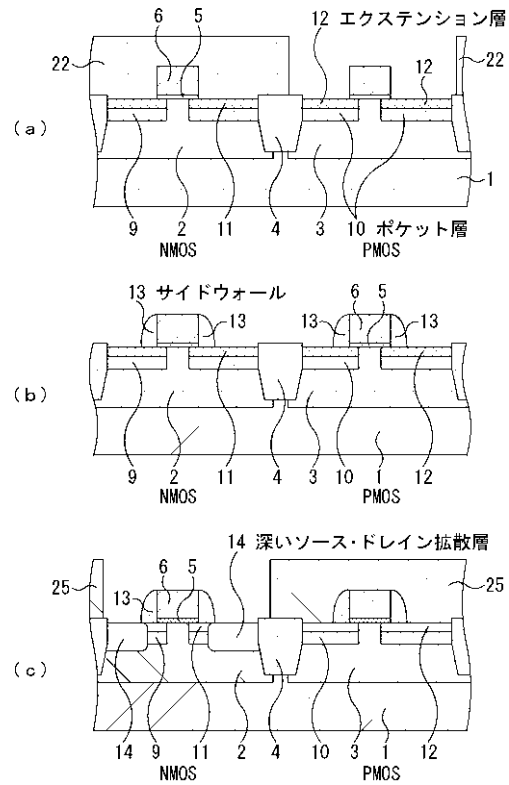
窒化層膜厚 vs エクステンション抵抗



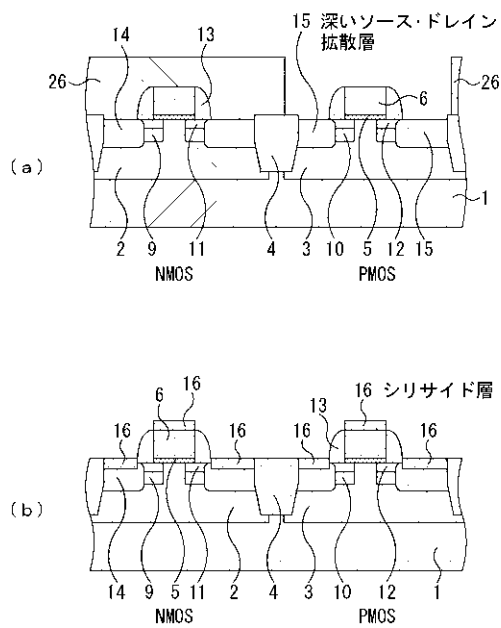
【図 15】



【図 16】



【図 17】



フロントページの続き

F ターム(参考) 5F140 AA00 AA10 AA21 AB03 BA01 BD09 BF01 BF04 BF11 BF18
BF51 BG08 BG09 BG10 BG12 BG14 BG34 BG45 BG50 BG52
BG53 BG54 BG58 BH14 BH21 BH36 BJ01 BJ08 BJ11 BJ15
BK02 BK10 BK13 BK25 BK34 CB01 CB08 CF04