(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3595591号
(P3595591)
(45)発行日　平成16年12月2日(2004.12.2)　(24)登録日　平成16年9月10日(2004.9.10)

(51)Int.Cl.[7]	F I
G11C 29/00	G11C 29/00 671F
G11C 11/401	G11C 11/34 371A

請求項の数 7　(全 16 頁)

(21)出願番号	特願平7-24049
(22)出願日	平成7年2月13日(1995.2.13)
(65)公開番号	特開平8-221999
(43)公開日	平成8年8月30日(1996.8.30)
審査請求日	平成14年2月6日(2002.2.6)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100086405
弁理士　河宮　治
(74)代理人　100098280
弁理士　石野　正弘
(72)発明者　北出　修
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　北伊丹製作所内

審査官　長島　孝志

最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】

【請求項１】

第１外部端子から入力される２値の第１外部信号の状態変更に対応して２値の状態を変更する第１内部信号を生成して出力する第１内部信号出力手段を備え、

該第１内部信号出力手段から出力された第１内部信号が所定のタイミングマージン内であるときにおける、第２外部端子から入力される２値の第２外部信号と上記第１外部端子から入力される第１外部信号とのタイミングマージンがチェックされる半導体チップの半導体集積回路において、

上記第２外部端子から入力される第２外部信号の状態変更時に２値の状態を変更する第２内部信号を生成して上記第１内部信号出力手段に出力する第２内部信号出力手段と、

少なくとも１つの外部端子からなる第３外部端子に所定の信号が入力されると、２値の状態を変更して該所定の信号が入力されたことを示す第３内部信号を生成して上記第１内部信号出力手段に出力する第３内部信号出力手段とを備え、

上記第１内部信号出力手段は、更に、上記第１外部信号の状態変更がない場合においても、該第２内部信号出力手段から出力される第２内部信号の状態変更と、上記第３内部信号出力手段から出力される第３内部信号の状態変更とに対応して上記第１内部信号の状態を変更して出力することを特徴とする半導体集積回路。

【請求項２】

請求項１に記載の半導体集積回路にして、上記第１内部信号出力手段は、上記第２内部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを選択する手段を備えた

ことを特徴とする半導体集積回路。
【請求項３】
請求項２に記載の半導体集積回路にして、上記タイミングを選択する手段は、異なった遅延時間に設定された複数の遅延回路にそれぞれヒューズを直列に接続してなり、上記第２内部信号が、該各遅延回路の入力に入力され、選択しない遅延回路の該ヒューズを切断して所望の遅延回路を選択することにより、上記第１内部信号出力手段に対して、該選択された遅延回路を介して第２外部端子から入力された第２外部信号の状態変更に対して第１内部信号の状態変更を行うタイミングを設定することを特徴とする半導体集積回路。
【請求項４】
請求項１に記載の半導体集積回路にして、上記第３内部信号は、上記第３外部端子の各外部端子において、所定の信号が入力された外部端子を識別する識別信号であることを特徴とする半導体集積回路。
【請求項５】
請求項４に記載の半導体集積回路にして、上記第１内部信号出力手段は、上記識別信号に対応して、上記第２内部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを可変する手段を備えたことを特徴とする半導体集積回路。
【請求項６】
請求項５に記載の半導体集積回路にして、上記タイミングを可変する手段は、異なった遅延時間に設定された複数の遅延回路からなり、上記第２内部信号が、該各遅延回路の入力に入力されると共に、上記第１内部信号出力手段は、上記識別信号に対応して上記各遅延回路を選択し、該選択した遅延回路を介して第２外部端子から入力された第２外部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを変えることを特徴とする半導体集積回路。
【請求項７】
請求項６に記載の半導体集積回路にして、上記第１内部信号出力手段は、各遅延回路を選択する手段として、各遅延回路にそれぞれスイッチング手段を備え、上記識別信号に対応するスイッチング手段をスイッチングすることにより、上記識別信号に対応した遅延回路を選択することを特徴とする半導体集積回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体集積回路において、半導体チップ製造時にテスティングバーンインを行う際に内部信号によるタイミングマージンを小さくすることができるようにするための回路に関するものである。
【０００２】
【従来の技術】
従来、製造した半導体チップをテストする際に、該半導体チップを通常２７℃～８０℃でテストするのに対して、１２０℃という悪条件下でテストするバーンインを行っていた。しかし、該バーンインを行っているときの半導体チップの動作状態であるバーンイン状態をモニタせずにバーンインを行っていた。
【０００３】
そこで、半導体チップの上記バーンイン状態をモニタしながら該半導体チップのテストを行うテスティングバーンイン装置が、近年になって使用されるようになった。図８は、従来のダイナミック動作型ＲＡＭ（以下ＤＲＡＭと呼ぶ）の主に行デコーダに関する信号の流れの例を示した概略のブロック図である。ここでは、図８において、行デコーダに対してメモリセルに書き込み動作を行わせる場合の各部の動作及び信号の流れを例にして従来例を説明する。なお、列デコーダに対してメモリセルに書き込み動作を行わせる場合、列デコーダは、センスアンプを介してメモリセルに書き込み動作を行う以外は行デコーダの場合と動作原理は同じであるので説明を省略する。
【０００４】

図８において、複数のアドレス入力端子Ａ０～Ａｎ（ｎは０及び正の整数）から入力されたアドレスを指定する信号はそれぞれアドレスバッファ１に入力され、該アドレスバッファ１は、列デコーダ２及び行デコーダ３に対して上記各アドレス入力端子Ａ０～Ａｎより入力された信号からメモリセル４のアドレスのワードラインとビットラインを示す信号を出力し、行デコーダ３は、ＲＸ発生回路６から入力され、メモリセル４のワードラインを活性化させるための信号であるイネーブル信号ＲＸ（以下ＲＸ信号と呼ぶ）が入力されるとアドレスバッファ１から入力された信号が示すワードラインを活性化させる。なお、上記列デコーダ２はセンスアンプ５を介してメモリセル４にビットラインを示す信号を出力する。

【０００５】

上記ＲＸ発生回路６には、上記ＲＸ信号を活性化させるための信号であるＲＸＴ信号を出力するＲＡＳバッファ７が接続されており、該ＲＡＳバッファ７には、上記ＲＸＴ信号を活性化させるための信号であるＲＸＴＦ信号を出力するＲＸＴＦ発生回路８が接続されている。該ＲＸＴＦ発生回路８は、ＲＸＴＦ信号を活性化させるために必要な信号であり、メモリセル４の活性化させるワードラインのブロックを選択するワードラインブロック選択信号ＸＡ（以下ＸＡ信号と呼ぶ）を出力する行アドレスバッファ９に接続されており、該行アドレスバッファ９は上記アドレスバッファ１に接続されている。

【０００６】

上記アドレスバッファ１に入力された信号からメモリセル４におけるアドレスの行に関するデータが、アドレスバッファ１から行アドレスバッファ９に入力され、該行アドレスバッファ９から上記ＸＡ信号がＲＸＴＦ発生回路７に出力され、該ＲＸＴＦ発生回路７は、ＲＡＳバッファ７に上記ＲＸＴＦ信号を出力する。上記ＲＡＳバッファ７は、外部入力端子／ｅｘＲＡＳを介して、メモリセル４への書き込み動作を開始したいタイミングに外部回路から送られてくる行アドレスストローブ信号（以下／ｅｘＲＡＳ信号と呼ぶ）と、上記ＲＸＴＦ信号とからＲＸ発生回路６に対して上記ＲＸＴ信号を出力する。

【０００７】

また、外部入力端子／ｅｘＷＥを介して、指定アドレスのメモリセルを書き込み動作にセットするためのライト信号（以下／ｅｘＷＥ信号と呼ぶ）が「Ｈ」から「Ｌ」に切り換わって外部回路からＷＥバッファ１０に入力される。該ＷＥバッファ１０は、入力された上記／ｅｘＷＥ信号が「Ｈ」から「Ｌ」に切り換わると、入力バッファ１１に対して書き込みを許可するために入力バッファ１１に対する制御信号であるＷＤＥ信号を「Ｌ」から「Ｈ」に切り換えて出力すると共に、出力バッファ１２に対して読み出しを禁止するために出力バッファ１２に対する制御信号であるＤＢＲ信号を「Ｈ」から「Ｌ」に切り換えて出力する。

【０００８】

書き込み許可の信号が入力された入力バッファ１１は、外部入出力端子ＤＱ１～ＤＱｍ（ｍは自然数）を介して外部回路からメモリセル４に書き込むための信号情報をセンスアンプ５に出力し、該信号情報を上記列デコーダ２及び行デコーダ３からの信号で指定されたアドレスのメモリセルに書き込まれる。

【０００９】

ここで、上記ＲＡＳバッファ７のＲＸＴ信号を出力するプロセスをもう少し詳細に説明する。図９は上記ＲＡＳバッファ７の回路例であり、図９において、ＲＡＳバッファ７は４つのインバータ回路５０，５１，５２，５３と１つのＮＡＮＤ回路５４からなり、インバータ回路５０，５１，５２が同じ方向に直列に接続され、インバータ回路５０の入力は上記／ｅｘＲＡＳ端子に接続されており、／ｅｘＲＡＳ端子から入力された／ｅｘＲＡＳ信号は、インバータ回路５１を介してインバータ回路５２の出力から上記ＮＡＮＤ回路５４の一方の入力に入力され、該信号をｉｎｔＲＡＳ信号とする。ＮＡＮＤ回路５４の他方の入力にはＲＸＴＦ発生回路８が接続されており、上記ＲＸＴＦ信号が入力される。上記ＮＡＮＤ回路５４はインバータ回路５３を介してＲＸ発生回路６に接続されている。

【００１０】

【発明が解決しようとする課題】
図１０の（ａ）は、上記図９で示した回路におけるタイミングチャート図であり、図１０の（ｂ）は、図８で示したＤＲＡＭの製造検査を行う際に使用されるテスティングバーンイン装置を接続した場合の上記図９で示した回路におけるタイミングチャート図である。上記図１０の（ａ）及び（ｂ）を比較して、図１０（ａ）に対して図１０（ｂ）の波形になまりが生じていることが分かる。このように、上記テスティングバーンイン装置は多数の半導体デバイスを同時に測定するため、半導体デバイスを装着したデバイスボードにおける配線の長短の差や、各々の半導体デバイスによる容量、及びテスティングバーンイン装置のスキュー、例えば現状のバーンイン装置でスキューが１ｎｓとするとテスティングバーンイン装置では１０ｎｓ～２０ｎｓとなることにより、半導体チップの動作特性を測定する際に該特性を示す波形になまりが生じる。

【００１１】
上記のように、テスティングバーンイン装置を使用すると、半導体チップの動作特性を測定する、例えば図８における外部入力端子／ｅｘＷＥを介して外部からライトイネーブル信号／ｅｘＷＥ（以下／ｅｘＷＥ信号と呼ぶ）による書き込み命令の上記／ｅｘＲＡＳ信号に対する先行時間ｔＲＷＬを測定するなどの際に該特性を示す波形になまりが生じ、半導体チップにおける半導体集積回路のデバイスのしきい値等によって上記ｔＲＷＬが大きくなるというように、半導体チップにおける内部信号によるタイミングマージンをテストする際に、マージンを小さくして正確な動作特性を測定することができないという問題があった。

【００１２】
本発明は、上記のような問題を解決するためになされたものであり、半導体チップを製造するときにテスティングバーンイン装置を用いて行われる半導体チップのテストにおいて、半導体チップの内部信号によるタイミングマージンを小さくして正確な動作特性を測定することができる半導体集積回路を得るものである。

【００１３】
【課題を解決するための手段】
本発明は、第１外部端子からの外部入力信号の２値の状態変更に対応して２値の状態を変更する第１内部信号を生成して出力する第１内部信号出力手段を備え、該第１内部信号出力手段から出力された第１内部信号が所定のタイミングマージン内であるときにおける、第２外部端子からの外部入力信号と上記第１外部端子からの上記外部入力信号とのタイミングマージンがチェックされる半導体チップの半導体集積回路において、上記第２外部端子からの入力信号の２値の状態変更時に２値の状態を変更する第２内部信号を生成して上記第１内部信号出力手段に出力する第２内部信号出力手段と、少なくとも１つの外部端子からなる第３外部端子に所定の信号が入力されると、２値の状態を変更して該所定の信号が入力されたことを示す第３内部信号を生成して上記第１内部信号出力手段に出力する第３内部信号出力手段とを備えた半導体集積回路を提供するものである。

【００１４】
本願の特許請求の範囲の請求項２に記載の発明において、上記請求項１の第１内部信号出力手段は、上記第２内部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを選択する手段を備えたことを特徴とする。

【００１５】
本願の特許請求の範囲の請求項３に記載の発明において、上記請求項２のタイミングを選択する手段は、異なった遅延時間に設定された複数の遅延回路にそれぞれヒューズを直列に接続してなり、上記第２内部信号が、該各遅延回路の入力に入力され、選択しない遅延回路の該ヒューズを切断して所望の遅延回路を選択することにより、上記第１内部信号出力手段に対して、該選択された遅延回路を介して第２外部端子から入力された第２外部信号の状態変更に対して第１内部信号の状態変更を行うタイミングを設定することを特徴とする。

【００１６】

本願の特許請求の範囲の請求項４に記載の発明において、上記請求項１の第３内部信号は、上記第３外部端子の各外部端子において、所定の信号が入力された外部端子を識別する識別信号であることを特徴とする。

【００１７】

本願の特許請求の範囲の請求項５に記載の発明において、上記請求項４の第１内部信号出力手段は、上記識別信号に対応して、上記第２内部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを可変する手段を備えたことを特徴とする。

【００１８】

本願の特許請求の範囲の請求項６に記載の発明において、上記請求項５のタイミングを可変する手段は、異なった遅延時間に設定された複数の遅延回路からなり、上記第２内部信号が、該各遅延回路の入力に入力されると共に、上記第１内部信号出力手段は、上記識別信号に対応して上記各遅延回路を選択し、該選択した遅延回路を介して第２外部端子から入力された第２外部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを変えることを特徴とする。

【００１９】

本願の特許請求の範囲の請求項７に記載の発明において、上記請求項６の第１内部信号出力手段は、各遅延回路を選択する手段として、各遅延回路にそれぞれスイッチング手段を備え、上記識別信号に対応するスイッチング手段をスイッチングすることにより、上記識別信号に対応した遅延回路を選択することを特徴とする。

【００２０】

【作用】

特許請求の範囲の請求項１に記載の半導体集積回路は、第２内部信号出力手段で、上記第２外部端子から入力される信号の２値の状態変更時に２値の状態を変更する第２内部信号を生成して上記第１内部信号出力手段に出力し、第３内部信号出力手段で、少なくとも１つの外部端子からなる第３外部端子に所定の信号が入力されると、２値の状態を変更して該所定の信号が入力されたことを示す第３内部信号を生成して上記第１内部信号出力手段に出力し、上記第１外部信号の状態変更がない場合においても、上記第１内部信号出力手段で、該第２内部信号出力手段から出力される第２内部信号の状態変更と、上記第３内部信号出力手段から出力される第３内部信号の状態変更とに対応して状態を変更する２値の第１内部信号を生成して出力する。

【００２１】

特許請求の範囲の請求項２に記載の半導体集積回路においては、請求項１に記載の第１内部信号出力手段は、上記タイミングを選択する手段により、第２内部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを選択する。

【００２２】

特許請求の範囲の請求項３に記載の半導体集積回路においては、請求項２に記載のタイミングを選択する手段で、上記第２内部信号が上記各遅延回路の入力に入力され、選択しない遅延回路の該ヒューズを切断して所望の遅延回路を選択することにより、上記第１内部信号出力手段に対して、該選択された遅延回路を介して第２外部端子から入力された第２外部信号の状態変更に対して第１内部信号の状態変更を行うタイミングを設定する。

【００２３】

特許請求の範囲の請求項４に記載の半導体集積回路においては、請求項１に記載の第３内部信号により、上記第１内部信号出力手段は、上記第３外部端子の各外部端子において、所定の信号が入力された外部端子を識別する。

【００２４】

特許請求の範囲の請求項５に記載の半導体集積回路においては、請求項４に記載の第１内部信号出力手段は、タイミングを可変する手段により、上記識別信号である第３内部信号に対応して、第２内部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを可変する。

【００２５】

特許請求の範囲の請求項６に記載の半導体集積回路においては、請求項５に記載のタイミングを可変する手段により、上記第１内部信号出力手段は、上記識別信号に対応して上記各遅延回路を選択し、該選択した遅延回路を介して第２外部端子から入力された第２外部信号の状態変更に対する第１内部信号の状態変更を行うタイミングを変える。

【００２６】

特許請求の範囲の請求項７に記載の半導体集積回路においては、請求項６に記載の第１内部信号出力手段が、各遅延回路を選択する手段として、各遅延回路にそれぞれスイッチング手段を備え、該スイッチング手段により、上記識別信号に対応した遅延回路を選択する。

【００２７】

【実施例】

次に、図面に示す実施例に基づき、本発明について詳細に説明する。

実施例１．

図１は、本発明の第１実施例の半導体集積回路を使用したＤＲＡＭの主に行デコーダに関する信号の流れの例を示した概略のブロック図であり、最初に図１を用いて本発明の第１実施例の回路を使用するＤＲＡＭの行デコーダに対してメモリセルに書き込み動作を行わせる場合の各部の動作及び信号の流れの概略を説明する。なお、図１において、従来例の上記図８と同じものは同じ符号で示し、ここでは、図８との相違点のみ説明すると共に、列デコーダに対してメモリセルに書き込み動作を行わせる場合、列デコーダは、センスアンプを介してメモリセルに書き込み動作を行う以外は行デコーダの場合と動作原理は同じであるので説明を省略する。

【００２８】

図１における図８との相違点は、アドレス入力端子Ａ０～Ａｎの何れかからアドレスバッファ１にアドレスを指定する信号が入力されたことを示すＡＤＫ信号を出力するアドレスキー回路３０Ａを備え、ＲＡＳバッファは、更に該ＡＤＫ信号及びＷＥバッファ１０から出力されるＷＤＥ信号が入力され、外部からの信号である／ｅｘＲＡＳ信号、ＲＸＴＦ発生回路８から入力されるＲＸＴＦ信号、上記ＡＤＫ信号及び上記ＷＤＥ信号から、上記ＲＸＴ信号の２値の状態を切り換えて出力することからＲＡＳバッファ７Ａとし、これに伴ってＤＲＡＭ２０を２０Ａにしたことにある。

【００２９】

図１において、アドレス入力端子Ａ０～Ａｎから入力されたアドレスを指定する信号はそれぞれアドレスバッファ１に入力され、該アドレスバッファ１は、列デコーダ２、行デコーダ３及びアドレスキー回路３０Ａに対して上記各アドレス入力端子Ａ０～Ａｎより入力された信号からメモリセル４のアドレスのワードラインとビットラインを示す信号を出力する。アドレスキー回路３０Ａはアドレスバッファ１から入力された該信号からアドレスバッファ１にアドレスを指定する信号が入力されたか否かを検出し、アドレスバッファ１にアドレスを指定する信号が入力されたことを検出している間、ＲＡＳバッファ７ＡにＡＤＫ信号を「Ｌ」から「Ｈ」に切り換えて出力する。

【００３０】

また、外部入力端子／ｅｘＷＥを介して、指定アドレスのメモリセルを書き込み動作にセットするための／ｅｘＷＥ信号が「Ｈ」から「Ｌ」に切り換わって外部回路からＷＥバッファ１０に入力されると、該ＷＥバッファ１０は、上記／ｅｘＷＥ信号が入力されると、入力バッファ１１に対して書き込みを許可するために入力バッファ１１に対する制御信号であるＷＤＥ信号を「Ｌ」から「Ｈ」に切り換えて、ＲＡＳバッファ７Ａ及び入力バッファ１１に出力する。ＲＡＳバッファ７Ａは、上記／ｅｘＲＡＳ信号及び上記ＲＸＴＦ信号に加えて上記ＡＤＫ信号及びＷＤＥ信号から上記ＲＸＴ信号の２値の状態を変えてＲＸ発生回路６に出力する。

【００３１】

ここで、上記ＲＡＳバッファ７ＡのＲＸＴ信号を出力するプロセスをもう少し詳細に説明する。図２は上記ＲＡＳバッファ７Ａの回路例を示した図である。なお、図２において、

図９と同じものは同じ符号で示している。ＲＡＳバッファ７Ａは、図９のインバータ回路５３及びＮＡＮＤ回路５４と、更に６つのインバータ回路６０，６１，６２，６４，６６，６７と、２つのＮＡＮＤ回路６３，６５と、ｐチャンネル型ＭＯＳトランジスタ（以下ｐＭＯＳトランジスタと呼ぶ）６８と、ｎチャンネル型ＭＯＳトランジスタ（以下ｎＭＯＳトランジスタと呼ぶ）６９とからなる。

【００３２】

インバータ回路６０，６１，６２が同じ方向に直列に接続されて遅延回路を形成し、インバータ回路６０の入力は上記／ｅｘＲＡＳ端子に接続されており、該日入力端子／ｅｘＲＡＳからインバータ回路６０の入力に入力された／ｅｘＲＡＳ信号は、インバータ回路６０の出力からインバータ回路６１を介してインバータ回路６２の入力に、更にインバータ回路６２の出力から上記ＮＡＮＤ回路６３の一方の入力に入力される。

【００３３】

また、上記インバータ回路６０の出力と上記インバータ回路６１の入力との接続部には、上記ｎＭＯＳトランジスタ６９のドレインが接続され、該ｎＭＯＳトランジスタ６９のソースは上記ＮＡＮＤ回路６３の他方の入力に接続され、該接続部には、更に上記ｐＭＯＳトランジスタ６８のソースが接続されている。ｎＭＯＳトランジスタ６９のゲートにはｐＭＯＳトランジスタ６８のゲートが接続され、ｐＭＯＳトランジスタ６８のドレインは接地されている。

【００３４】

上記インバータ回路６６及び６７が同じ方向に直列に接続されて遅延回路を形成し、該インバータ回路６６の入力には上記ＮＡＮＤ回路６５の出力が接続され、インバータ回路６７の出力が上記ｐＭＯＳトランジスタ６８及びｎＭＯＳトランジスタ６９の両ゲートの接続部に接続されている。ＮＡＮＤ回路６５の一方の入力はＷＥバッファ１０に接続されており、上記ＷＤＥ信号が入力される。また、ＮＡＮＤ回路６５の他方の入力はアドレスキー回路３０Ａに接続されており、上記ＡＤＫ信号が入力される。

【００３５】

上記ＮＡＮＤ回路６３の出力はインバータ回路６４を介して上記ＮＡＮＤ回路５４の一方の入力に接続され、インバータ回路６４の出力から出力されてＮＡＮＤ回路５４の一方の入力に入力される信号をｉｎｔＲＡＳ信号とする。ＮＡＮＤ回路５４の他方の入力は上記ＲＸＴＦ発生回路８に接続されており、上記ＲＸＴＦ信号が入力される。上記ＮＡＮＤ回路５４はインバータ回路５３を介してＲＸ発生回路６に接続され、該インバータ回路５３の出力からは、上記ＲＸＴ信号がＲＸ発生回路６に出力される。

【００３６】

なお、上記第１実施例において、外部入力端子／ｅｘＲＡＳが第１外部端子、／ｅｘＲＡＳ信号が第１外部信号をなし、ＲＡＳバッファ７Ａにおけるインバータ回路６０，６１，６２，６４，６６，６７、ＮＡＮＤ回路６３，６５、ｐＭＯＳトランジスタ６８、ｎＭＯＳトランジスタ６９で第１内部信号出力手段をなし、ｉｎｔＲＡＳ信号が第１内部信号をなす。また、外部入力端子／ｅｘＷＥが第２外部端子、／ｅｘＷＥ信号が第２外部信号をなし、ＷＥバッファ１０が第２内部信号出力手段をなし、ＷＤＥ信号が第２内部信号をなす。更に、アドレス入力端子Ａ０～Ａｎが第３外部端子を形成し、アドレスキー回路３０Ａが第３内部信号出力手段をなし、ＡＤＫ信号が第３内部信号をなす。また、上記第３内部信号出力手段は、厳密に言えばアドレスバッファ１を含む。

【００３７】

図３は、上記図２で示した回路におけるタイミングチャート図であり、図２及び図３を用いて図２で示した回路の動作を説明する。図２及び図３において、／ｅｘＷＥ信号が「Ｈ」のときＷＥバッファ１０から出力されるＷＤＥ信号が「Ｌ」であり、アドレスバッファ１にアドレスを指定する信号が入力されておらず上記アドレスキー回路３０Ａから出力されるＡＤＫ信号が「Ｌ」である場合、ｐＭＯＳトランジスタ６８及びｎＭＯＳトランジスタ６９の両ゲートには「Ｈ」の信号が入力されており、ｐＭＯＳトランジスタ６８はオフし、ｎＭＯＳトランジスタ６９はオンする。

【００３８】
これにより、ＮＡＮＤ回路６３の他方の入力にはｎＭＯＳトランジスタ６９のドレイン及びソースを介してインバータ回路６０の出力が接続され、／ｅｘＲＡＳ信号が「Ｈ」のときには、ＮＡＮＤ回路６３の一方の入力にはインバータ回路６２から「Ｌ」、ＮＡＮＤ回路６３の他方の入力にはｎＭＯＳトランジスタ６９を介してインバータ回路６０から「Ｌ」の信号が入力され、ｉｎｔＲＡＳ信号は「Ｌ」となる。
【００３９】
このとき、／ｅｘＲＡＳ信号が「Ｈ」から「Ｌ」に切り換わると、ｉｎｔＲＡＳ信号は「Ｌ」から「Ｈ」に切り換わり、更に、アドレスバッファ１にアドレスを指定する信号が入力されて、上記ＲＸＴＦ回路８から出力されるＲＸＴＦ信号が「Ｌ」から「Ｈ」に切り換わると、上記ＮＡＮＤ回路５４の両方の入力が「Ｈ」となり、ＲＸＴ信号が「Ｈ」に切り換わってＲＸ発生回路６に出力される。なお、上記において、アドレスバッファ１にアドレスを指定する信号が入力されたときに、上記ＡＤＫ信号は「Ｌ」から「Ｈ」に切り換わる。
【００４０】
ここで、書き込み動作に切り換えるために／ｅｘＷＥ信号が「Ｈ」から「Ｌ」に切り換わると、ＷＥバッファ１０はＷＤＥ信号を「Ｌ」から「Ｈ」に切り換えて出力してＲＡＳバッファ７ＡのＮＡＮＤ回路６５の入力に入力され、ＮＡＮＤ回路６５の両入力には「Ｈ」の信号が入力され、インバータ回路６７の出力は「Ｈ」から「Ｌ」に切り換わる。これにより、ｎＭＯＳトランジスタ６９はオフしてｐＭＯＳトランジスタ６８がオンし、ＮＡＮＤ回路６３の他方の入力はｐＭＯＳトランジスタ６８を介して接地されて「Ｌ」となり、ｉｎｔＲＡＳ信号は「Ｈ」から「Ｌ」に切り換わり、ＲＸＴ信号が「Ｈ」から「Ｌ」に切り換わる。
【００４１】
上記のように、本発明における第１実施例の回路によると、従来、／ｅｘＲＡＳ信号の２値の状態が切り換わることにより、ＲＡＳバッファにおけるｉｎｔＲＡＳ信号の２値の状態が切り換わっていたのに対して、外部から入力される／ｅｘＷＥ信号から形成されるＷＤＥ信号と、アドレス入力端子Ａ０～Ａｎの何れかからアドレスバッファ１にアドレスを指定する外部からの信号が入力されたことを示すＡＤＫ信号とから、／ｅｘＲＡＳ信号の２値の状態が切り換わらなくてもｉｎｔＲＡＳ信号の２値の状態を切り換えることができ、ｉｎｔＲＡＳ信号が、外部信号である／ｅｘＲＡＳ信号の立ち上がりよりも前に立ち下げることができる。
【００４２】
このことから、テスティングバーンイン装置を使用してテストを行う際に、／ｅｘＲＡＳ信号の立ち上がりポイントをｉｎｔＲＡＳ信号の立ち下がりポイントまで早くすることができることから、従来よりも／ｅｘＲＡＳ信号の立ち上がりポイントを早くすることができ、ｔＲＷＬを厳しい条件で測定することができる。
【００４３】
また、上記第１実施例において、ＲＡＳバッファ７Ａのインバータ回路６６及び６７の直列回路で形成された遅延回路の遅延時間を選択して設定する手段を設けてもよく、ＲＡＳバッファ７Ａ内の第１内部信号出力手段に遅延回路の遅延時間を選択して設定する手段を設けて本発明の第１実施例における変形例とする。図４は、上記第１実施例の変形例を示したＲＡＳバッファ７Ａの回路例を示した図である。なお、図４において図９及び図２と同じものは同じ符号で示しており、ここでは図２との相違点のみ説明する。
【００４４】
図４における図２との相違点は、図２のインバータ回路６６、６７及びＮＡＮＤ回路６５の直列回路以外に、異なった偶数の自然数だけインバータ回路を同じ方向に直列に接続して形成された各遅延回路の入力をそれぞれ対応するＮＡＮＤ回路の出力に接続し、更に各遅延回路の出力にそれぞれポリビット線等からなるヒューズを接続した各直列回路における、該各ヒューズの非接続側をそれぞれ接続し、更に各ＮＡＮＤ回路の一方の入力をそれ

ぞれ接続すると共に、各ＮＡＮＤ回路の他方の入力もまたそれぞれ接続して、ＮＡＮＤ回路、遅延回路及びヒューズの各直列回路を並列に接続し、該並列回路の出力側をｐＭＯＳトランジスタ６８及びｎＭＯＳトランジスタ６９の各ゲートを接続した接続部に接続したことにある。

【００４５】

図４において、ＮＡＮＤ回路６５の出力にインバータ回路６６の入力を、該インバータ回路６６の出力にインバータ回路６７の入力を接続した直列回路において、更にインバータ回路６７の出力にヒューズ９５の一端を接続して第１直列回路をなす。ＮＡＮＤ回路８０の出力にインバータ回路８１の入力を、該インバータ回路８１の出力にインバータ回路８２の入力を、該インバータ回路８２の出力にインバータ回路８３の入力を、該インバータ回路８３の出力にインバータ回路８４の入力を接続した直列回路において、更にインバータ回路８４の出力にヒューズ９６の一端を接続して第２直列回路をなす。

【００４６】

また、ＮＡＮＤ回路８５の出力にインバータ回路８６の入力を、該インバータ回路８６の出力にインバータ回路８７の入力を、該インバータ回路８７の出力にインバータ回路８８の入力を、該インバータ回路８８の出力にインバータ回路８９の入力を、該インバータ回路８９の出力にインバータ回路９０の入力を、該インバータ回路９０の出力にインバータ回路９１の入力を接続した直列回路において、更にインバータ回路９１の出力にヒューズ９７の一端を接続して第３直列回路をなす。

【００４７】

上記第１、第２及び第３直列回路の各ヒューズ９５，９６，９７の他端はそれぞれ接続され、該接続部は上記ｐＭＯＳトランジスタ６８及びｎＭＯＳトランジスタ６９の両ゲートを接続した接続部に接続される。また、各ＮＡＮＤ回路６５，８０，８５の一方の入力はそれぞれ接続され、該接続部にＷＥバッファ１０が接続されてＷＤＥ信号が入力される。更に、各ＮＡＮＤ回路６５，８０，８５の他方の入力もそれぞれ接続され、該接続部にアドレスキー回路３０Ａが接続されてＡＤＫ信号が入力される。

【００４８】

上記のような構成において、インバータ回路を信号が通過すると該信号に時間の遅延が生じ、１段のインバータ回路を信号が通過することにより該信号の遅延時間が１ｎｓだとすると、２段のインバータ回路では通過する信号を２ｎｓ遅延させることができ、４段のインバータ回路では通過する信号を４ｎｓ遅延させることができ、同様に６段のインバータ回路では通過する信号を６ｎｓ遅延させることができる。このことから、上記第１、第２及び第３直列回路はそれぞれ異なった遅延時間が生じる遅延回路を備える。

【００４９】

ここで、上記各ヒューズ９０，９１，９２はポリビット線によって作られており、上記第１、第２及び第３直列回路の内、選択する直列回路以外のヒューズを上記ＤＲＡＭ製造時にレーザーカッターでカットして遅延時間を選択することができる。なお、図４で示した回路におけるタイミングチャート図は、図３で示したタイミングチャート図において、ＷＤＥ信号が「Ｌ」から「Ｈ」に切り換わってからｉｎｔＲＡＳ信号が「Ｈ」から「Ｌ」に切り換わる時間がヒューズをカットすることにより選択した遅延回路の遅延時間によって変わる以外は同じであるので省略する。

【００５０】

上記のように、選択しない直列回路のヒューズをレーザーカッターでカットすることにより、選択された直列回路、例えば第２直列回路を選択したとすると、第１実施例における図３のタイミングチャート図で示すＷＤＥ信号が「Ｌ」から「Ｈ」に切り換わってからｉｎｔＲＡＳ信号が「Ｈ」から「Ｌ」に切り換わるまでの時間がインバータ回路８１，８２，８３，８４の直列回路で形成された遅延回路の遅延時間によって決まり、すなわち／ｅｘＲＡＳ信号を「Ｌ」から「Ｈ」に切り換えるタイミングが決まることから、上記ｔＲＷＬのタイミングマージンを調整することができる。

【００５１】

なお、本第１実施例の変形例においては、３種類の異なった遅延時間を有する遅延回路を備えた場合を例にして説明したが、本発明はこれに限定されるものではなく、インバータ回路を直列に接続してなる遅延回路において、インバータ回路の数が正の異なった偶数であればいくつでもよく、上記第１内部信号出力手段は、該インバータ回路の数の種類だけ遅延回路を形成する直列回路を備えることができる。

【００５２】

実施例２．

次に、図５は、本発明の第２実施例の半導体集積回路を使用したＤＲＡＭの主に行デコーダに関する信号の流れの例を示した概略のブロック図であり、図５を用いて本発明の第２実施例の回路を使用するＤＲＡＭの行デコーダに対してメモリセルに書き込み動作を行わせる場合の各部の動作及び信号の流れの概略を説明する。なお、図５において、図１及び図８と同じものは同じ符号で示し、ここでは、図１との相違点のみ説明すると共に、上記第１実施例と同様に、列デコーダに対してメモリセルに書き込み動作を行わせる場合、列デコーダは、センスアンプを介してメモリセルに書き込み動作を行う以外は行デコーダの場合と動作原理は同じであるので説明を省略する。

【００５３】

図５における図１との相違点は、図１のアドレスキー回路３０Ａがアドレス入力端子Ａ０～Ａｎの何れかからアドレスバッファ１にアドレスを指定する信号が入力されたことを示すＡＤＫ信号を出力するのに対して、図５のアドレスキー回路３０Ｂは、アドレス入力端子Ａ０～Ａｎの内どの入力端子にアドレスを指定する信号が入力されたかを示すために、アドレス入力端子Ａ０～Ａｎに対応したアドレスキー信号ＡＤＫ０～ＡＤＫｎ（以下ＡＤＫ０～ＡＤＫｎ信号と呼ぶ）をそれぞれＲＡＳバッファに出力することにある。これに伴って図１のＲＡＳバッファ７Ａを７Ｂとし、図１のＤＲＡＭ２０Ａを２０Ｂにしたことにある。

【００５４】

図６は、アドレス入力端子がＡ０～Ａ２の３つの場合における上記ＲＡＳバッファ７Ｂの回路例を示した図である。なお、図６においては、上記第１実施例の変形例と比較するために、図４と同様に３種類の異なった遅延時間を有する遅延回路を備えた場合を例にして説明するが、本第２実施例においては、図５で示したアドレス入力端子Ａ０～Ａｎの端子の数だけアドレスキー信号ＡＤＫ０～ＡＤＫｎが存在するため、上記第１内部信号出力手段は、アドレス入力端子Ａ０～Ａｎの端子の数だけ該インバータ回路の数の種類の遅延回路を形成する直列回路を備えることができるものである。また、図６において、図２及び図４と同じものは同じ符号で示しており、ここでは図４との相違点のみ説明する。

【００５５】

図６における図４との相違点は、図４のヒューズ９５～９７の代わりにｎＭＯＳトランジスタ１００，１０１，１０２を使用し、該ｎＭＯＳトランジスタ１００～１０２の何れかをオンさせて遅延回路を選択し、遅延時間を可変することができるようにしたことにある。

図６において、ＮＡＮＤ回路６５の出力にインバータ回路６６の入力を、該インバータ回路６６の出力にインバータ回路６７の入力を接続した直列回路において、更にインバータ回路６７の出力にｎＭＯＳトランジスタ１００のドレインが接続され、該ｎＭＯＳトランジスタ１００のゲートはＮＡＮＤ回路６５の一方の入力に接続され、該接続部はアドレスキー回路３０Ｂに接続されて第１直列回路をなす。

【００５６】

次に、ＮＡＮＤ回路８０の出力にインバータ回路８１，８２，８３，８４を同じ方向に直列に接続した直列回路において、更にインバータ回路８４の出力にｎＭＯＳトランジスタ１０１のドレインが接続され、該ｎＭＯＳトランジスタ１０１のゲートはＮＡＮＤ回路８０の一方の入力に接続され、該接続部はアドレスキー回路３０Ｂに接続されて第２直列回路をなす。

【００５７】

ＮＡＮＤ回路８５の出力にインバータ回路８６，８７，８８，８９，９０，９１を同じ方向に直列に接続した直列回路において、更にインバータ回路９１の出力にｎＭＯＳトランジスタ１０２のドレインが接続され、該ｎＭＯＳトランジスタ１０２のゲートはＮＡＮＤ回路８５の一方の入力に接続され、該接続部はアドレスキー回路３０Ｂに接続されて第３直列回路をなす。

【００５８】

上記第１、第２及び第３直列回路の各ｎＭＯＳトランジスタ１００～１０２のソースがそれぞれ接続され、該接続部は上記ｐＭＯＳトランジスタ６８及びｎＭＯＳトランジスタ６９の両ゲートを接続した接続部に接続される。また、各ＮＡＮＤ回路６５，８０，８５の他方の入力はそれぞれ接続され、該接続部にＷＥバッファ１０が接続されてＷＤＥ信号が入力される。

【００５９】

また、ＮＡＮＤ回路６５の入力とｎＭＯＳトランジスタ１００のゲートとの接続部には、アドレスキー回路３０Ｂから、アドレス入力端子Ａ０にアドレスを指定する信号が入力されたか否かを示す信号であるＡＤＫ０信号が、ＮＡＮＤ回路８０の入力とｎＭＯＳトランジスタ１０１のゲートとの接続部には、アドレスキー回路３０Ｂから、アドレス入力端子Ａ１にアドレスを指定する信号が入力されたか否かを示す信号であるＡＤＫ１信号が、ＮＡＮＤ回路８５の入力とｎＭＯＳトランジスタ１０２のゲートとの接続部には、アドレスキー回路３０Ｂから、アドレス入力端子Ａ２にアドレスを指定する信号が入力されたか否かを示す信号であるＡＤＫ２信号が入力されている。

【００６０】

更に、ＮＡＮＤ回路６３の一方の入力とｐＭＯＳトランジスタ６８のソースとｎＭＯＳトランジスタ６９のソースとの接続部にはｎＭＯＳトランジスタ１０３のソースが接続され、該ｎＭＯＳトランジスタ１０３のドレインは直流電源の＋側端子＋ＤＣに接続されている。また、ｎＭＯＳトランジスタ１０３のゲートは３入力ＮＯＲ回路１０４の出力に接続されており、該３入力ＮＯＲ回路１０４の３つの入力はアドレスキー回路３０Ｂに接続されていると共に、ＡＤＫ０信号、ＡＤＫ１信号及びＡＤＫ２信号が、上記３入力ＮＯＲ回路１０４の３つの入力にそれぞれ対応して入力される。

【００６１】

図７は、上記図６で示した回路におけるタイミングチャート図であり、図６及び図７を用いて図６で示した回路の動作を説明する。図６及び図７において、／ｅｘＷＥ信号が「Ｈ」のときＷＥバッファ１０から出力されるＷＤＥ信号が「Ｌ」であり、アドレスバッファ１にアドレスを指定する信号が入力されておらず上記アドレスキー回路３０Ｂから出力されるＡＤＫ０～ＡＤＫ２信号が「Ｌ」である場合、ｎＭＯＳトランジスタ１００～１０２はオフし、このとき３入力ＮＯＲ回路１０４の出力は「Ｈ」となってｎＭＯＳトランジスタ１０３がオンする。

【００６２】

このことから、ｐＭＯＳトランジスタ６８のソースとｎＭＯＳトランジスタ６９のソースが接続されたＮＡＮＤ回路６３の入力には、ｎＭＯＳトランジスタ１０３を介して直流電源の＋側端子である＋ＤＣから「Ｈ」の信号が入力され、／ｅｘＲＡＳ信号が「Ｈ」のときには、ＮＡＮＤ回路６３の他方の入力にはインバータ回路６２から「Ｌ」の信号が入力され、ｉｎｔＲＡＳ信号は「Ｌ」となる。

【００６３】

このとき、／ｅｘＲＡＳ信号が「Ｈ」から「Ｌ」に切り換わると、ｉｎｔＲＡＳ信号は「Ｌ」から「Ｈ」に切り換わり、更に、例えばアドレス入力端子Ａ０からアドレスバッファ１にアドレスを指定する信号が入力されると、上記ＲＸＴＦ回路８から出力されるＲＸＴＦ信号が「Ｌ」から「Ｈ」に切り換わり、上記ＮＡＮＤ回路５４の両方の入力が「Ｈ」となり、「Ｈ」に切り換わったＲＸＴ信号がＲＸ発生回路６に出力される。

【００６４】

なお、上記において、アドレス入力端子Ａ０からアドレスバッファ１にアドレスを指定す

る信号が入力されると、上記ＡＤＫ０信号は「Ｌ」から「Ｈ」に切り換わってｎＭＯＳトランジスタ１００がオンし、３入力ＮＯＲ回路１０４の出力は「Ｌ」となってｎＭＯＳトランジスタ１０３がオフすると共に、ｐＭＯＳトランジスタ６８及びｎＭＯＳトランジスタ６９の両ゲートが接続されている接続部は、ｎＭＯＳトランジスタ１００のドレイン及びソースを介してインバータ回路６７の出力が接続される。このとき、ＡＤＫ１信号及びＡＤＫ２信号は「Ｌ」のままである。

【００６５】

ここで、更に、書き込み動作に切り換えるために／ｅｘＷＥ信号が「Ｈ」から「Ｌ」に切り換わると、ＷＥバッファ１０はＷＤＥ信号を「Ｌ」から「Ｈ」に切り換えて出力して、ＲＡＳバッファ７ＢのＮＡＮＤ回路６５、８０及び８５の入力に入力され、ＮＡＮＤ回路６５の一方の入力には上記のように「Ｈ」のＡＤＫ０信号が入力されているため、ＮＡＮＤ回路６５の両入力には「Ｈ」の信号がそれぞれ入力され、インバータ回路６７の出力は「Ｈ」から「Ｌ」に切り換わる。これにより、ｎＭＯＳトランジスタ６９はオフしてｐＭＯＳトランジスタ６８がオンし、ＮＡＮＤ回路６３の他方の入力はｐＭＯＳトランジスタ６８を介して接地されて「Ｌ」となり、ｉｎｔＲＡＳ信号は「Ｈ」から「Ｌ」に切り換わり、ＲＸＴ信号が「Ｈ」から「Ｌ」に切り換わる。

【００６６】

上記のように、本発明における第２実施例の回路によると、従来、／ｅｘＲＡＳ信号の２値の状態が切り換わることにより、ＲＡＳバッファのｉｎｔＲＡＳ信号の２値の状態が切り換わっていたのに対して、外部から入力される／ｅｘＷＥ信号から形成されるＷＤＥ信号と、アドレス入力端子Ａ０～Ａｎの何れかからアドレスバッファ１にアドレスを指定する外部からの信号が入力されると、アドレスキー回路３０Ｂから出力される、該信号が入力されたアドレス入力端子に対応したＡＤＫ０～ＡＤＫｎ信号とから、／ｅｘＲＡＳ信号の２値の状態が切り換わらなくてもｉｎｔＲＡＳ信号の２値の状態を切り換えることができる。

【００６７】

更に、ＡＤＫ０～ＡＤＫｎ信号に対応してそれぞれ異なった遅延時間を有する遅延回路が選択されることから、アドレス入力端子Ａ０～Ａｎの内どの入力端子にアドレスを指定する信号が入力されたかによって、ＷＤＥ信号が「Ｌ」から「Ｈ」に切り換わってから、ｉｎｔＲＡＳ信号が「Ｈ」から「Ｌ」に切り換わるまでの遅延時間を変えることができ、すなわち、上記ｔＲＷＬのタイミングマージンを調整することができる。

【００６８】

上記実施例においては、ＤＲＡＭを例にして説明したが、このほかに半導体集積回路における内部回路の信号のタイミングマージンをチェックする場合に適用することができる。このように本発明は、様々な変形例が考えられ、上記実施例に限定されるものではなく、本発明の範囲は、特許請求の範囲によって定められるべきものであることは言うまでもない。

【００６９】

【発明の効果】

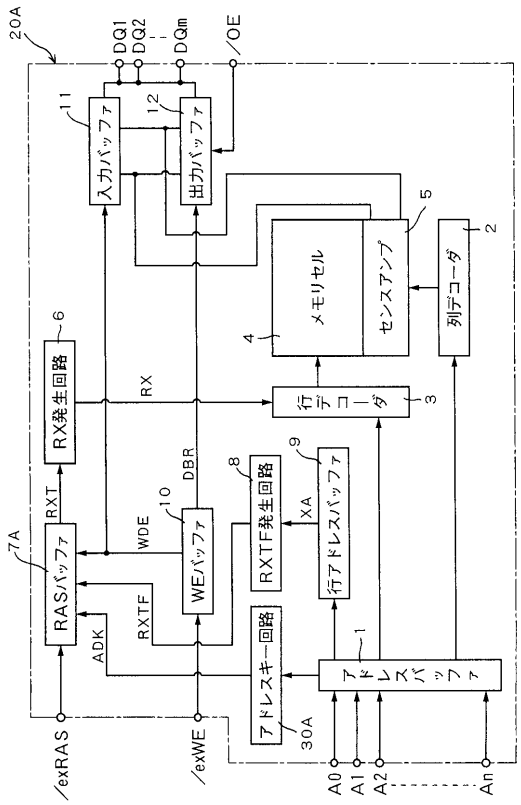
以上の説明から明らかなように、本発明は、半導体チップにおける半導体集積回路において、テスティングバーンイン装置又は精度の良くないテスト装置を使用してテスティングバーンインを行う場合に、該装置から入力されるテスト信号になまりが生じて、該テスト信号に関する上記半導体集積回路の内部信号においてなまりが生じるときにおいても、内部信号のタイミングマージンを小さくしてテストすることができ、半導体チップにおける半導体集積回路の正確な動作特性を測定することができる。このことから、タイミングマージンを小さくして厳しい条件でのテストを行うことができるため、半導体チップを製造する際に不良品を良品と判定して製造することがなくなると共に、良品を不良品と判定することもなくすことができる。

【図面の簡単な説明】

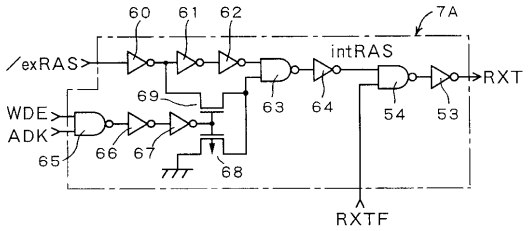
【図１】本発明の第１実施例における半導体集積回路を使用したＤＲＡＭの主に行デコー

ダに関する信号の流れの例を示した概略のブロック図である。
【図２】図１で示したＲＡＳバッファ７Ａの回路例を示した図である。
【図３】図２で示した回路におけるタイミングチャート図である。
【図４】図１で示したＲＡＳバッファ７Ａの回路の他の例を示した図である。
【図５】本発明の第２実施例における半導体集積回路を使用したＤＲＡＭの主に行デコーダに関する信号の流れの例を示した概略のブロック図である。
【図６】図５で示したＲＡＳバッファ７Ｂの回路例を示した図である。
【図７】図６で示した回路におけるタイミングチャート図である。
【図８】従来のＤＲＡＭの主に行デコーダに関する信号の流れの例を示した概略のブロック図である。
【図９】図８で示したＲＡＳバッファ７の回路例を示した図である。
【図１０】図９で示した回路におけるタイミングチャート図である。
【符号の説明】
１　アドレスバッファ、３　行デコーダ、４　メモリセル、６　ＲＸ発生回路、７，７Ａ，７Ｂ　ＲＡＳバッファ、８　ＲＸＴＦ発生回路、９　アドレスバッファ、１０　ＷＥバッファ、２０，２０Ａ，２０Ｂ　ＤＲＡＭ、３０Ａ，３０Ｂアドレスキー回路、／ｅｘＲＡＳ，／ｅｘＷＥ，Ａ０～Ａｎ　外部入力端子

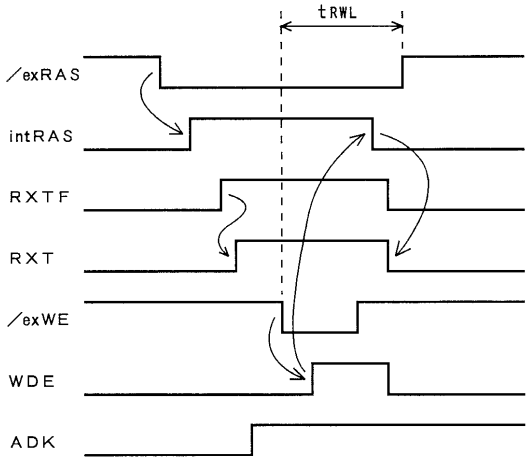
【図１】



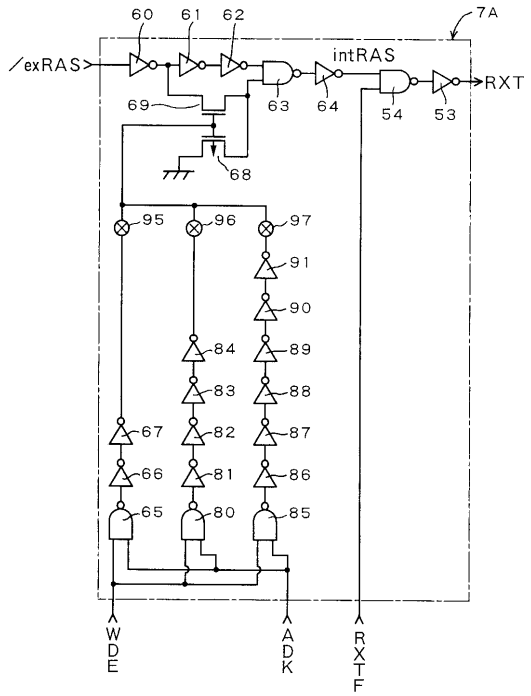
【図２】



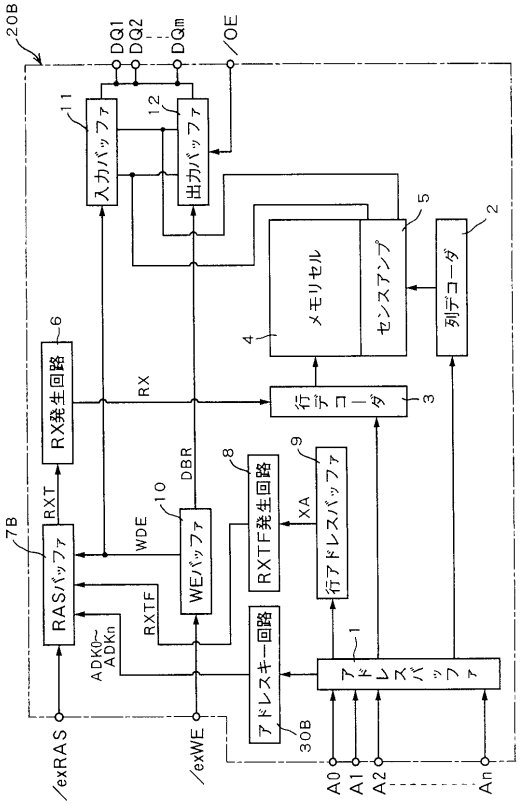
【図３】



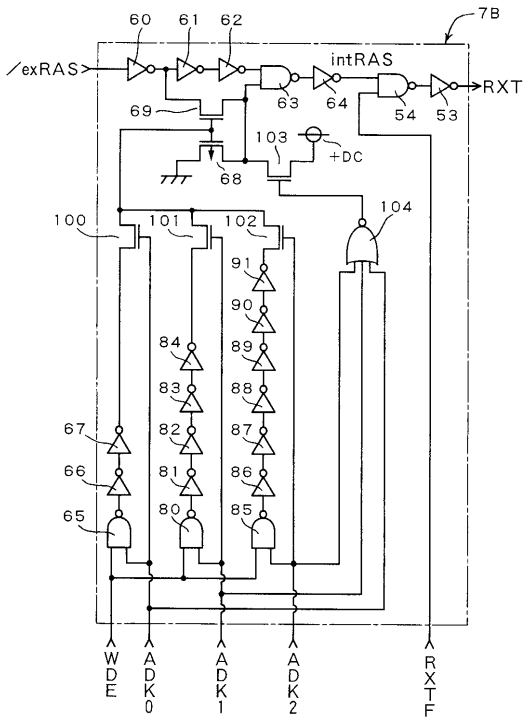
【図４】


7A
60
61
62
/exRAS
intRAS
RXT
69
63
64
54
53
68
95
96
97
91
90
84
89
83
88
67
82
87
66
81
86
65
80
85
WDE
ADK
RXTF

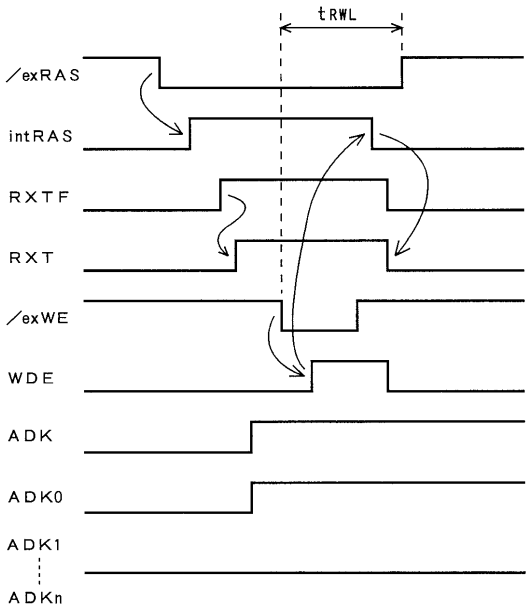
【図５】


20B
DQ1
DQ2
DQm
/OE
11
入力バッファ
12
出力バッファ
5
2
メモリセル
センスアンプ
列デコーダ
4
6
RX発生回路
RX
行デコーダ
3
8
9
RXTF発生回路
XA
行アドレスバッファ
7B
RXT
RASバッファ
WDE
10
DBR
WEバッファ
RXTF
ADK0~ADKn
アドレスキー回路
1
アドレスバッファ
30B
/exRAS
/exWE
A0
A1
A2
An

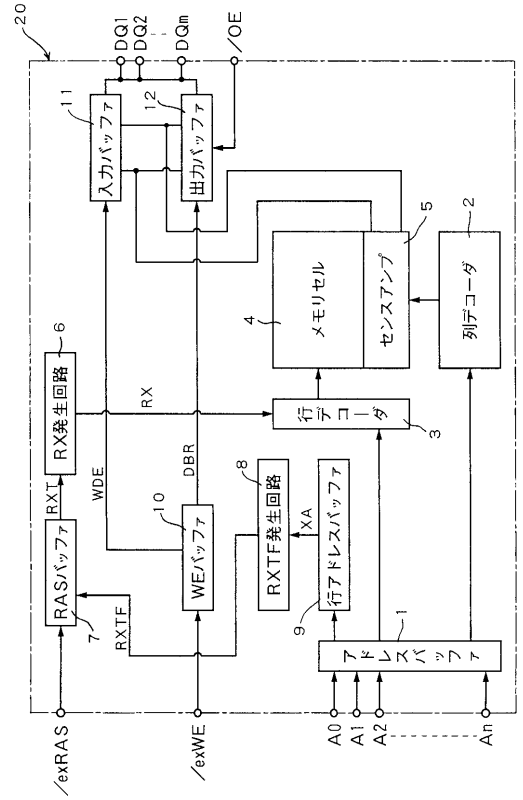
【図６】


7B
60
61
62
/exRAS
intRAS
RXT
63
64
54
53
69
103
+DC
68
104
100
101
102
91
90
84
89
83
88
67
82
87
66
81
86
65
80
85
WDE
ADK0
ADK1
ADK2
RXTF

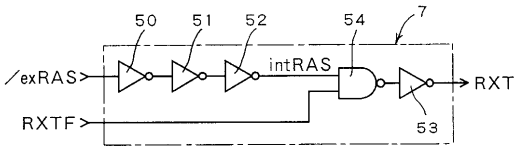
【図７】


tRWL
/exRAS
intRAS
RXTF
RXT
/exWE
WDE
ADK
ADK0
ADK1
ADKn

【図８】

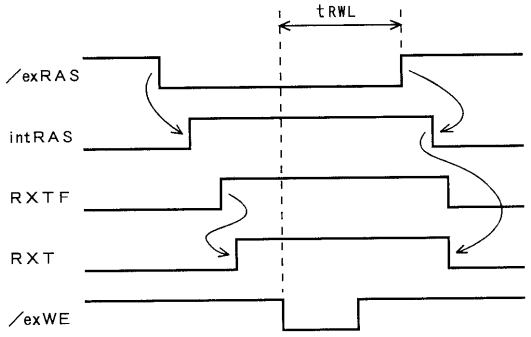


【図９】

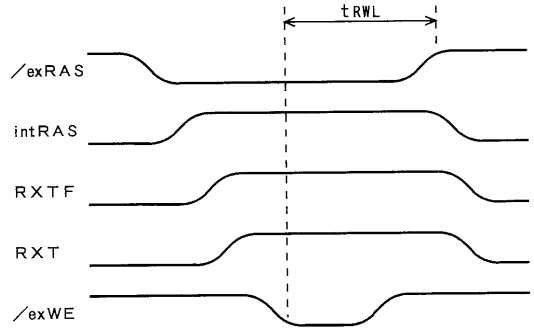


【図１０】

（ａ）テスティングバーンイン装置を使用しない場合



（ｂ）テスティングバーンイン装置を使用した場合



フロントページの続き

(56)参考文献 特開平０５－０４１０９７（ＪＰ，Ａ）
特開平０６－２４３７００（ＪＰ，Ａ）
特開平０６－１５０６９６（ＪＰ，Ａ）
特開平０２－０９１９００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099