



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월11일
(11) 등록번호 10-1756226
(24) 등록일자 2017년07월04일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01)
(21) 출원번호 10-2010-0085510
(22) 출원일자 2010년09월01일
심사청구일자 2015년08월13일
(65) 공개번호 10-2012-0022208
(43) 공개일자 2012년03월12일
(56) 선행기술조사문헌
JP2010153869 A*
JP2010045359 A*
JP2010511306 A
US20080122125 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
양송이
서울특별시 서초구 잠원로3길 8, 102동 1408호 (잠원동, 반포한신타워아파트)
권오익
경기도 성남시 분당구 불정로 397, 301동 804호 (서현동, 효자촌)
(뒷면에 계속)
(74) 대리인
리엔특허법인

전체 청구항 수 : 총 10 항

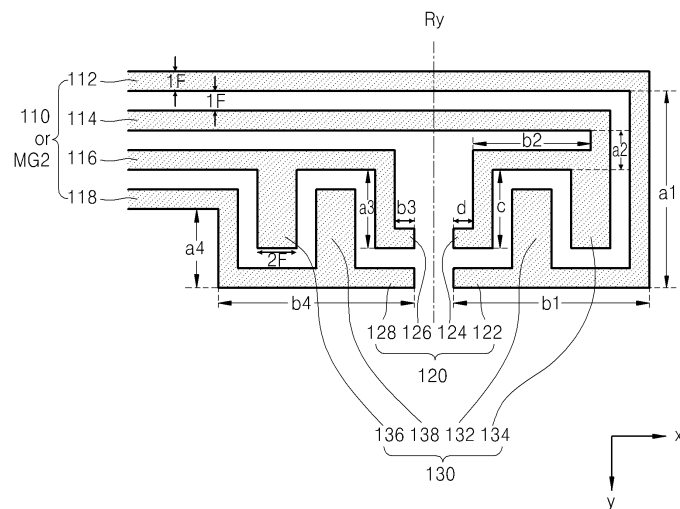
심사관 : 계원호

(54) 발명의 명칭 반도체 소자 및 그 반도체 소자의 패턴 형성방법

(57) 요약

본 발명의 사상은 포토리소그래피 공정의 해상 한계 내에서, 구현 가능한 사이즈의 패턴을 이용하여 초미세 폭과 간격을 갖는 고밀도 패턴을 형성할 수 있는 배치 구조를 갖는 반도체 소자 및 그 반도체 소자 패턴 형성 방법을 제공한다. 그 반도체 소자는 메모리 셀 영역, 및 상기 메모리 셀 영역 주변에 위치하는 커넥션 영역을 구비한 기판; 상기 기판 상의 상기 메모리 셀 영역으로부터 상기 커넥션 영역까지 제1 방향으로 연장되어 형성된 복수의 제1 도전 라인들; 상기 기판 상의 상기 커넥션 영역에서 상기 제1 도전 라인들로부터 각각 분기되어 형성된 복수의 제2 도전 라인들; 및 상기 기판 상의 상기 커넥션 영역에 형성되고, 상기 제1 도전라인들 각각으로 전기적으로 연결되며, 상기 제1 도전 라인들 각각의 폭의 2배의 폭을 갖는 복수의 패드들;을 포함한다.

대표도 - 도4



(72) 발명자

정승필

서울특별시 서초구 잠원로 150 1동 802호 (잠원동, 잠원한신아파트)

김동현

경기도 화성시 동탄지성로 295, 참누리1단지아파트 108동 1302호 (기산동)

조홍

경기도 용인시 기흥구 예현로 15, SK아파트 104동 505호 (서천동)

명세서

청구범위

청구항 1

메모리 셀 영역, 및 상기 메모리 셀 영역 주변에 위치하는 커넥션 영역을 구비한 기관;

상기 기관 상의 상기 메모리 셀 영역으로부터 상기 커넥션 영역까지 제1 방향으로 연장되어 형성된 복수의 제1 도전 라인들;

상기 기관 상의 상기 커넥션 영역에서 상기 제1 도전 라인들로부터 각각 분기되어 형성된 복수의 제2 도전 라인들; 및

상기 기관 상의 상기 커넥션 영역에 형성되고, 상기 제1 도전라인들 각각으로 전기적으로 연결되며, 상기 제1 도전 라인들보다 넓은 폭을 갖는 복수의 패드들;을 포함하고,

상기 제1 도전 라인들은 상기 제1 방향에 수직하는 제2 방향을 따라서 배치되고,

상기 제1 도전 라인들은 인접하는 4개씩을 하나의 그룹으로 하여 복수의 그룹들을 구성하며,

상기 그룹들 각각은 4개의 상기 패드들을 포함하며,

상기 패드들은 상기 그룹들 각각에서 2개씩 쌍을 이루며, 쌍을 이루는 2개의 상기 패드들은 서로 반대방향으로 엇갈린 구조를 가지며, 상기 제2 방향의 중심 라인에 대하여 대칭 구조를 갖는 것을 특징으로 하는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 제1 도전 라인들 각각 및 상기 제2 도전 라인들 각각은 제1 폭을 가지며,

상기 제1 도전 라인들 간의 간격은 상기 제1 폭과 동일한 것을 특징으로 하는 반도체 소자.

청구항 3

제2 항에 있어서,

상기 제2 방향을 따라서, 상기 그룹의 단위로 상기 제1 도전 라인들의 길이가 길어지거나 줄어들며,

상기 제2 방향을 따라서, 상기 그룹 내에서 4개의 상기 제1 도전 라인들의 길이가 길어지거나 줄어드는 것을 특징으로 하는 반도체 소자.

청구항 4

제3 항에 있어서,

상기 그룹들 중 상기 제2 방향의 중앙 영역에 배치된 2개의 중심 그룹들 내의 상기 제1 도전 라인들의 길이가 가장 길고,

상기 중심 그룹들로부터 상측 및 하측의 상기 제2 방향에 배치된 그룹들 내의 상기 제1 도전 라인들의 길이는 상기 제2 방향을 따라서 순차적으로 줄어드는 것을 특징으로 하는 반도체 소자.

청구항 5

제4 항에 있어서,

상기 제1 도전 라인들, 제2 도전 라인들 및 패드들은 상기 중심 그룹들 사이의 상기 제1 방향의 중심선을 기준으로 대칭구조를 갖는 것을 특징으로 하는 반도체 소자.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제1 항에 있어서,

상기 제1 도전 라인들은 상기 메모리 셀 영역에 형성되는 워드 라인 또는 비트 라인을 구성하는 것을 특징으로 하는 반도체 소자.

청구항 18

삭제

청구항 19

메모리 셀 영역, 및 상기 메모리 셀 영역 주변에 위치하는 커넥션 영역을 구비한 기판;

상기 메모리 셀 영역으로부터 상기 커넥션 영역까지 제1 방향으로 연장되어 형성되고, 동일한 폭과 간격을 갖는 복수의 제1 도전 라인들;

상기 커넥션 영역에서, 상기 제1 도전 라인들 각각으로부터 상기 제1 방향에 수직하는 제2 방향으로 분기되어 형성되고, 상기 제1 도전 라인과 동일한 폭을 갖는 복수의 제2 도전 라인들; 및

상기 커넥션 영역에 형성되고, 상기 제1 도전 라인들 각각에 전기적으로 연결되며, 상기 제1 도전 라인들보다

넓은 폭을 갖는 복수의 패드들;을 포함하고,

상기 제1 도전 라인들은 인접하는 4개씩을 하나의 그룹으로 하여 복수의 그룹들을 구성하며, 상기 그룹들 각각은 4개의 상기 제2 도전 라인들 및 4개의 상기 패드들을 포함하며,

상기 그룹들 각각은 상기 제2 방향을 따라서 순차적으로 제1번 내지 제4번 제1 도전 라인들과, 상기 제1번 내지 제4번 제1 도전 라인들에 대응하는 제1번 내지 제4번 제2 도전 라인들, 및 제1번 내지 제4번 패드를 구비하며,

상기 제1 내지 제4 패드는 상기 메모리 셀 영역으로부터 상기 제1 방향으로 상기 제2 패드, 제1 패드, 제4 패드, 및 제3 패드 순으로 배치되거나 또는 상기 제3 패드, 제4 패드, 제1 패드 및 제2 패드 순으로 배치된 것을 특징으로 하는 반도체 소자.

청구항 20

제19 항에 있어서,

상기 그룹들 중 상기 제2 방향의 중앙 영역에 배치된 2개의 중심 그룹들 내의 상기 제1 도전 라인들의 길이가 가장 길고,

상기 중심 그룹들로부터 상측 및 하측의 상기 제2 방향에 배치된 그룹들 내의 상기 제1 도전 라인들의 길이는 상기 제2 방향을 따라서 순차적으로 줄어들며,

상기 제1 도전 라인들, 제2 도전 라인들 및 패드들은 상기 중심 그룹들 사이의 상기 제1 방향의 중심선을 기준으로 대칭구조를 갖는 것을 특징으로 하는 반도체 소자.

청구항 21

삭제

청구항 22

제19 항에 있어서,

상기 그룹들은 상기 제1 방향의 중심선을 기준으로 대칭적으로 배치되며,

상기 그룹들 간에 상기 제2 도전 라인들 및 패드들의 구조는 동일한 것을 특징으로 하는 반도체 소자.

청구항 23

삭제

청구항 24

삭제

청구항 25

기관 상에 도전층 및 절연층을 형성하고, 상기 절연층 상에 제1 마스크 패턴을 형성하는 단계;

상기 절연층 및 제1 마스크 패턴 상에 타겟 폭과 동일한 두께의 제1 스페이서층을 형성하는 단계;

상기 제1 스페이서층을 식각하여 상기 제1 마스크 패턴 측벽에 제1 스페이서를 형성하고, 상기 제1 마스크 패턴을 제거하는 단계;

상기 제1 스페이서를 식각 마스크로 이용하여 상기 절연층을 식각하여 제2 마스크 패턴을 형성하는 단계;

상기 도전층 및 제2 마스크 패턴 상에 상기 타겟 폭과 동일한 두께의 제2 스페이서층을 형성하는 단계;

상기 제2 스페이서층을 식각하여 상기 제2 마스크 패턴의 측벽으로 제2 스페이서를 형성하고, 상기 제2 마스크 패턴을 제거하는 단계; 및

상기 제2 스페이서를 식각 마스크로 하여 상기 도전층을 식각하여 상기 타겟 폭의 도전 라인들 및 상기 타겟 폭보다 큰 폭을 갖는 패드들을 형성하는 단계;를 포함하고,

상기 제2 마스크 패턴에는 상기 타겟 폭의 2배의 폭을 갖는 패드 영역이 구비되고, 상기 제2 스페이서층을 형성

하는 단계에서 상기 패드 영역이 상기 제2 스페이서층에 의해 겹쳐져 채워진 구조로 매립되며, 매립된 상기 패드 영역이 상기 패드를 위한 식각 마스크 부분으로 이용되는 것을 특징으로 하는 반도체 소자의 패턴 형성방법.

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

발명의 설명

기술 분야

[0001] 본 발명의 사상은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 소자의 고밀도 영역에, 초미세 폭과 간격을 갖는 고밀도 패턴(high-density patterns)을 포함하는 반도체 소자와 그 반도체 소자의 패턴 형성 방법에 관한 것이다.

배경 기술

[0002] 고도로 스케일링된 고집적 반도체 소자를 제조하는 데 있어서, 포토리소그래피 공정의 해상 한계를 초월하는 미세한 폭과 간격을 가지는 미세 패턴들을 구현할 필요가 있다. 이에 따라, 기존의 포토리소그래피 공정에서의 해상 한계 내에서 상기 미세 패턴을 형성할 수 있는 기술이 요구되고 있으며, 또한, 이와 같은 기술을 적용할 수 있는 새로운 배치 구조를 갖는 반도체 소자가 요구되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 사상이 해결하고자 하는 과제는 포토리소그래피 공정의 해상 한계 내에서 구현 가능한 사이즈의 패턴을 이용하여, 초미세 폭과 간격을 갖는 고밀도 패턴이 형성된 반도체 소자 및 그 반도체 소자의 패턴 형성 방법을 제공하는 데에 있다.

[0004] 또한, 본 발명의 사상이 해결하고자 하는 다른 과제는 고밀도 패턴 형성 중에, 패드를 위한 별도의 포토리소그래피 공정이 필요없이 자동으로 패드를 형성하는 수 있는 배치 구조를 갖는 반도체 소자 및 그 반도체 소자의 패턴 형성 방법을 제공하는 데에 있다.

과제의 해결 수단

[0005] 상기 과제를 해결하기 위하여, 본 발명의 사상은 메모리 셀 영역, 및 상기 메모리 셀 영역 주변에 위치하는 커넥션 영역을 구비한 기판; 상기 기판 상의 상기 메모리 셀 영역으로부터 상기 커넥션 영역까지 제1 방향으로 연장되어 형성된 복수의 제1 도전 라인들; 상기 기판 상의 상기 커넥션 영역에서 상기 제1 도전 라인들로부터 각각 분기되어 형성된 복수의 제2 도전 라인들; 및 상기 기판 상의 상기 커넥션 영역에 형성되고, 상기 제1 도전 라인들 각각으로 전기적으로 연결되며, 상기 제1 도전 라인들 각각의 폭의 2배의 폭을 갖는 복수의 패드들;을

포함하고, 상기 패드들은 2개씩 쌍을 이루며, 쌍을 이루는 2개의 상기 패드들은 서로 반대방향으로 엇갈려 돌출된 구조를 갖는 반도체 소자를 제공한다.

- [0006] 본 발명의 일 실시예에 있어서, 상기 제1 도전 라인들 각각 및 상기 제2 도전 라인들 각각은 제1 폭을 가지며, 상기 제1 도전 라인들 간의 간격은 상기 제1 폭과 동일할 수 있다. 또한, 상기 제1 도전 라인들은 상기 제1 방향에 수직하는 제2 방향을 따라서 배치되고, 상기 제1 도전 라인들은 인접하는 4개씩을 하나의 그룹으로 하여 복수의 그룹들을 구성하며, 상기 제2 방향을 따라서, 상기 그룹 단위로 상기 제1 도전 라인들의 길이가 길어지거나 줄어들며, 상기 제2 방향을 따라서, 상기 그룹 내에서 4개의 상기 제1 도전 라인들의 길이가 길어지거나 줄어들 수 있다.
- [0007] 이러한 상기 제1 도전 라인들, 제2 도전 라인들 및 패드들은 상기 중심 그룹들 사이의 상기 제1 방향의 중심선을 기준으로 대칭구조를 가질 수 있다. 상기 그룹들 각각은 4개의 상기 제2 도전 라인들 및 4개의 상기 패드들을 포함하며, 상기 그룹들 간의 상기 제2 도전 라인들 및 패드들의 구조는 동일할 수 있다. 상기 그룹 내의 4개의 상기 패드들은 상기 제1 방향 또는 제2 방향의 그룹 내 중심선을 기준으로 2개씩 서로 대칭구조를 가질 수 있다.
- [0008] 본 발명의 일 실시예에 있어서, 상기 제1 도전 라인들은 상기 셀 블록에 형성되는 워드 라인 또는 비트 라인을 구성할 수 있다.
- [0009] 또한, 본 발명의 사상은 상기 과제를 해결하기 위하여, 메모리 셀 영역, 및 상기 메모리 셀 영역 주변에 위치하는 커넥션 영역을 구비한 기판; 상기 메모리 셀 영역으로부터 상기 커넥션 영역까지 제1 방향으로 연장되어 형성되고, 동일한 폭과 간격을 갖는 복수의 제1 도전 라인들; 상기 커넥션 영역에서, 상기 제1 도전 라인들 각각으로부터 상기 제1 방향에 수직하는 제2 방향으로 분기되어 형성되고, 상기 제1 도전 라인과 동일한 폭을 갖는 복수의 제2 도전 라인들; 및 상기 커넥션 영역에 형성되고, 상기 제1 도전 라인들 각각에 전기적으로 연결되며, 상기 제1 도전 라인들 각각의 폭의 2배의 폭을 갖는 복수의 패드들;을 포함하고, 상기 제1 도전 라인들은 인접하는 4개씩을 하나의 그룹으로 하여 복수의 그룹들을 구성하며, 상기 그룹들 각각은 4개의 상기 제2 도전 라인들 및 4개의 상기 패드들을 포함하며, 상기 그룹들 간에 상기 제2 도전 라인들 및 패드들의 구조는 동일한 것으로 하는 반도체 소자를 제공한다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 그룹들은 제1 방향의 중심선을 기준으로 대칭적으로 배치되며, 상기 그룹들 각각은 제1번 내지 제4번 제1 도전 라인들, 제1번 내지 제4번 제2 도전 라인들, 및 제1번 내지 제4번 패드들을 구비할 수 있다.
- [0011] 구체적으로, 상기 제1 도전 라인들은 제1 폭을 가지며, 상기 제1번 내지 제4번 패드들 각각은 상기 제1 방향으로 상기 제1 폭의 2배의 폭을 가지며, 상기 제1번 패드는 상기 제1번 제2 도전라인으로부터 돌출되고, 상기 제2번 패드는 제2번 제2 도전라인으로부터 돌출되되, 상기 제1번 및 제2번 패드는 서로 반대방향으로 엇갈려 돌출되며, 상기 제3번 패드는 상기 제1번 패드 우측에 위치하며, 상기 제3번 및 제4번 패드는 상기 제1번 패드의 좌측으로 위치하고, 상기 제3번 패드는 상기 제3 번 제1 도전라인으로부터 돌출되고, 상기 제4번 패드는 제4 번 제2 도전라인으로부터 돌출되되, 상기 제3번 및 제4번 패드는 서로 반대방향으로 엇갈려 돌출되며, 상기 제4번 패드는 상기 제3번 패드 우측에 위치하며, 상기 제1번 패드와 제2번 패드는 상기 제1 방향으로 상기 제1 폭의 간격을 가지며, 상기 제2번 패드의 우측면은 상기 제1번 제2 도전 라인과 상기 제1 방향으로 상기 제1 폭의 간격을 가지며, 상기 제1번 패드의 좌측면은 상기 제1 방향으로 상기 제2번 제2 도전라인과 상기 제1 폭의 간격을 가지며, 상기 제3번 패드와 제4번 패드는 상기 제1 방향으로 상기 제1 폭의 간격을 가지며, 상기 4번 패드의 우측면은 상기 3번 제2 도전 라인과 상기 제1 방향으로 상기 제1 폭의 간격을 가지며, 상기 제3번 패드의 좌측면은 상기 제4번 제2 도전 라인과 상기 제1 방향으로 상기 제1 폭의 간격을 가질 수 있다.
- [0012] 더 나아가, 본 발명의 사상은 상기 과제를 해결하기 위하여, 기판 상에 도전층 및 절연층을 형성하고, 상기 절연층 상에 제1 마스크 패턴을 형성하는 단계; 상기 절연층 및 제1 마스크 패턴 상에 타겟 폭과 동일한 두께의 제1 스페이서층을 형성하는 단계; 상기 제1 스페이서층을 식각하여 상기 제1 마스크 패턴 측벽에 제1 스페이서를 형성하고, 상기 제1 마스크 패턴을 제거하는 단계; 상기 제1 스페이서를 식각 마스크로 이용하여 상기 절연층을 식각하여 제2 마스크 패턴을 형성하는 단계; 상기 도전층 및 제2 마스크 패턴 상에 상기 타겟 폭과 동일한 두께의 제2 스페이서층을 형성하는 단계; 상기 제2 스페이서층을 식각하여 상기 제2 마스크 패턴의 측벽으로 제2 스페이서를 형성하고, 상기 제2 마스크 패턴을 제거하는 단계; 및 상기 제2 스페이서를 식각 마스크로 하여 상기 도전층을 식각하여 상기 타겟 폭의 도전 라인들 및 상기 타겟 폭의 2배의 패드들을 형성하는 단계;를 포함하고, 상기 제2 마스크 패턴에는 상기 타겟 폭의 2배의 간격을 갖는 패드 영역이 구비되고, 상기 제2 스페이서

층을 형성하는 단계에서 상기 패드 영역이 상기 제2 스페이서층에 의해 매립되며, 매립된 상기 패드 영역이 상기 패드를 위한 식각 마스크 부분으로 이용되는 것을 특징으로 하는 반도체 소자의 패턴 형성방법을 제공한다.

- [0013] 본 발명의 일 실시예에 있어서, 상기 제1 마스크 패턴을 형성하는 단계에서, 상기 제1 마스크 패턴을, 제1 방향으로 연장되고 상기 제1 방향에 수직하는 제2 방향의 폭이 상기 타겟 폭의 3배인 제1 영역, 및 상기 제1 영역에서 분기되고 제1 내지 제3 돌출부를 구비한 제2 영역을 포함하는 구조로 형성할 수 있다.
- [0014] 상기 제1 내지 제3 돌출부는 상기 제1 영역의 끝단 부분에서 상기 제2 방향으로 직사각형 구조로 돌출되며 서로 이격되어 있고, 상기 제1 및 제3 돌출부는 상기 제2 돌출부의 양측으로 상기 제2 돌출부로부터 상기 타겟 폭의 4배의 간격을 가지고 배치되며, 각각 상기 제1 방향의 폭이 상기 타겟 폭의 2배일 수 있다.
- [0015] 상기 제2 마스크 패턴은 상기 제1 돌출부를 감싸는 형태의 제1 부분, 상기 제1 돌출부와 제2 돌출부 사이의 홈을 감싸는 형태의 제2 부분, 상기 제2 돌출부와 제3 돌출부 사이의 홈을 감싸는 형태의 제3 부분 및 상기 제3 돌출부를 감싸는 형태의 제4 부분을 구비하고, 상기 패드 영역은 상기 제1 내지 제4 부분을 포함할 수 있다. 상기 제1 부분 내지 제4 부분 각각은 상기 제1 방향의 폭이 상기 타겟 폭의 2배이며, 상기 제2 스페이서층을 형성하는 단계에서, 상기 제2 스페이서층이 겹쳐져 상기 제1 부분 내지 제4 부분이 매립될 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 패드 형성 단계 이후에, 상기 배선들을 전기적으로 분리하는 트림(trim) 공정을 수행하는 단계를 포함할 수 있다.

발명의 효과

- [0017] 본 발명의 사상에 의한 반도체 소자 및 반도체 소자의 패턴 형성방법은 현재까지 개발된 리소그래피 기술에서 제공되는 노광 장비 및 노광 기술에 의해 얻어질 수 있는 해상 한계 이내에서 구현 가능한 사이즈를 가지는 패턴을 이용하여 전술한 초미세 패턴을 구현할 수 있다.
- [0018] 또한, 본 발명의 사상에 의한 반도체 소자 및 반도체 소자의 패턴 형성방법은 초미세 도전 라인들과 함께 도전 라인 폭의 2배의 폭을 갖는 패드가 동시에 형성됨으로써, 패드 형성을 위한 별도의 포토리소그래피 공정이 불필요하고, 또한 커넥터 영역에서 패드 형성을 위해 충분한 공정 마진 확보해야 하는 문제를 해결할 수 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 실시예들의 적용예를 보여주는 메모리 소자의 블록 다이어그램이다.
- 도 2는 도 1의 메모리 소자에 포함된 메모리 셀 어레이의 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 반도체 소자의 요부 구성을 보여주는 평면도이다.
- 도 4는 도 3의 A 부분을 확대하여 보여주는 평면도이다.
- 도 5a 내지 도 14는 본 발명의 다른 실시예에 따른 도 3의 반도체 패턴 형성 과정을 보여주는 평면도 및 단면도들이다.
- 도 15a 및 도 15b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도이다.
- 도 16a 및 도 16b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도이다.
- 도 17a 및 도 17b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도이다.
- 도 18a 및 도 18b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도이다.
- 도 19는 본 발명의 실시예들에 따라 형성된 반도체 소자를 포함하는 메모리 카드의 블록 다이어그램이다.
- 도 20은 본 발명의 실시예들에 따른 반도체 소자를 포함하는 메모리 카드를 채용하는 메모리 시스템의 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 이하의 설명에서 어떤 구성 요소가 다른 구성 요소의 상부에 존재한다고 기술될 때, 이는 다른 구성 요소의 바로 위에 존재할 수도 있고, 그 사이에 제3의 구성 요소가 개재될 수도 있다. 또한, 도면에서 각 구성 요소의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었고, 설명과 관계없는 부분은 생략되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다. 한편, 사용되는 용어들은 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구 범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다.
- [0021] 도 1은 본 발명의 실시예들의 적용예를 보여주는 메모리 소자의 블록 다이어그램이고, 도 2는 도 1의 메모리 소자에 포함된 메모리 셀 어레이의 회로도이다.
- [0022] 도 1 및 도 2를 참조하면, NAND 플래시 메모리 소자 등과 같은 메모리 소자는 메모리 셀 어레이(1000), X-디코더 블록(2000), Y-디코더 블록(3000), 및 P-패스 회로(4000)를 포함한다.
- [0023] 메모리 셀 어레이(1000)는 고밀도 구성으로 배열된 메모리 셀들의 어레이로 구성될 수 있다. 이러한 메모리 셀 어레이(1000)는 도 2와 같은 어레이 구조를 가질 수 있다.
- [0024] X-디코더 블록(2000)은 메모리 셀 어레이(1000)의 액세스 및 구동을 위한 주변 회로로서, 액세스 될 메모리 셀 어레이(1000)의 워드 라인 WL, 예컨대 워드 라인 WL₀, WL₁, ..., WL_{m-1}, WL_m 을 선택하는 역할을 한다.
- [0025] Y-디코더 블록(3000)은 활성화될 메모리 셀 어레이(1000)의 비트 라인 BL, 예컨대, 비트 라인 BL₀, BL₁, ..., BL_{n-1}, BL_n 을 선택하는 역할을 한다.
- [0026] P-패스 회로(4000)는 메모리 셀 어레이(1000)에 연결되어 있으며 Y-디코더 블록(3000)의 출력에 의거하여 비트 라인 경로를 할당하는 역할을 한다.
- [0027] 도 2를 참조하면, 메모리 셀 어레이(1000)는 복수의 셀 스트링(1010)을 포함할 수 있는데, 각각의 셀 스트링(1010)은 직렬로 연결된 복수의 메모리 셀(1020)을 포함할 수 있다. 1 개의 셀 스트링(1010)에 포함되어 있는 복수의 메모리 셀(1020)의 게이트 전극은 각각 서로 다른 워드 라인 WL₀, WL₁, ..., WL_{m-1}, WL_m 에 연결될 수 있다.
- [0028] 또한, 셀 스트링(1010)의 양단에는 각각 접지 선택 라인(GSL)에 연결되는 접지 선택 트랜지스터(1040)와, 스트링 선택 라인(SSL)에 연결되는 스트링 선택 트랜지스터(1060)가 배치될 수 있다. 접지 선택 트랜지스터(1040) 및 스트링 선택 트랜지스터(1060)는 복수의 메모리 셀(1020)과 비트 라인 BL₀, BL₁, ..., BL_{n-1}, BL_n 및 공통 소스 라인(CSL)과의 전기적 연결을 제어한다. 복수의 셀 스트링(1010)에 걸쳐서 1 개의 워드 라인에 연결된 메모리 셀들은 페이지(page) 단위 또는 바이트(byte) 단위를 형성할 수 있다.
- [0029] 도 1에 예시된 메모리 소자에서 소정의 메모리 셀을 선택하여 읽기 동작 또는 쓰기 동작을 수행하기 위하여, 상기 X-디코더 블록(2000) 및 Y-디코더 블록(3000)을 이용하여 메모리 셀 어레이(1000)의 상기 워드 라인 WL₀, WL₁, ..., WL_{m-1}, WL_m 및 비트 라인 BL₀, BL₁, ..., BL_{n-1}, BL_n 을 선택하여 해당 메모리 셀을 선택하게 된다.
- [0030] NAND 플래시 메모리 소자는 복수의 메모리 셀이 직렬 연결된 구조로 인해 비교적 높은 집적도를 갖는다. 그러나, 최근 칩 사이즈의 축소(shrink)를 위해 NAND 플래시 메모리 소자의 디자인 룰 (design rule)을 더욱 감소시키는 것이 요구되고 있다. 또한, 디자인 룰이 감소함에 따라 NAND 플래시 메모리 소자를 구성하는 데 필요한 패턴들의 최소 피치 (minimum pitch)도 크게 감소하고 있다. 본 발명에서는, 이와 같이 감소된 디자인 룰에 따르는 미세 패턴을 구현하기 위하여, 지금까지 개발된 리소그래피 기술에서 제공되는 노광 장비 및 노광 기술에 의해 얻어질 수 있는 해상 한계 이내에서 구현 가능한 사이즈를 가지는 패턴을 이용하여, 충분한 공정 마진을 확보하면서도, 초미세 도전 라인 및 패드를 구현 수 있는 반도체 소자 및 그 반도체 소자의 패턴 형성 방법을 제공한다.
- [0031] 도 3은 본 발명의 일 실시예에 따른 반도체 소자의 요부 구성을 보여주는 평면도이다.
- [0032] 도 3에는 본 발명의 실시예들에 따른 반도체 소자의 패턴 형성 방법에 따라 구현될 수 있는 반도체 소자의 구성 중 일부의 평면 구조가 예시되어 있다. 예컨대, NAND 플래시 메모리 소자의 메모리 메모리 셀 영역(1000A)의 일부와, 상기 메모리 메모리 셀 영역(1000A)의 셀 어레이를 구성하는 복수의 워드 라인 또는 복수의 비트 라인과 같은 복수의 도전 라인들을 디코더와 같은 외부 회로(미도시)에 연결시키기 위한 커넥션 영역(1000B)의 일부,

그리고 주변회로 영역(1000C)의 일부의 레이아웃이 예시되어 있다.

- [0033] 도 3을 참조하면, 본 실시예 따른 반도체 소자는 기관(미도시), 제1 도전 라인(110), 제2 도전라인(120), 및 패드(130)를 포함할 수 있다.
- [0034] 기관 상에는 메모리 메모리 셀 영역(1000A), 커넥션 영역(1000B) 및 주변 회로 영역(1000C)들이 정의될 수 있다. 메모리 메모리 셀 영역(1000A)에는 복수의 메모리 셀 블록(1050)이 형성될 수 있는데, 도 3의 경우, 편의상 1 개의 메모리 셀 블록(1050)만을 도시하고 있다.
- [0035] 상기 기관은 반도체 기관, 예를 들어 IV족 반도체 기관, III-V족 화합물 반도체 기관, 또는 II-VI족 산화물 반도체 기관을 포함할 수 있다. 예를 들어, IV족 반도체 기관은 실리콘 기관, 게르마늄 기관 또는 실리콘-게르마늄 기관을 포함할 수 있다. 상기 기관은 벌크 웨이퍼 또는 에피택셜층을 포함할 수 있다. 이러한 기관에는 활성 영역들, 소자 분리막들, 도전층 및 절연층들이 형성될 수 있다.
- [0036] 제1 도전 라인(110)은 메모리 셀 블록(1050)에 배치되는 스트링 선택 라인(SSL)과 접지 선택 라인(GSL) 사이의 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63)일 수 있다. 제2 도전 라인(120)은 커넥션 영역(1000B)에서 제1 도전 라인(110) 각각으로부터 제2 방향(y 방향으로)으로 분기되어 제1 도전 라인(110)과 일체형으로 형성될 수 있다.
- [0037] 패드(130)는 커넥션 영역(1000B)에 제1 도전 라인(110) 또는 제2 도전 라인(120)과 일체형으로 형성되며, 제1 도전 라인(110)을 디코더와 같은 외부회로(미도시)에 연결시키는 기능을 한다. 패드(130)는 제1 도전 라인(110) 및 제2 도전 라인(120)과 동시에 형성되며, 패드(130)의 제1 방향 폭은 제1 도전 라인(110)의 폭의 2배일 수 있다.
- [0038] 이하, 제1 도전 라인(110), 제2 도전 라인(120), 및 패드(130)에 대한 구조에 대해서는 도 4 이하에서 좀더 상세히 설명한다.
- [0039] 한편, 제1 도전 라인(110)인 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63)은 제1 방향(x 방향으로) 메모리 셀 영역(1000A)으로부터 커넥션 영역(1000B)까지 상호 평행하게 연장될 수 있다. 이러한 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63) 각각은 커넥션 영역(1000B)에 형성된 제2 도전 라인(120) 및 패드(130)를 통해 디코더와 같은 외부 회로(미도시)에 연결될 수 있음은 전술한 바와 같다.
- [0040] 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63)은 동일 평면상에 형성되며, 각각 4개의 제1 도전 라인(112, 114, 116, 118)을 포함하는 복수의 도전 라인 그룹(MG1, MG2, ..., MG15, MG16)을 구성할 수 있다. 이러한 복수의 도전 라인 그룹(MG1, MG2, ..., MG15, MG16) 각각은 4개의 제1 도전 라인(112, 114, 116, 118)에 대응하는 4개의 제2 도전 라인(122, 124, 126, 128) 및 4개의 패드(132, 134, 136, 138)를 포함할 수 있고, 4개의 제2 도전 라인(122, 124, 126, 128) 및 4개의 패드(132, 134, 136, 138)의 구조는 각각의 도전 라인 그룹 내에서 동일한 구조를 가질 수 있다.
- [0041] 복수의 도전 라인 그룹(MG1, MG2, ..., MG15, MG16)은 중앙부에 위치하는 제1 방향의 중심선(Rx)을 기준으로 제2 방향(y 방향으로) 상호 대칭되도록 형성될 수 있다. 또한, 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63)은 중심선(Rx)을 기준으로 제2 방향을 따라서, 제1 방향으로의 길이가 순차적으로 줄어들 수 있다. 즉, 중심선(Rx)에 인접하는 제1 방향의 도전 라인의 길이가 가장 길고 중심선(Rx)에서 멀어질수록 도전 라인의 제1 방향 길이가 줄어들 수 있다. 한편, 이와 같은 개념은 중심선(Rx)을 기준으로 제2 방향을 따라서, 복수의 도전 라인 그룹(MG1, MG2, ..., MG15, MG16) 각각의 제1 방향의 길이가 순차적으로 줄어드는 것으로 설명될 수도 있다.
- [0042] 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63) 각각은 상기 메모리 메모리 셀 영역(1000A) 및 커넥션 영역(1000B)에서 균일한 폭을 가질 수 있다. 예컨대, 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63) 각각은 반도체 소자의 최소 피쳐(feature) 사이즈인 1F의 폭을 가질 수 있다. 또한, 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63) 각각의 사이는 1F의 균일한 간격이 유지될 수 있다.
- [0043] 도 3에는 1 개의 메모리 셀 블록(1050)에 16 개의 도전 라인 그룹이 포함되어 있는 것으로 예시되어 있다. 그러나, 본 발명은 이에 한정되지 않는다. 즉, 1 개의 메모리 셀 블록(1050)에 포함되는 도전 라인 그룹의 수는 특별히 제한되지 않으며, 16 개보다 더 작거나 큰 수의 도전 라인 그룹이 포함될 수 있음은 물론이다.
- [0044] 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)은 각각 상기 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63)의 폭보다 더 큰 3F의 폭을 가질 수 있다. 그리고, 상기 접지 선택 라인(GSL)과 최외측 도전 라인(M00) 사

이와, 상기 스트링 선택 라인과 최외측 도전 라인(M63) 사이에는 각각 1F의 균일한 간격이 유지될 수 있다.

- [0045] 한편, 주변회로 영역(1000C)에는 주변회로용 도전 패턴(700)이 형성될 수 있다.
- [0046] 제1 도전 라인(110), 즉 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63), 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 제2 도전라인(120), 패드(130), 및 주변회로용 도전 패턴(700)은 모두 상호 동일한 물질로 형성될 수 있다.
- [0047] 일 예에서, 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63) 각각은 복수의 메모리 셀을 구성하는 워드 라인일 수 있다. 다른 예에서, 상기 복수의 도전 라인(M00, M01, M02, ..., M61, M62, M63)은 메모리 셀 영역(1000A)에서 복수의 메모리 셀을 구성하는 비트 라인일 수 있다. 이 경우, 상기 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)은 생략될 수도 있다. 주변회로용 도전 패턴(700)은 주변회로용 트랜지스터의 게이트 전극을 구성할 수 있다.
- [0048] 지금까지, NAND 플래시 메모리 소자를 가지고 설명하였지만, 본 실시예의 반도체 소자는 이에 한정되지 않고, 복수의 도전 라인들이 배치되고 단부에 패드가 형성되어야 하는 모든 반도체 소자, 예컨대 DRAM 메모리 소자에 도 적용될 수 있음은 물론이다.
- [0049] 도 4는 도 3의 A 부분을 확대하여 보여주는 평면도로서, 복수의 도전 라인 그룹(MG1, MG2, ..., MG15, MG16) 중 어느 하나, 예컨대 MG2의 우측 끝단 부분을 좀더 상세하게 도시하고 있다.
- [0050] 도 4를 참조하면, 도전 라인 그룹(MG2)은 제1 도전 라인(110), 제2 도전 라인(120) 및 패드(130)를 포함할 수 있다.
- [0051] 제1 도전 라인(110)은 4개의 도전 라인, 예컨대 제1번 내지 제4번 제1 도전 라인(112, 114, 116, 118)을 포함하고, 메모리 메모리 셀 영역(도 3의 1000A)으로부터 커넥션 영역(1000B)까지 제1 방향(x 방향으로) 상호 평행하게 연장되어 형성될 수 있다. 이러한 제1번 내지 제4번 제1 도전 라인(112, 114, 116, 118) 각각은 1F의 폭을 가지며, 인접하는 제1 도전 라인들 간에 1F의 간격을 가질 수 있다.
- [0052] 제1 도전 라인(110)은 상측에서 하측으로 순차적으로 제1 방향의 길이가 줄어들 수 있다. 예컨대, 제1번 제1 도전 라인(112)이 가장 길고, 제2번 제1 도전 라인(114)가 두 번째로 길고, 제3번 제1 도전 라인(116)이 세 번째로 길고, 제4번 제1 도전 라인(118)이 가장 짧을 수 있다.
- [0053] 제2 도전 라인(120)은 4개의 도전 라인, 예컨대 제1번 내지 제4번 제2 도전 라인(122, 124, 126, 128)을 포함할 수 있다. 이러한 제1번 내지 제4번 제2 도전 라인(122, 124, 126, 128) 각각은 대응하는 제1번 내지 제4번 제1 도전 라인(112, 114, 116, 118)으로부터 제2 방향(y 방향으로) 분기되어 형성될 수 있고, 각각 1F의 폭을 가질 수 있다.
- [0054] 구체적으로, 제1번 제2 도전 라인(122)은 제1번 제1 도전 라인(112)의 끝단에서 하측의 제2 방향으로 연장된 제1-1부분(a1), 및 제1-1부분(a1) 끝단에서 좌측 제1 방향으로 연장된 제1-2 부분(b1)을 포함할 수 있다. 제2번 제2 도전 라인(124)은 제2번 제1 도전 라인(114) 끝단에서 하측의 제2 방향으로 연장된 제2-1부분(a2), 제2-1 부분(a2) 끝단에서 좌측의 제1 방향으로 연장된 제2-2 부분(b2), 제2-2 부분(b2) 끝단에서 하측의 제2 방향으로 연장된 제2-3 부분(c), 및 제2-3 부분(c) 끝단에서 좌측의 제1 방향으로 연장된 제2-4부분(d)을 포함할 수 있다. 제3번 제2 도전 라인(126)은 제3번 제1 도전 라인(116)의 끝단에서 하측의 제2 방향으로 연장된 제3-1 부분(a3) 및 제3-1 부분(a3) 끝단에서 우측의 제1 방향으로 연장된 제3-2 부분(b3)을 포함할 수 있다. 또한, 제4번 제2 도전 라인(128)은 제4번 제1 도전 라인(118) 끝단에서 하측의 제2 방향으로 연장된 제4-1 부분(a4) 및 제4-1 부분(a4) 끝단에서 우측의 제1 방향으로 연장된 제4-2 부분(b4)을 포함할 수 있다.
- [0055] 제1번 내지 제4번 제2 도전 라인(122, 124, 126, 128) 각각은 인접하는 다른 도전 라인들, 예컨대, 제1번 내지 제4번 제1 도전 라인(112, 114, 116, 118), 제1번 내지 제4번 제2 도전 라인(122, 124, 126, 128), 제1번 내지 제4번 패드(132, 134, 136, 138) 중 어느 하나와 1F를 간격을 가질 수 있다. 이러한 간격을 유지하기 위하여, 제1번 내지 제4번 제2 도전 라인(122, 124, 126, 128)은 서로 다른 구조와 길이를 가질 수 있다.
- [0056] 한편, 제2-3 부분(c)과 제2-4 부분(d), 그리고 제3-1 부분(a3) 및 제3-2 부분(b3)은 경우에 따라 형성되지 않을 수 있다. 이에 대해서는 도 5a 이하의 반도체 소자의 패턴 형성 과정에 대한 설명에서 기술한다.
- [0057] 패드(130)는 4개의 패드, 즉 제1번 내지 제4번 패드(132, 134, 136, 138)를 포함할 수 있다. 제1번 내지 제4번 패드(132, 134, 136, 138) 각각은 제1 도전 라인(110) 또는 제2 도전 라인(120)으로부터 직사각형 구조의 돌출

된 형태로 형성될 수 있고, 대응하는 제1번 내지 제4번 제1 도전 라인(112, 114, 116, 118) 각각에 전기적으로 연결될 수 있다. 이러한 제1번 내지 제4번 패드(132, 134, 136, 138) 각각의 제1 방향의 폭은 제1 도전 라인(110)의 폭의 2배인 2F일 수 있다.

- [0058] 구체적으로, 제1번 패드(132)는 제1-2 부분(b1)에서 상측의 제2 방향으로 돌출된 구조로 형성될 수 있다. 제2번 패드(134)는 제2-2 부분(b2)에서 하측의 제2 방향으로 돌출된 구조로 형성될 수 있다. 제3번 패드(136)는 제3번 제1 도전 라인(116)에서 하측의 제2 방향으로 돌출된 구조로 형성될 수 있다. 제4번 패드(138)는 제4-2 부분(b4)에서 상측의 제2 방향으로 돌출된 구조로 형성될 수 있다. 이러한 인접하는 제1번 내지 제4번 패드(132, 134, 136, 138)는 다른 도전 라인들, 예컨대, 제1번 내지 제4번 제1 도전 라인(112, 114, 116, 118), 제1번 내지 제4번 제2 도전 라인(122, 124, 126, 128), 제1번 내지 제4번 패드(132, 134, 136, 138) 중 어느 하나와 1F을 간격을 가질 수 있다.
- [0059] 한편, 제1번 내지 제4번 패드(132, 134, 136, 138)는 그룹 내의 제2 방향의 중심선(Ry)을 기준으로 2개씩 서로 대칭인 구조를 가질 수 있다. 예컨대, 제1번 패드와 제4번 패드(132, 138)가 중심선(Ry)에 대하여 대칭을 이루며, 제2번 패드(134)와 제3번 패드(136)가 중심선(Ry)에 대하여 대칭을 이룰 수 있다. 또한, 제1번 패드와 제2번 패드(132, 134)는 서로에 대하여 반대 방향으로 엇갈려 돌출된 구조를 가질 수 있고, 제3번 패드와 제4번 패드(136, 138)도 마찬가지로 구조를 가질 수 있다.
- [0060] 본 실시예에서의 제1 도전 라인(110), 제2 도전 라인(120) 및 패드(130)는, 현재의 리소그래피 기술에서 구현 가능한 소정 형태의 마스크 패턴에 더블 패터닝(Double Patterning Technology: DPT) 공정을 적용함으로써, 동시에 형성될 수 있다. 본 실시예에서와 같은 제1 도전 라인(110), 제2 도전 라인(120) 및 패드(130) 구조가 형성되기 위해서는 처음에 포토리소그래피 공정을 통한 적절한 마스크 패턴 구조가 형성되어야 한다. 이러한 마스크 패턴 구조에 대해서는 도 5a 이하의 반도체 소자의 패턴 형성 과정에 대한 설명에서 좀더 상세히 기술한다.
- [0061] 본 실시예에서, 제2 도전 라인(120) 및 패드(130)가 제1 도전 라인(110)으로부터 제1 방향의 직각 방향, 즉 하측 제2 방향으로 연장 또는 돌출되어 형성되는 것으로 예시되었다. 그러한, 본 발명의 실시예가 이에 한정되는 것은 아니며, 본 발명의 사상의 범위 내에서 다양한 구조를 가질 수 있음은 물론이다. 예컨대, 제1 방향의 중심선(Rx)의 상측으로 반대 구조의 제2 도전 라인(120) 및 패드(130)가 형성될 수 있으며, 또한, 도 18b와 같은 구조로 제2 도전 라인(120) 및 패드(130)가 형성될 수도 있다.
- [0062] 도 5a 내지 도 14는 본 발명의 다른 실시예에 따른 도 3의 반도체 소자의 패턴 형성 과정을 보여주는 평면도들 및 단면도들이다.
- [0063] 여기서, 도 5a, 6a, 7a, 8a, 9a, 10a, 11a, 12a, 13a, 및 14는 본 실시예에 따른 반도체 소자의 패턴 형성 과정의 각 단계에 대한 평면도들이고, 도 5b, 6b, 7b, 8b, 9b, 10b, 11b, 12b, 및 13b는 도 5a, 6a, 7a, 8a, 9a, 10a, 11a, 12a, 및 13a 각각의 I-I 부분을 절단한 단면도들이며, 도 5c, 6c, 7c, 8c, 9c, 10c, 11c, 12c, 및 13c는 도 5a, 6a, 7a, 8a, 9a, 10a, 11a, 12a, 및 13a 각각의 II-II 부분을 절단한 단면도들이다.
- [0064] 도 5a 내지 도 5c를 참조하면, 기판(500) 상에 도전층(100), 절연층(200), 및 반사 방지층(300, Anti-Reflective Coating: ARC)을 형성하고, 상기 반사 방지층(300) 상으로 소정 형태의 PR(Photo Resist) 패턴(400)을 형성한다.
- [0065] 기판(500)은 반도체 기판, 예를 들어 IV족 반도체 기판, III-V족 화합물 반도체 기판, 또는 II-VI족 산화물 반도체 기판을 포함할 수 있다. 예를 들어, IV족 반도체 기판은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판을 포함할 수 있다. 상기 기판은 벌크 웨이퍼 또는 에피택셜층을 포함할 수 있다.
- [0066] 이러한 기판(500) 상으로는 메모리 메모리 셀 영역(1000A), 커넥션 영역(1000B) 및 주변 회로 영역(1000C)들이 정의될 수 있다. 도 5a 내지 도 5c는 메모리 메모리 셀 영역(1000A) 일부, 및 커넥션 영역(1000B)만을 도시하고 있다. 이러한 기판(500)상에는 다수의 활성 영역들, 소자 분리층들, 도전층 및 절연층들이 형성될 수 있다.
- [0067] 도전층(100)은 목표하는 도전 라인 또는 패드가 형성되는 층으로서, 도핑된 폴리실리콘, 금속, 금속 질화물, 또는 이들의 조합으로 이루어질 수 있다. 예컨대, 상기 도전층(100)으로 워드 라인을 형성하는 경우, 상기 도전층(100)은 TaN, TiN, W, WN, HfN, 텅스텐 실리사이드, 및 폴리실리콘으로 이루어지는 군에서 선택되는 어느 하나, 또는 이들의 조합으로 이루어지는 도전 물질을 포함할 수 있다. 또는, 상기 도전층(100)으로 비트 라인을 형성하는 경우, 상기 도전층(100)은 도핑된 폴리실리콘 또는 금속을 포함할 수 있다.
- [0068] 절연층(200)은 하드마스크층으로서, 단일층 또는 다중층 구조로 형성될 수 있다. 예컨대, 다중층 구조로 형성되

는 경우 절연층(200)은 소정의 식각 조건 하에서 서로 다른 식각 특성을 가지는 2 층 이상의 복수의 하드마스크 층이 적층된 구조를 가질 수도 있다. 절연층(200)은 애싱(ashing) 및 스트립(strip) 공정으로 쉽게 제거할 수 있는 재료로 형성될 수 있다. 예컨대, 절연층(200)은 PR, ACL(Amorphous Carbon Layer), 또는 탄소 함량이 총 중량을 기준으로 약 85 ~ 99 중량%의 비교적 높은 탄소 함량을 가지는 탄화수소 화합물 또는 그 유도체로 이루어지는 층(이하, "C-SOH층" 이라 함)으로 형성될 수 있다.

- [0069] 절연층(200)을 C-SOH층으로 형성하는 경우, 도전층(100) 상에 약 1000 ~ 5000 Å의 두께의 유기 화합물층, 스피ن 코팅(spin coating) 공정 또는 다른 증착 공정을 통해 형성한다. 이러한 유기 화합물은 페닐, 벤젠, 또는 나프탈렌과 같은 방향족 환을 포함하는 탄화수소 화합물 또는 그 유도체로 이루어질 수 있다. 또한, 유기 화합물은 그 총 중량을 기준으로 약 85 ~ 99 중량%의 비교적 높은 탄소 함량을 가지는 물질로 이루어질 수 있다. 상기 유기 화합물층을 약 150 ~ 350 °C의 온도하에서 1차 베이킹(bake)하여 탄소함유층을 형성할 수 있다. 상기 1차 베이킹은 약 60초 동안 행해질 수 있다. 그 후, 상기 탄소함유층을 약 300 ~ 550 °C의 온도하에서 2차 베이킹하여 경화시켜 C-SOH층을 형성할 수 있다. 상기 2차 베이킹은 약 30 ~ 300 초 동안 행해질 수 있다. 이와 같이, 상기 탄소함유층을 2차 베이킹 공정에 의해 경화시킴으로써, 경화된 상기 탄소함유층, 즉 C-SOH층 상에 다른 막질을 형성할 때 약 400 °C 이상의 비교적 고온하에서 증착 공정을 행하여도 증착 공정 중에 C-SOH층에 악영향이 미치지 않게 된다.
- [0070] 반사 방지층(300)은 포토리소그래피 공정 중에 반사 방지 기능을 수행하는 층으로서, 단일층 또는 다중층으로 형성될 수 있다. 단일층으로 형성되는 경우에는 예컨대, SiON층으로 형성될 수 있다. 다중층으로 형성하는 경우에는 SiON층 상으로 유기 반사 방지층(미도시)을 더 형성할 수 있다.
- [0071] PR 패턴(400)은 제1 마스크층(M1)으로서, 반사 방지층(300) 상에 포토리소그래피 공정을 통해 소정 형태로 형성되며, 복수 개 형성될 수 있다. PR 패턴(400) 각각은 도 5a에 도시된 바와 같이 소정 규격을 가지고 형성될 수 있다.
- [0072] 즉, PR 패턴(400)은, 제1 방향(x 방향)으로 연장되고 제2 방향(y 방향)의 폭이 3F인 제1 영역(410), 및 제1 영역(410)에서 제2 방향으로 분기되어 형성된 제2 영역(420)을 포함하는 구조로 형성될 수 있다. 제2 영역(420)은 제1 영역(410)에서 돌출된 구조를 갖는 제1 내지 제3 돌출부(422, 424, 426)를 포함할 수 있다.
- [0073] 제2 영역(420)을 좀더 구체적으로 설명하면, 제1 내지 제3 돌출부(422, 424, 426)는 제1 영역(410)의 끝단 부분에서 하측의 제2 방향으로 직사각형 구조로 돌출되며 서로 이격되어 있는 구조로 형성될 수 있다. 제1 및 제3 돌출부(422, 426) 각각은 중앙의 제2 돌출부(424)로부터 제1 방향으로 4F의 간격을 가지고 배치되며, 제1 및 제3 돌출부(422, 426) 각각의 제1 방향의 폭은 2F일 수 있다.
- [0074] 참고로, 제2 돌출부(424)의 제1 방향의 폭은 제한되지 않으나, 차후 PR 패턴 제거 후, 1F의 두께를 갖는 제2 스페이서층(도 10a 내지 10c의 700)인 산화막층이 원활하게 증착될 수 있도록 2F보다 크게 형성될 수 있다. 또한, 제1 내지 제3 돌출부(422, 424, 426) 각각의 제2 방향의 길이 역시 제한되지 않으나 차후에 패드 상으로 형성되는 메탈 콘택과의 연결을 고려하여 소정 길이로 형성될 수 있다.
- [0075] 인접하는 PR 패턴(400) 간의 간격은 5F일 수 있다. 즉, PR 패턴(400) 각각에 포함된 제1 영역(410) 간의 간격은 5F일 수 있다. 한편, PR 패턴(400) 각각에 형성되는 제2 영역의 위치는 서로 다르다. 즉 도 3에 도시된 바와 같은 도전 라인들 및 패드를 형성하기 위하여, 제1 영역(410)은 제2 방향을 따라서, 순차적으로 길게 또는 짧게 형성될 수 있고, 그에 따라, 제2 영역(420)도 제2 방향을 따라서, 순차적으로 좀더 제1 방향의 외측 또는 내측으로 배치될 수 있다. 또한, 인접하는 PR 패턴들에 기초하여 형성되는 제2 도전 라인들이 서로 겹치지 않도록, 어느 하나의 PR 패턴의 제1 돌출부(422)와 인접하는 다른 PR 패턴의 제3 돌출부(426)는 제1 방향으로 충분한 간격을 가지고 형성될 수 있다.
- [0076] 한편, 반사 방지층(300)이 SiON층 상부로 유기 반사 방지층(미도시)을 포함하는 경우에, PR 패턴(400)을 형성하는 공정은 포토리소그래피 공정 및 유기 반사 방지층(미도시)을 식각하는 공정을 포함할 수 있다. 한편, ADI(After Develop Inspection) 한계로 인해 원하는 피치를 맞추지 못한 시에는 PR 트림(trim)을 더 수행할 수도 있다.
- [0077] 도 6a 내지 도 6c를 참조하면, PR 패턴(400) 및 반사 방지층(300) 상에 제1 스페이서층(600)을 형성한다. 제1 스페이서층(600)은 균일한 두께, 예컨대 제1 도전 라인의 타겟 폭인 1F와 동일한 두께로 형성될 수 있다. 또한, 제1 스페이서층(600)은 PR 패턴층(400)에 대하여 서로 다른 식각 선택비를 갖는 재료로 형성될 수 있다. 예컨대, 제1 스페이서층(600)은 MTO(Medium Temperature Oxide) 등과 같은 산화막층으로 형성될 수 있다.

- [0078] 제1 스페이서층(600)이 균일한 두께로 형성되도록 하기 위하여 ALD(Atomic Layer Deposition) 공정을 이용할 수 있다. 특히, 제1 스페이서층(600)을 ALD 공정으로 형성하는 데 있어서, ALD 공정 온도를 상온 내지 약 75 °C 이하의 온도로 설정할 수 있다.
- [0079] 제1 스페이서층(600) 형성 후, 인접하는 PR 패턴(400) 사이에 제1 방향으로 연장되어 형성된 제1 스페이서층(600)의 홈(H1)의 간격은 3F일 수 있고, 또한 PR 패턴(400)의 돌출부 사이에 형성된 제1 스페이서층(600)의 홈의 간격은 2F일 수 있다.
- [0080] 도 7a 내지 도 7c를 참조하면, 반사 방지층(300)의 상면이 노출될 때까지 상기 제1 스페이서층(600)을 에치-백(etch-back)하여 PR 패턴(400)의 측벽을 덮는 제1 스페이서(610)를 형성한다.
- [0081] 제1 스페이서(610)는 도 7a에 도시된 바와 같이 PR 패턴(400) 측벽 전체를 둘러싸는 구조로 형성될 수 있다. 또한, 제1 스페이서(610)는 도 7b 및 도 7c에 도시된 바와 같이 반사 방지층(300) 상면을 1F의 폭을 가지고 덮도록 형성될 수 있다.
- [0082] 제1 스페이서층(600)을 식각하기 위하여, 예를 들면 메인 식각 가스로서 C_xF_y 가스 (x 및 y는 각각 1 내지 10의 정수), 또는 CH_xF_y 가스 (x 및 y는 각각 1 내지 10의 정수)를 사용할 수 있다. 또는, 상기 메인 식각 가스에 O₂ 가스 및 Ar 중에서 선택되는 적어도 하나의 가스를 혼합하여 사용할 수 있다. C_xF_y 가스로서는 예컨대, C₃F₆, C₄F₆, C₄F₈, 또는 C₅F₈를 사용할 수 있다. CH_xF_y 가스로서는 예컨대, CHF₃ 또는 CH₂F₂를 사용할 수 있다. 여기서, 식각 가스에 첨가되는 O₂는 식각 공정 중에 발생하는 폴리머 부산물을 제거하는 역할과, C_xF_y 식각 가스를 분해시키는 역할을 한다. 또한, 식각 가스에 첨가되는 Ar은 캐리어 가스로 이용되며, 또한 이온 충돌 (ion bombarding)이 이루어지도록 하는 역할을 한다.
- [0083] 제1 스페이서층(600)을 식각하는 데 있어서, 식각 챔버 내에서 앞서 예시된 식각 가스들 중에서 선택되는 식각 가스의 플라즈마를 발생시키고, 그러한 플라즈마 분위기에서 식각을 행할 수 있다. 또는, 경우에 따라 식각 챔버 내에서 플라즈마를 발생시키지 않음으로써 이온 에너지가 없는 상태로 선택된 식각 가스 분위기에서 식각을 행할 수도 있다. 예컨대, 제1 스페이서층(600)을 식각하기 위하여 C₄F₆, CHF₃, O₂, 및 Ar의 혼합 가스를 식각 가스로 사용할 수 있다. 이 경우, C₄F₆ : CHF₃ : O₂ : Ar의 부피비가 약 1:6:2:14로 되도록 각각의 가스를 공급하면서 약 30 mT의 압력하에서 플라즈마 방식의 건식 식각 공정을 수 초 내지 수십 초 동안 행할 수 있다.
- [0084] 도 8a 내지 도 8c를 참조하면, 반사 방지층(300) 상에 제1 스페이서(610)만을 남기고 PR 패턴(400)을 제거한다.
- [0085] PR 패턴(400)의 제거 공정은 제1 스페이서(610) 및 반사 방지층(300)의 식각이 억제되는 조건하에서 행할 수 있다. PR 패턴(400)의 제거 공정은 예컨대, 애싱 (ashing) 및 스트립 (strip) 공정을 이용할 수 있다. 또한, 반사 방지층(300)의 구성 재료에 따라 건식 또는 습식 식각 공정을 이용하여 PR 패턴(400)을 제거할 수도 있다.
- [0086] 도 9a 내지 도 9c를 참조하면, 제1 스페이서(610)를 식각 마스크로 이용하여 반사 방지층(300) 및 절연층(200)을 건식 식각하여, 폭 1F인 제2 마스크층(M2)을 형성할 수 있다. 제2 마스크층(M2) 형성을 통해 도전층(100) 상면 일부가 노출될 수 있다.
- [0087] 제2 마스크층(M2)은 절연층 패턴(210), 반사 방지층 패턴(310) 및 부분 제1 스페이서(620)를 포함할 수 있다. 절연층 패턴(210), 및 반사 방지층 패턴(310)은 제1 스페이서(610)를 식각 마스크로 이용하여 형성되므로, 제1 스페이서(610)와 수평 단면적의 구조가 동일 할 수 있다. 또한, 부분 스페이서(620)는 건식 식각 중에 상부 부분이 식각되기 때문에 제1 스페이서(610)보다 얇을 수 있다. 경우에 따라, 제1 스페이서(610)는 모두 식각될 수도 있고, 또한, 반사 방지층 패턴(310) 상부 일부가 식각을 통해 제거될 수도 있다.
- [0088] 제2 마스크층(M2)은 1F의 폭을 가지고 수평 단면이 PR 패턴(400)의 구조와 동일한 공간을 둘러싸는 구조로 형성될 수 있다. 그에 따라, PR 패턴(400)의 제1 영역에 대응하는 제2 마스크층(M2)의 공간 부분은 3F의 간격을 가지며, PR 패턴(400)의 제1 돌출부(422) 및 제3 돌출부(426)에 대응하는 제2 마스크층(M2)의 공간 부분들은 2F의 간격을 가질 수 있다. 또한, PR 패턴(400)의 제1 돌출부(422)와 제2 돌출부(424) 사이와, 제2 돌출부(424)와 제3 돌출부(426) 사이에 대응되는 제2 마스크층(M2)의 공간 부분에서도 2F의 간격을 가질 수 있다.
- [0089] 이하, 제1 돌출부에 대응하는 제2 마스크층(M2)의 공간 부분을 제1 패드 영역(P1), 제1 돌출부와 제2 돌출부 사이에 대응하는 제2 마스크층(M2)의 공간 부분을 제2 패드 영역(P2), 제2 돌출부와 제3 돌출부 사이에 대응하는 제2 마스크층(M2)의 공간 부분을 제3 패드 영역(P3), 그리고, 제3 돌출부에 대응하는 제2 마스크층(M2)의 공간

부분을 제4 패드 영역(P4)이라 한다. 도 9a에서, 제1 내지 제4 패드 영역(P1, P2, P3, P4)이 직사각형의 굵은 점선으로 표시되어 있다.

- [0090] 한편, 복수의 PR 패턴에 대응하여 제2 마스크층(M2)도 복수 개 형성되며, 인접하는 제2 마스크층(M2) 간의 간격은 3F일 수 있다.
- [0091] 도 10a 내지 도 10c를 참조하면, 제2 마스크층(M2) 및 도전층(100) 상에 제2 스페이서층(700)을 형성한다. 제2 스페이서층(700)은 균일한 두께, 예컨대 제1 스페이서층(600)과 같이 1F의 두께로 형성할 수 있다. 또한, 제2 스페이서층(700)은 제2 마스크층(M2)에 대하여 서로 다른 식각 선택비를 갖는 재료로 형성될 수 있다. 제2 마스크층(M2)이 다중층으로 형성되므로, 제2 스페이서층(700)은 제2 마스크층(M2)에 포함된 모든 층에 대하여 서로 다른 식각 선택비를 갖는 재료로 형성될 수도 있으나, 실질적으로 차후에 에싱이나 스트립 공정을 통해 제거되어야 할 부분은 절연층 패턴(210)이므로, 제2 스페이서층(700)은 절연층 패턴(210)에 대해서만 서로 다른 식각 선택비를 갖는 재료로 형성될 수 있다. 예컨대, 제2 스페이서층(700)은 MTO(Medium Temperature Oxide) 등과 같은 산화막층으로 형성될 수 있다.
- [0092] 제2 스페이서층(700)을 균일한 두께로 형성하기 위하여 제1 스페이서층(600)과 마찬가지로 ALD 공정을 이용하여 형성할 수 있다. 또한, 제2 스페이서층(700) 역시, ALD 공정 시에 ALD 공정 온도를 상온 내지 약 75 °C 이하의 온도로 설정할 수 있다.
- [0093] 도 10a 및 제10b에서 알 수 있듯이, 제2 스페이서층(700) 형성 후, 제1 내지 제4 패드 영역(P1, P2, P3, P4)은 제2 스페이서층(700)에 의해 완전히 매립될 수 있다. 즉, 제2 스페이서층(700) 형성 전에, 제1 내지 제4 패드 영역(P1, P2, P3, P4)의 제1 방향으로의 간격은 2F이고, 증착되는 제2 스페이서층(700)의 두께는 1F이다. 따라서, 제2 스페이서층(700)이 제1 내지 제4 패드 영역(P1, P2, P3, P4)에서 겹쳐져(folding), 제1 내지 제4 패드 영역(P1, P2, P3, P4)은 제2 스페이서층(700)에 의해 완전히 매립될 수 있다.
- [0094] 한편, 도 10a 및 제10b에서 알 수 있듯이, 제1 영역 및 PR 패턴들 사이에 제1 방향으로 연장되어 형성되는 제2 스페이서층(700)의 홈(H2)의 간격은 1F일 수 있다.
- [0095] 도 11a 내지 도 11c를 참조하면, 도전층(100)의 상면이 노출될 때까지 상기 제2 스페이서층(700)을 에치-백(etch-back)하여 절연층 패턴(210)의 측벽을 덮는 제2 스페이서(710)를 형성한다. 제2 스페이서(710)는 제1 방향으로 연장되어 형성되는 제2-1 스페이서(710a), 제2-1 스페이서(710)에서 분기되어 형성된 제2-2 스페이서(710b) 및 패드 영역(P1, P2, P3, P4)에 형성되는 제2-3 스페이서(710c)를 포함할 수 있다.
- [0096] 제2 스페이서(710)는 도 11a에 도시된 바와 같이 절연층 패턴(210) 측벽 전체를 둘러싸는 구조로 형성될 수 있다. 또한, 제2 스페이서(610)는 도 11b 및 도 11c에 도시된 바와 같이 도전층(100) 상면을 1F의 폭을 가지고 덮도록 형성될 수 있다.
- [0097] 도 11b 및 도 11c에서, 에치-백 후에, 제2 스페이서(710)는 제2 마스크층(M1) 전체가 아닌 절연층 패턴(210) 측벽으로만 형성되고, 절연층 패턴(210) 상의 반사 방지층 패턴(310)과 부분 제1 스페이서(620)는 에치-백에 의해 식각되어 제거될 수 있다. 이는 제2 스페이서층(700)이 절연층 패턴(210)에 대해서만 서로 다른 식각 선택비를 갖는 재료로 형성되고, 그에 따라, 에치-백 공정 중에 반사 방지층 패턴(310)과 부분 제1 스페이서(620)가 식각되어 제거될 수 있다.
- [0098] 제2 스페이서층(700)을 식각하는 방법은 도 7a 내지 도 7c에 대한 설명한 제1 스페이서층(600)을 식각하는 방법과 유사하고, 그에 따라 제2 스페이서층(700)을 식각하는 방법에 대한 상세히 설명은 생략한다.
- [0099] 도 12a 내지 도 12c를 참조하면, 도전층(100) 상에 제2 스페이서(710)만을 남기고 절연층 패턴(210)을 제거한다.
- [0100] 절연층 패턴(210) 제거 공정은 제2 스페이서(710) 및 도전층(100)의 식각이 억제되는 조건하에서 행할 수 있다. 절연층 패턴(210)의 제거 공정은 예컨대, 애싱(ashing) 및 스트립(strip) 공정을 이용할 수 있다. 또한, 도전층(100)의 구성 재료에 따라 건식 또는 습식 식각 공정을 이용하여 절연층 패턴(210)을 제거할 수도 있다.
- [0101] 전술한 바와 같이, 제2 스페이서(710)는 제2-1 스페이서(710a), 제2-2 스페이서(710b) 및 제2-3 스페이서(710c)를 포함할 수 있다. 제2-1 스페이서(710a)의 폭은 1F이고, 인접하는 제2-1 스페이서(710a) 간의 간격은 1F일 수 있다. 또한, 제2-2 스페이서(720b)의 폭은 1F일 수 있고, 제2-3 스페이서(710c)의 폭은 2F일 수 있다.
- [0102] 도 13a 내지 도 13c를 참조하면, 제2 스페이서(710)를 식각 마스크로 이용하여 도전층(100)을 건식 식각하여,

폭이 1F인 제1 도전 라인(110)과 제2 도전 라인(120), 그리고 폭이 2F인 패드(130)를 형성할 수 있다. 도전층(100)의 건식 식각 공정을 통해 기판(500) 상면 일부가 노출될 수 있다.

- [0103] 제1 도전 라인(110)은 제1 방향으로 연장되어 형성되며, 1F의 폭을 가지고 인접하는 제1 도전 라인(110) 간에 1F의 간격을 가질 수 있다. 제2 도전 라인(120)은 제1 도전 라인(110) 각각으로부터 분기되어 형성되며, 각각 1F의 폭을 가질 수 있다. 한편, 패드(130)은 제1 도전 라인 또는 제2 도전 라인(120)으로 돌출되는 구조로 형성되며, 2F를 폭을 가질 수 있다.
- [0104] 전술한 바와 같이 4개의 제1 도전 라인(112, 114, 116, 118), 4개의 제2 도전 라인(122, 124, 126, 128) 및 4개의 패드(132, 134, 136, 138)가 하나의 도전 라인 그룹을 형성할 수 있다. 4개의 패드(132, 134, 136, 138)는 직접 또는 제2 도전 라인을 통해 대응되는 제1 도전 라인에 연결될 수 있다.
- [0105] 한편, 현단계에서는 제1 도전 라인(112)과 제4 도전 라인(118), 그리고 제2 도전 라인(114)과 제3 도전 라인(116)이 제2 도전 라인(120a)을 통해 서로 연결되어 있다. 그에 따라, 제1 패드(132)와 제4 패드(138)도 서로 연결되어 있으며, 제2 패드(134)와 제4 패드(136)도 서로 연결되어 있다. 따라서, 제1 도전 라인 각각을 분리하고, 또한 대응되는 패드 각각을 서로 분리해 주어야 한다.
- [0106] 도 14를 참조하면, 제2 도전 라인(120)을 절단하는 트림(trim) 공정을 통해, 하여 4개의 제1 도전 라인(112, 114, 116, 118) 각각을 서로 전기적으로 분리시킨다. 그에 따라, 4개의 제1 도전 라인(112, 114, 116, 118)에 대응하는 4개의 패드(132, 134, 136, 138) 역시 각각 전기적으로 분리될 있다.
- [0107] 트림 공정을 수행하는 부분은 도 5a의 제2 돌출부(424)에 인접하여 제1 방향으로 형성되는 제2 도전 라인(120) 부분이다. 이에 따라, 제2 돌출부(424)의 제1 방향 폭이 좁은 경우에는 트림 공정 중에, 도 4에서 제2-3 부분(c), 제2-4 부분(d), 제3-1 부분(a3), 및 제3-2 부분(b3) 등이 제거될 수도 있다. 트림 공정이 수행되면, 도 3 또는 도 4와 같은 구조의 제1 도전 라인(110), 제2 도전 라인(120) 및 패드(130)가 기판 상으로 형성될 수 있다.
- [0108] 도 3에서, 주변 회로 영역에 형성되는 주변회로용 도전 패턴(700)은 앞서, 도전 라인들 형성과정에서 함께 형성될 수 있음은 물론이다. 예컨대, 도 13a 내지 13c에서 도전 라인들을 형성하기 전에 주변 회로 영역 상에 소정 마스크 패턴을 형성하고 도전 라인 형성 공정에서 함께 식각 공정을 진행할 수 있다.
- [0109] 본 실시예에 의한 반도체 소자의 패턴 형성방법은 도전 라인들의 폭과 간격이 최소 폭, 즉 1F를 가지도록 형성할 수 있고, 또한 도전 라인들 형성 공정 중에 자동으로 2F의 폭을 갖는 패드를 동시에 형성할 수 있다. 그에 따라, 패드 형성을 위한 별도의 포토리소그래피 공정이 불필요하다.
- [0110] 도 15a 및 도 15b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도로서, 도 15a는 도 5a에 대응하고, 도 15b는 도 14에 대응한다.
- [0111] 도 15a를 참조하면, 반사 방지층(300) 상으로 도 15a에 도시된 형태의 PR 패턴(400a)을 형성한다. PR 패턴(400a)의 형태는 도 5a의 PR 패턴(400)과 유사하나, 제2 돌출부(424a)의 구조가 조금 다르다. 즉, 도 5a에서 제2 돌출부(424)는 다른 돌출부, 즉 제1 돌출부(422) 및 제3 돌출부(426)와 제2 방향(y 방향)의 길이가 동일하였으나, 본 실시예에서는 제2 돌출부(424a)의 제2 방향의 길이는 제1 돌출부(422) 및 제3 돌출부(426)보다 L1만큼 길다. 편의상, 도 15a에서, L1을 1F와 동일한 사이즈로 도시하였다. 제1 돌출부(422) 및 제3 돌출부(426)는 도 5a에서와 같이 제2 방향의 길이가 같을 수 있다.
- [0112] 전술한 바와 같이, 제1 내지 제3 돌출부(422, 424a, 426)의 제2 방향의 길이는, 패드로 콘택되는 메탈 콘택의 사이즈를 고려하여 적절히 형성될 수 있음은 전술한 바와 같다. 그러나 제2 돌출부(424a)는 그러한 패드의 길이 사이즈에 영향을 미치지 않을 수 있다. 따라서, 제1 돌출부(422) 또는 제3 돌출부(426)와 다른 길이로 형성할 수 있다. 한편, 본 실시예의 PR 패턴(400a) 도시된 바와 같이 도 5a에서와 같은 동일한 폭과 간격에 대한 규격을 가질 수 있다.
- [0113] PR 패턴(400a) 형성 이후의, 과정은 도 6a 이하의 과정도 동일하다.
- [0114] 도 15b를 참조하면, 도 15b는 도 15a의 PR 패턴(400a)을 가지고 패턴 형성 과정을 진행한 후 최종적인 제1 도전 라인(110), 제2 도전 라인(120b) 및 패드(130)의 형태를 보여주고 있다. 도시된 바와 같이 PR 패턴(400a)의 제2 돌출부(424a)의 길이가 다른 돌출부들보다 길게 형성됨에 따라, 제2 도전 라인의 대응되는 부분이 하측 제2 방향으로 돌출되는 구조로 형성되게 된다. 예컨대, 제1-2 부분과 제4-2 부분이 하측으로 돌출된 단차를 갖는 부분을 포함하고, 제2-3 부분 및 제3-1 부분이 단차만큼 하측 제2 방향으로 더 연장되고, 제2-4 부분 및 제3-2 부분

이 단차만큼 하측 제2 방향으로 이동하게 된다. 여기서, 단차는 전술한 L1의 크기를 갖는다.

- [0115] 도 16a 및 도 16b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도로서, 도 16a는 도 5a에 대응하고, 도 16b는 도 14에 대응한다.
- [0116] 도 16a를 참조하면, 반사 방지층(300) 상으로 도 16a에 도시된 형태의 PR 패턴(400b)을 형성한다. 도 16a의 PR 패턴(400b)은 도 15a의 PR 패턴(400a)과는 반대로, 제2 돌출부(424b)의 제2 방향(y 방향)의 길이가 제1 돌출부(422) 또는 제3 돌출부(426)보다 L2만큼 짧다. 편의상, 도 16a에서, L2를 1F와 동일한 사이즈로 도시하였다. 이러한 구조의 PR 패턴(400b)에 기초하여, 도 6a 내지 도 14에 따라 반도체 소자의 패턴을 형성하면, 도 16b에서와 같은 제1 도전 라인(110), 제2 도전 라인(120c) 및 패드(130)가 형성될 수 있다.
- [0117] 도 16b를 참조하면, 제2 돌출부(424b)의 길이가 다른 돌출부들보다 짧게 형성됨에 따라, 제2 도전 라인의 대응되는 부분이 상측 제2 방향으로 돌출되는 구조로 형성되게 된다. 예컨대, 제1-2 부분과 제4-2 부분이 상측으로 돌출된 단차를 갖는 부분을 포함하고, 제2-3 부분 및 제3-1 부분이 단차만큼 더 짧아지고, 제2-4 부분 및 제3-2 부분이 단차만큼 상측 제2 방향으로 이동하게 된다. 여기서, 단차는 전술한 L1의 크기를 갖는다.
- [0118] 도 17a 및 도 17b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도로서, 도 17a는 도 5a에 대응하고, 도 17b는 도 14에 대응한다.
- [0119] 도 17a를 참조하면, 반사 방지층(300) 상으로 도 17a에 도시된 형태의 PR 패턴(400c)을 형성한다. PR 패턴(400c)의 형태는 도 5a의 PR 패턴(400a)과 유사하나, 제1 영역(410c)의 구조가 조금 다르다. 즉, 도 5a에서 제1 영역(410)의 우측 단면은 제1 돌출부(422)의 우측면과 일치하도록 형성되었으나, 본 실시예에서는 제1 영역(410c)의 우측 단면은 제1 돌출부(422)의 우측면으로부터 제1 방향으로 L3만큼 돌출되도록 형성된다. 편의상, 도 17a에서, L3을 2F와 동일한 사이즈로 도시하였다. 이와 같이 제1 영역(410c)의 우측 단면이 제1 돌출부(424)로부터 돌출되어도 패드 형성과는 별 상관이 없다.
- [0120] PR 패턴(400c) 형성 이후의, 과정은 도 6a 이하의 과정도 동일하다.
- [0121] 도 17b를 참조하면, 도 17b는 도 17a의 PR 패턴(400c)을 가지고 패턴 형성 과정을 진행한 후 최종적인 제1 도전 라인(110), 제2 도전 라인(120d) 및 패드(130)의 형태를 보여주고 있다. 도시된 바와 같이 PR 패턴(400c)의 제2 영역(410a)의 끝 단면이 제1 돌출부(424)의 우측면에서 돌출됨에 따라, 제1 도전 라인 및 제2 도전 라인의 대응되는 부분이 우측 제1 방향으로 L3만큼 돌출되는 구조로 형성되게 된다. 예컨대, 제1 도전 라인(112a), 제2 도전 라인(114a) 및 제2-3 부분은 L3만큼 제1 방향으로 연장되며, 제1-1 부분은 우측으로 L3만큼의 단차를 갖는 부분을 포함하고, 제2-2 부분은 L3만큼 우측 제1 방향으로 이동하게 된다.
- [0122] 도 18a 및 도 18b는 본 발명의 또 다른 실시예에 따른 반도체 소자의 패턴 형성 과정을 보여주는 평면도 및 단면도로서, 도 18a는 도 5a에 대응하고, 도 18b는 도 14에 대응한다.
- [0123] 도 18a를 참조하면, 반사 방지막(300) 상으로 도 17a에 도시된 형태의 PR 패턴(400d)을 형성한다. PR 패턴(400d)을 구체적으로 설명하면,
- [0124] PR 패턴(400)은 제1 방향을 연장되어 형성되고 제2 방향의 폭이 3F인 제1 영역(410d), 제1 영역(410d)에서 하측 제2 방향으로 분기되어 형성되고 제1 방향의 폭이 3F인 제2 영역(420d) 및 제2 영역(420d)에서 우측 제1 방향으로 돌출된 제1 내지 3 돌출부(432d, 434d, 436d)를 구비한 제3 영역(430d)을 포함할 수 있다.
- [0125] 제3 영역(430d)은 도 5a의 제2 영역과 유사하나, 분기된 영역과 돌출부들의 방향이 다르다. 즉, 도 5a에서는 제1 영역(410)에서 분기되고 하측 제2 방향으로 돌출되었으나, 본 실시예에서는 제2 영역(420d)에서 분기되고 우측 제1 방향으로 돌출될 수 있다.
- [0126] 제1 돌출부(432d)는 제2 영역(420d)의 하부 끝단에서 제1 방향으로 직사각형 구조로 돌출되며, 제2 방향으로 2F의 폭을 가질 수 있다. 제3 돌출부(436d)는 제2 영역(420d)의 상부 끝단에서 제1 방향으로 직사각형 구조로 돌출되며, 제2 방향으로 2F의 폭을 가질 수 있다. 한편, 제2 돌출부(434d)는 제2 영역(420d)의 중앙부분에서 제1 방향으로 직사각형 구조로 돌출될 수 있다. 제2 돌출부(434d)의 제2 방향의 폭은 차후에 트림 공정에서 요구되는 간격을 고려하여 적절한 사이즈로 형성될 수 있다. 제1 돌출부(432d), 및 제3 돌출부(436d)는 중앙의 제2 돌출부(434d)에서 제2 방향으로 각각 4F의 간격을 가질 수 있다.
- [0127] 본 실시예에서의 돌출부들은 돌출되는 방향이 도 5a의 돌출부들과 다르지만, 돌출부들의 폭과 간격은 도 5a에서의 돌출부들의 폭과 간격과 동일하다. 결론적으로 제1 영역의 폭과, 돌출부들의 폭과 간격을 유지할 수 있다면,

1F의 폭과 간격을 갖는 도전 라인들과 제2 폭을 갖는 패드를 동시에 형성할 수 있음을 의미한다. 물론, 돌출부들은 도 5a에서처럼 제1 영역에서 바로 돌출되는 구조로 형성될 수 있지만 도 18에와 같이 매개기능을 하는 제2 영역에서 돌출되는 구조로 형성될 수도 있다.

- [0128] 본 실시예에서의 PR 패턴(400d) 역시 복수 개 형성되며, 인접하는 PR 패턴(400d) 간의 간격, 즉 인접하는 제1 영역(410d) 간의 간격은 5F일 수 있다. 한편, 도 15a, 또는 16a와 유사하게 제2 돌출부(434d)의 제1 방향 길이를 제1 돌출부(432d)의 길이보다 길게 또는 짧게 형성할 수 있다. 또한, 도 17a와 같이 제2 영역(420d)의 제2 방향 좌우 끝단 부분을 제1 돌출부(432d)와 제3 돌출부(436d)로부터 어느 한쪽 또는 양쪽으로 돌출되도록 형성할 수도 있다.
- [0129] PR 패턴(400d) 형성 이후의 과정은 도 6a 이하의 과정도 동일하다.
- [0130] 도 18b를 참조하면, 도 18a의 PR 패턴(400d)에 기초하여 도 6a 내지 도 14에 따라 반도체 소자의 패턴을 형성하면, 도 18b와 같은 구조를 갖는 제1 도전 라인(110d), 제2 도전 라인(120d) 및 패드(130d)를 형성할 수 있다. 좀더 구체적으로 제1 도전 라인(110d), 제2 도전 라인(120d) 및 패드(130d)의 구조를 설명하면,
- [0131] 제1 도전 라인(110d)은 4개의 도전 라인, 예컨대 제1번 내지 제4번 제1 도전 라인(112d, 114d, 116d, 118d)을 포함하고, 메모리 메모리 셀 영역(도 3의 1000A)으로부터 커넥션 영역(1000B)까지 제1 방향(x 방향으로) 상호 평행하게 연장되어 형성될 수 있다. 이러한 제1번 내지 제4번 제1 도전 라인(112d, 114d, 116d, 118d) 각각은 1F의 폭을 가지며, 인접하는 제1 도전 라인들 간에 1F의 간격을 가질 수 있다.
- [0132] 제1 도전 라인(110d)은 제2 방향(y 방향)을 따라 상측에서 하측으로 순차적으로 제1 방향의 길이가 줄어들 수 있다. 예컨대, 제1번 제1 도전 라인(112d)이 가장 길고, 제2번 제1 도전 라인(114d)가 두 번째로 길고, 제3번 제1 도전 라인(116d)이 세 번째로 길고, 제4번 제1 도전 라인(118d)이 가장 짧을 수 있다.
- [0133] 제2 도전 라인(120d)은 4개의 도전 라인, 예컨대 제1번 내지 제4번 제2 도전 라인(122d, 124d, 126d, 128d)을 포함할 수 있다. 이러한 제1번 내지 제4번 제2 도전 라인(122d, 124d, 126d, 128d) 각각은 대응하는 제1번 내지 제4번 제1 도전 라인(112d, 114d, 116d, 118d)으로부터 제2 방향으로 분기되어 형성될 수 있고, 각각 1F의 폭을 가질 수 있다.
- [0134] 구체적으로 제1번 제2 도전 라인(122d)은 제1번 제1 도전 라인(112d)의 끝단에서 하측의 제2 방향으로 연장된 제1-1부분(a1)을 포함할 수 있다. 제2번 제2 도전 라인(124d)은 제2번 제1 도전 라인(114d) 끝단에서 하측의 제2 방향으로 연장된 제2-1부분(a2), 제2-1 부분(a2) 끝단에서 우측의 제1 방향으로 연장된 제2-2 부분(b2), 및 제2-2 부분(b2) 끝단에서 하측의 제2 방향으로 연장된 제2-3 부분(c2)을 포함할 수 있다. 제3번 제2 도전 라인(126d)은 제3번 제1 도전 라인(116d)의 끝단에서 하측의 제2 방향으로 연장된 제3-1 부분(a3), 제3-1 부분(a3) 끝단에서 우측의 제1 방향으로 연장된 제3-2 부분(b3), 제3-2 부분(b3) 끝단에서 상측 제2 방향으로 연장된 제3-3 부분(c3), 제3-3 부분(c3) 끝단에서 우측 제1 방향으로 연장된 제3-4 부분(d3) 및 제3-4 부분(d3) 끝단에서 상측 제2 방향으로 연장된 제3-5 부분(e)을 포함할 수 있다. 또한, 제4번 제2 도전 라인(128d)은 제4번 제1 도전 라인(118d) 끝단에서 하측의 제2 방향으로 연장된 제4-1 부분(a4), 제4-1 부분(a4) 끝단에서 우측의 제1 방향으로 연장된 제4-2 부분(b4) 및 제4-2 부분(b4) 끝단에서 상측의 제2 방향으로 연장된 제4-3 부분(c4)을 포함할 수 있다.
- [0135] 제1번 내지 제4번 제2 도전 라인(122d, 124d, 126d, 128d)은 인접하는 다른 도전 라인들, 예컨대, 제1번 내지 제4번 제1 도전 라인(112d, 114d, 116d, 118d), 제1번 내지 제4번 제2 도전 라인(122d, 124d, 126d, 128d), 제1번 내지 제4번 패드(132d, 134d, 136d, 138d) 중 어느 하나와 1F를 간격을 가질 수 있다. 이러한 간격을 유지하기 위하여, 제1번 내지 제4번 제2 도전 라인(122d, 124d, 126d, 128d)은 서로 다른 구조와 길이를 가질 수 있다.
- [0136] 한편, 트림 공정이 수행되는 부분의 제2-2 부분(b2)과 제2-3 부분(c2), 그리고 제3-4 부분(d3) 및 제3-5 부분(e)은 경우에 따라 형성되지 않을 수 있다.
- [0137] 패드(130d)는 4개의 패드, 즉 제1번 내지 제4번 패드(132d, 134d, 136d, 138d)를 포함할 수 있다. 제1번 내지 제4번 패드(132d, 134d, 136d, 138d) 각각은 제1 도전 라인(110d) 또는 제2 도전 라인(120d)으로부터 돌출된 형태로 형성될 수 있고, 대응하는 제1번 내지 제4번 제1 도전 라인(112d, 114d, 116d, 118d) 각각에 전기적으로 연결될 수 있다. 이러한 제1번 내지 제4번 패드(132d, 134d, 136d, 138d) 각각의 제2 방향의 폭은 제1 도전 라인(110d)의 폭의 2배인 2F일 수 있다.

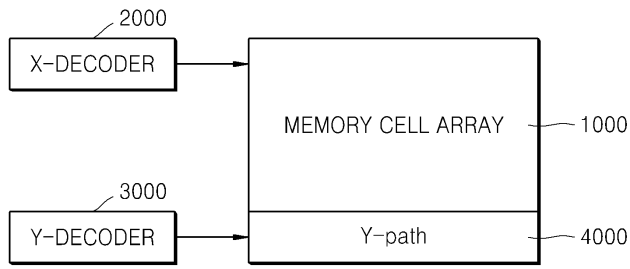
- [0138] 구체적으로, 제1번 패드(132d)는 제1-1 부분(a1)에서 좌측의 제1 방향으로 돌출된 구조로 형성될 수 있다. 제2번 패드(134d)는 제2-1 부분(a2)에서 우측의 제1 방향으로 돌출된 구조로 형성될 수 있다. 제3번 패드(136d)는 제3-3 부분(c3)에서 우측 제1 방향으로 돌출된 구조로 형성될 수 있다. 제4번 패드(138d)는 제4-3 부분(c4)에서 좌측의 제1 방향으로 돌출된 구조로 형성될 수 있다. 이러한 인접하는 제1번 내지 제4번 패드(132d, 134d, 136d, 138d)는 다른 도전 라인들, 예컨대, 제1번 내지 제4번 제1 도전 라인(112d, 114d, 116d, 118d), 제1번 내지 제4번 제2 도전 라인(122d, 124d, 126d, 126d), 제1번 내지 제4번 패드(132d, 134d, 136d, 138d) 중 어느 하나와 1F을 간격을 가질 수 있다.
- [0139] 한편, 제1번 내지 제4번 패드(132d, 134d, 136d, 138d)는 그룹 내의 제1 방향의 중심선(Rx)을 기준으로 2개씩 서로 대칭인 구조를 가질 수 있다. 예컨대, 제1번 패드와 제4번 패드(132d, 138d)가 중심선(Rx)에 대하여 대칭을 이루며, 제2번 패드(134d)와 제3번 패드(136d)가 중심선(Rx)에 대하여 대칭을 이룰 수 있다. 또한, 제1번 패드와 제2번 패드(132d, 134d)는 서로에 대하여 반대 방향으로 엇갈려 돌출된 구조를 가질 수 있고, 제3번 패드와 제4번 패드(136d, 138d)도 마찬가지로 구조를 가질 수 있다.
- [0140] 도 19는 본 발명의 실시예들에 따라 형성된 반도체 소자를 포함하는 메모리 카드의 블록 다이어그램이다.
- [0141] 도 19를 참조하면, 메모리 카드(1200)는 명령 및 어드레스 신호 C/A를 생성하는 메모리 컨트롤러(1220)와, 메모리 모듈(1210), 예컨대 1 개 또는 복수의 플래시 메모리 소자를 포함하는 플래시 메모리를 포함한다. 메모리 컨트롤러(1220)는 호스트에 명령 및 어드레스 신호를 전송하거나 이들 신호를 호스트로부터 수신하는 호스트 인터페이스(1223)와, 명령 및 어드레스 신호를 다시 메모리 모듈(1210)에 전송하거나 이들 신호를 메모리 모듈(1210)로부터 수신하는 메모리 인터페이스(1225)를 포함한다. 호스트 인터페이스(1223), 컨트롤러(1224), 및 메모리 인터페이스(1225)는 공통 버스 (common bus)를 통해 SRAM과 같은 컨트롤러 메모리(1221) 및 CPU와 같은 프로세서(1222)와 통신한다.
- [0142] 메모리 모듈(1210)은 메모리 컨트롤러(1220)로부터 명령 및 어드레스 신호를 수신하고, 응답으로서 메모리 모듈(1210) 상의 메모리 소자 중 적어도 하나에 데이터를 저장하거나 상기 메모리 소자 중 적어도 하나로부터 데이터를 독출한다. 각 메모리 소자는 복수의 메모리 셀과, 명령 및 어드레스 신호를 수신하고 프로그래밍 및 독출 동작 중에 어드레스 가능한 메모리 셀 중 적어도 하나를 액세스하기 위하여 행 신호 및 열 신호를 생성하는 디코더를 포함한다.
- [0143] 메모리 카드(1200)의 각 구성품들, 예컨대, 메모리 컨트롤러(1220)에 포함되는 전자 소자들 (1221, 1222, 1223, 1224, 1225), 및 메모리 모듈(1210)은 본 발명의 기술적 사상에 의한 실시예들에 따른 공정들을 이용하여 형성된 미세 패턴들, 즉 도전 라인 및 패드를 포함하도록 형성될 수 있다.
- [0144] 도 20은 본 발명의 실시예들에 따른 반도체 소자를 포함하는 메모리 카드를 채용하는 메모리 시스템의 블록 다이어그램이다.
- [0145] 도 20을 참조하면, 메모리 시스템(1300)은 공통 버스(1360)를 통해 통신하는 CPU와 같은 프로세서(1330), 랜덤 액세스 메모리(1340, RAM), 유저 인터페이스(1350) 및 모뎀(1320)을 포함할 수 있다. 상기 각 소자들은 버스(1360)를 통해 메모리 카드(1310)에 신호를 전송하고 메모리 카드(1310)로부터 신호를 수신한다. 메모리 카드(1310)와 함께 프로세서(1330), 랜덤 액세스 메모리(1340), 유저 인터페이스(1350) 및 모뎀(1320)을 포함하는 메모리 시스템(1300)의 각 구성품들은 본 발명의 기술적 사상에 의한 실시예들에 따른 공정들을 이용하여 형성된 미세 패턴들을 포함하도록 형성될 수 있다. 메모리 시스템(1300)은 다양한 전자 응용 분야에 응용될 수 있다. 예를 들면, SSD(solid state drives), CIS(CMOS image sensors) 및 컴퓨터 응용 칩 세트 분야에 응용될 수 있다.
- [0146] 본 명세서에서 개시된 메모리 시스템들 및 소자들은 예를 들면, BGA(ball grid arrays), CSP(chip scale packages), PLCC(plastic leaded chip carrier), PDIP(plastic dual in-line package), MCP(multi-chip package), WFP(wafer-level fabricated package), WSP(wafer-level processed stock package) 등을 포함하는 다양한 소자 패키지 형태들 중 어느 하나의 형태로 패키징될 수 있다. 그러나, 패키지 구조가 상기 예시된 바에 한정되는 것은 아니다.
- [0147] 지금까지, 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

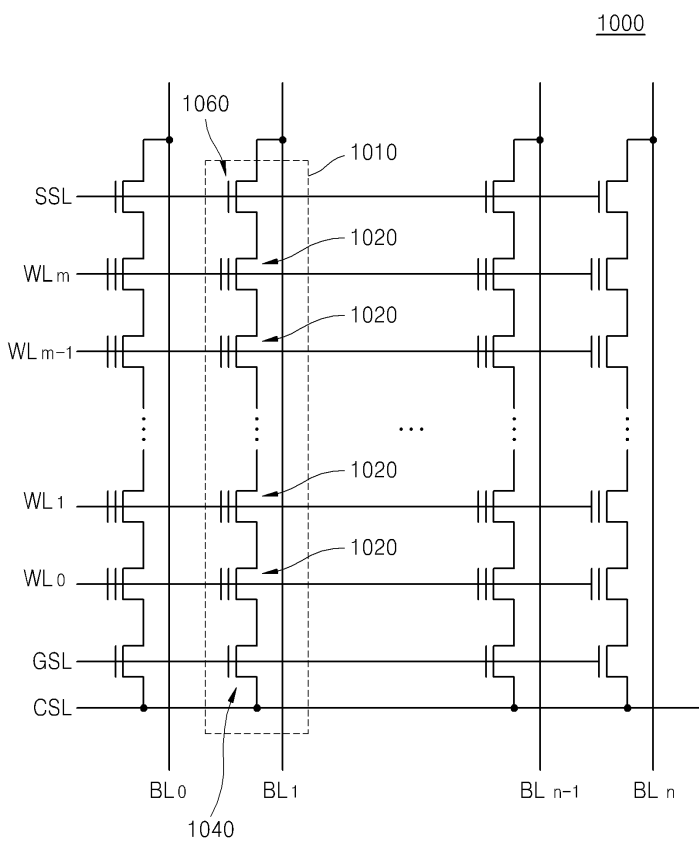
[0148]	100: 도전층	110: 제1 도전 라인
	112: 제1번 제1 도전라인	114: 제2번 제1 도전라인
	116: 제3번 제1 도전라인	118: 제4번 제1 도전라인
	120, 120a, 120b, 120c, 120d: 제2 도전라인	
	122, 122a, 122b, 122c, 122d: 제1번 제2 도전라인	
	124, 124a, 124b, 124c, 124d: 제2번 제2 도전라인	
	126, 126a, 126b, 126c, 126d: 제3번 제2 도전라인	
	128, 128a, 128b, 128c, 128d: 제4번 제2 도전라인	
	130: 패드	132, 132d: 제1번 패드
	134, 134d: 제2번 패드	136, 136d: 제3번 패드
	138, 138d: 제4번 패드	200: 절연층
	210: 절연층 패턴	300: 반사 방지층
	310: 반사 방지층 패턴	
	400, 400a, 400b, 400c, 400d: PR 패턴	
	410, 410a, 410c, 410d: 제1 영역	420, 420a, 420b, 420d: 제2 영역
	430d: 제3 영역	422, 432d: 제1 돌출부
	424, 424a, 424b, 434d: 제2 돌출부	426, 436d: 제3 돌출부
	500: 기관	600: 제1 스페이서층
	610: 제1 스페이서	620: 부분 제1 스페이서층
	700: 제2 스페이서층	710: 제2 스페이서
	710a: 제2-1 스페이서	710b: 제2-2 스페이서
	710c: 제2-3 스페이서	1000: 메모리 셀 어레이
	1010: 셀 스트링	1020: 메모리 셀
	1040: 접지 선택 트랜지스터	1060: 스트링 선택 트랜지스터
	1050: 메모리 셀 블록	1200, 1310: 메모리 카드
	1220: 메모리 컨트롤러	1300: 메모리 시스템
	1360: 버스	

도면

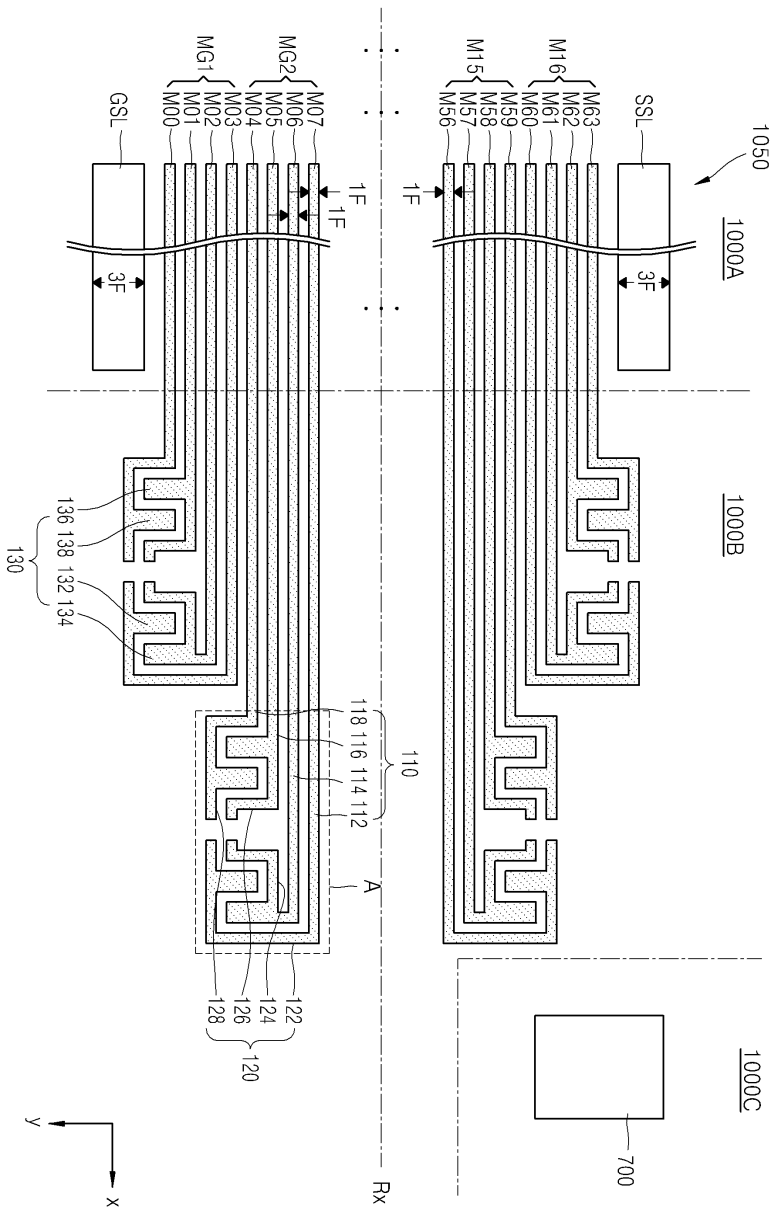
도면1



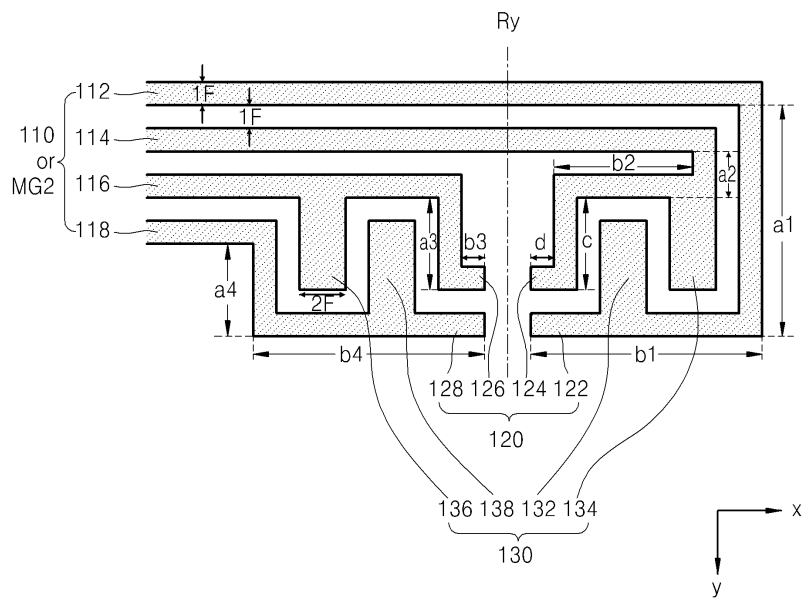
도면2



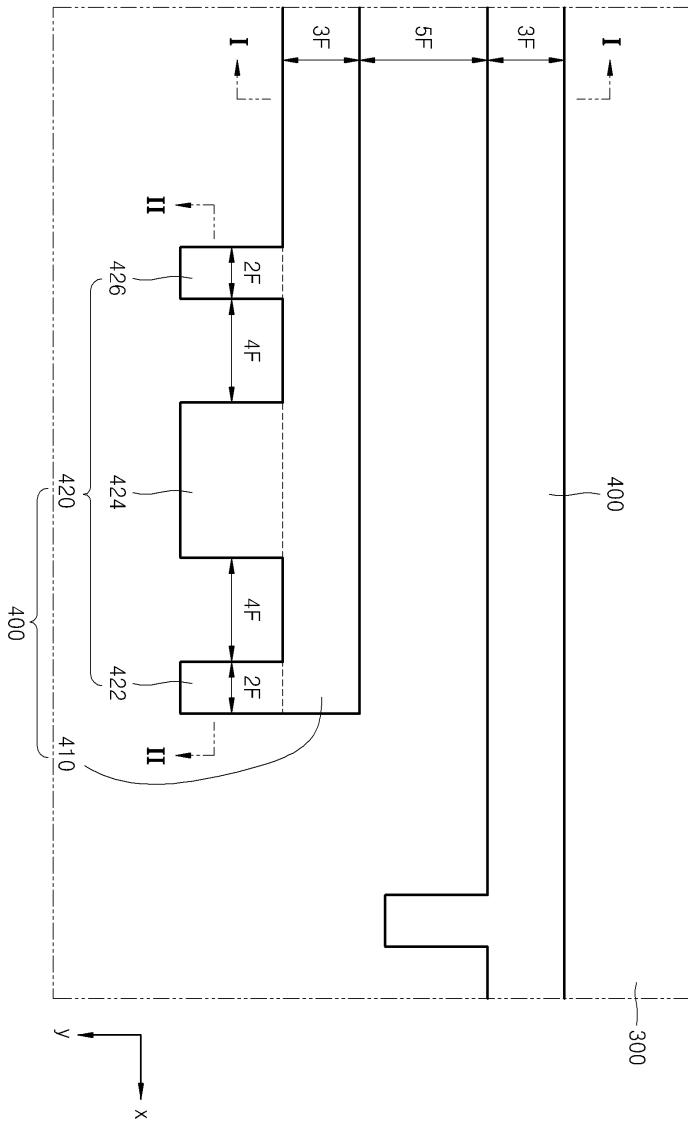
도면3



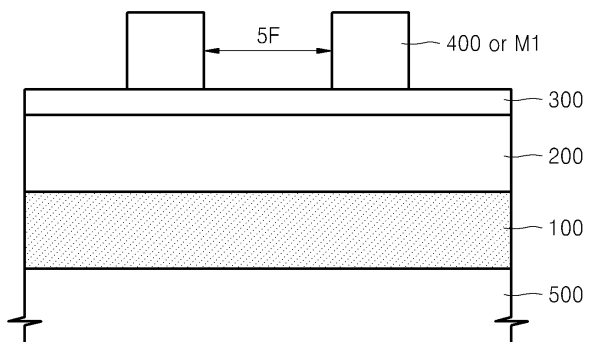
도면4



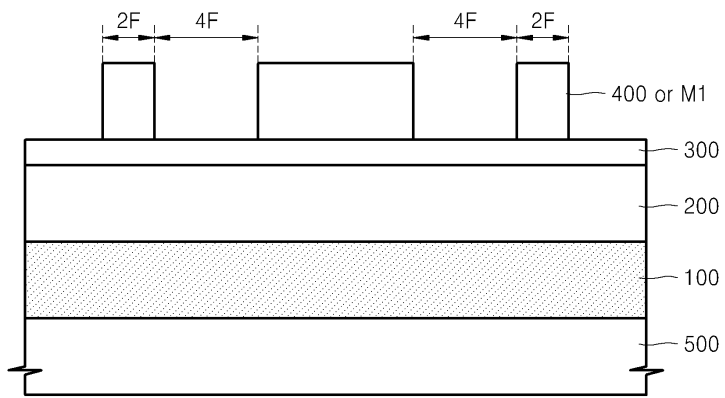
도면5a



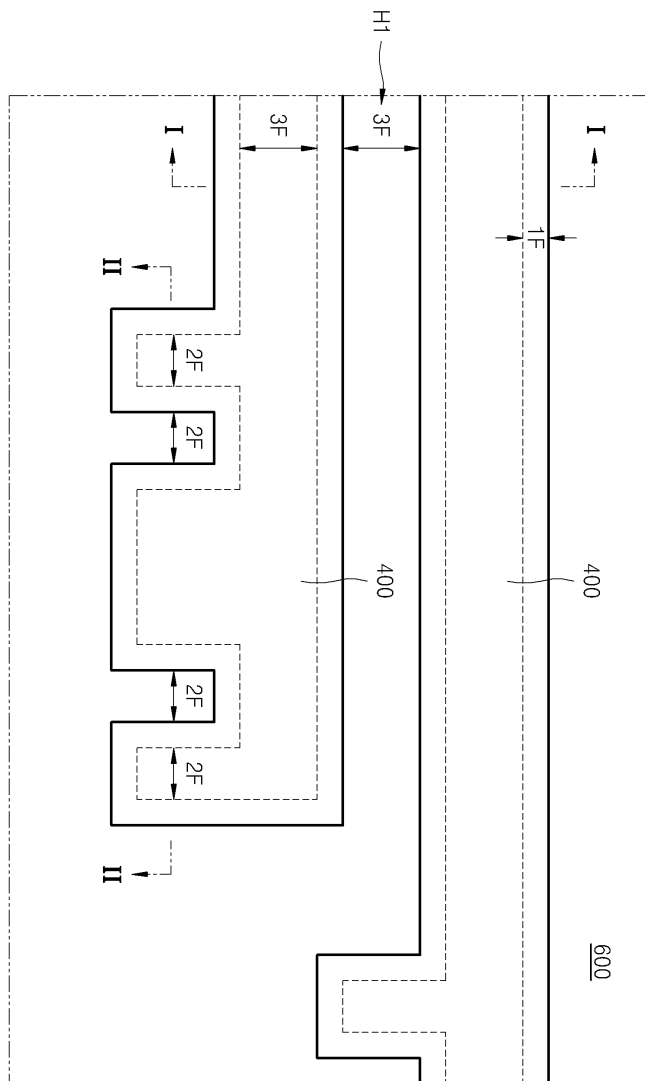
도면5b



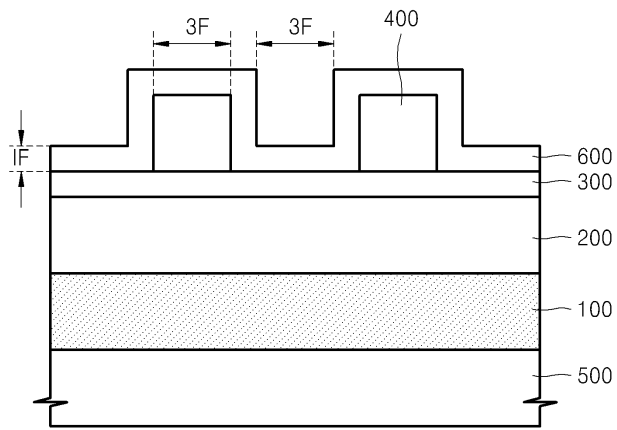
도면5c



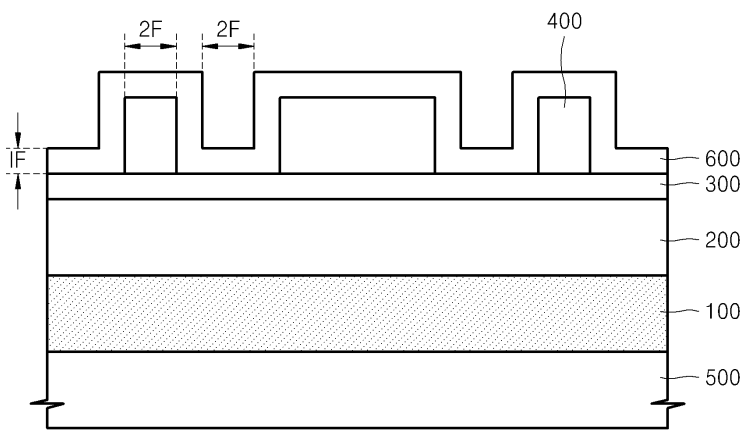
도면6a



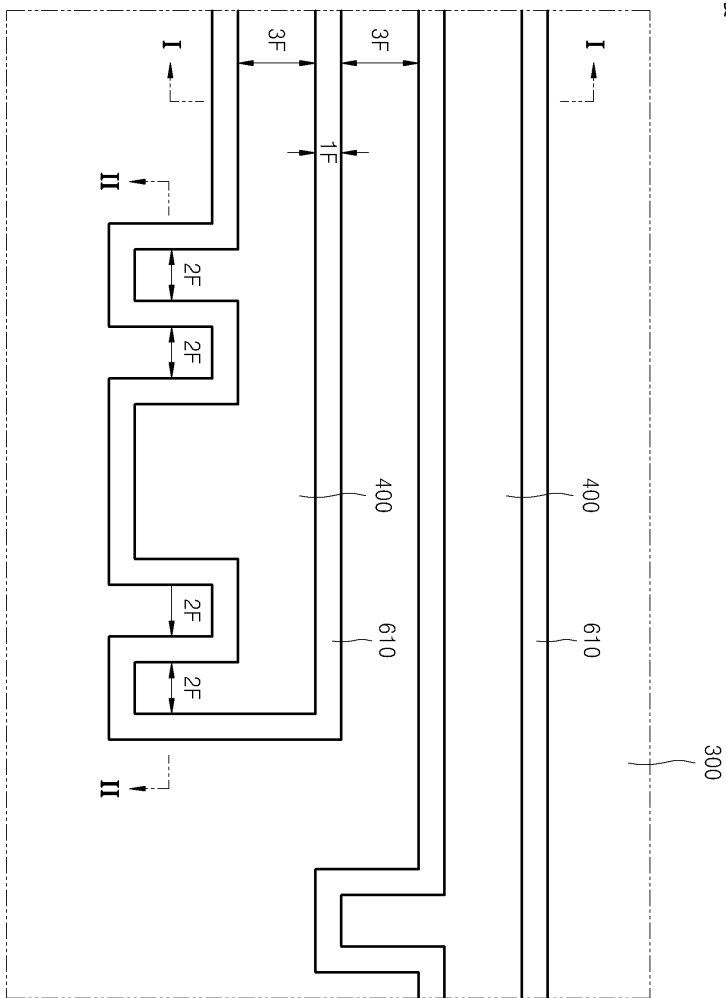
도면6b



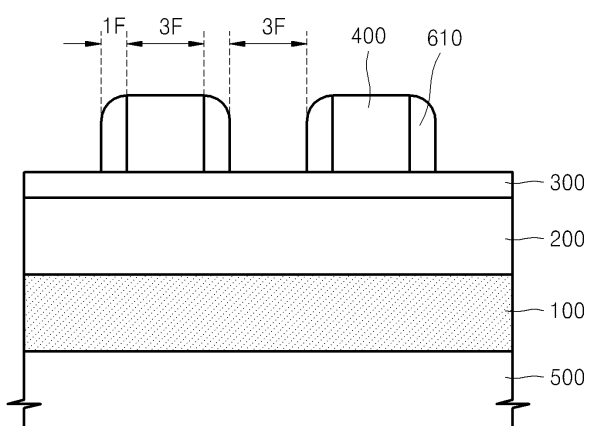
도면6c



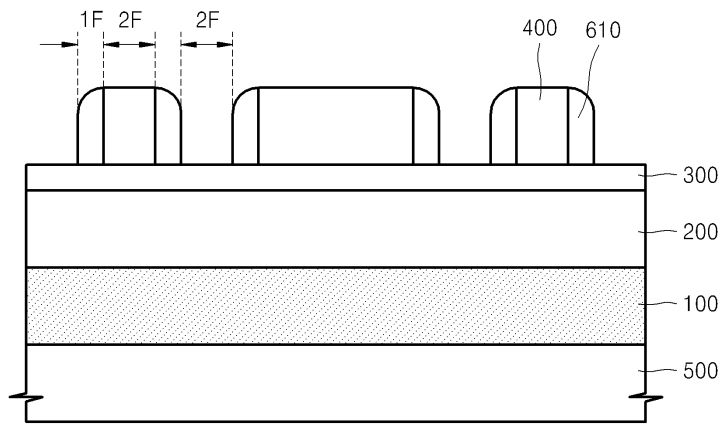
도면7a



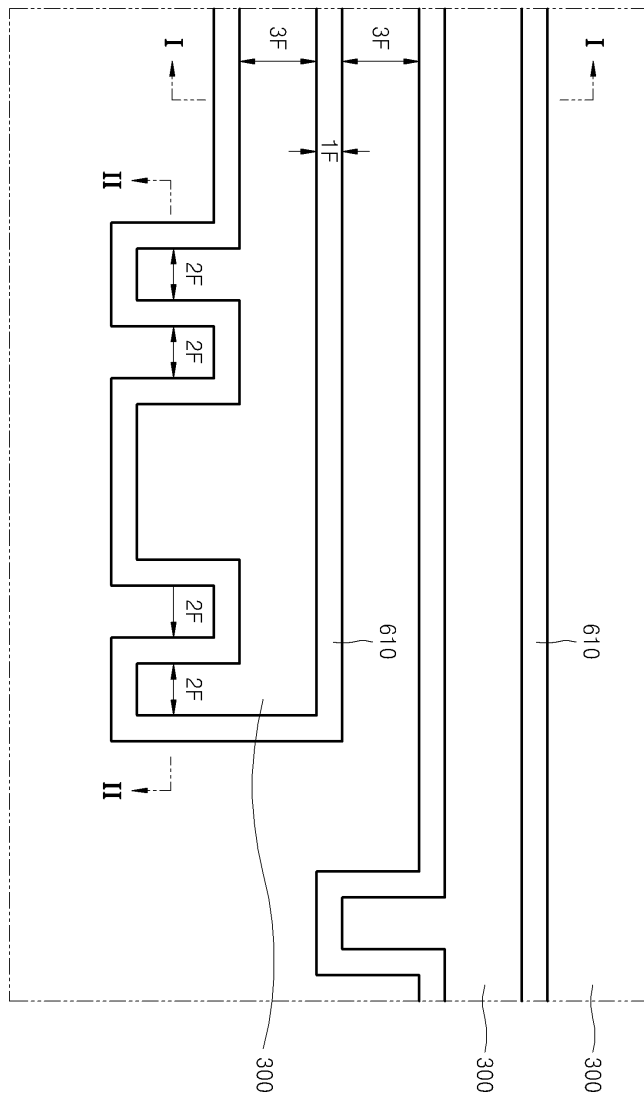
도면7b



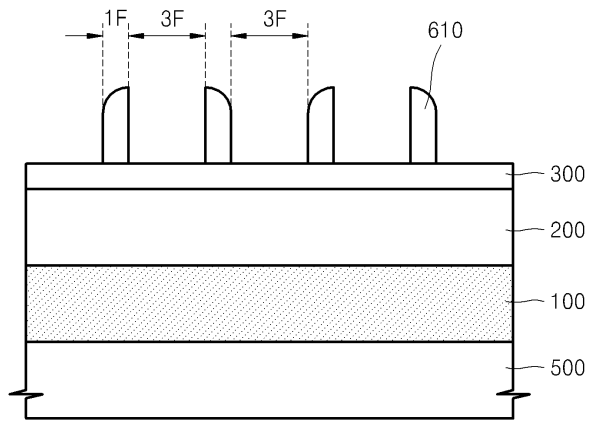
도면7c



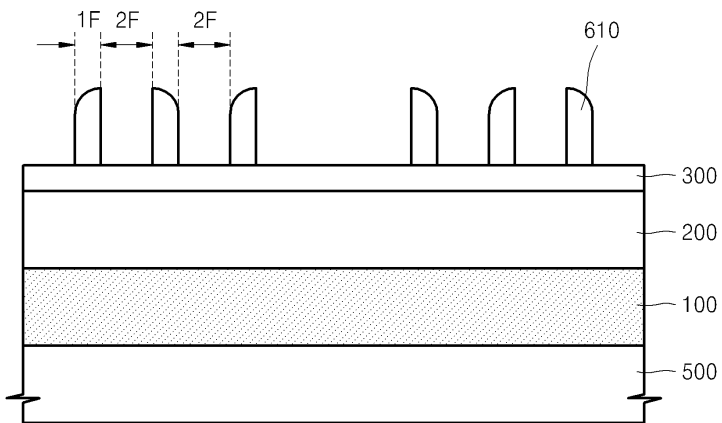
도면8a



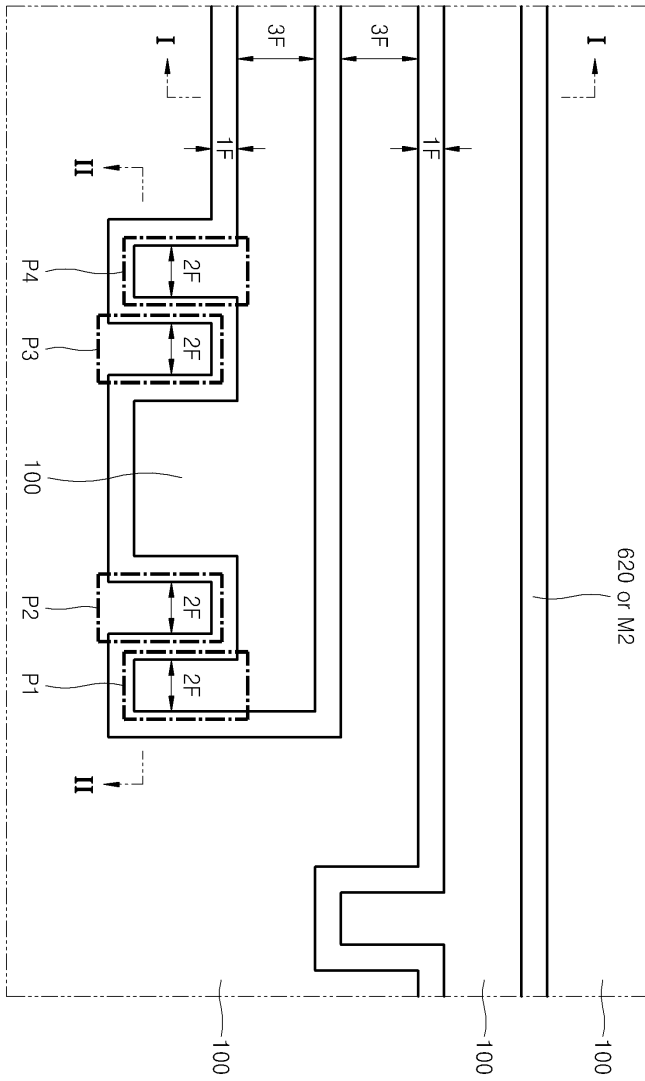
도면8b



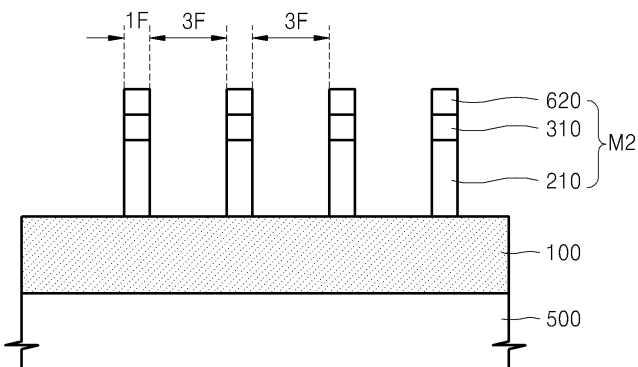
도면8c



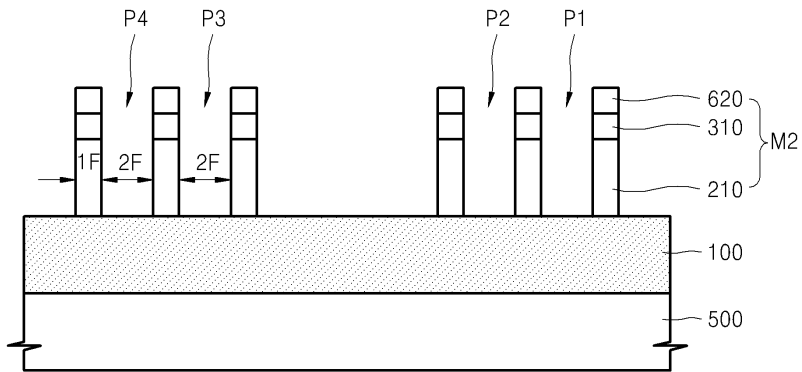
도면9a



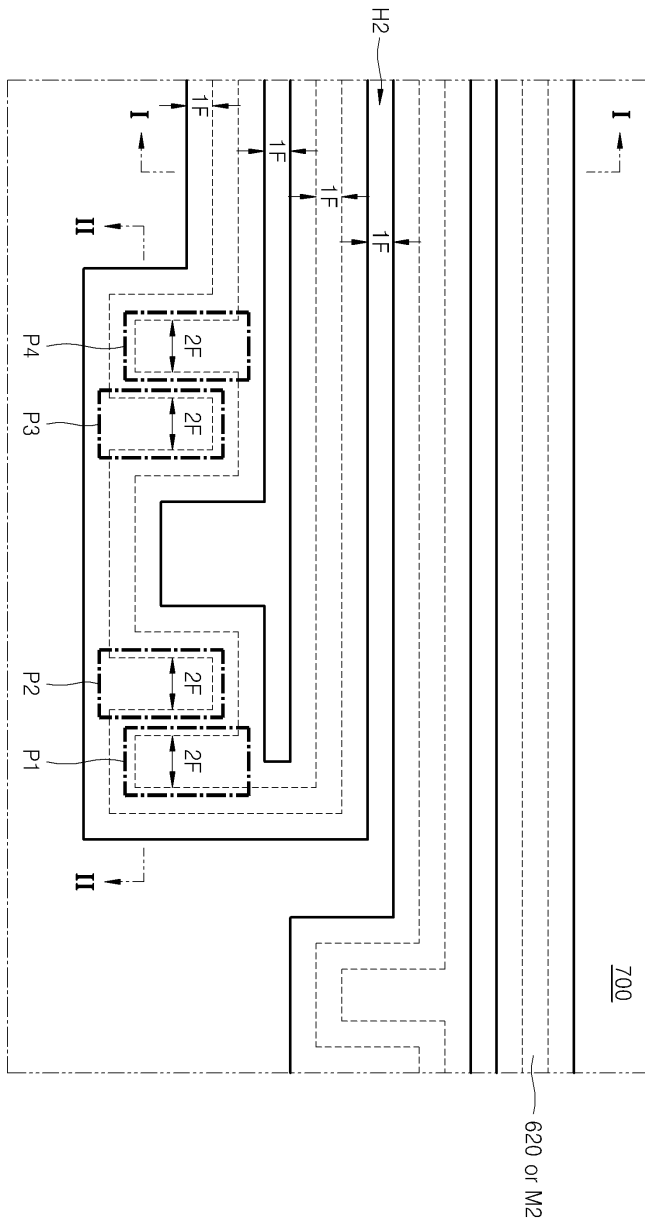
도면9b



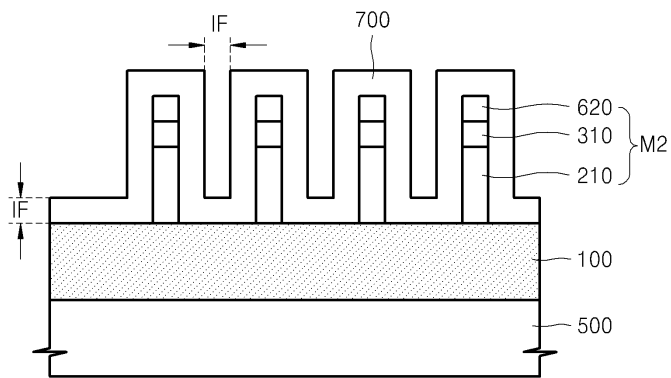
도면9c



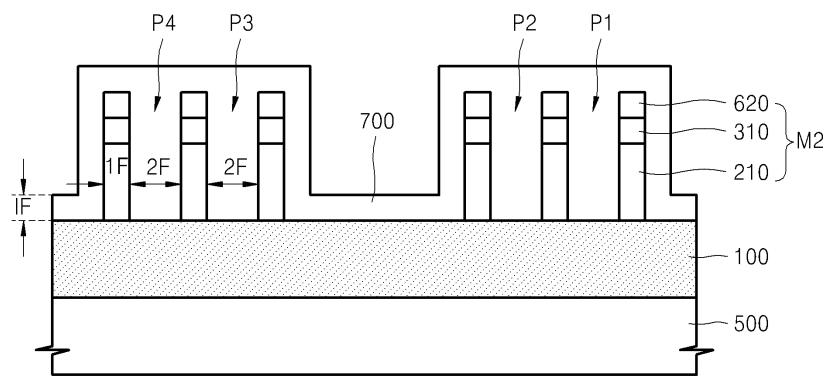
도면10a



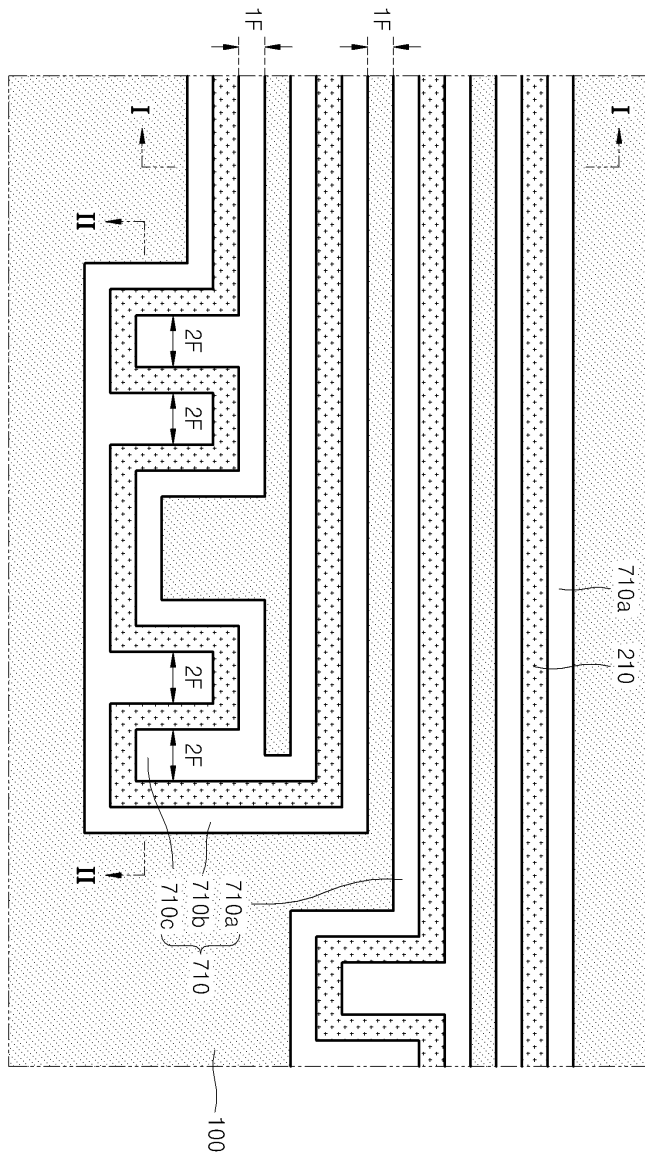
도면10b



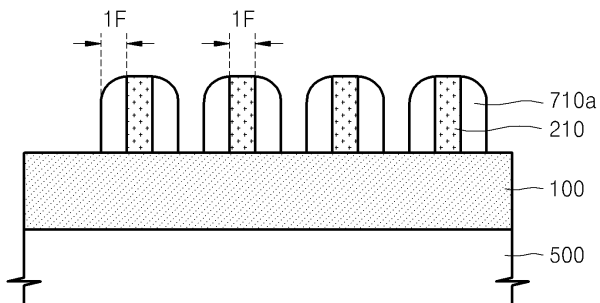
도면10c



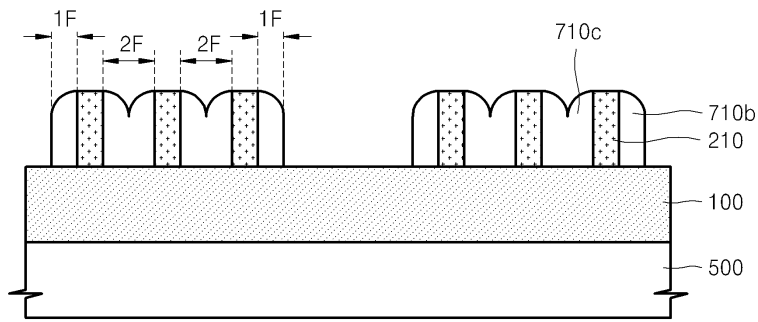
도면11a



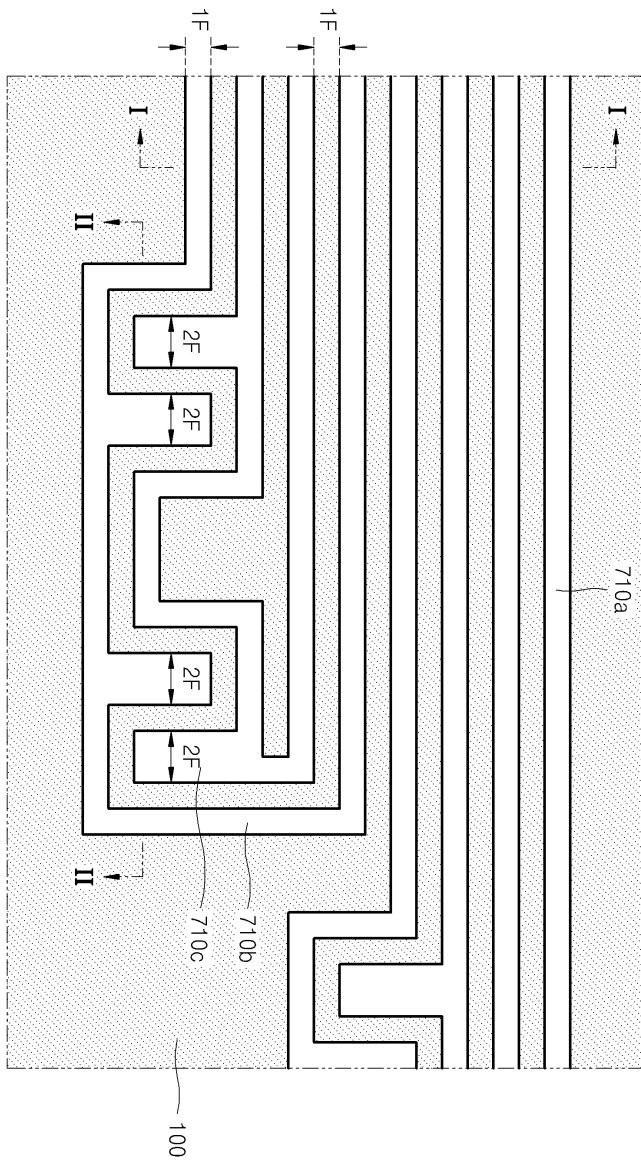
도면11b



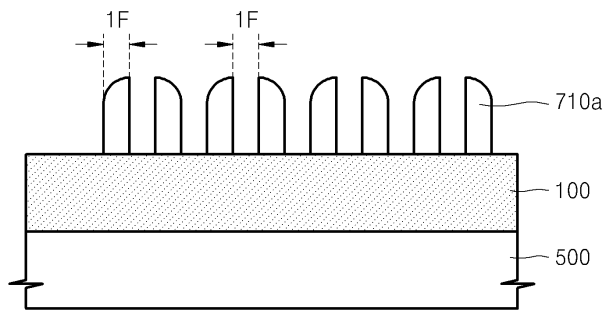
도면11c



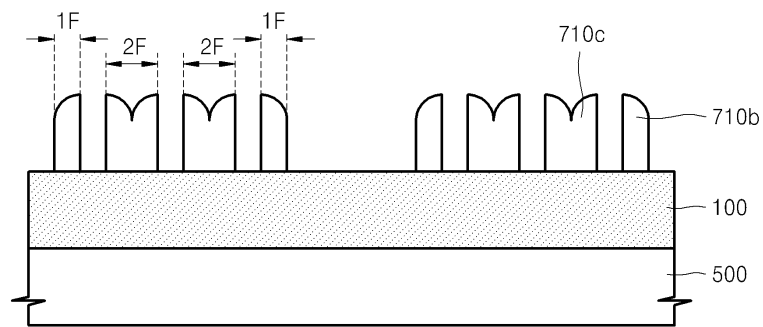
도면12a



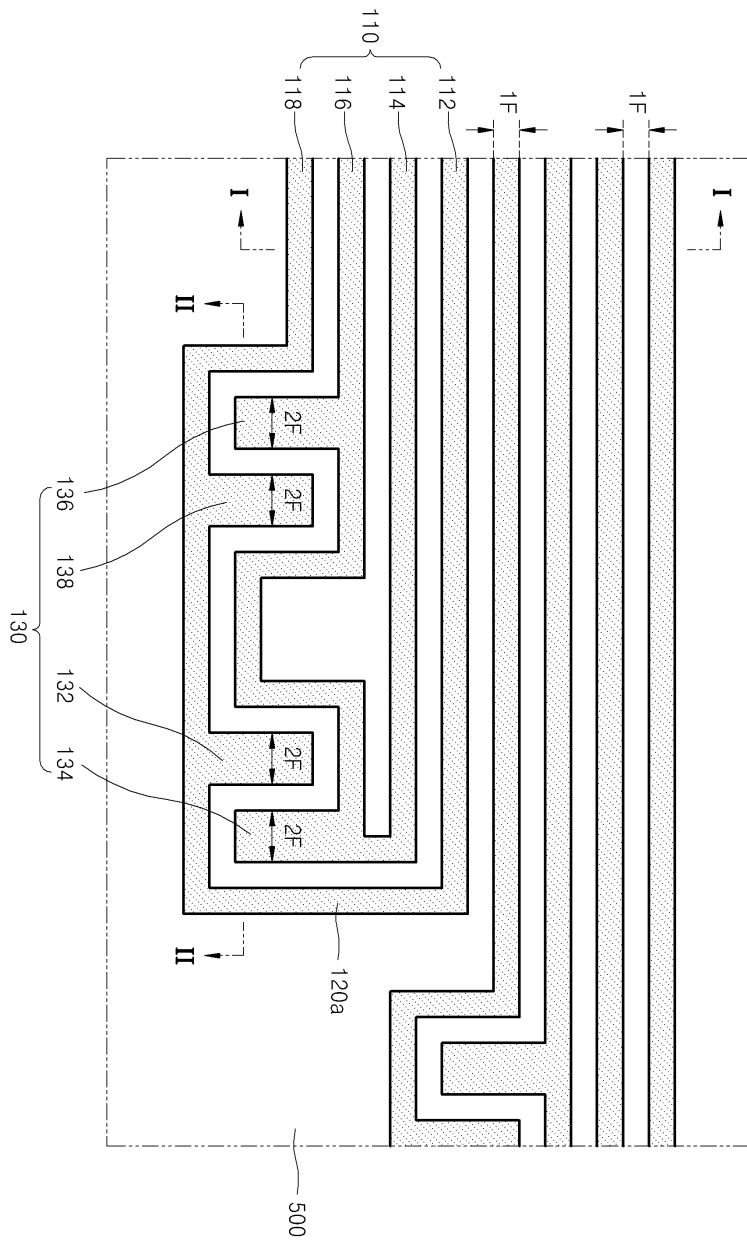
도면12b



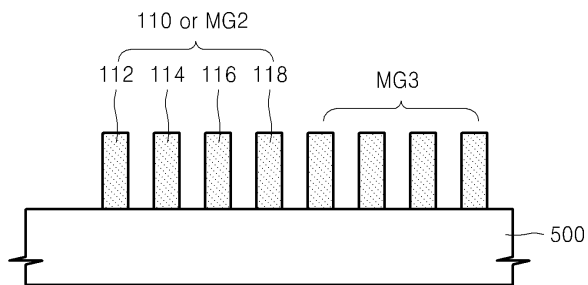
도면12c



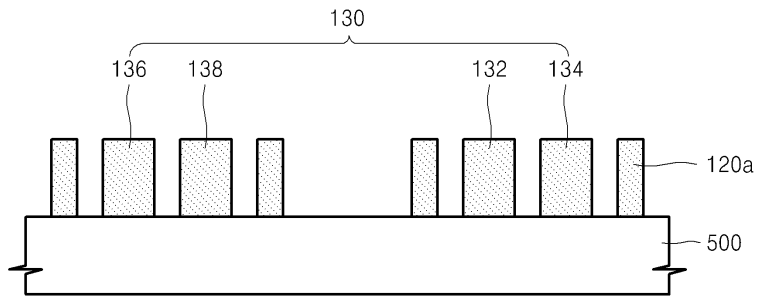
도면13a



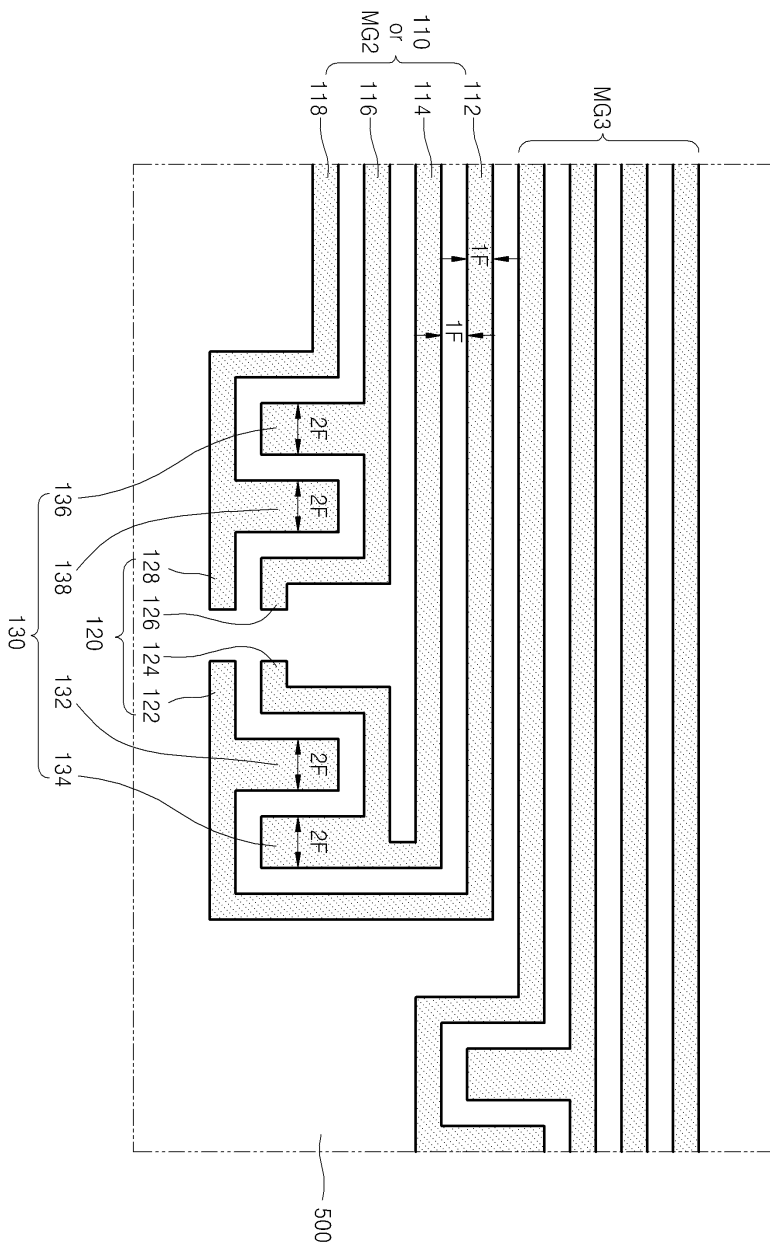
도면13b



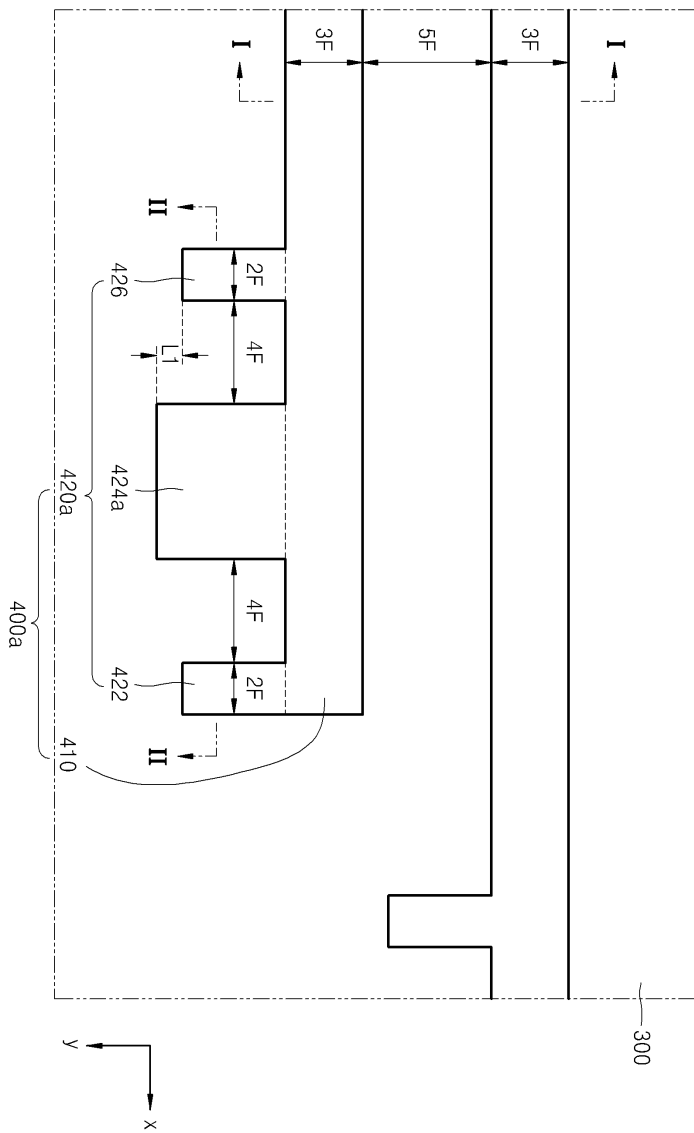
도면13c



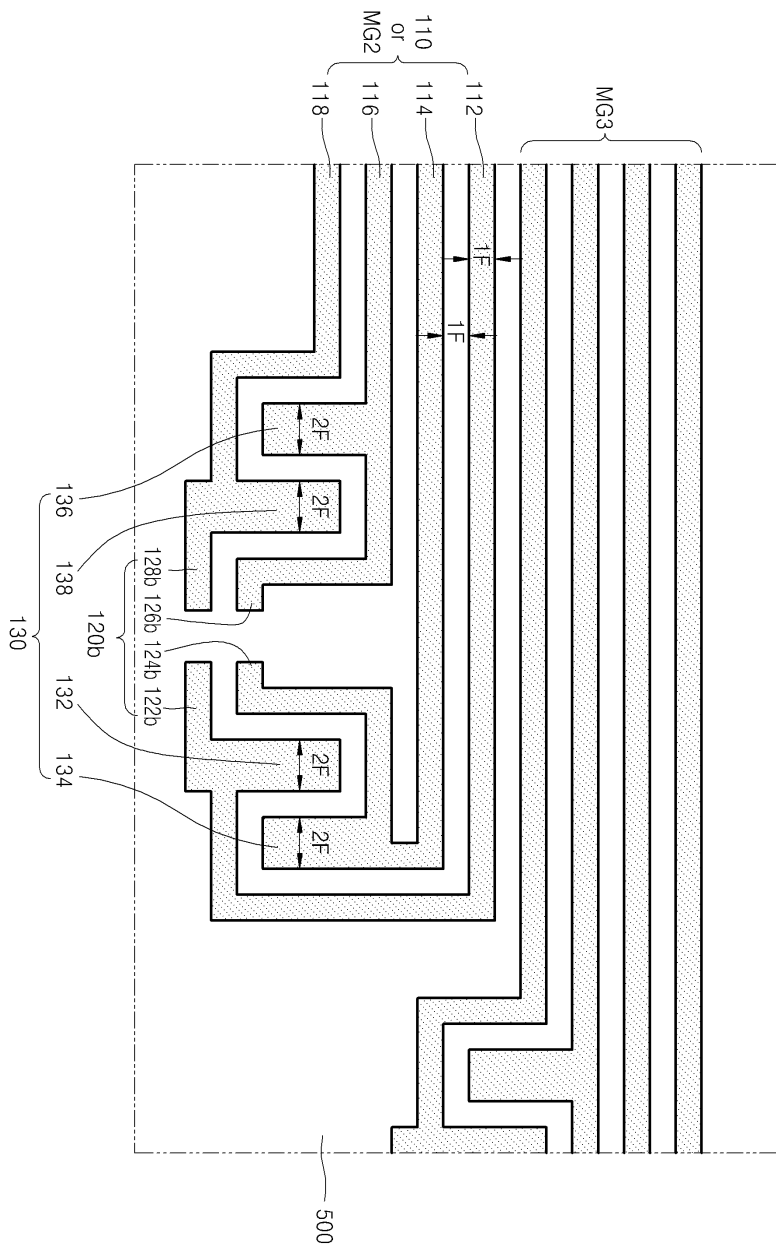
도면14



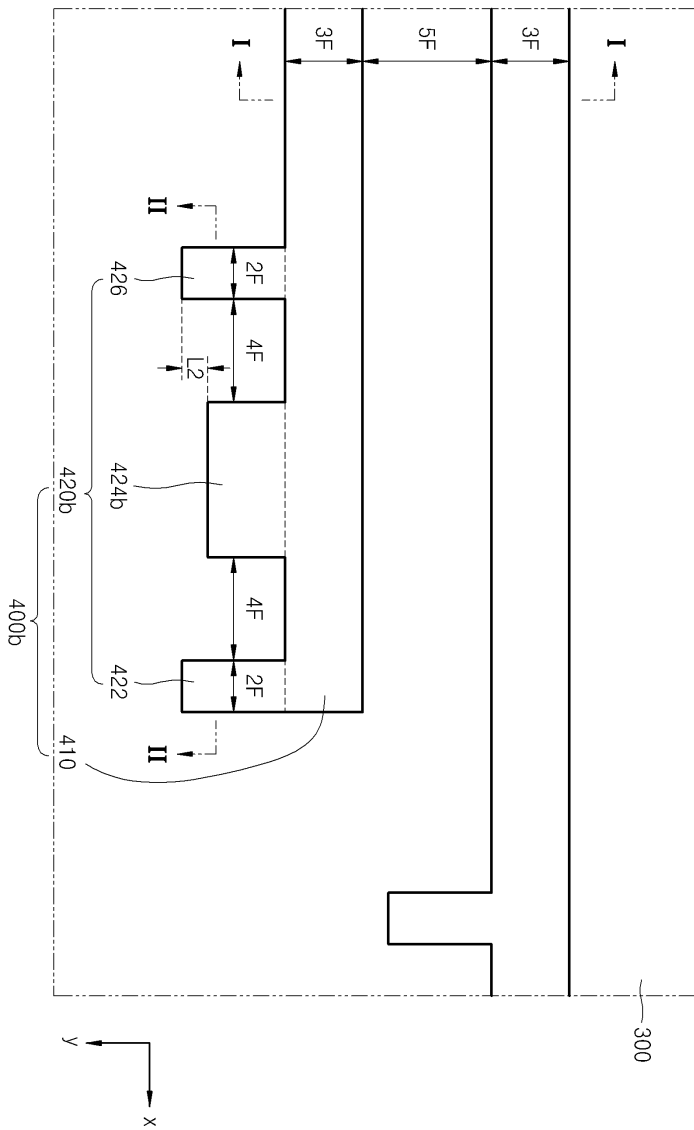
도면15a



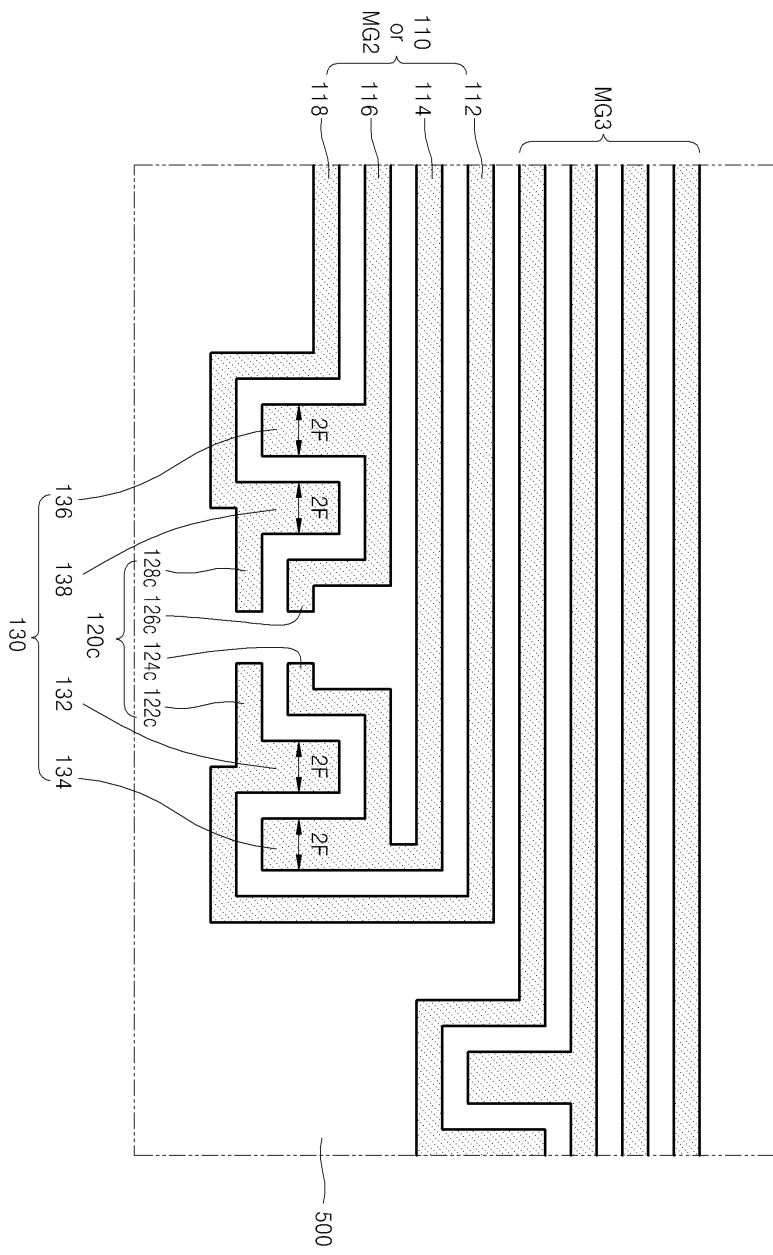
도면15b



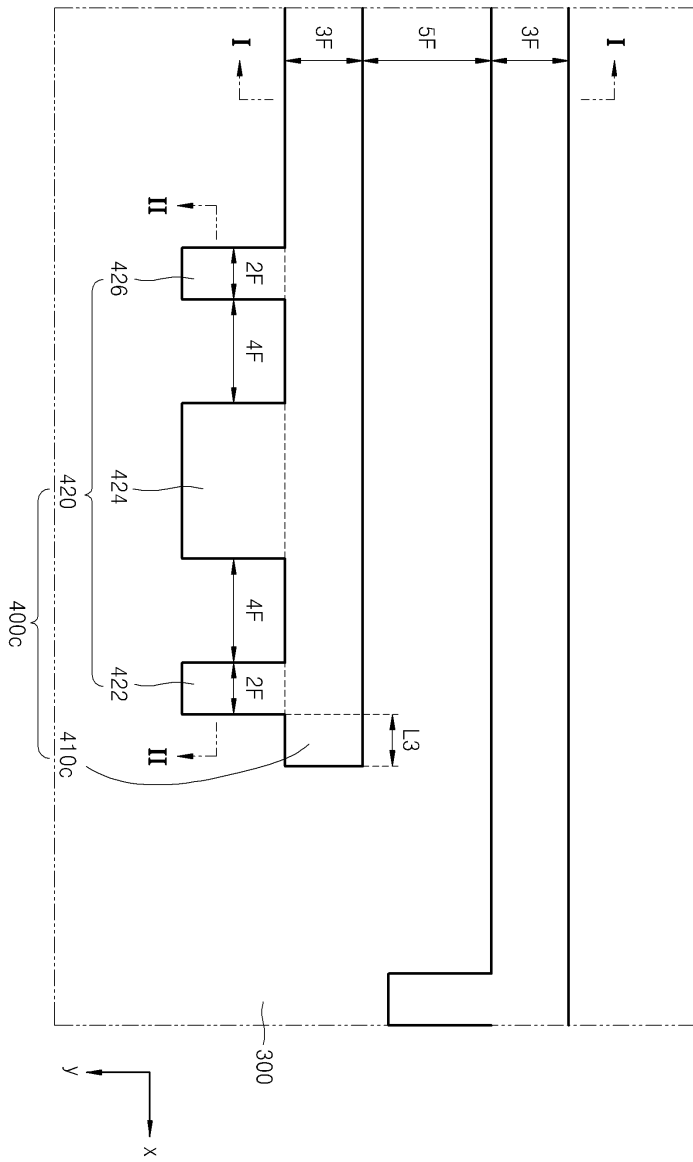
도면16a



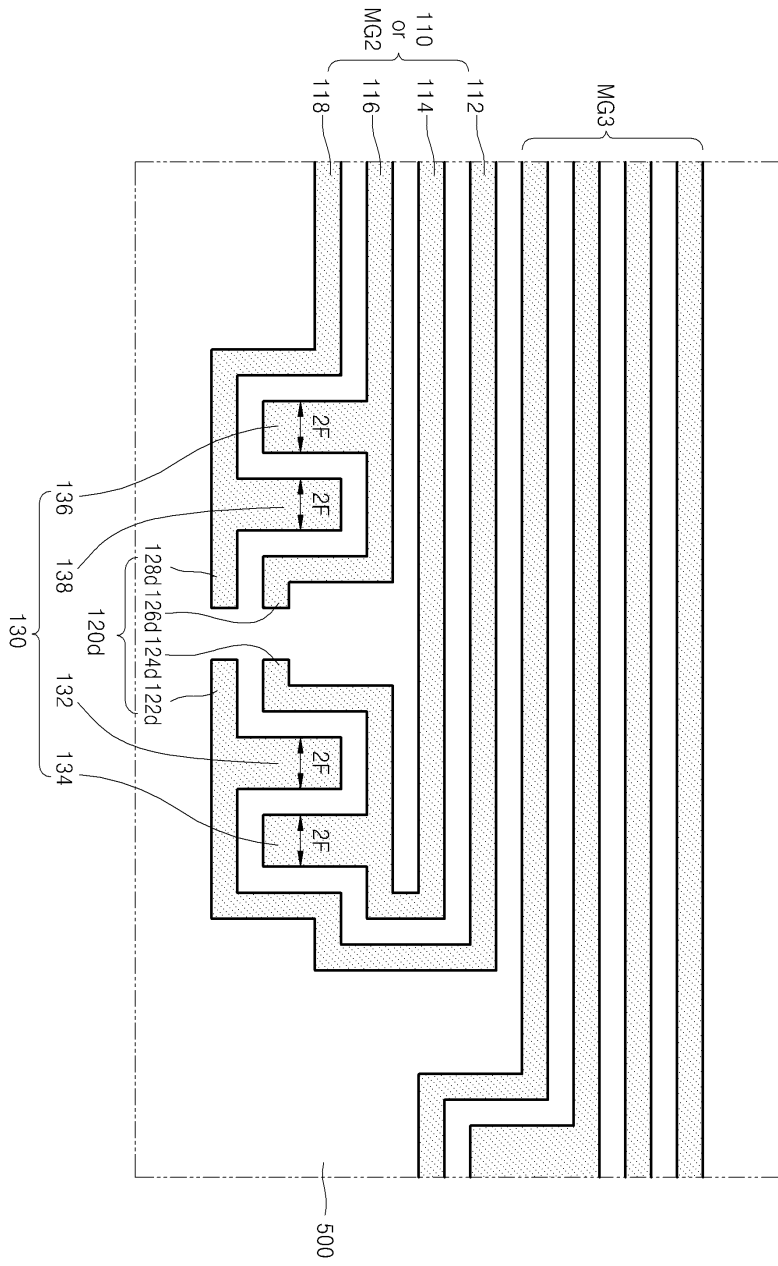
도면16b



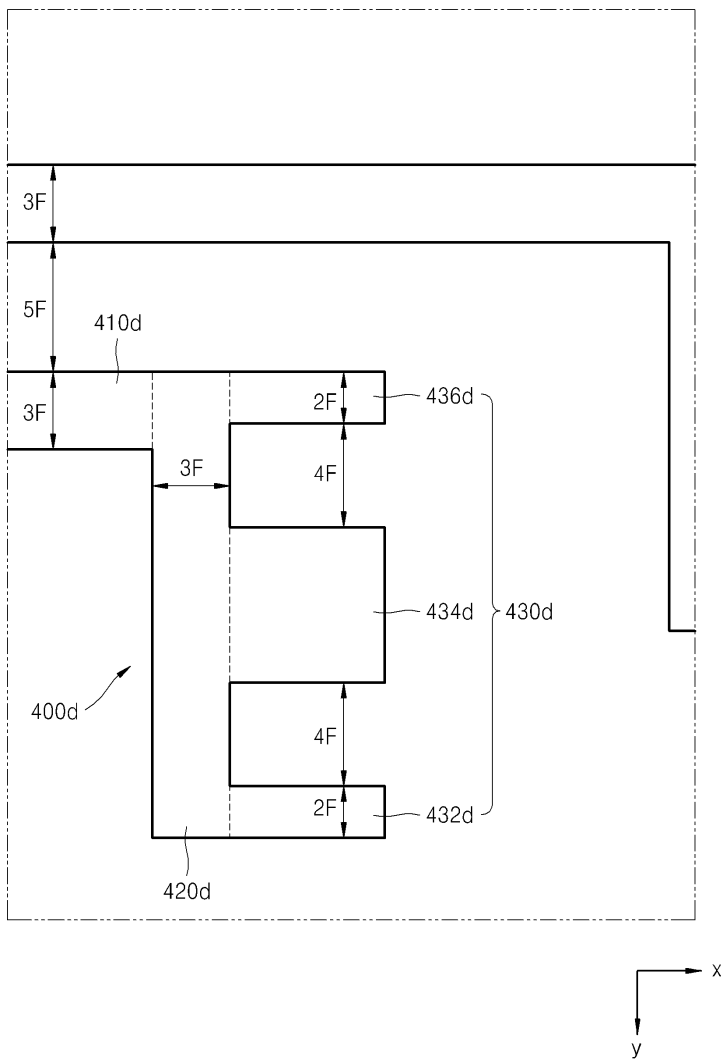
도면17a



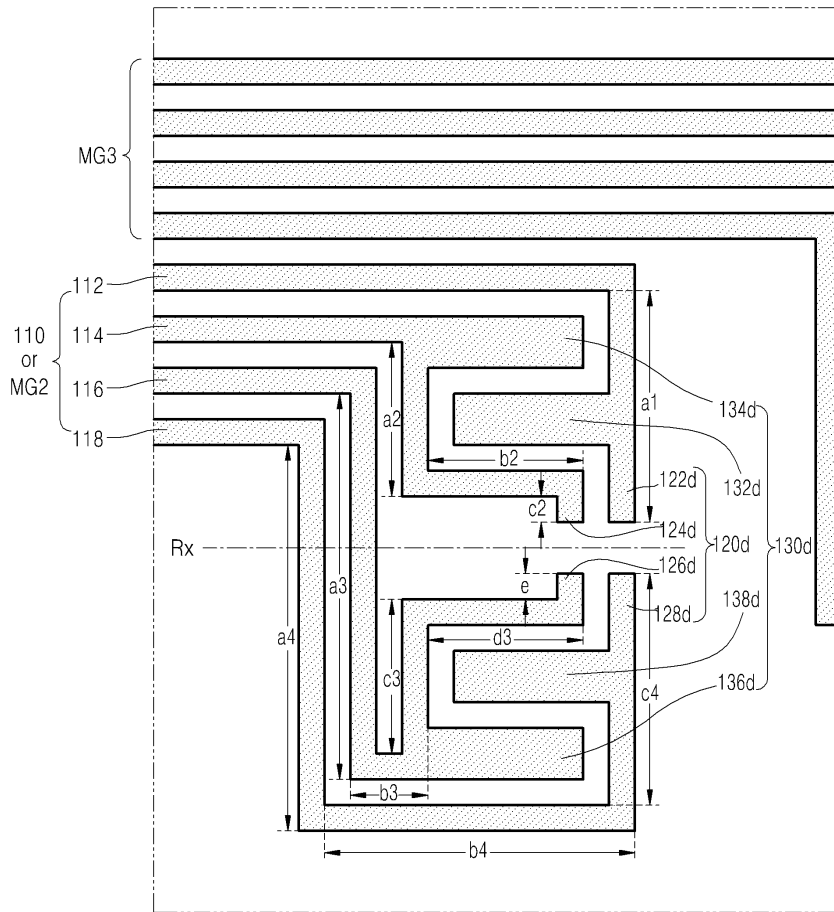
도면17b



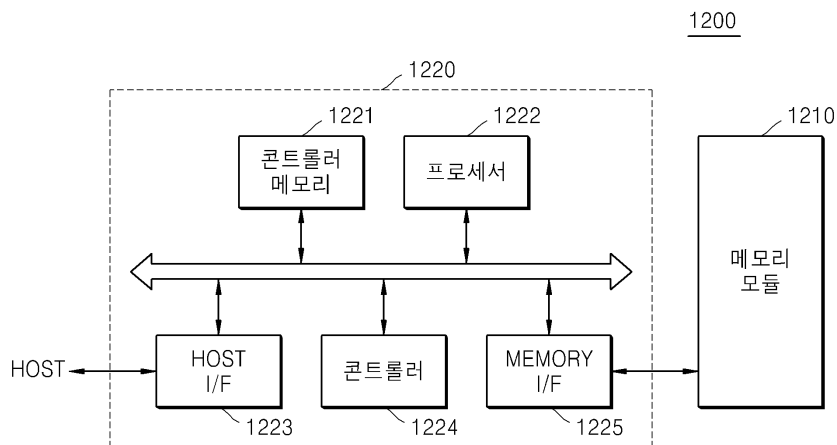
도면18a



도면18b



도면19



도면20

