(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/195972 A1

(51) 国際特許分類:
H01L 29/786 (2006.01)
G09F 9/00 (2006.01)
G09F 9/30 (2006.01)
H01L 21/28 (2006.01)
H01L 21/285 (2006.01)
H01L 21/336 (2006.01)
H01L 21/441 (2006.01)
H01L 21/822 (2006.01)
H01L 27/04 (2006.01)
H01L 27/32 (2006.01)
H01L 29/417 (2006.01)
H01L 51/50 (2006.01)
H05B 33/10 (2006.01)

(21) 国際出願番号： PCT/JP2020/011184

(22) 国際出願日： 2020年3月13日(13.03.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-063815 2019年3月28日(28.03.2019) JP

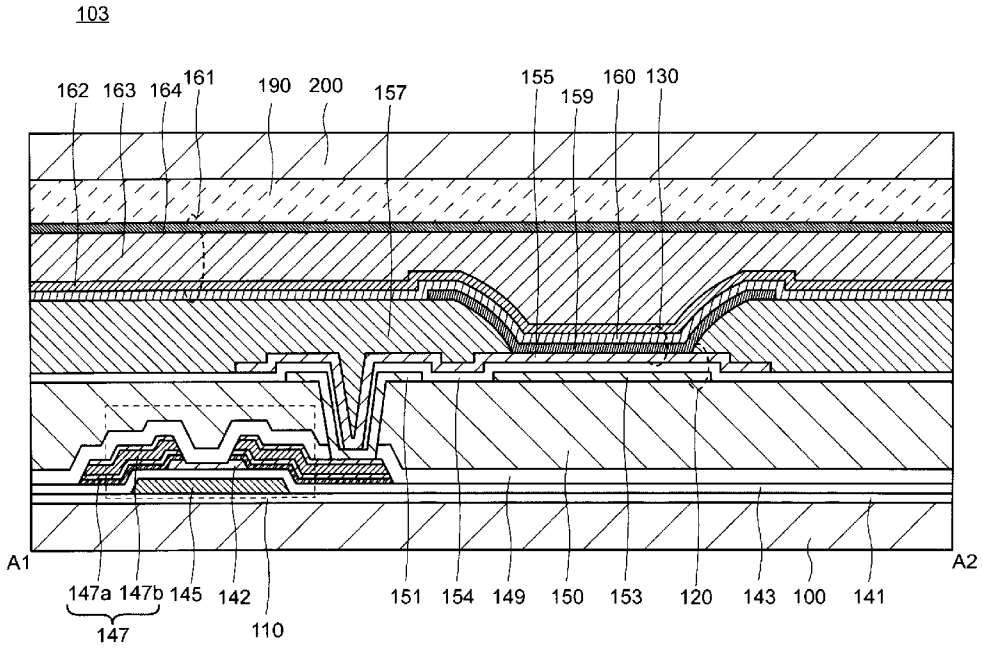
(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

(72) 発明者: 津 吹 将 志 (**TSUBUKU Masashi**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 境 武志(**SAKAI Takeshi**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 戸田 達也(**TODA Tatsuya**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人高橋・林アンドパートナーズ(**TAKAHASHI, HAYASHI AND PARTNER**

(54) **Title:** DISPLAY DEVICE AND METHOD FOR MANUFACTURING DISPLAY DEVICE

(54) 発明の名称： 表示装置および表示装置の製造方法



(57) **Abstract:** This display device includes: a transistor including a gate electrode formed on an insulation surface, a gate insulation layer formed on the gate electrode, an oxide semiconductor layer formed on the gate insulation layer so as to be superimposed on the gate electrode, a source/drain electrode that includes a first conductive layer containing nitrogen and formed on the gate insulation layer and the oxide semiconductor layer and a second conductive layer formed on the first conductive layer, and an insulation layer that contains oxygen and that is formed on the source/drain electrode and

WO 2020/195972 A1

[続葉有]

PATENT ATTORNEYS, INC.)；〒1440052 東京都大田区蒲田５－２４－２ 損保ジャパン日本興亜蒲田ビル９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

the oxide semiconductor layer; and a display element formed on the transistor.

(57) 要約：表示装置は、絶縁表面上のゲート電極と、前記ゲート電極上のゲート絶縁層と、前記ゲート絶縁層上に、前記ゲート電極と重畳する酸化物半導体層と、前記酸化物半導体層および前記ゲート絶縁層上の窒素を含む第１導電層および前記第１導電層上の第２導電層を含むソース・ドレイン電極と、前記酸化物半導体層および前記ソース・ドレイン電極上の酸素を含む絶縁層と、を含む、トランジスタと、前記トランジスタ上の表示素子と、を含む。

明　細　書

発明の名称 ： 表示装置および表示装置の製造方法

技術分野

[0001] 本発明の一実施形態は、表示装置、および表示装置の製造方法に関する。

背景技術

[0002] 電気器具及び電子機器に用いられる表示装置として、液晶の電気光学効果を利用した液晶表示装置や、有機エレクトロルミネセンス（有機ＥＬ：Ｏｒｇａｎｉｃ　Ｅｌｅｃｔｒｏ－Ｌｕｍｉｎｅｓｃｅｎｃｅ）素子を用いた有機エレクトロルミネセンス表示装置が開発されている。従来これらの表示装置においては、半導体層としてシリコンを用いたトランジスタが用いられてきた。近年、表示装置では、大面積化、高解像度化、高フレームレート化などの要求が高まってきており、これらの要求を満たすための取り組みが盛んに行われている。

[0003] 最近では、シリコンに替わって、酸化物半導体を用いたトランジスタの開発が進められている。酸化物半導体を用いたトランジスタは、高移動度を実現できることが期待されている。さらに、酸化物半導体は、大面積で形成できるとともに、アモルファスシリコンと比較して高耐圧性に優れるといった利点を有する。特許文献１には、酸化物半導体を用いた表示装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開２００６－１６５５２８号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、酸化物半導体を用いたトランジスタは、製造工程中の処理温度に応じて信頼性試験において特性変動がみられる場合がある。トランジスタの特性変動は、表示装置における表示ムラなど、様々な不良を引き起こ

す要因となり得る。したがって、トランジスタの信頼性のさらなる向上が求められている。

[0006] 上記問題に鑑み、信頼性が向上したトランジスタを有する表示装置を提供することを目的の一つとする。または、高い信頼性を有する表示装置を提供することを目的の一つとする。

課題を解決するための手段

[0007] 本発明の一実施形態に係る表示装置は、絶縁表面上のゲート電極と、前記ゲート電極上のゲート絶縁層と、前記ゲート絶縁層上に、前記ゲート電極と重畳する酸化物半導体層と、前記酸化物半導体層および前記ゲート絶縁層上の窒素を含む第１導電層および前記第１導電層上の第２導電層を含むソース・ドレイン電極と、前記酸化物半導体層および前記ソース・ドレイン電極上の酸素を含む絶縁層と、を含む、トランジスタと、前記トランジスタ上の表示素子と、を含む。

[0008] 本発明の一実施形態に係る表示装置の製造方法は、絶縁表面上にゲート電極を形成し、前記ゲート電極上にゲート絶縁層を形成し、前記ゲート絶縁層上に、前記ゲート電極と重畳する領域を含む酸化物半導体層を形成し、前記酸化物半導体層および前記ゲート絶縁層上に、窒素を含む第１導電層、および前記第１導電層上の第２導電層を含むソース・ドレイン電極を形成し、前記ソース・ドレイン電極上に絶縁層を形成し、加熱処理を行うことによりトランジスタを形成し、前記トランジスタ上に表示素子を形成することを含む。

図面の簡単な説明

[0009] [図1]本発明の一実施形態に係る表示装置の平面図である。

[図2]本発明の一実施形態に係る表示装置の画素回路の回路図である。

[図3]本発明の一実施形態に係る表示装置の画素の断面図である。

[図4]本発明の一実施形態に係るトランジスタの断面図である。

[図5]本発明の一実施形態に係るトランジスタの一部を拡大した断面図である。

[図6]本発明の一実施形態に係るトランジスタの製造方法の断面図である。

[図7]本発明の一実施形態に係るトランジスタの製造方法の断面図である。

[図8]本発明の一実施形態に係るトランジスタの製造方法の断面図である。

[図9]本発明の一実施形態に係るトランジスタの製造方法の断面図である。

[図10]本発明の一実施形態に係るトランジスタの製造方法の断面図である。

[図11]本発明の一実施形態に係るトランジスタの断面図である。

[図12]本発明の一実施形態に係るトランジスタの製造方法の断面図である。

[図13]本発明の一実施形態に係るトランジスタの製造方法の断面図である。

[図14]本発明の一実施形態に係るトランジスタの断面図である。

[図15]本発明の一実施形態に係る表示装置の画素の断面図である。

[図16]本実施例に係るトランジスタの断面図である。

[図17]本実施例に係るトランジスタの一部分のＥＤＸ測定結果である。

[図18]本実施例に係るトランジスタのＩｄ－Ｖｇ特性評価結果である。

[図19]本実施例に係るトランジスタの信頼性評価結果である。

[図20]比較例に係るトランジスタの断面図である。

[図21]比較例に係るトランジスタの信頼性評価結果である。

発明を実施するための形態

[0010] 以下、本発明の実施の形態を、図面等を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施の形態の記載内容に限定して解釈されるものではない。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号（又は数字の後にＡ、Ｂなどを付した符号）を付して、詳細な説明を適宜省略することがある。さらに各要素に対する「第１」、「第２」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有さない。

[0011] また、本明細書において、ある部材又は領域が他の部材又は領域の「上に（又は下に）」あるとする場合、特段の限定がない限りこれは他の部材又は領域の直上（又は直下）にある場合のみでなく他の部材又は領域の上方（又は下方）にある場合を含み、すなわち、他の部材又は領域の上方（又は下方）において間に別の構成要素が含まれている場合も含む。なお、以下の説明では、特に断りのない限り、断面視においては、第１基板に対して第２基板が配置される側を「上」又は「上方」といい、その逆を「下」又は「下方」として説明する。

[0012] また、本明細書において、「ＡとＢとが接続されている」とは、ＡとＢとが直接接続されているものの他、電気的に接続されているものを含むものとする。ここで、「ＡとＢとが電気的に接続されている」とは、ＡとＢとの間で、何らかの電気的作用を有する対象物が存在するとき、ＡとＢとの電気信号の授受を可能とするものをいう。

[0013] その他、本発明の属する分野における通常に知識を有する者であれば認識できるものである場合、特段の説明を行わないものとする。

[0014] ＜第１実施形態＞

（１－１．表示装置の構成）

図１は、表示装置１０の上面図を示す。図１において、表示装置１０は、基板１００、基板２００、複数の画素１０３を有する表示部１０１と、周縁部１０４、ソースドライバとしての機能を有する駆動回路１０６と、ゲートドライバとしての機能を有する駆動回路１０７、フレキシブルプリント基板１０８、および端子部１０９を有する。

[0015] 図１において、画素１０３は、マトリクス状に設けられ、表示素子（後述する発光素子１３０）を含む。周縁部１０４は、表示部１０１の外側に配置され、表示部１０１を囲むように設けられる。画素１０３、駆動回路１０６、駆動回路１０７およびフレキシブルプリント基板１０８は、それぞれ電気的に接続されている。外部装置からの情報（信号）は、フレキシブルプリント基板１０８、および端子部１０９を介して駆動回路１０６および駆動回路

１０７に入力される。

[0016] 図２に、表示装置１０が有する画素１０３の画素回路３０の回路図を示す。なお、以下で説明する画素回路３０の回路構成は一例であって、これに限定されるものではない。

[0017] 複数の画素回路３０の各々は、少なくともトランジスタ１１０、トランジスタ１１１、発光素子１３０及び容量素子１２０を含む。なお、トランジスタ１１０およびトランジスタ１１１をまとめて半導体装置ともいうことができる。

[0018] トランジスタ１１０は、発光素子１３０に接続され、発光素子１３０の発光輝度を制御するトランジスタである。トランジスタ１１０は、ゲート－ソース間電圧によってドレイン電流が制御される。トランジスタ１１０は、ゲートがトランジスタ１１１のソースまたはドレインの一方に接続され、ソースまたはドレインの一方が駆動電源線１１５に接続され、ソースまたはドレインの他方が発光素子１３０の陽極に接続される。

[0019] トランジスタ１１１は、オンオフ動作により、駆動回路１０６から映像信号を送る信号線１１８とトランジスタ１１０のゲートとの導通状態を制御するトランジスタである。トランジスタ１１１は、ゲートが走査信号を送る走査線１１３に接続され、ソースが信号線１１８に接続され、ドレインがトランジスタ１１０のゲートに接続されている。

[0020] 発光素子１３０は、陽極がトランジスタ１１０のドレインに接続され、陰極が基準電源線１１７に接続されている。

[0021] 容量素子１２０は、トランジスタ１１０のゲート－ドレイン間に接続される。容量素子１２０は、トランジスタ１１０のゲート－ドレイン間電圧を保持する。

[0022] 基準電源線１１７は、複数の画素１０３に共通して設けられている。基準電源線には定電位が与えられる。

[0023] 上述の構成に基づき、駆動回路１０６から送信された映像信号および駆動回路１０７から送信された走査信号がそれぞれの画素１０３に入力されるこ

とにより表示部１０１において静止画および動画が表示される。

[0024] （１－２．画素の断面構成）

次に、表示装置１０の画素１０３の各構成について、図面を用いて説明する。

[0025] 図３は、図１に示した表示装置１０における画素１０３のＡ１－Ａ２間の断面図である。図３に示すように、画素１０３は、基板１００、トランジスタ１１０、容量素子１２０、発光素子１３０、絶縁層１４１、平坦化層１５０、リブ１５７、封止層１６１、接着層１９０および基板２００を含む。各構成について、以下に詳細に説明する。

[0026] （１－２－１．トランジスタの構成）

図４は、図３のトランジスタ１１０を拡大した断面図である。トランジスタ１１０は、ゲート電極１４５、ゲート絶縁層１４３、酸化物半導体層１４２、およびソース・ドレイン電極１４７、絶縁層１４９を有する。本実施形態では、トランジスタ１１０は、ボトムゲート・トップコンタクト構造を有する。

[0027] ゲート電極１４５は、絶縁層１４１、すなわち絶縁表面上に設けられる。ゲート電極１４５には、導電材料として、例えば、アルミニウム（Ａｌ）、チタン（Ｔｉ）、クロム（Ｃｒ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、亜鉛（Ｚｎ）、モリブデン（Ｍｏ）、銅（Ｃｕ）、インジウム（Ｉｎ）、スズ（Ｓｎ）、ハフニウム（Ｈｆ）、タンタル（Ｔａ）、タングステン（Ｗ）、白金（Ｐｔ）、ビスマス（Ｂｉ）などが用いられる。また、ゲート電極１４５には、これらの金属の合金が用いられてもよい。また、ゲート電極１４５には、ＩＴＯ（酸化インジウム・スズ）、ＩＧＯ（酸化インジウム・ガリウム）、ＩＺＯ（酸化インジウム・亜鉛）、ＧＺＯ（ガリウムがドーパントとして添加された酸化亜鉛）等の導電性酸化物が用いられてもよい。また、これらの膜が積層されてもよい。

[0028] ゲート絶縁層１４３には、高誘電率の材料が用いられる。ゲート絶縁層１４３には、窒化シリコン（SiN_x）、酸化シリコン（SiO_x）、酸化窒化シ

リコン（SiO_xN_y）、窒化アルミニウム（AlN_x）、酸化アルミニウム（AlO_x）、酸化窒化アルミニウム（AlO_xN_y）などが用いられる（ｘ、ｙは任意の整数）。ゲート絶縁層１４３は、上記の材料の単層構造又は積層構造であってもよい。なお、酸化物半導体層１４２と接するゲート絶縁層１４５は、酸化シリコン膜などの酸素を含む絶縁層であることが好ましい。

[0029] 酸化物半導体層１４２は、ゲート絶縁層１４３上に設けられる。酸化物半導体層１４２は、ゲート電極１４５に重畳して配置される。酸化物半導体層１４２には、インジウムやガリウムなどの第１３族元素を含むことができる。酸化物半導体層１４２には、異なる複数の第１３族元素を含有してもよい。酸化物半導体層１４２は、さらに、第１２族元素を含んでいてもよい。例えば、酸化物半導体層１４２には、インジウム、ガリウム、及び亜鉛を含む化合物（ＩＧＺＯ）が用いられる。

[0030] また、酸化物半導体層１４２は、その他の元素を含んでもよい。このとき、酸化物半導体層１４２は、第１４族元素であるスズ、第４族元素であるチタンやジルコニウムなどを含んでもよい。

[0031] 酸化物半導体層１４２のその他の具体例として、InO_x、ZnO_x、SnO_x、Ｉｎ－Ｇａ－Ｏ、Ｉｎ－Ｚｎ－Ｏ、Ｉｎ－Ａｌ－Ｏ、Ｉｎ－Ｓｎ－Ｏ、Ｉｎ－Ｈｆ－Ｏ、Ｉｎ－Ｚｒ－Ｏ、Ｉｎ－Ｗ－Ｏ、Ｉｎ－Ｙ－Ｏ、Ｉｎ－Ｇａ－Ｚｎ－Ｏ、Ｉｎ－Ａｌ－Ｚｎ－Ｏ、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ、Ｉｎ－Ｈｆ－Ｚｎ－Ｏ、Ｉｎ－Ｇａ－Ｓｎ－Ｏ、Ｉｎ－Ａｌ－Ｓｎ－Ｏ、Ｉｎ－Ｈｆ－Ｓｎ－Ｏ、Ｉｎ－Ｇａ－Ａｌ－Ｚｎ－Ｏ、Ｉｎ－Ｇａ－Ｈｆ－Ｚｎ－Ｏ、Ｉｎ－Ｓｎ－Ｇａ－Ｚｎ－Ｏ等の材料が用いられてもよい。酸化物半導体層１４２の結晶性は限定されず、単結晶、多結晶、微結晶、又は非晶質でもよい。

[0032] また、酸化物半導体層１４２は、酸素欠損などの結晶欠陥が少ないことが好ましい。また、酸化物半導体層１４２は、水素の濃度が低いことが好ましい。

[0033] ソース・ドレイン電極１４７は、導電層１４７ａ（第１導電層ともいう）、および導電層１４７ｂ（第２導電層ともいう）を含む。導電層１４７ａは

、酸化物半導体層１４２およびゲート絶縁層１４３上に設けられる。導電層１４７ａは、金属材料とともに窒素を含む。導電層１４７ａには、この例では窒化チタン（TiN_x）が用いられる。導電層１４７ａは、窒素を含むことにより、酸化物半導体層１４２から導電層１４７ａの一部まで酸素を拡散させつつ、導電層１４７ｂまで酸素が拡散することを抑える機能を有する。なお、導電層１４７ａは、窒化チタンに限定されず、窒化タンタル（TaN_x）、窒化モリブデン（MoN_x）、窒化タングステン（WN_x）が用いられてもよい（ｘは任意の整数）。導電層１４７ａの膜厚は、適宜設定すればよく、１０ｎｍ以上３０ｎｍ以下であることが好ましい。

[0034] 導電層１４７ｂは、導電層１４７ａ上に設けられる。導電層１４７ｂは、抵抗の低い金属材料が用いられる。導電層１４７ｂには、アルミニウム（Ａｌ）、チタン（Ｔｉ）、クロム（Ｃｒ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、亜鉛（Ｚｎ）、モリブデン（Ｍｏ）、銅（Ｃｕ）、インジウム（Ｉｎ）、スズ（Ｓｎ）、ハフニウム（Ｈｆ）、タンタル（Ｔａ）、タングステン（Ｗ）、白金（Ｐｔ）、ビスマス（Ｂｉ）などが用いられる。導電層１４７ｂには、これらの金属の合金が用いられてもよい。また、導電層１４７ｂには、これらの膜が積層されてもよい。本実施形態では、導電層１４７ｂは、導電層１４７ｂ１、導電層１４７ｂ２および導電層１４７ｂ３が積層されている。導電層１４７ｂ１および導電層１４７ｂ３には、この例ではチタンが用いられる。導電層１４７ｂ２には、この例ではアルミニウムが用いられる。導電層１４７ｂの膜厚は、適宜設定すればよく、５０ｎｍ以上１０００ｎｍ以下であることが好ましい。

[0035] 図５は、図４で示した領域Ａの酸化物半導体層１４２およびソース・ドレイン電極１４７の拡大図である。このとき、図５に示すように、酸化物半導体層１４２とソース・ドレイン電極１４７のうち導電層１４７ａとの間には導電層１４７ｃ（第３導電層ともいう）が設けられてもよい。後述するように、導電層１４７ｃは、導電層１４７ａの金属材料とともに、酸化物半導体層１４２から拡散した酸素が含まれる。導電層１４７ｃに含まれる酸素の

含有量は、５ａｔｏｍｉｃ％以上２０ａｔｏｍｉｃ％以下であることが望ましい。また、導電層１４７ｃには、酸化物半導体層１４２に含まれた金属材料の一部がさらに含まれてもよい。導電層１４７ｃの厚さは、２ｎｍ以上１０ｎｍ以下であることが好ましい。これにより、導電層１４７ｃは、導電性を有することができる。

[0036] 図４に戻って説明する。絶縁層１４９は、酸化物半導体層１４２、ソース・ドレイン電極１４７およびゲート絶縁層１４３上に設けられる。絶縁層１４９には、酸素を含む絶縁材料が用いられる。例えば、絶縁層１４９には、酸化シリコン（SiO_x）が用いられる（ｘは任意の整数）。また、絶縁層１４９は、酸化シリコンに限定されず、酸化窒化シリコン（SiO_xN_y）、酸化アルミニウム（AlO_x）、酸化窒化アルミニウム（AlO_xN_y）などが用いられてもよい（ｘ、ｙは任意の整数）。絶縁層１４９は、加熱処理によって、酸素を放出することができる膜であることが好ましい。また、絶縁層１４９は、欠陥準位密度が小さいことが好ましい。

[0037] 本実施形態のトランジスタ１１０は、ソース・ドレイン電極が酸化物半導体層１４２側に窒素を含む導電層を有することにより、酸化物半導体層１４２からの酸素の拡散が抑えられる。また、加熱処理を行ったときには、酸化物半導体層中からソース・ドレイン電極（具体的には導電層１４７ａ）に酸素が拡散して導電領域を形成しつつ、ソース・ドレイン電極全体（具体的には導電層１４７ｂ）としての酸化は抑えられるので、トランジスタ１１０の特性の変動を小さくすることができる。したがって、トランジスタ１１０の信頼性が向上するとともに、表示装置における表示性能の信頼性も向上させることができる。

[0038] （１－２－２．表示装置のその他の構成）

図３に戻って、表示装置１０のその他の各構成について以下に説明する。

[0039] 基板１００には、ガラス基板又は有機樹脂基板が用いられる。有機樹脂基板としては、例えば、ポリイミドが用いられる。なお、有機樹脂基板は、ポリイミドに限定されず、ポリエチレンテレフタレート、ポリエチレンナフタ

レート、トリアセチルセルロース、環状オレフィン・コポリマー、シクロオレフィンポリマー等が用いられてもよい。基板１００および基板２００の厚さは、適宜設定することができる。有機樹脂基板の場合、可撓性を有するシートディスプレイを実現することが可能となる。

[0040] 絶縁層１４１は、下地膜としての機能を有する。絶縁層１４１は、酸化シリコン、酸化窒化シリコン、窒化シリコンなどが用いられる。絶縁層１４１は、単層であっても、積層であってもよい。上記材料を用いることで、基板１００から不純物、代表的にはアルカリ金属、水、水素等の酸化物半導体層１４２への拡散を抑制することができる。

[0041] 平坦化層１５０は、絶縁層１４９上に設けられる。平坦化層１５０には、ポリイミド、ポリアミド、アクリル、エポキシ等が用いられる。これらの材料は、溶液塗布法により膜を形成することが可能であり、平坦化効果が高いという特長がある。また、絶縁層１４９及び平坦化層１５０には、開口部が設けられる。

[0042] 容量素子１２０は、絶縁層１５４を誘電体として、導電層１５３、および画素電極１５５が用いられる。また、導電層１５３の同一層に設けられた導電層１５１は、ソース・ドレイン電極１４７と接続されるとともに、画素電極１５５と接続される。

[0043] 発光素子１３０には、画素電極１５５、有機ＥＬ層１５９、および対向電極１６０が用いられる。発光素子１３０は、有機ＥＬ層１５９で発光した光を対向電極１６０側に放射する、いわゆるトップエミッション型の構造を有する。

[0044] 有機ＥＬ層１５９は、画素電極１５５上に設けられ、有機エレクトロルミネセンス材料などの発光材料を有する。また、有機ＥＬ層１５９は、発光材料とともに、正孔輸送材料、電子輸送材料が用いられてもよい。また、本実施形態の有機ＥＬ層１５９は、発光するための発光材料が積層して設けられてもよい。このとき、表示装置１０は、カラーフィルタを通してＲＧＢの各色を表示してもよい。

[0045] リブ１５７には、画素電極１５５の周縁領域を覆うと共に、画素電極１５５の端部で滑らかな段差を形成するために、有機樹脂材料が用いられる。また、リブ１５７には、表示画像のコントラスト比を高めるために、黒色顔料を含む有機樹脂材料を用いてもよい。

[0046] 封止層１６１は、発光素子１３０およびリブ１５７上に配置される。封止層１６１は、無機絶縁層１６２、有機絶縁層１６３および無機絶縁層１６４を含む。

[0047] 無機絶縁層１６２および無機絶縁層１６４には、窒化シリコン、酸化シリコン、酸化アルミニウムなどの絶縁膜が用いられる。無機絶縁層１６２および無機絶縁層１６４の膜厚は、３０ｎｍ以上１μｍ以下とすることが好ましい。上記構造とすることで、一部にピンホール等の欠陥が出来てしまったとしても、他の無機絶縁層がその欠陥を補って、水分の侵入をより効果的に抑制することができる。

[0048] 有機絶縁層１６３には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂等の材料を用いることができる。有機絶縁層１６３の膜厚は、１μｍ以上２０μｍ以下、好ましくは３μｍ以上１０μｍ以下であることが好ましい。

[0049] 無機絶縁層１６２と無機絶縁層１６４との間に有機絶縁層１６３を有することにより、封止層１６１を形成する際に、異物が混入した場合においても、有機絶縁層１６３の表面が平坦化される。このため、無機絶縁層１６４の被覆率が高まる。したがって、水分遮断性能を安定して保持することができる。

[0050] 無機絶縁層１６４上には、接着層１９０を介して基板２００が設けられてもよい。接着層１９０として、例えば、アクリル系、ゴム系、シリコーン系、ウレタン系などの粘着材を用いることができる。基板２００にタッチパネルを設けてもよい。また、基板２００が偏光子等の光学性能を有していてもよい。接着層１９０には、カルシウムやゼオライトなどの吸湿物質が含まれていてもよい。接着層１９０に吸湿物質が含まれることにより、表示装置１０の内部に水分が侵入した場合であっても、発光素子１３０に水分が到達す

ることを遅らせることができる。

[0051] 基板２００には、ガラス基板、石英基板、フレキシブル基板（ポリイミド、ポリエチレンテレフタレート、ポリエチレンナフタレート、トリアセチルセルロース、環状オレフィン・コポリマー、シクロオレフィンポリマー、その他の可撓性を有する樹脂基板）を用いることができる。

[0052] また、接着層１９０には、基板１００と基板２００との間の間隙を確保するためにスペーサを設けてもよい。このようなスペーサは、接着層１９０に混ぜてもよいし、基板１００上に樹脂等により形成してもよい。

[0053] （１－３．トランジスタの製造方法）

次に、表示装置１０のうちトランジスタ１１０の製造方法について、図６乃至図１０を参照して説明する。

[0054] まず、図６に示すように、絶縁層１４１に、ゲート電極１４５を形成する。

[0055] 基板１００上に設けられた絶縁層１４１上に導電膜を成膜した後、パターニング法およびエッチング法を用いて所望の形状に加工することでゲート電極１４５を形成する。当該導電膜は、スパッタリング法により、上述した材料を用いて、単層構造又は積層構造で形成される。また、ゲート電極１４５の膜厚は、１００ｎｍ以上５００ｎｍ以下とすることが好ましい。この例では、ゲート電極１４５として、モリブデンとタングステンの合金膜が用いられる。

[0056] 次に、図７に示すように、ゲート電極１４５および絶縁層１４１上に、ゲート絶縁層１４３を成膜する。ゲート絶縁層１４３は、スパッタリング法、熱ＣＶＤ法、又はプラズマＣＶＤ法により、上述した材料を用いて、単層構造又は積層構造で形成される。このとき、ゲート絶縁層１４３の形成温度は、３２５℃以上４５０℃以下、好ましくは３５０℃以上４００℃以下であることが望ましい。ゲート絶縁層１４３の膜厚は、５０ｎｍ以上５００ｎｍ以下とすることが好ましい。

[0057] また、ゲート絶縁層１４３には、加熱処理により酸素を放出することがで

きる材料を用いることが好ましい。ゲート絶縁層１４３として、例えば、酸化シリコンを用いることが好ましい。酸化物半導体層１４２形成以降に加熱処理を行うことにより、ゲート絶縁層１４３から酸素が放出され、酸化物半導体層１４２中の酸素欠損が修復され、特性変動が抑えることができる。これにより、トランジスタ特性の信頼性を向上させることができる。

[0058] 次に、図８に示すように、ゲート絶縁層１４３上に酸化物半導体層１４２を形成する。酸化物半導体層１４２は、ゲート絶縁層１４３上に酸化物半導体膜を成膜した後、パターニング法及びエッチング法を用いることにより、所望の形状に加工することで形成される。酸化物半導体膜は、例えば、スパッタリング法を用いて成膜温度を２５０℃以上４５０℃以下として、３０ｎｍ以上１００ｎｍ以下の膜厚で形成することが好ましい。

[0059] 酸化物半導体膜をスパッタリング法により成膜する際に、酸化物半導体ターゲットに印加する電源は、直流電流（ＤＣ）でも交流電源（ＡＣ）でもよく、酸化物半導体ターゲットの形状や組成などによって決定することができる。酸化物半導体ターゲットとしては、例えば、ＩｎＧａＺｎＯであれば、Ｉｎ：Ｇａ：Ｚｎ：Ｏ＝１：１：１：４（In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：２）などを使用することができる。また、組成比は、トランジスタの特性などの目的に応じて決定することができる。

[0060] また、酸化物半導体膜を成膜する際に、酸素ガス、酸素及び希ガスの混合ガス、又は希ガスを用いてもよい。酸化物半導体膜を成膜するためのスパッタリングガスとして、この例では、酸素及び希ガスの混合ガス雰囲気で行うことが好ましく、希ガスに対する酸素ガス流量比が５％以上であることがより好ましい。酸素ガス流量比を５％以上にすることにより、酸化物半導体膜に酸素が添加されやすくなるため好ましい。

[0061] また、酸化物半導体層１４２を形成した後に加熱処理を行ってもよい。加熱処理は、酸化物半導体膜の加工前（パターニング処理前）に行ってもよく、加工後（エッチング後）に行ってもよい。酸化物半導体層１４２は、加熱処理によって体積が小さくなる（シュリンクする）場合があるので、加工前

に加熱処理を行うことが好ましい。また、酸化物半導体層１４２に加熱処理を行うことにより、酸化物半導体層１４２の水素濃度の低減、密度向上など、膜質の改善を行うことができる。

[0062] 酸化物半導体層１４２に対して行う加熱処理は、窒素、乾燥空気、又は大気の存在下で、大気圧又は低圧（真空）で行うことができる。加熱処理は、２５０℃以上５００℃以下、好ましくは３５０℃以上４５０℃以下で行う。また、加熱時間は、例えば、１５分以上１時間以下で行うことが好ましい。加熱処理により、酸化物半導体層１４２の酸素欠損に酸素が導入される又は酸素が転位することで、結晶欠陥が少なく、結晶性が高い酸化物半導体層１４２が得られる。また、加熱処理により、酸化物半導体層１４２の水素濃度を低減することができる。これらにより、酸化物半導体層１４２中の欠陥準位密度が少なく、特性変動の少ないトランジスタを製造することができる。

[0063] 次に、図９に示すように、酸化物半導体層１４２上に、ソース・ドレイン電極１４７を形成する。まず、酸化物半導体層１４２上に、導電層１４７ａとなる導電膜を形成する。導電層１４７ａとなる導電膜は、上述の材料を用いてスパッタリング法により形成される。なお、当該導電膜は、スパッタリング法に限定されず、ＣＶＤ法や印刷法により形成してもよい。導電層１４７ａの膜厚は、１０ｎｍ以上５０ｎｍ以下であることが好ましい。この例では、導電層１４７ａとして、スパッタリング法に形成された窒化チタンが用いられる。

[0064] 次に、導電層１４７ａ上に導電層１４７ｂとなる導電膜を形成する。導電層１４７ｂとなる導電膜は、上述の材料を用いてスパッタリング法により単層構造又は積層構造で形成されるが、その他の方法により形成されてもよい。導電層１４７ｂの膜厚は、５０ｎｍ以上１０００ｎｍ以下であることが好ましい。この例では、導電層１４７ｂとして導電層１４７ｂ１、導電層１４７ｂ２、および導電層１４７ｂ３が連続で形成される。より具体的には、導電層１４７ｂ１として、チタン膜がスパッタリング法により形成される。導電層１４７ｂ２として、アルミニウム膜がスパッタリング法により形成され

る。導電層１４７ｂ３として、チタン膜がスパッタリング法により形成される。

[0065] 導電層１４７ａおよび導電層１４７ｂは、パターニング法およびエッチング法により一括で加工されることにより、ソース・ドレイン電極１４７が所望の形状となる。なお、導電層１４７ａおよび導電層１４７ｂは、一括で加工されずに、それぞれ分けて加工してもよい。

[0066] 次に、図１０に示すように、酸化物半導体層１４２およびソース・ドレイン電極１４７上に絶縁層１４９を形成する。絶縁層１４９は、またはプラズマＣＶＤ法、熱ＣＶＤ法またはスパッタリング法により、上述した材料を用いて、単層構造又は積層構造で形成される。絶縁層１４９の形成温度は、３２５℃以上４５０℃以下、好ましくは３５０℃以上４００℃以下で行うことが望ましい。ゲート絶縁層１４３の膜厚は、１００ｎｍ以上５００ｎｍ以下とすることが好ましい。絶縁層１４９には、加熱処理により酸素を放出することができる材料を用いることが好ましい。絶縁層１４９には、例えば、酸化シリコン膜を用いることが好ましい。

[0067] 次に、酸化物半導体層１４２に接して絶縁層１４９を設けた後、加熱処理を行う。加熱処理は、窒素、乾燥空気、又は大気の存在下で、大気圧又は低圧（真空）で行うことができる。加熱処理は、３２５℃以上４５０℃以下、好ましくは３５０℃以上４００℃以下で行うことが望ましい。また、加熱時間は、例えば、１５分以上１２時間以下、好ましくは３０分以上２時間以下で行うことが望ましい。加熱処理により、酸化物半導体層１４２のダメージが生じた領域（バックチャネル領域）または酸化物半導体層１４２の内部に存在する酸素欠損に酸素を補填することができる。これにより、酸化物半導体層１４２に含まれる酸素欠損を低減することができ、結晶欠陥が少なく、結晶性が高い酸化物半導体層１４２が得られる。また、加熱処理により、酸化物半導体層１４２の水素濃度を低減することができる。さらに、加熱処理により、ゲート絶縁層１４３および絶縁層１４９内に含まれる欠陥準位密度が低減される。以上により、トランジスタ１１０全体の欠陥準位密度が低減

する。

[0068] また、絶縁層１４９を形成後に加熱処理を行った場合、酸化物半導体層１４２からソース・ドレイン電極１４７に向かって、酸素が拡散する。これにより、酸化物半導体層１４２には導電領域（n^+領域）ができる。このとき、拡散する酸素により、ソース・ドレイン電極１４７の一部が酸化する場合がある。例えば、ソース・ドレイン電極としてチタンが用いられた場合、酸化物半導体層１４２と反応し、良好なn^+領域が形成されるものの、酸素と反応しやすい。このために、駆動ストレス（温度、電圧、光など）によりさらに酸素との反応がひきつづき進行してしまう。その結果、トランジスタ１１０では、ドレイン電流の低下や閾値電圧の変動などの特性不良が発生してしまう恐れがある。

[0069] 一方、本実施形態の場合、ソース・ドレイン電極１４７は、酸化物半導体層１４２と接する部分に窒素を有する導電層１４７ａを含む。これにより、絶縁層１４９を形成後に加熱処理を行った際に、酸化物半導体層１４２中からソース・ドレイン電極１４７側（具体的には導電層１４７ａ）に酸素が拡散する。これにより、導電領域（n^+領域）が効果的に形成され、ソース・ドレイン電極全体（具体的には導電層１４７ｂ）としての酸化が抑えられる。

[0070] このとき、加熱処理によって、酸化物半導体層１４２とソース・ドレイン電極のうち導電層１４７ａとの間に導電層１４７ｃ（第３導電層ともいう）が形成されてもよい。導電層１４７ｃは、導電層１４７ａに含まれる金属材料および酸素を含む。また、導電層１４７ｃは、酸化物半導体層１４２に含まれる一部の金属材料をさらに含んでもよい。この例では、導電層１４７ｃは、チタン、酸素を含むとともに、インジウム、ガリウム、亜鉛をそれぞれ含んでもよい。このとき、導電層１４７ｃの膜厚は、２ｎｍ以上１０ｎｍであることが好ましい。

[0071] 上記の構成を有するトランジスタ１１０では、酸化物半導体層１４２とソース・ドレイン電極１４７との間で良好なオーミックコンタクトを形成することができる。さらに、トランジスタ１１０は、表示装置の駆動時のストレ

ス（温度、電圧、および光など）によるソース・ドレイン電極全体としての酸化が抑えられる。また、ゲート絶縁層及び酸化物絶縁層を高温で形成し、加熱処理を行うことにより、ゲート絶縁層及び酸化物絶縁層中の欠陥準位密度が低減している。したがって、本実施形態のトランジスタ１１０においては、ドレイン電流および閾値電圧などの特性の変動を抑制することができるため、高い信頼性を有することができる。したがって、本実施形態の表示装置は、トランジスタ１１０を含むことにより、高い表示信頼性を有することできる。

[0072] ＜第２実施形態＞

本実施形態では、第１実施形態と形態が異なるトランジスタについて説明する。具体的には、チャネル保護型トランジスタの構造について図面を参照して説明する。なお、第１実施形態に係る半導体装置と同様の構造、材料、および製造方法については、適宜説明を省略する。

[0073] （２－１．トランジスタ１１０Ａの構成）

図１１は、本実施形態に係るトランジスタ１１０Ａの断面図である。トランジスタ１１０Ａは、絶縁層１４１上に設けられ、ゲート電極１４５、ゲート絶縁層１４３、酸化物半導体層１４２、ソース・ドレイン電極１４７、および絶縁層１４９に加えて絶縁層１４６を有する。

[0074] 絶縁層１４６は、ゲート絶縁層１４３および酸化物半導体層１４２上に設けられる。絶縁層１４６は、絶縁層１４９と同様の材料が用いられる。この例では、絶縁層１４６には、酸化シリコン膜が用いられる。

[0075] トランジスタ１１０Ａは、トランジスタ１１０と異なり、酸化物半導体層１４２上に絶縁層１４６を有することにより、酸化物半導体層１４２のバックチャネル側を保護する構造を有する。

[0076] （２－２．トランジスタ１１０Ａの製造方法）

次に、本実施形態に係るトランジスタ１１０Ａの製造方法について、図１２及び図１３を参照して説明する。まず、第１実施形態で説明したように、ゲート絶縁層１４３上に、酸化物半導体層１４２を形成する。

[0077] 次に、図１２に示すように、ゲート絶縁層１４３上に、絶縁層１４６を形成する。絶縁層１４６は、絶縁層１４９と同様の方法により形成することが望ましい。また、絶縁層１４６の形成温度は、３２５℃以上４５０℃、好ましくは３５０℃以上４００℃以下であることが望ましい。また、絶縁層１４６を形成した後、適宜加熱処理を行ってもよい。加熱処理は、３２５℃以上４５０℃以下、好ましくは３５０℃以上４００℃以下で、１５分以上１２時間以下好ましくは３０分以上２時間以下で行うことが望ましい。その後、酸化物半導体層１４２上にパターニング法およびドライエッチング法により、開孔部１４６ａを形成する。

[0078] 次に、図１３に示すように、絶縁層１４６上にソース・ドレイン電極１４７を形成する。ソース・ドレイン電極１４７の形成以降の工程は、第１実施形態と同様である。

[0079] 本実施形態を用いることにより、酸化物半導体層１４２を保護しつつ、酸化物半導体層１４２とソース・ドレイン電極１４７との間で良好なオーミックコンタクトを形成することができるとともに、表示装置の駆動時のストレス（温度、電圧、および光など）によるソース・ドレイン電極１４７全体（具体的には導電層１４７ｂ）の酸化が抑えられる。したがって、高い信頼性を有するトランジスタを提供できるとともに、高い信頼性を有する表示装置を提供することができる。

[0080] ＜第３実施形態＞

本実施形態では、第１実施形態と形態が異なるトランジスタについて説明する。具体的には、トップゲート構造を有するトランジスタ１１０Ｂについて図１４を参照して説明する。なお、第１実施形態および第２実施形態に係るトランジスタと同様の構造、材料、および製造方法については、説明を省略する。

[0081] （３－１．トランジスタ１１０Ｂの構成）

図１４は、本実施形態に係るトランジスタ１１０Ｂの断面図である。図１４に示すように、トランジスタ１１０Ｂは、絶縁層１４１上に設けられ、酸

化物半導体層１４２Ｂ、ゲート絶縁層１４３Ｂ、ゲート電極１４５Ｂ、絶縁層１４６Ｂ、ソース・ドレイン電極１４７Ｂ、および絶縁層１４９Ｂを有する。

[0082] 酸化物半導体層１４２Ｂは、絶縁層１４１上に配置される。ゲート絶縁層１４３Ｂは、絶縁層１４１および酸化物半導体層１４２Ｂ上に配置される。ゲート電極１４５Ｂは、ゲート絶縁層１４３Ｂ上に配置される。絶縁層１４６Ｂは、ゲート絶縁層１４３Ｂおよびゲート電極１４５Ｂ上に配置される。ソース・ドレイン電極１４７Ｂは、絶縁層１４６Ｂ上に配置されるとともに、酸化物半導体層１４２Ｂと接して配置される。絶縁層１４９Ｂは、絶縁層１４６Ｂおよびソース・ドレイン電極１４７Ｂ上に配置される。

[0083] トランジスタ１１０Ｂは、トランジスタ１１０と異なり、酸化物半導体層１４２Ｂ上にゲート電極１４５Ｂが設けられている。また、トランジスタ１１０Ｂは、ゲート電極１４５Ｂのサイズを制御することにより、トランジスタ１１０に比べてトランジスタサイズを小さくすることができる。また、酸化物半導体層１４２Ｂは、絶縁層１４６Ｂによって、全体的に覆われており、絶縁層１４６Ｂの形成および加熱処理を行うことにより、酸化物半導体層１４２Ｂ中の酸素欠損などの欠陥を低減することができる。したがって、酸化物半導体層を保護しつつ、酸化物半導体層１４２とソース・ドレイン電極１４７との間で良好なオーミックコンタクトを形成することができる。さらに、表示装置の駆動時のストレス（温度、電圧、および光など）によるソース・ドレイン電極１４７全体（具体的には導電層１４７ｂ）の酸化が抑えられる。したがって、本実施形態を用いることにより、高い信頼性を有するトランジスタを提供できるとともに、高い信頼性を有する表示装置を提供することができる。

[0084] ＜第４実施形態＞

本実施形態では、第１実施形態と異なる表示装置について、図１５を参照して説明する。具体的には、図１および図３に示す画素１０３において、液晶素子を用いる表示装置について説明する。なお、本実施形態では、第１実

施形態で説明したトランジスタ１１０を用いる例について説明するが、第２実施形態のトランジスタ１１０Ａ及び第３実施形態のトランジスタ１１０Ｂを用いてもよい。

[0085]（画素１０３Ｃの構成）

図１５は、画素１０３Ｃの断面図である。画素１０３Ｃは、基板１００、絶縁層１４１、トランジスタ１１０、平坦化層１５０、および基板２００に加えて、液晶素子１３１、カラーフィルタ層１９５および遮光層１９７を含む。

[0086] 画素電極１７１は、平坦化層１５０上に設けられる。画素電極１７１は、透明導電材料が用いられる。この例では、酸化インジウム錫（ＩＴＯ）が用いられる。なお、これに限定されず、酸化亜鉛（ＺｎＯ）、または酸化インジウム亜鉛（ＩＺＯ）などが用いられてもよい。画素電極１７１は、開口部を介して、ソース・ドレイン電極１４７と接続される。なお、画素電極１７１は、平面視において、画素ごとに分離され、かつ櫛歯状に設けられている。

[0087] 絶縁層１７２は、画素電極１７１上に設けられる。絶縁層１７２には、酸化シリコン膜又は窒化シリコン膜が用いられる。共通電極１７３は、絶縁層１７２上に設けられている。共通電極１７３には、画素電極１７１と同様の材料を用いることができる。また、共通電極１７３は、平面視において、各画素に跨って設けられる。なお、この例では、共通電極１７３は、画素電極１７１の上側に配置されているが、これに限定されず画素電極１７１の下側に配置されてもよい。また、本実施形態の断面図では共通電極１７３も櫛歯状に設けられているが、連続して設けられていてもよい。

[0088] 遮光層１９７は、基板２００側に設けられる。遮光層１９７は、遮光する機能を有する。例えば、顔料を分散した樹脂、染料を含む樹脂の他、黒色クロム膜等の無機膜、カーボンブラック、複数の無機酸化物の固溶体を含む複合酸化物等を用いることができる。

[0089] カラーフィルタ層１９５は、遮光層１９６の開口部に設けられる。カラー

フィルタ層１９５は、液晶素子１３１から透過して出射された光に対して特定の波長帯域の光を透過する機能を有する。例えば、赤色、緑色、または青色の波長帯域の光を透過させることができる。

[0090] 平坦化層１９１は、カラーフィルタ層１９５および遮光層１９７上に設けられる。平坦化層１９１には、平坦化層１５０と同様の材料が用いられる。

[0091] 共通電極１７３と、平坦化層１９１との間には液晶層１７５が設けられる。画素電極１７１、共通電極１７３および液晶層１７５で構成される本実施形態の液晶素子１３１には、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）型の液晶素子が用いられる。なお、これに限定されず、ＴＮ型、ＶＡ型などの種々の液晶素子が用いられてもよい。

[0092] 本実施形態において、トランジスタ１１０を用いることにより、長時間の駆動ストレスに対して、トランジスタ特性の変動を抑えることができる。したがって、高い信頼性を有する液晶表示装置を提供することができる。

実施例 1

[0093] 本実施例では、本発明の一実施形態に係るトランジスタを作製し、酸化物半導体層およびソース・ドレイン電極の界面の元素分析を行った結果について説明する。

[0094] 以下に、本実施例で作製したトランジスタについて説明する。図１６は、本実施例で作成したトランジスタ３１０の断面図である。トランジスタ３１０は、第６世代のガラス基板（１，５００ｍｍ×１，８５０ｍｍ）である基板３００および絶縁層３４１上にゲート電極３４５、ゲート絶縁層３４３、酸化物半導体層３４２、ソース・ドレイン電極３４７、および絶縁層３４９を有する。トランジスタ３１０は、本発明の第１実施形態のトランジスタ１１０と同様の構成を有する。トランジスタ３１０の作製方法を以下に示す。

[0095] まず、基板上に酸化シリコンの絶縁層３４１を形成し、その上にゲート電極３４５を形成した。ゲート電極３４５として、ＤＣスパッタリング法により２００ｎｍのモリブデンおよびタングステンの合金膜（ＭｏＷ）を成膜し、パターンニング法およびドライエッチング法を用いて加工した。

[0096] 次に、ゲート電極３４５上に、ゲート絶縁層３４３を形成した。ゲート絶縁層３４３として、プラズマＣＶＤ法により、膜厚１５０ｎｍの窒化シリコン膜と膜厚１００ｎｍの酸化シリコン膜の積層膜を３５０℃で成膜した。

[0097] 次に、ゲート絶縁層３４３上に、ゲート電極３４５と重畳するように、酸化物半導体層３４２を形成した。酸化物半導体層３４２として、ＡＣスパッタリング法により、膜厚７５ｎｍのＩＧＺＯ膜を１００℃で成膜し、パターニング法およびドライエッチング法を用いて加工した。

[0098] 次に、酸化物半導体層３４２上に、ソース・ドレイン電極３４７を形成した。ソース・ドレイン電極３４７として、スパッタリング法により、膜厚２０ｎｍの窒化チタン（ＴｉＮ）、膜厚５０ｎｍのチタン（Ｔｉ）、膜厚２００ｎｍのアルミニウム（Ａｌ）、膜厚５０ｎｍのチタン（Ｔｉ）を積層成膜し、パターニング法およびドライエッチング法によりを一括で加工した。

[0099] 次に、ソース・ドレイン電極３４７上に、絶縁層３４９を形成した。絶縁層３４９として、プラズマＣＶＤ法により、膜厚３００ｎｍの酸化シリコン膜を３５０℃で成膜した。

[0100] 次に、乾燥空気の雰囲気下において、３５０℃で３０分間の加熱処理を行った。以上により、本実施例のトランジスタ３１０を作製した。

[0101] 図１７は、絶縁層３４９を形成し、加熱処理後のトランジスタ３１０の酸化物半導体層３４２とソース・ドレイン電極層との界面領域Ａの透過電子線顕微鏡－エネルギー分散型Ｘ線分析（ＴＥＭ－ＥＤＸ）結果である。図１７に示すように、酸化物半導体層３４２とソース・ドレイン電極３４７との界面には、ＩＧＺＯ、酸化チタン（ＴｉＯ）、窒化チタン（ＴｉＮ）、およびチタン（Ｔｉ）が検出された。つまり、本実施例において、絶縁層３４９形成後の加熱処理により窒化チタン膜とＩＧＺＯ膜との間で成分元素の拡散が起こり、酸化チタン（ＴｉＯ）が形成されることが分かった。このとき、ＴｉＯ膜の膜厚は約５ｎｍだった。

実施例 2

[0102] 本実施例では、本発明の一実施形態に係るトランジスタを大判基板上に作

製し、Ｉｄ－Ｖｇ特性を評価した結果について説明する。

[0103] 本実施例では、第６世代のガラス基板（１，５００ｍｍ×１，８５０ｍｍ）上にトランジスタ３１０を作製した。トランジスタ３１０の作製条件は、実施例１と同様である。本実施例では、第６世代のガラス基板上に作製された８４個のトランジスタのＩｄ－Ｖｇ特性を評価した。トランジスタ３１０のＩｄ－Ｖｇ特性の測定は、トランジスタ３１０のゲート電極３４５に印加する電圧（Ｖｇ）として、－１５Ｖから＋１５Ｖまで０．１Ｖステップで印加した。また、ソース・ドレイン電極３４７のうちソース電極に印加する電圧（Ｖｓ）を０Ｖとし、ドレイン電極に印加する電圧（Ｖｄ）を０．１Ｖ及び１０Ｖとした。Ｉｄ－Ｖｇ特性の測定は、室温で行った。

[0104] 図１８は、第６世代のガラス基板に作製された８４個のトランジスタのＩｄ－Ｖｇ特性評価結果である。表１は、８４個のトランジスタのＩｄ－Ｖｇ特性評価結果として、電界効果移動度（μＦＥ）、閾値電圧（Ｖｔｈ）、サブスレッショルド値（Ｓ．Ｓ．）をまとめたものである。電界効果移動度（μＦＥ）とは、金属酸化物半導体電界効果トランジスタ（ＭＯＳＦＥＴ）動作の線形領域において、ドレイン電圧を一定としたときのゲート電圧に対するドレイン電流の変化から求めたチャネル移動度をいう。閾値電圧（Ｖｔｈ）とは、ＭＯＳＦＥＴにおけるドレイン電流を流すために必要なゲート電圧をいう。サブスレッショルド値（Ｓ．Ｓ．）とは、ＭＯＳＦＥＴの電流（ドレイン電流）が電圧（ゲート電圧）に対して、増加する割合をいう。

[表1]

	μFE(cm^2/V・s)	Vth(V)	S.S.(V/decade)
Average	12.36	0.65	0.10
3σ	1.88	0.17	0.05
Max.	13.66	0.73	0.12
Min.	11.30	0.53	0.07

[0105] 図１８および表１に示すように、８４個のトランジスタ３１０の電界効果移動度（μＦＥ（ｃｍ^2/Ｖ・ｓ））の平均値、３σ、最大値（Ｍｉｘ）および最小値（Ｍｉｎ）は、それぞれ、１２．３６，１．８８，１３．６６，１１．３０であった。閾値電圧（Ｖｔｈ（Ｖ））の平均値（Ａｖｅｒａｇｅ）、３σ、最大値（Ｍｉｘ）および最小値（Ｍｉｎ）は、それぞれ０．６５，０．１７，０．７３，０．５３であった。サブスレッショルド値（Ｓ．Ｓ．（Ｖ／ｄｅｃａｄｅ））の平均値（Ａｖｅｒａｇｅ）、３σ、最大値（Ｍｉｘ）および最小値（Ｍｉｎ）は、それぞれ０．１０，０．０５，０．１２，０．０７であった。したがって、本実施例のトランジスタ３１０において、特性のばらつきは見られず、安定した特性を示すことが分かった。

実施例 3

[0106] 本実施例では、本発明の一実施形態に係るトランジスタを大判基板上に作製し、Ｉｄ－Ｖｇ特性の信頼性を評価した結果について説明する。

[0107] 本実施例では、作製したトランジスタ３１０に対して、ゲートバイアス－熱ストレス試験（以下、ＧＢＴ試験と呼ぶ。）を行った。本実施例におけるＧＢＴ試験としては、ゲート電圧（Ｖｇ）を－４０Ｖとして、ドレイン電圧（Ｖｄ）とソース電圧（Ｖｓ）を０Ｖとし、ストレス温度を１２５℃、測定環境はダークとした。また、ストレス時間０ｓｅｃ、１００ｓｅｃ、５００ｓｅｃ、および１０００ｓｅｃにおいて、トランジスタ３１０のＩｄ－Ｖｇ特性を測定した。

[0108] 図１９は、Ｉｄ－Ｖｇ特性の信頼性評価結果である。図１９に示すように、ストレス時間が１０００ｓｅｃを経過したときにも、本実施例のトランジスタ３１０において特性の変動は見られなかった。

[0109] 本実施例との比較例として、以下のトランジスタ４１０を作製し、Ｉｄ－Ｖｇ特性の信頼性を評価した。

[0110] （比較例）

図２０は、比較例のトランジスタ４１０の断面図である。比較例のトランジスタ４１０は基板４００、絶縁層４４１上にゲート電極４４５、ゲート絶

縁層４４３、酸化物半導体層４４２、ソース・ドレイン電極４４７、および絶縁層４４９を有する。トランジスタ４１０は、ソース・ドレイン電極４４７が、トランジスタ３１０のように窒素を含む導電層３４７ａを酸化物半導体層３４２と接する部分に有していない以外はトランジスタ３１０と同様である。また、トランジスタ４１０は、ゲート絶縁層４４３および絶縁層４４９の成膜温度および絶縁層４４９形成後の加熱処理温度は３００℃以下とし、酸化物半導体層４４２とソース・ドレイン電極４４７との間で酸化物（具体的には、酸化チタン）が形成されないようにした。

[0111] 図２１は、比較例のトランジスタ３１０のＩｄ－Ｖｇ特性の結果である。図２１に示すように、比較例のトランジスタ４１０では、ストレス印加時間の増加とともに、Ｉｄ－Ｖｇ特性が変動していることが分かった。

[0112] 本実施例の結果より、本発明の一実施形態のトランジスタを用いることにより、トランスジスタ特性の変動を抑えることができることが分かった。

[0113] 以上より、本発明の一実施形態のトランジスタを用いることにより、トランスジスタ特性の変動を抑えることができ、高い信頼性を有する表示装置を提供することができる。

[0114] なお、本発明の思想の範疇において、当業者であれば、各種の変更例および修正例に想到し得るものであり、それら変更例および修正例についても本発明の範囲に属するものと了解される。例えば、前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0115] （変形例）

本発明の第１～第３実施形態では、酸化物半導体層１４２上にソース・ドレイン電極１４７が設けられる例を示したが、これに限定されない。ソース・ドレイン電極１４７上に酸化物半導体層１４２が設けられてもよい。この場合、ソース・ドレイン電極１４７の上側に導電層１４７ａが設けられてもよい。また、ゲート電極が酸化物半導体層１４２の上側に設けられてもよい

し、酸化物半導体１４２がその上側と下側に設けられた２つのゲート電極により挟まれてもよい。

符号の説明

[0116] １０・・・表示装置，３０・・・画素回路，１００・・・基板，１０１・・・表示領域，１０３・・・画素，１０４・・・周縁部，１０６・・・駆動回路，１０７・・・駆動回路，１０８・・・フレキシブルプリント基板，１０９・・・端子部，１１０・・・トランジスタ，１１１・・・トランジスタ，１１３・・・走査線，１１５・・・駆動電源線，１１７・・・基準電源線，１１８・・・信号線，１２０・・・容量素子，１３０・・・発光素子，１３１・・・液晶素子，１４１・・・絶縁層，１４２・・・酸化物半導体層，１４３・・・ゲート絶縁層，１４５・・・ゲート電極，１４６・・・絶縁層，１４６ａ・・・開孔部，１４７・・・ソース・ドレイン電極，１４７ａ・・・導電層，１４７ｂ・・・導電層，１４７ｃ・・・導電層，１４９・・・絶縁層，１５０・・・平坦化層，１５１・・・導電層，１５３・・・導電層，１５４・・・絶縁層，１５５・・・画素電極，１５７・・・リブ，１５９・・・有機ＥＬ層，１６０・・・対向電極，１６１・・・封止層，１６２・・・無機絶縁層，１６３・・・有機絶縁層，１６４・・・無機絶縁層，１７１・・・画素電極，１７２・・・絶縁層，１７３・・・共通電極，１７５・・・液晶層，１９０・・・接着層，１９１・・・平坦化層，１９５・・・カラーフィルタ層，１９６・・・遮光層，１９７・・・遮光層，２００・・・基板

請求の範囲

[請求項1] 絶縁表面上のゲート電極と、

前記ゲート電極上のゲート絶縁層と、

前記ゲート絶縁層上に配置され、前記ゲート電極と重畳する酸化物半導体層と、

前記酸化物半導体層および前記ゲート絶縁層上の窒素を含む第１導電層および前記第１導電層上の第２導電層を含むソース・ドレイン電極と、

前記酸化物半導体層および前記ソース・ドレイン電極上の酸素を含む絶縁層と、

を含む、トランジスタと、

前記トランジスタ上の表示素子と、

を含む表示装置。

[請求項2] 前記第１導電層と前記酸化物半導体層との間に酸素を含む第３導電層を含む、

請求項１に記載の表示装置。

[請求項3] 前記第３導電層は、前記酸化物半導体層の一部の金属材料を含む、

請求項２に記載の表示装置。

[請求項4] 前記第３導電層の厚さは、２ｎｍ以上１０ｎｍ以下である

請求項２に記載の表示装置。

[請求項5] 前記第３導電層中の酸素の含有量は、１０ａｔｍｉｃ％以上である、

請求項２乃至４のいずれか一項に記載の表示装置。

[請求項6] 絶縁表面上にゲート電極を形成し、

前記ゲート電極上にゲート絶縁層を形成し、

前記ゲート絶縁層上に、前記ゲート電極と重畳する領域を含む酸化物半導体層を形成し、

前記酸化物半導体層および前記ゲート絶縁層上に、窒素を含む第１

導電層、および前記第１導電層上の第２導電層を含むソース・ドレイン電極を形成し、

前記ソース・ドレイン電極上に絶縁層を形成し、

加熱処理を行うことによりトランジスタを形成し、

前記トランジスタ上に表示素子を形成する、

表示装置の製造方法。

[請求項7] 前記ゲート絶縁層の形成温度と前記加熱処理の温度は、３２５℃以上４５０℃以下である、

請求項６に記載の表示装置の製造方法。

[請求項8] 前記ゲート絶縁層の形成温度と前記加熱処理の温度は、３５０℃以上４００℃以下である、

請求項６に記載の表示装置の製造方法。

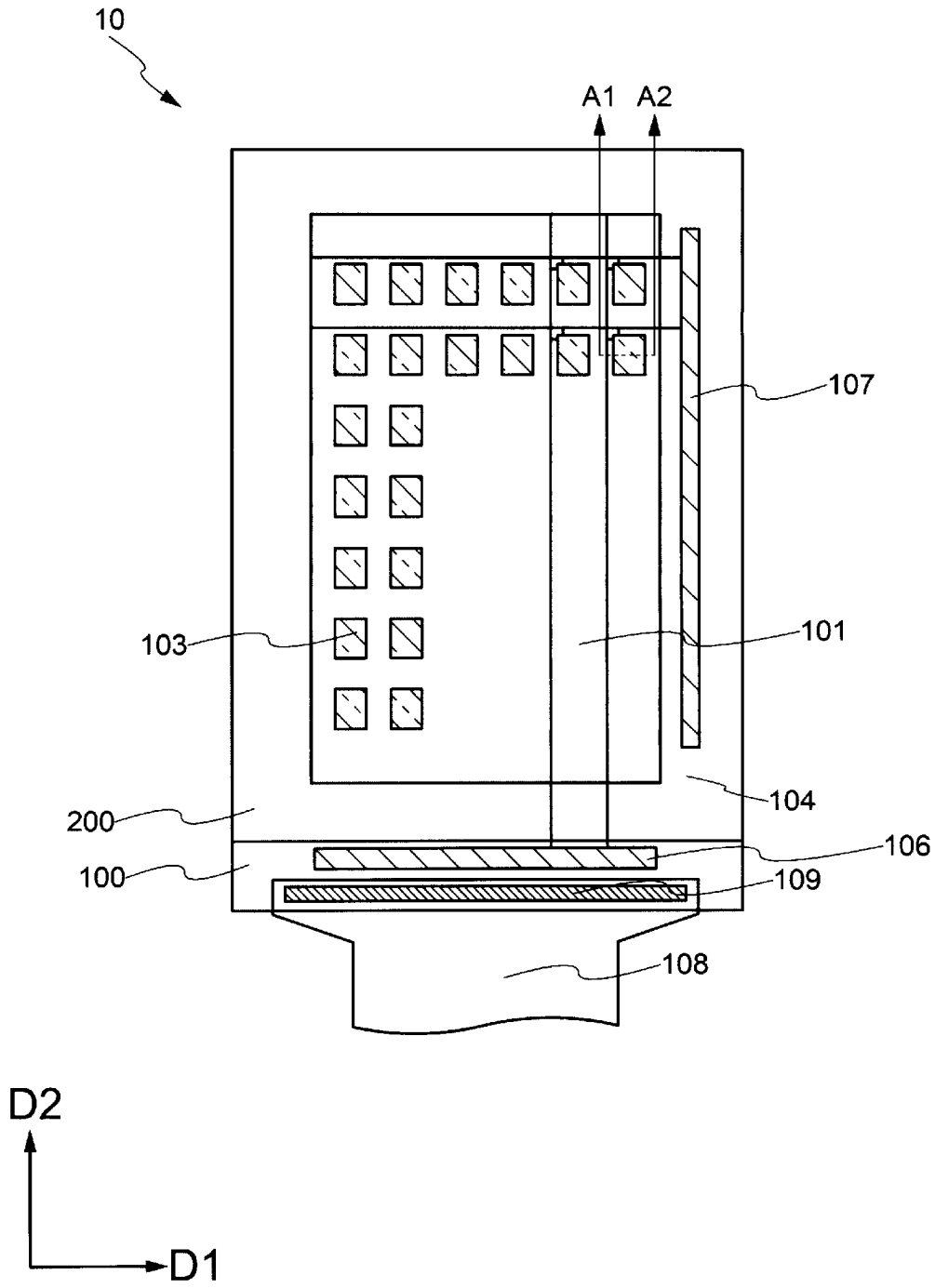
[請求項9] 前記加熱処理によって、前記酸化物半導体層と前記第１導電層との間に酸素を含む第３導電層が形成される、

請求項７または８に記載の表示装置の製造方法。

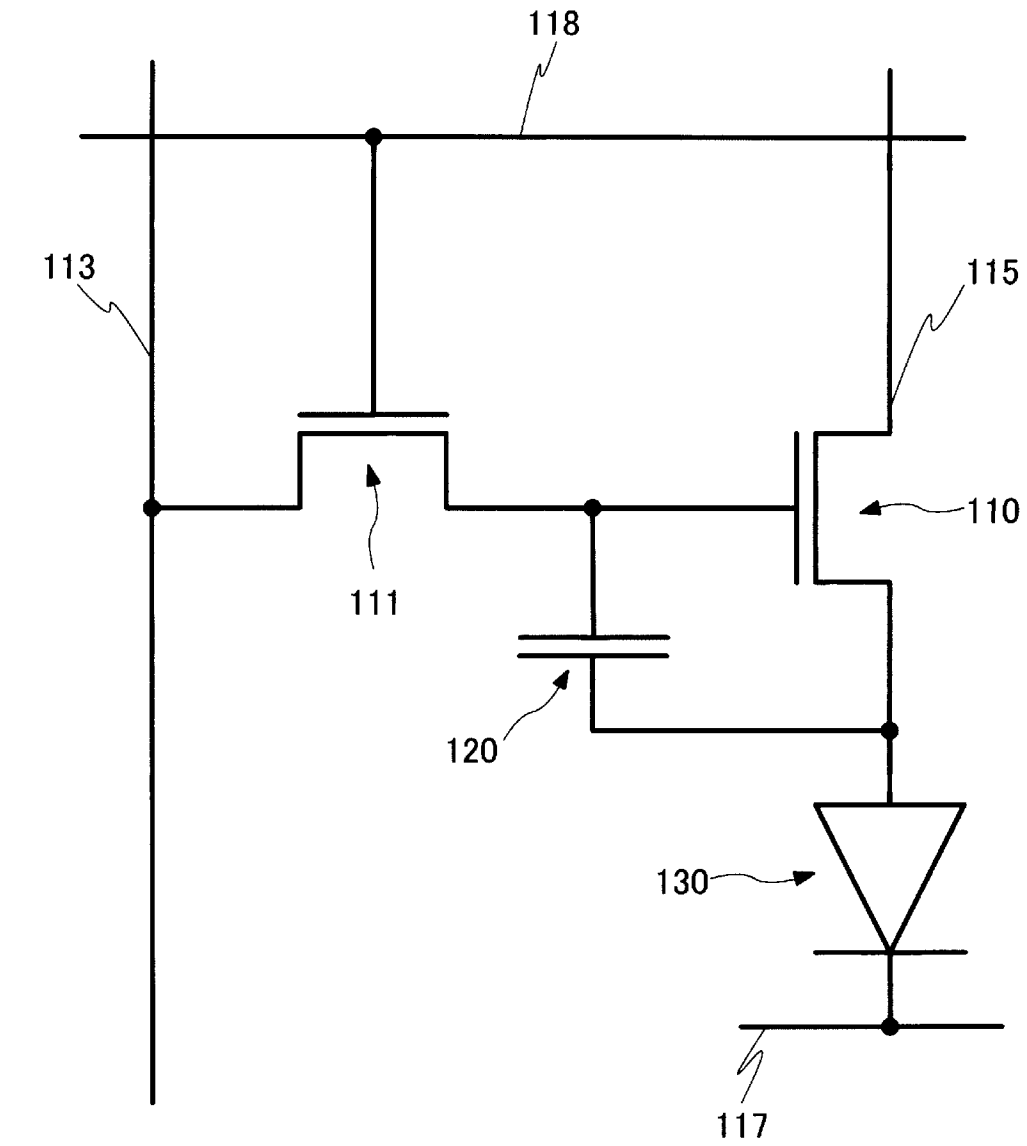
[請求項10] 前記第３導電層は、前記酸化物半導体層に含まれる一部の金属材料を含む、

請求項９に記載の表示装置の製造方法。

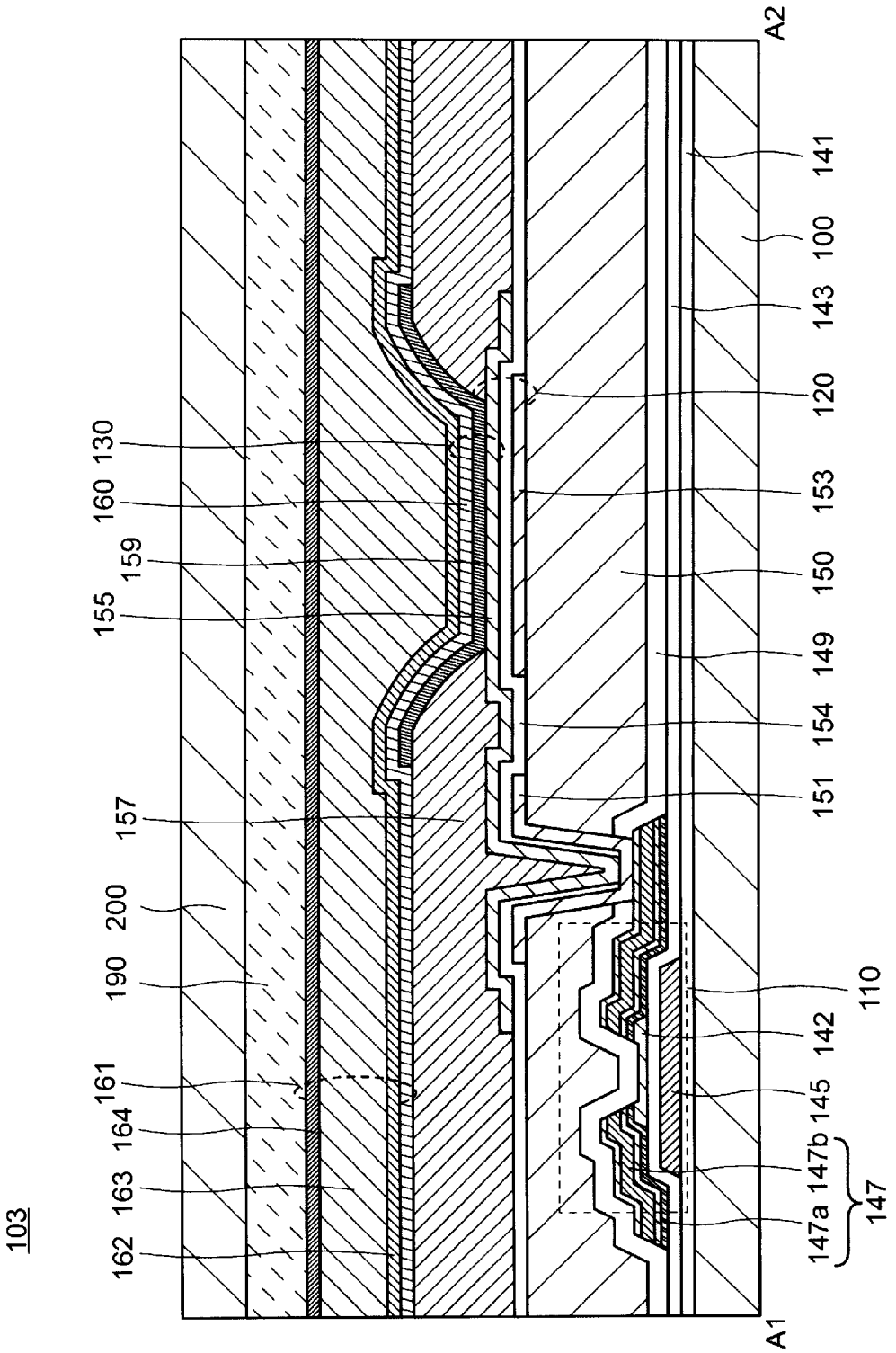
[図1]



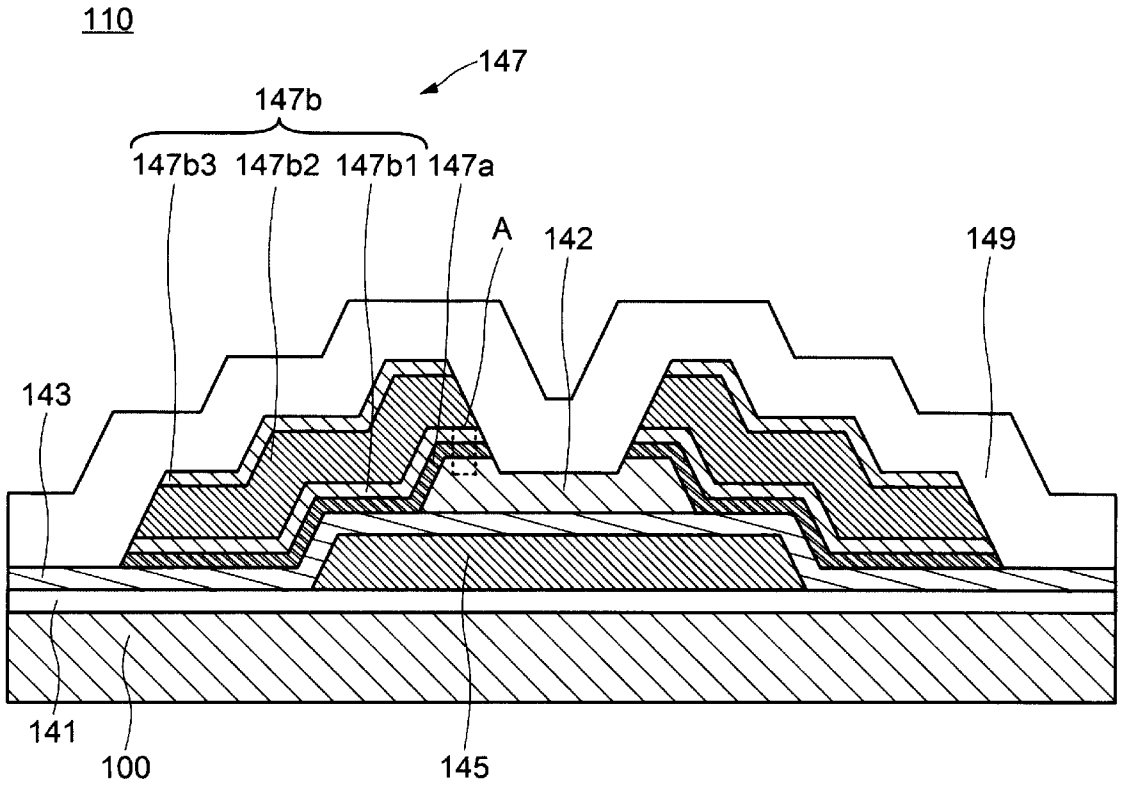
[図2]



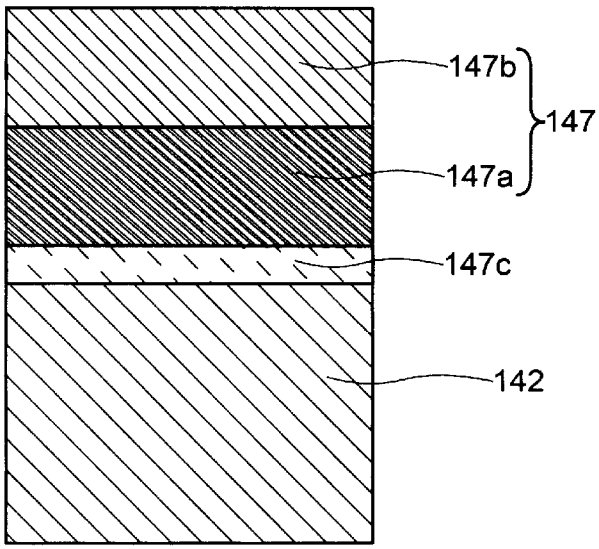
[図3]


103
A1
A2
162
163
164
161
190
200
157
155
159
160
130
110
142
145
147b
147a
147
151
154
149
150
153
120
143
100
141

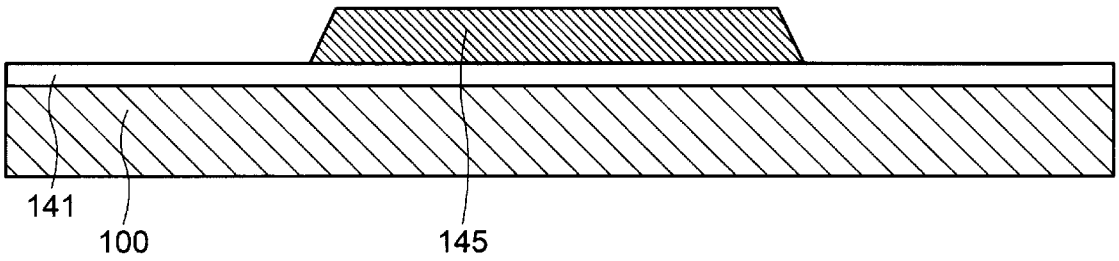
[図4]



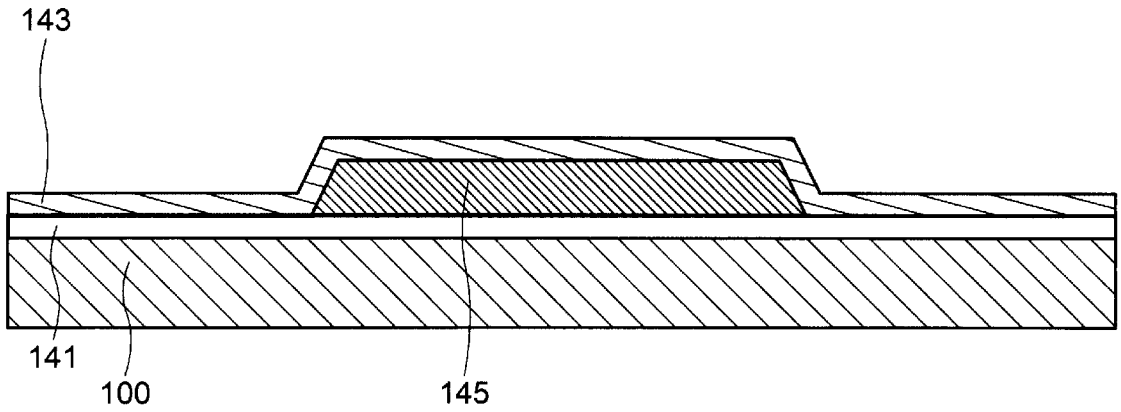
[図5]



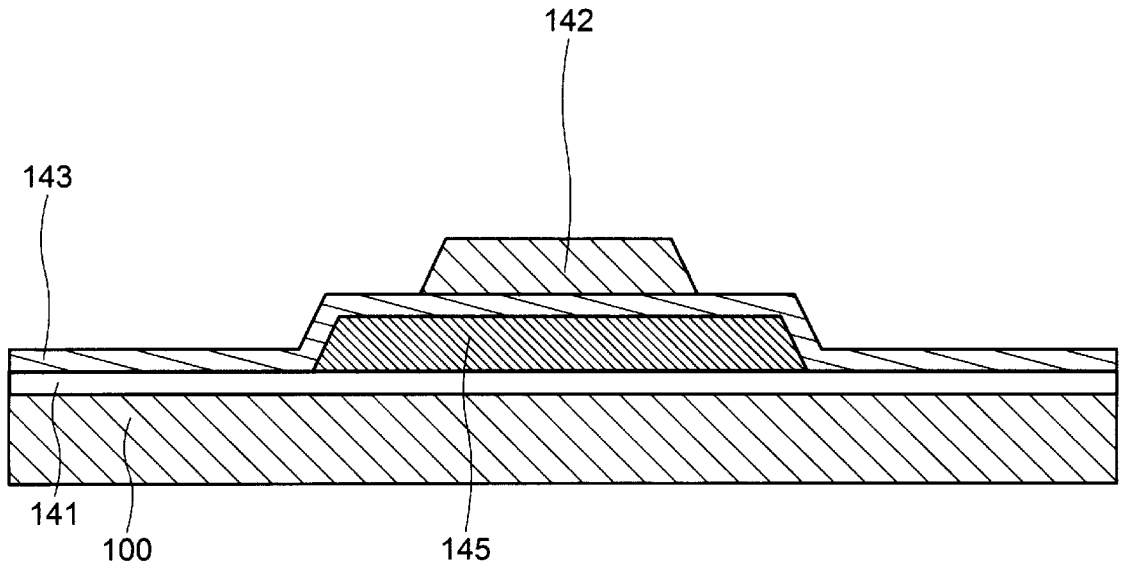
[図6]



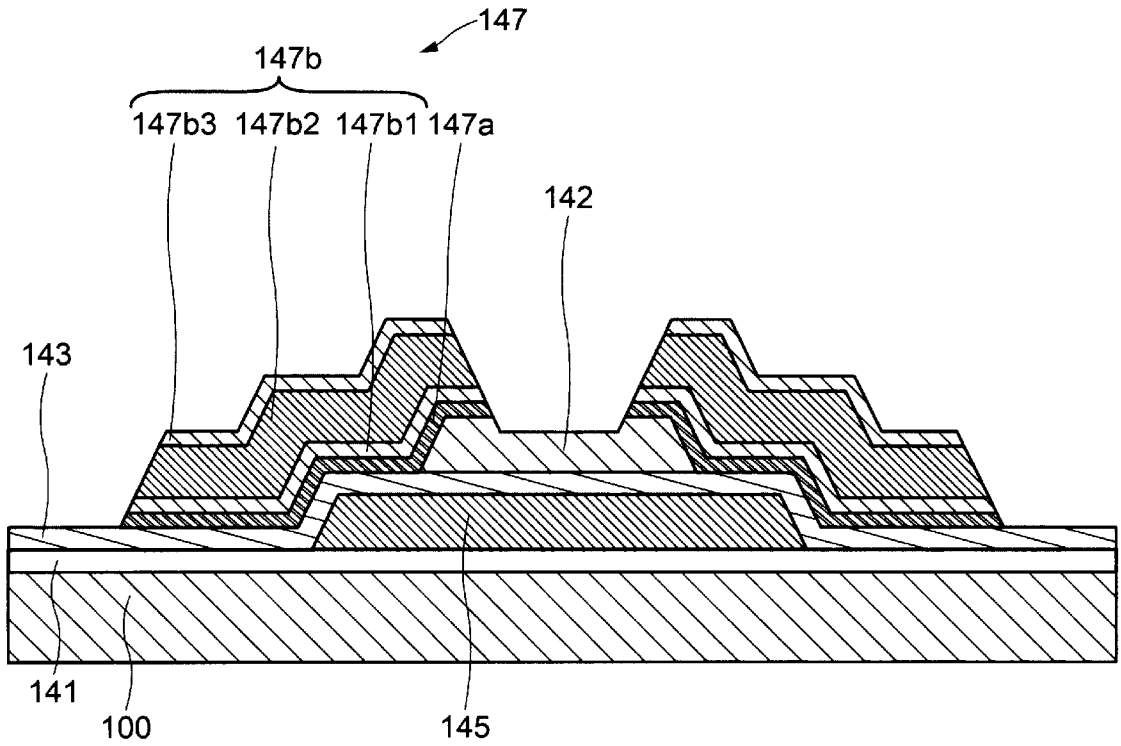
[図7]



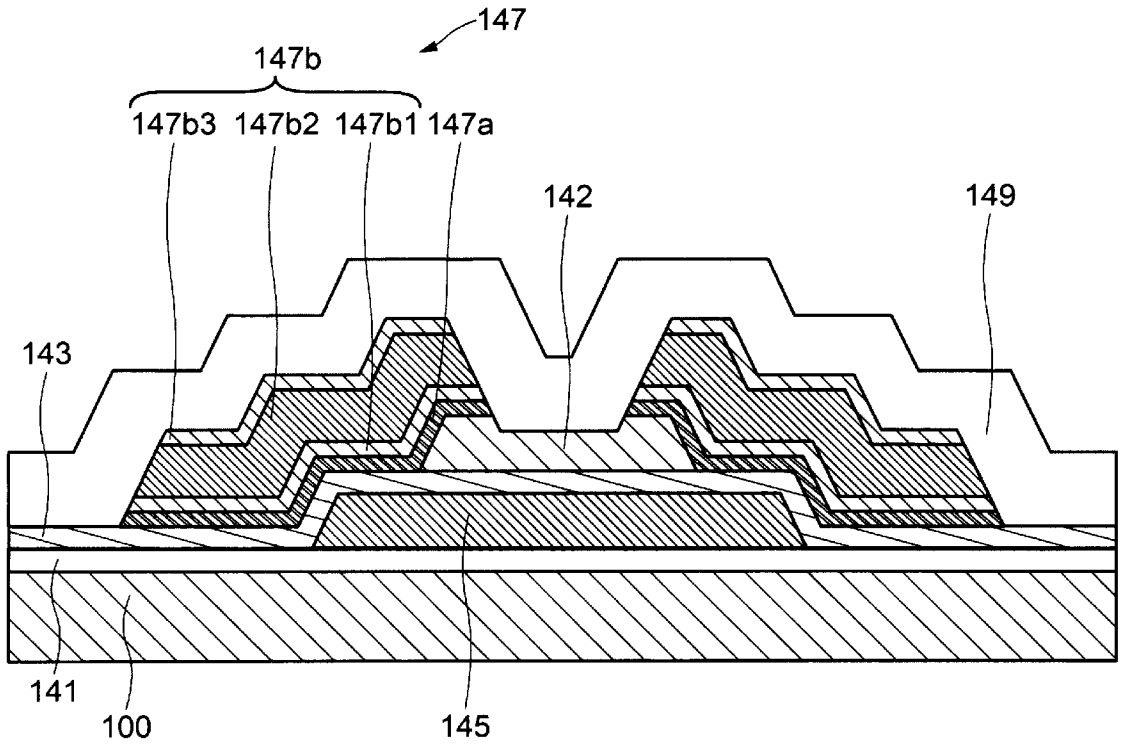
[図8]



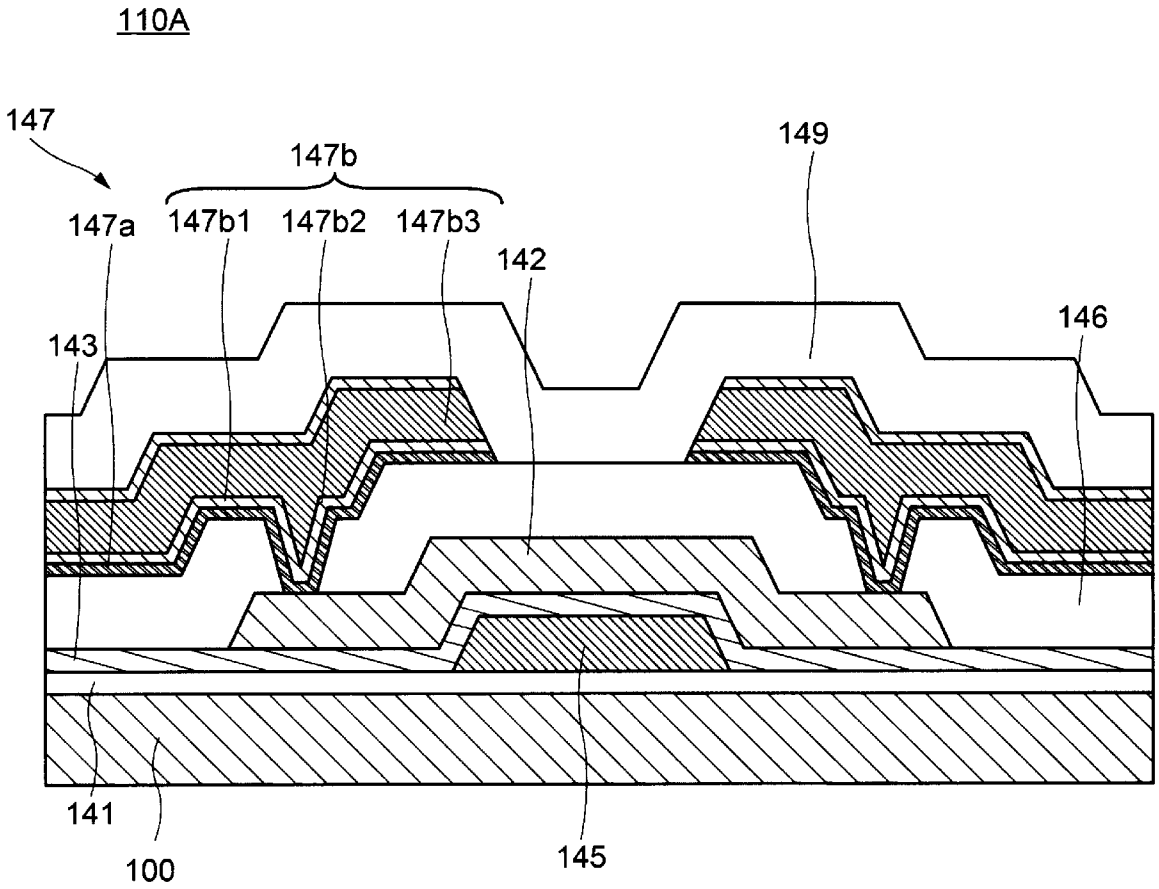
[図9]



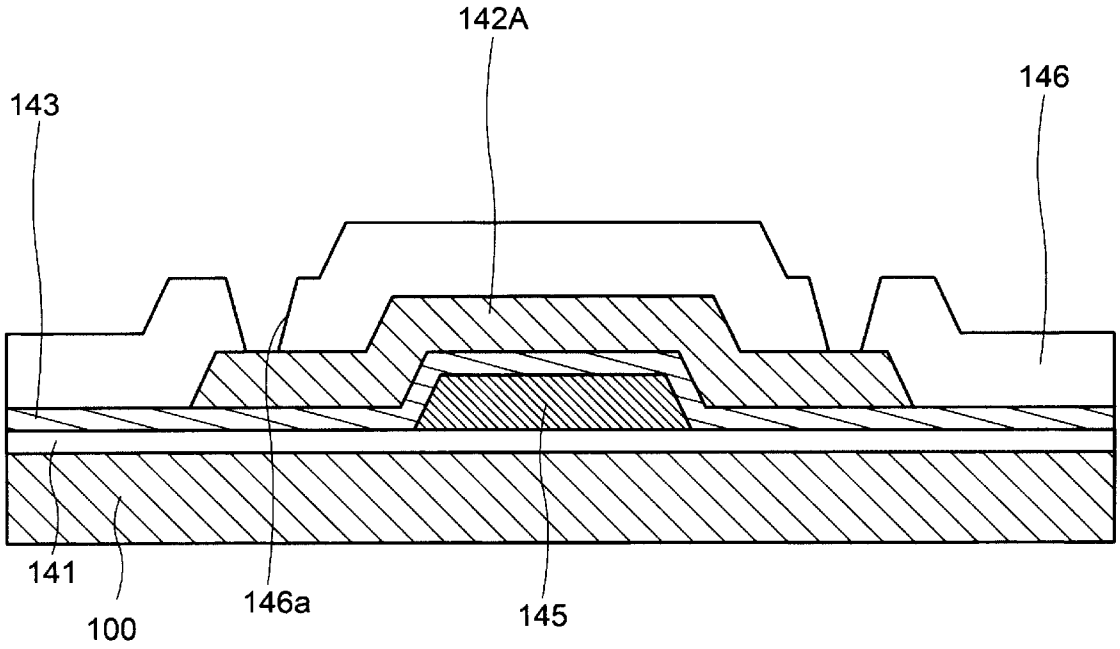
[図10]



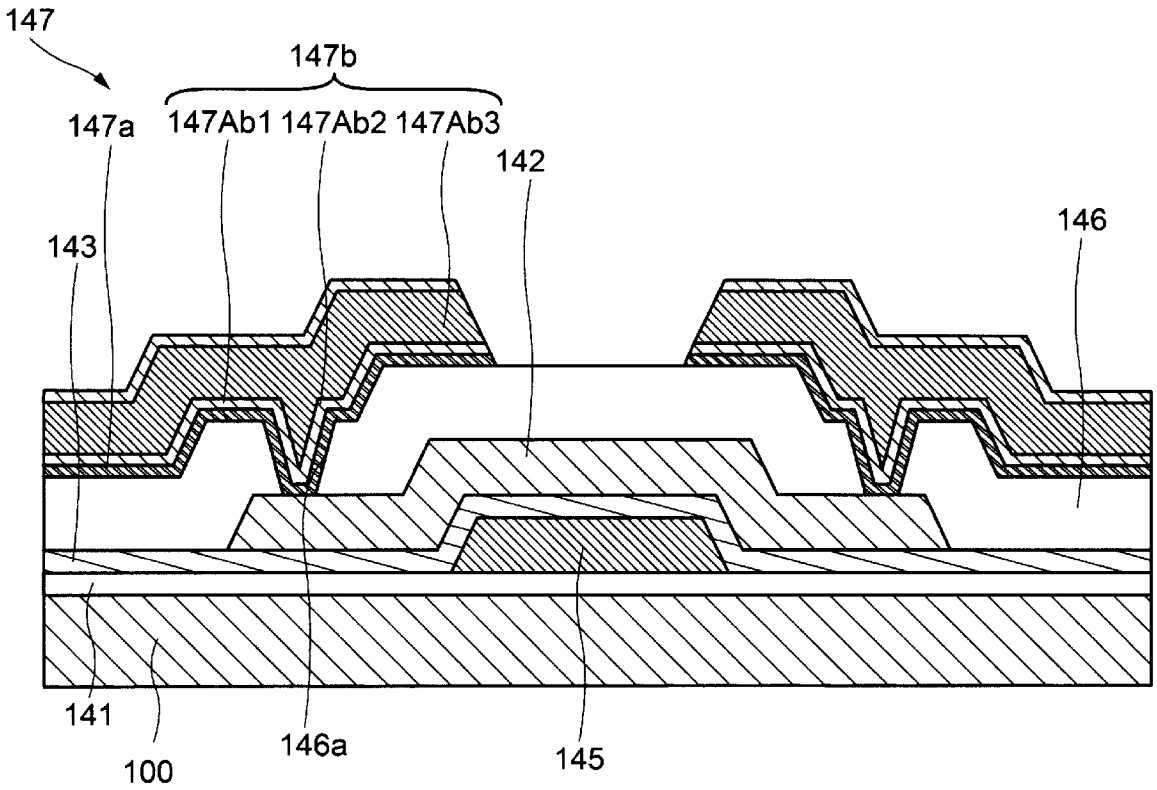
[図11]


110A
147
147b
147a
147b1
147b2
147b3
142
149
146
143
141
100
145

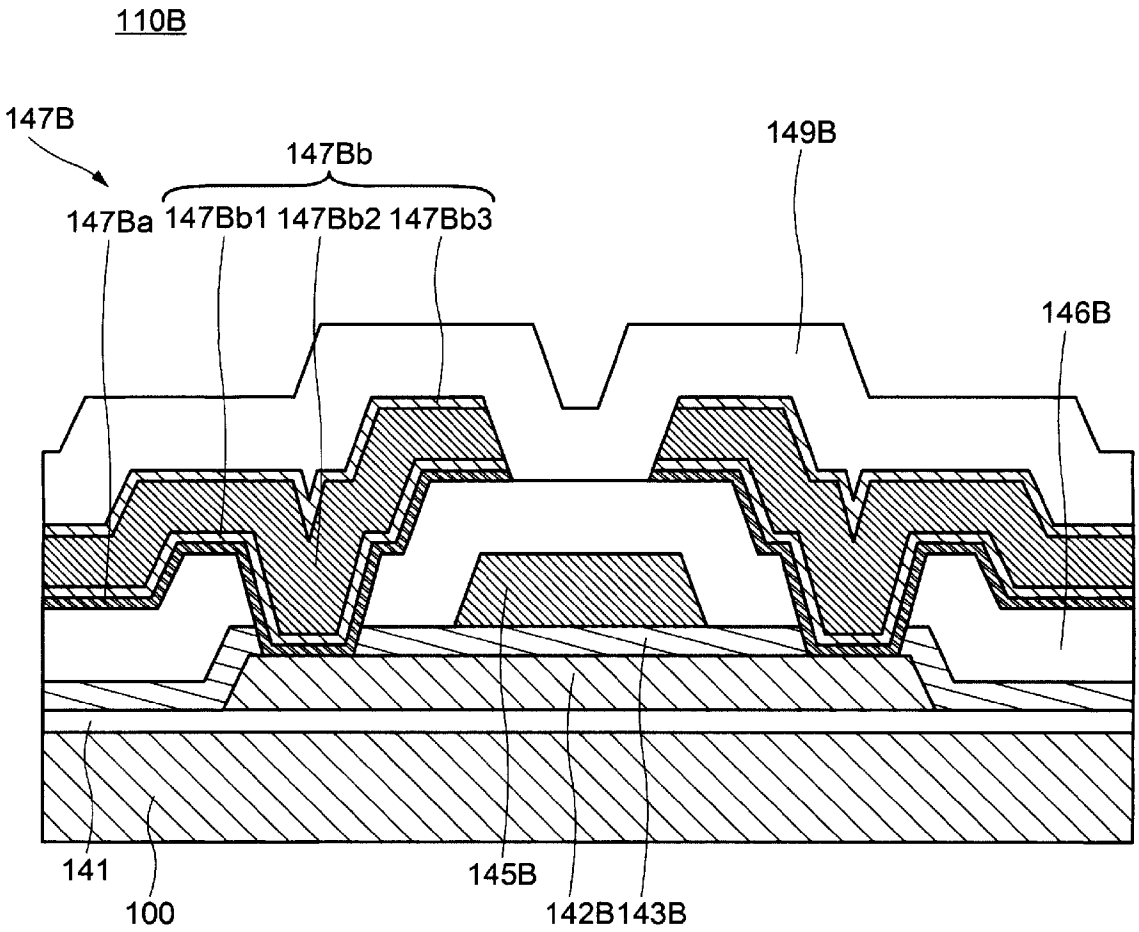
[図12]



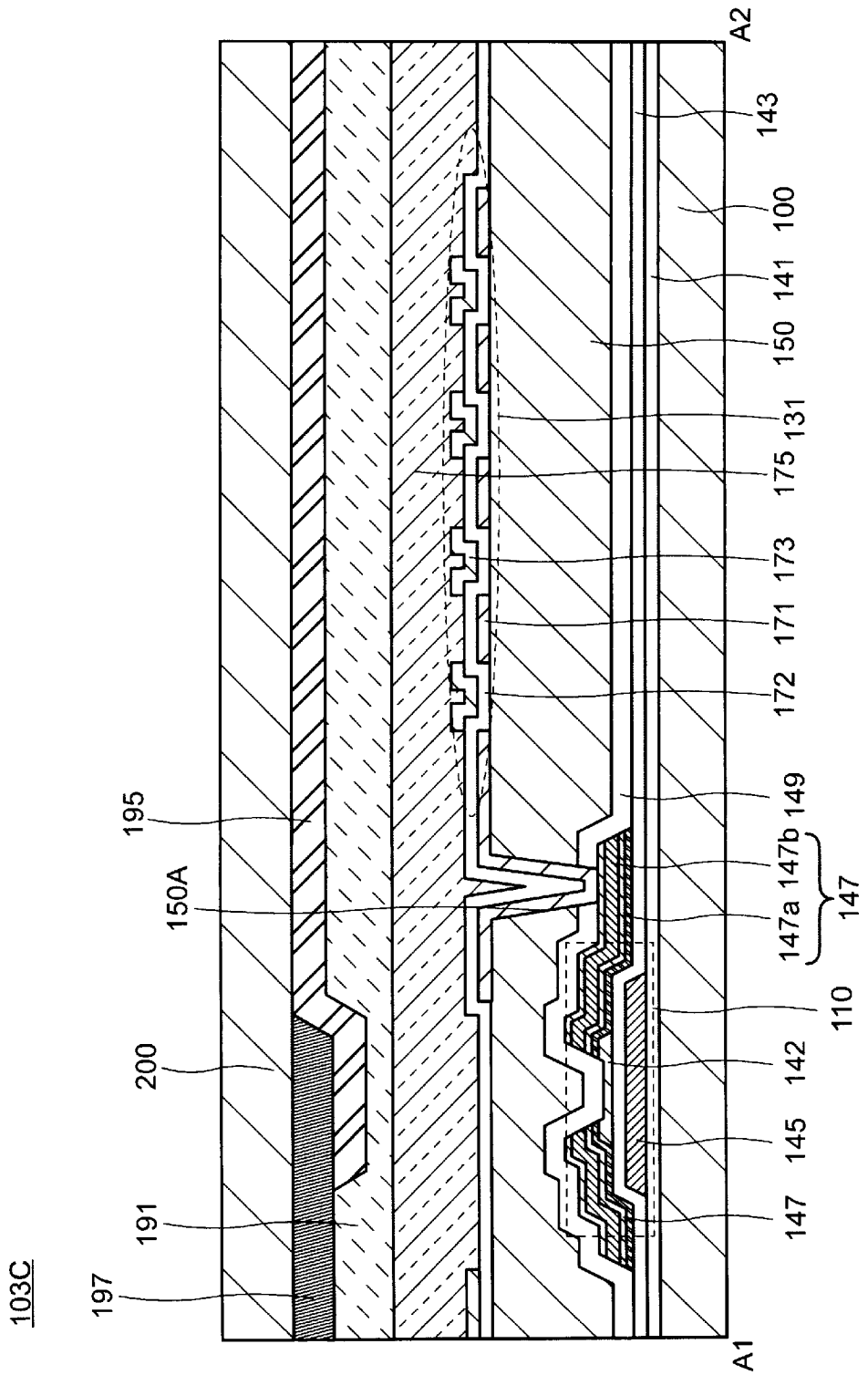
[図13]


147
147b
147a
147Ab1
147Ab2
147Ab3
142
143
146
141
100
146a
145

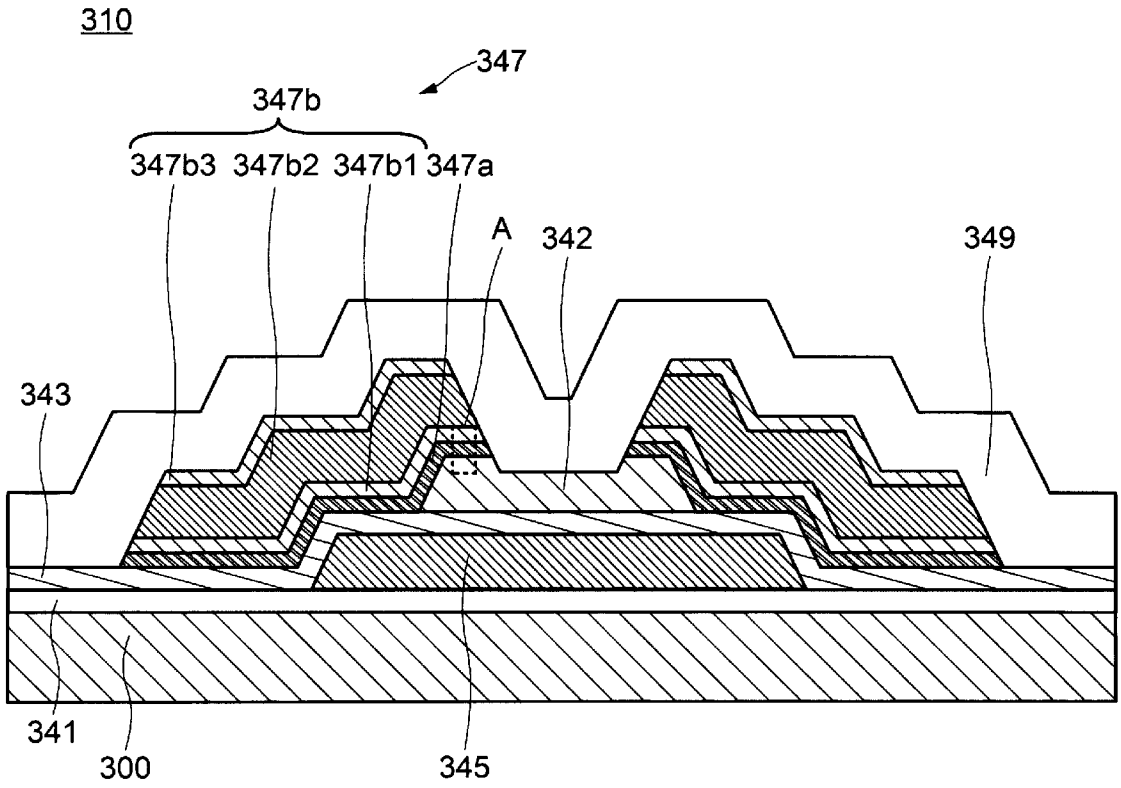
[図14]


110B
147B
147Bb
147Ba
147Bb1
147Bb2
147Bb3
149B
146B
141
100
145B
142B
143B

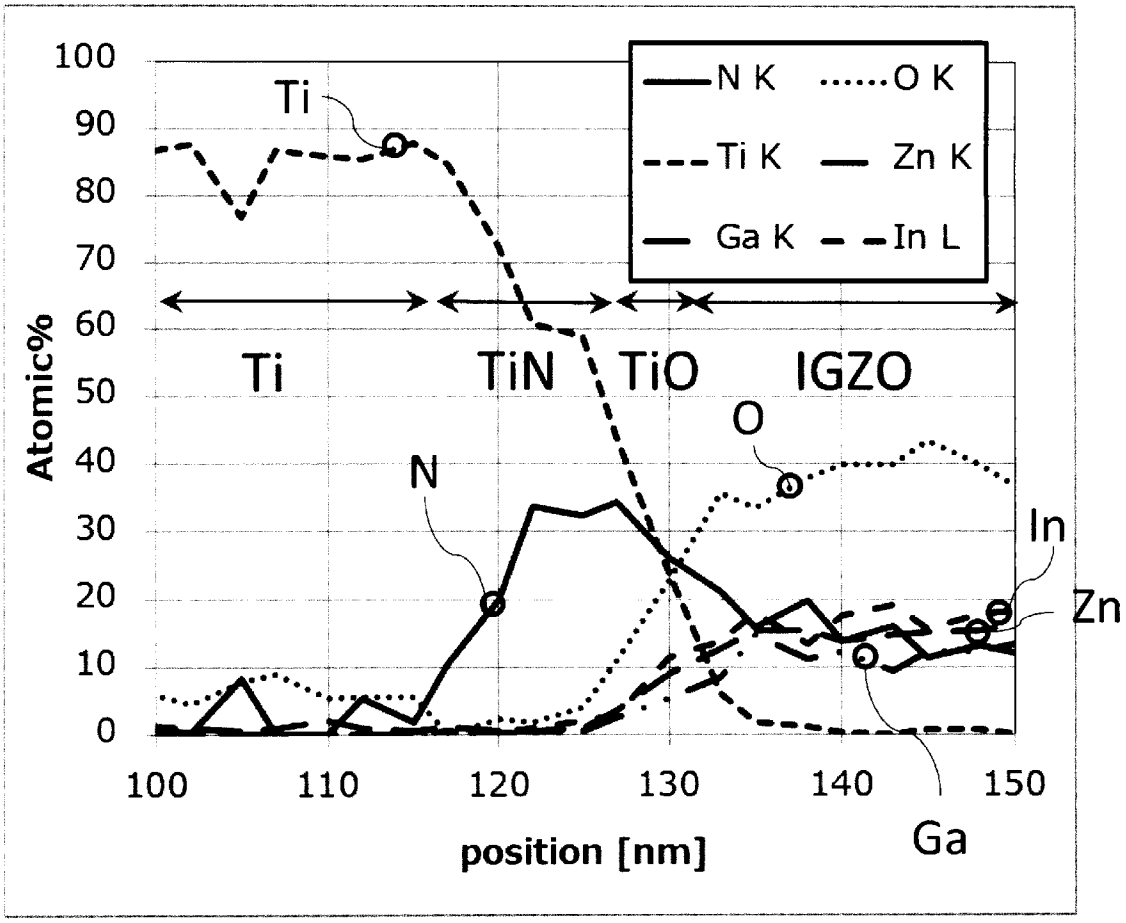
[図15]


A2
143
100
141
150
131
175
173
171
172
149
147b
147a
147
110
142
145
147
A1
195
150A
200
191
197
103C

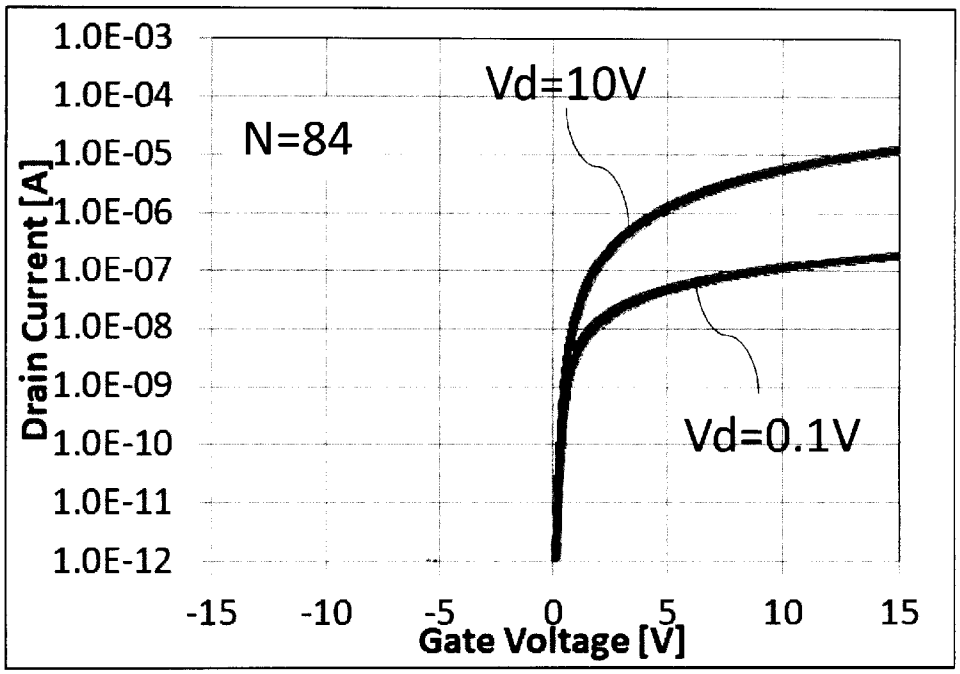
[図16]



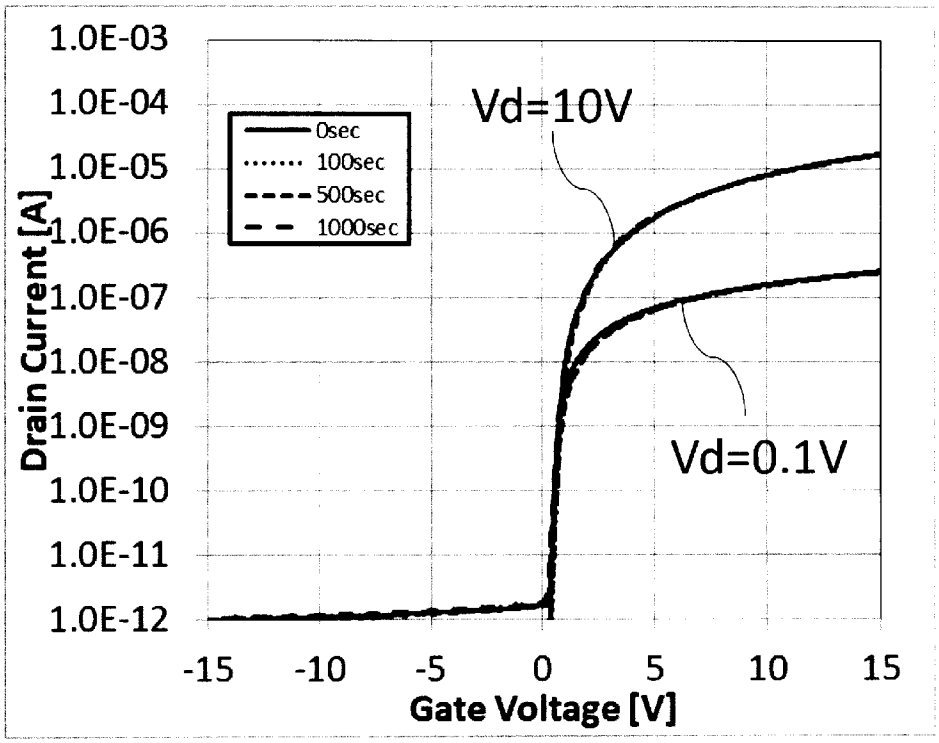
[図17]


N K
O K
Ti K
Zn K
Ga K
In L
Ti
TiN
TiO
IGZO
Atomic%
position [nm]
Ti
N
O
In
Zn
Ga
100
90
80
70
60
50
40
30
20
10
0
100
110
120
130
140
150

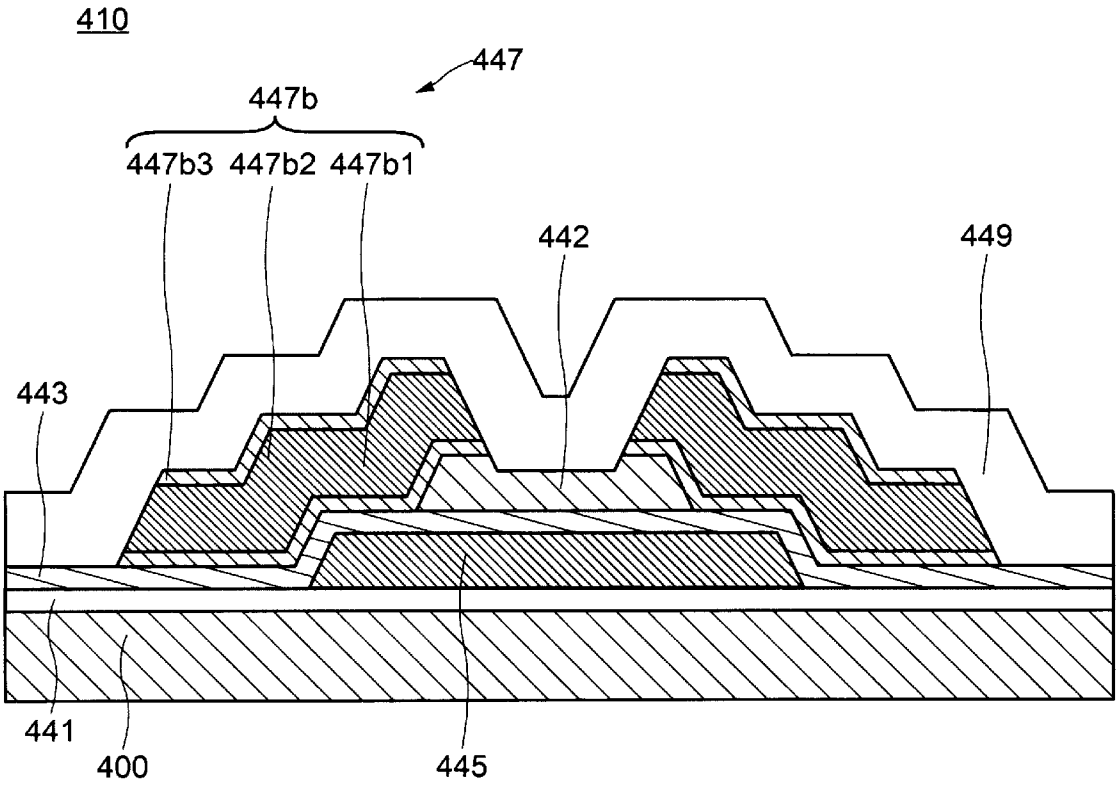
[図18]


1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
Drain Current [A]
N=84
Vd=10V
Vd=0.1V
-15
-10
-5
0
5
10
15
Gate Voltage [V]

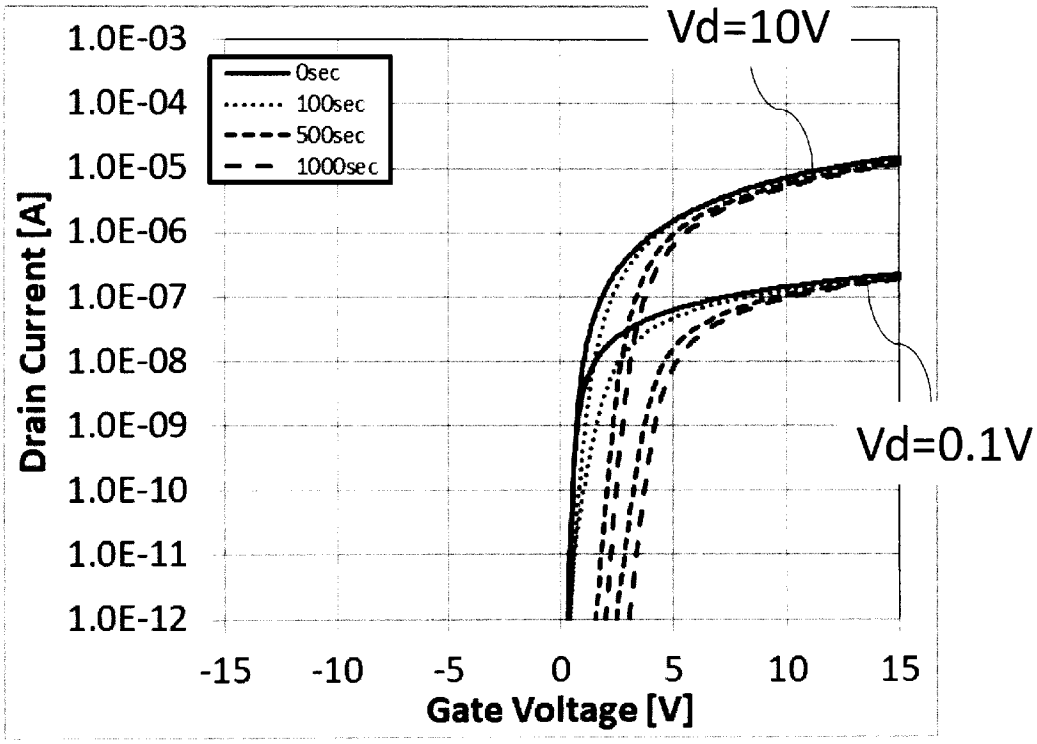
[図19]


1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
Drain Current [A]
0sec
100sec
500sec
1000sec
Vd=10V
Vd=0.1V
-15
-10
-5
0
5
10
15
Gate Voltage [V]

[図20]



[図21]


Vd=10V
Vd=0.1V
0sec
100sec
500sec
1000sec
Drain Current [A]
1.0E-03
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
-15
-10
-5
0
5
10
15
Gate Voltage [V]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/011184

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; H01L 21/28(2006.01)i; H01L 21/285(2006.01)i; H01L 21/336(2006.01)i; H01L 21/441(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/32(2006.01)i; H01L 29/417(2006.01)i; H01L 51/50(2006.01)i; H05B 33/10(2006.01)i

FI: H01L29/78 616V; H01L29/78 616K; H01L29/78 616J; H01L29/78 616U; H01L29/78 618B; H01L29/78 619A; H01L29/78 627F; H01L29/78 617V; H01L27/04 C; H01L21/28 301B; H01L21/441; H01L21/285 301; H01L29/50 M; H05B33/10; H05B33/14 A; H01L27/32; G09F9/30 338; G09F9/30 348A; G09F9/00 338

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; G09F9/00; G09F9/30; H01L21/28; H01L21/285; H01L21/336; H01L21/441; H01L21/822; H01L27/04; H01L27/32; H01L29/417; H01L51/50; H05B33/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2014-112659 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19.06.2014 (2014-06-19) paragraphs [0003], [0201]-[0245], [0350]-[0414], fig. 23(B), 31	1, 2, 4-9 3, 10
Y	JP 2007-284342 A (SAMSUNG ELECTRONICS CO., LTD.) 01.11.2007 (2007-11-01) paragraph [0019]	3, 10
A	JP 2014-099602 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29.05.2014 (2014-05-29)	1-10
A	JP 2014-082388 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08.05.2014 (2014-05-08)	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 June 2020 (02.06.2020)	09 June 2020 (09.06.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/011184

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2014-112659 A	19 Jun. 2014	US 2014/0110703 A1 paragraphs [0003], [0230]-[0274], [0379]-[0442], fig. 23(B), 31 TW 201431075 A KR 10-2015-0073966 A	
JP 2007-284342 A	01 Nov. 2007	US 2007/0241327 A1 paragraph [0049] KR 10-2007-0103231 A	
JP 2014-099602 A	29 May 2014	(Family: none)	
JP 2014-082388 A	08 May 2014	US 2014/0103338 A1 KR 10-2014-0049476 A CN 103779422 A TW 201419543 A	

国際調査報告

国際出願番号
PCT/JP2020/011184

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/786(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; H01L 21/28(2006.01)i; H01L 21/285(2006.01)i; H01L 21/336(2006.01)i; H01L 21/441(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 27/32(2006.01)i; H01L 29/417(2006.01)i; H01L 51/50(2006.01)i; H05B 33/10(2006.01)i

FI: H01L29/78 616V; H01L29/78 616K; H01L29/78 616J; H01L29/78 616U; H01L29/78 618B; H01L29/78 619A; H01L29/78 627F; H01L29/78 617V; H01L27/04 C; H01L21/28 301B; H01L21/441; H01L21/285 301; H01L29/50 M; H05B33/10; H05B33/14 A; H01L27/32; G09F9/30 338; G09F9/30 348A; G09F9/00 338

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/786; G09F9/00; G09F9/30; H01L21/28; H01L21/285; H01L21/336; H01L21/441; H01L21/822; H01L27/04; H01L27/32; H01L29/417; H01L51/50; H05B33/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2014-112659 A (株式会社半導体エネルギー研究所) 19.06.2014 (2014-06-19) 段落0003, 0201-0245, 0350-0414, 図23(B), 31	1, 2, 4-9
Y		3, 10
Y	JP 2007-284342 A (三星電子株式会社) 01.11.2007 (2007-11-01) 段落0019	3, 10
A	JP 2014-099602 A (株式会社半導体エネルギー研究所) 29.05.2014 (2014-05-29)	1-10
A	JP 2014-082388 A (株式会社半導体エネルギー研究所) 08.05.2014 (2014-05-08)	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
02.06.2020	09.06.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
棚田　一也 5F 1592
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/011184

引用文献	公表日	パテントファミリー文献	公表日
JP 2014-112659 A	19.06.2014	US 2014/0110703 A1 段落0003, 0230-0274, 0379-0442, 図23(B), 31 TW 201431075 A KR 10-2015-0073966 A	
JP 2007-284342 A	01.11.2007	US 2007/0241327 A1 段落0049 KR 10-2007-0103231 A	
JP 2014-099602 A	29.05.2014	（ファミリーなし）	
JP 2014-082388 A	08.05.2014	US 2014/0103338 A1 KR 10-2014-0049476 A CN 103779422 A TW 201419543 A	