公告本

申請日期	87 年 8 月 5 日
案號	87112907
類別	H01L 21/768

（以上各欄由本局填註）

修正本 補充 89. 5. 19 年 月 日

A4
C4

459342

發明 新型 專利說明書（修正本）

一、發明 新型 名稱	中文	具有銅配線層之半導體積體電路裝置及其製法
	英文	
二、發明 創作 人	姓名	(1) 齋藤達之 (2) 野口純司 (3) 山口日出
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都青梅市青梅四七八－－－二〇五 (2) 日本國東京都青梅市新町九－四－四 (3) 日本國東京都昭島市玉川町一－四－－－七〇三
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

459342

申請日期	87 年 8 月 5 日
案號	87112907
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 大和田伸郎
	國籍	⑷ 日本
	住、居所	⑷ 日本國東京都青梅市大門三－七－七
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

459342

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1997 年 8 月 29 日	9-234236	☑有主張優先權
日本	1998 年 6 月 29 日	10-182813	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面：注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

〔發明所屬之技術領域〕

本發明係關於一種具有銅配線層之半導體積體電路裝置及其製造技術，特別是，關於一種適用於半導體積體電路裝置之配線形成技術上有效之技術者。

（以往之技術）

作爲半導體積體電路裝置之配線形成方法，有例如稱爲達馬新（Damascene）法的方法。該方法係在絕緣膜形成配線形成用之溝後，在半導體基板全面堆積配線形成用之導體膜，又藉由化學、機械性研磨法（CMP：Chemical Mechanical Polishing）予以除去該溝以外之領域的導體膜，俾在配線形成用之溝內形成埋入配線的方法。該方法之情形，特別是，被檢討作爲微細之蝕刻加工困難的銅系（銅或銅合金）之導體材料所形成的埋入配線的形成方法。

又，作爲達馬新法之應用有雙達馬新（Dual-Damascene）法。該方法係在絕緣膜形成用以實行配線形成用之溝及下層配線之連接的連接孔之後，在半導體基板全面堆積配線形成用之導體膜，又藉由CMP予以除去該溝以外之領域的導體膜，俾在配線形成用之溝由形成埋入配線，同時在連接孔內形成插塞之方法。該方法時，特別是，在具有多層配線構造的半導體積體電路裝置，可刪減工程數，並可減低配線成本。

對於此種配線形成技術有例如記載於日本特開平8－78410，1996，Symp, VLSI Tech, Digest pp48-49

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

電子材料3月號pp22－27，1996年，特開平8－148560，或IBM J. RES. DEVELOP, VOL, 39 NO 4, pp419-435 July 1995。

（發明欲解決之課題）

然而，在上述之埋入配線之形成技術，本案發明人發現有以下之課題。

亦即，具有將埋入配線技術適用於半導體積體電路裝置時之構造上及製造上之整體像並不完全地確立之課題。特別是，在上述之雙達馬新法，將配線形成溝與連接孔以同一導體膜同時地埋入，惟將此配線形成用溝更微細之連接孔與配線形成用溝同時地，充分地且以確保良好之電氣式特性之狀態下埋入，隨著配線或連接孔之微細化成爲困難。一方面，在使用電鍍法時，雖埋入能力高，惟以該方法所形成的銅之剛成膜後之結晶粒較小，有無法得到充分之電氣式特性之情形。又，雖電鍍法之埋入能力較高惟也有界限，而在高縱橫比之微細連接孔之埋入也有困難。該問題係在相同之埋入配線層，在有縱橫比不同之配線用溝時也產生。

本發明之目的係在具有埋入配線構造的半導體積體電路裝置，提供一種不使用高度之技術，可以將埋入配線用之導體膜良好地埋入的技術。

又，本發明之目的係在具有埋入配線構造的半導體積體電路裝置，提供一種可以推進配線用溝或連接孔或其雙

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

方之微細化的技術。

又，本發明之其他目的，係在於提供一種可提高埋入配線之可靠性的技術。

又，本發明之其他目的，係在於提供一種將使用銅系導體材料之埋入配線，在不產生不方便下，可裝進在半導體積體電路裝置之整體構造的技術。

本發明之上述及其他之目的與新穎之特徵，係由本說明書之記述及所附圖式即可明瞭。

（解決課題所用之手段）

在本發明所揭示之發明中，簡單地說明代表性者如下。

本發明的半導體積體電路裝置之製法，係具有埋入在半導體基板上層之配線層之配線的半導體積體電路裝置之製法，其特徵爲具有：

（a）在上述半導體基板上層之絕緣膜開連接孔的製程，及

（b）在上述絕緣膜上，埋入上述連接孔地形成連接用之導體膜的製程，及

（c）上述連接用之導體膜之形成製程後，對於上述連接用之導體膜施以平坦化處理，介經除去連接孔內以外之連接用的導體膜，在上述連接孔內形成連接用導體部的製程，及

（d）在形成上述連接用導體部後之絕緣膜的配線形

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

成領域形成配線用溝的製程，及

（e）在上述絕緣膜上，埋入上述配線用溝地形成配線用之導體膜的製程，及

（f）上述配線用之導體膜之形成製程後，對於上述配線用之導體膜施以平坦化處理，介經除去配線用溝以外之配線用之導體膜，在上述配線用溝形成埋入配線的製程。

又，本發明的半導體積體電路裝置之製法，係上述配線用之導體膜由銅或銅合金所構成，以濺射法形成該導體膜時，在上述配線用之導體膜之平坦化處理製程後具有施加熱處理之製程者。

又，本發明的半導體積體電路裝置之製法，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置之製法，在形成於相同之埋入配線層之尺寸不同的配線用溝內埋入導體膜時，在上述尺寸不同之配線用溝內分別個別地埋入導體膜者。

又，本發明的半導體積體電路裝置之製法，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置之製法，其特徵爲具有：

（a）在上述半導體基板上層的絕緣膜開配線用溝與連結孔的製程，及

（b）在上述絕緣膜上，埋入上述配線用溝與連接孔地介經濺射法形成銅或銅合金所構成之導體膜的製程，及

（c）對於上述銅或銅合金所構成的導體膜施以平坦

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5）

化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜的製程，及

（ｄ）在上述銅或銅合金所構成之導體膜的平坦化處理製程後施以熱處理的製程。

又，本發明的半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線層的半導體積體電路裝置，其特徵爲：上述埋入配線與半導體基板所接觸之部分的配線材料，係至少使用由鎢、鎢合金、鈦、鈦氮化物、鋁或鋁合金之一種所構成，而其上層之配線層的埋入配線係由銅或銅合金所構成者。

又，本發明之半導體積體電路裝置，係在半導體基板之上層的配線層中之至少一層以上具有埋入配線的半導體積體電路裝置，其特徵爲：上述配線層中之最上配線層的配線材料以鋁或鋁合金所構成，而其下層之配線層的埋入配線以銅或銅合金者。

又，本發明的半導體積體電路裝置，係在半導體基板上層的配線層具有埋入配線的半導體積體電路裝置，其特徵爲：在連接鋁或鋁合金所構成之配線，及銅或銅合金所構成的配線時，在此等接合部介裝阻障導體膜者。

又，本發明的半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵爲：在電氣式地連接比上述配線層中之所定埋入配線層更上層的配線與比上述所定之埋入配線之配線層更下層的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

配線時，具備將設置於從上述上層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，及設置於從上述下層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，經由設置於上述所定埋入配線之配線層之連接用溝內的中繼用連接用導體部電氣式連接之構造，上述中繼用連接用導體部係至少其所定之埋入配線延伸方向的長度，形成比上述連接孔之上述配線延伸方向的長度較長者。

（發明之實施形態）

以下，依照圖式詳述本發明之實施形態（又，在用以說明實施形態之全國中具有相同功能著附與相同記號，而省略重複之說明）。

（實施例1）

第1圖係表示本發明之一實施形態之半導體積體電路裝置的要部剖面圖，第2圖係表示第1圖之半導體積體電路裝置之第1配線層的要部剖面圖，第3圖至第5圖係表示第2圖之配線構造之變形例的剖面圖，第6圖係表示第1圖之半導體積體電路裝置之第2配線層的要部剖面圖，第7圖係表示第1圖之半導體積體電路裝置之配線層間連接的變形例之半導體積體電路裝置的要部剖面圖，第8至第12圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖，第13圖至第18圖係表示第1圖之半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7）

積體電路裝置之製程中之要部的局部切剖斜視圖。

首先，藉由第1圖至第7圖說明本實施形態1的半導體積體電路裝置之構造。半導體基板1係由例如p－型矽（si）單晶所構成，在其上部形成有p井pw及n井NW。在該P井PW，含有例如p型雜質之硼（B），而在n井NW含有例如n型雜質之磷（P）或砷（AS）。

又，在該半導體基板1之上部形成有元件分離部2，該元件分離部2係在開擴於半導體基板1之上部的分離用溝2a內，埋入有例如氧化矽等所構成的分離用絕緣膜2b所形成。該文件分離部2之上面係與半導體基板1之主面大約一致地被平坦化。

在圍繞於文件分離部2之P井PW及n井NW的領域，形成有例如n通道型之MOSFET（Metal Oxide-Semiconductor Field Effect Transistor，以下簡稱爲nMOS）3n及p通道型之MOSFET（以下簡稱爲pMOS）3p。藉由該nMOS 3n及pMOS 3p形成有CMOS（Complimentary MOS）。但是，形成於半導體基板1之積體電路元件係並不限定於MOSFET或MISFET (Metal Insulator Semicondutor Fileld effect Transistor)者而可作各種變更，雙極電晶體，二極體或電阻元件或是此等之積體電路元件形成在相同半導體基板上之構造也可以。

nMOS 3n係具有：互相隔離地形成在p井PW上部的一對半導體領域，及形成在半導體基板1上的閘極絕

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 8 ）

緣膜３ｎｉ，及形成在其上面閘極電極３ｎｇ又，ｎＭＯＳ３ｎ之通道領域係在ｐ井ＰＷ內形成在一對之半導體領域３ｎｄ之間。

該半導體領域３ｎｄ係用以形成ｎＭＯＳ３ｎ之源極、汲極領域的領域，含有例如ｎ型雜質之磷或砷。又，半導體領域３ｎｄ係具有配置於通道領域側之相對地低濃度的半導體領域，及配置於其外側之相對地高濃度的半導體領域之構造也可以。

閘極絕緣膜３ｎｉ係例如氧化矽所構成。形成於其上面的閘極電極３ｎｇ，係例如低電阻多晶矽之單體膜所構成。但是，閘極電極３ｎｇ係並不被限定於低電阻多晶矽之單體膜者。例如在低電阻多晶矽之單體膜上形成如鎢矽化物等之矽化物膜的作爲所謂多矽化物構造也可以，或是，例如在低電阻多晶矽之單體膜上經由如氮化鈦等之阻障金屬膜形成如鎢等金屬膜的所謂多晶矽化金屬構造也可以。

一方面，ｐＭＯＳ３ｐ係具有：互相隔離地形成在ｎ井ＮＷ上部的一對半導體領域３ｐｄ，及形成在半導體基板１上的閘極絕緣膜３ｐｉ，及形成在其上面的閘極電極３ｐｇ。又，ｐＭＯＳ３ｐ之通道領域係在ｎ井ＮＷ內形成在一對半導體領域３ｐｄ之間。

該半導體領域３ｐｄ係用以形成ｐＭＯＳ３ｐ之源極汲極領域的領域，含有例如ｐ型雜質之硼。又半導體領域３ｐｄ係具有配置於通道領域側之相對地低濃度的半導體

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（9）

領域，及配置於其外側之相對地高濃度的半導體領域之構造也可以。

閘極絕緣膜3pi係例如氧化矽所構成。形成於其上面的閘極電極3pg，係例如低電阻多晶矽之單體膜所構成。但是，閘極電極3ng係並不被限定於低電阻多晶矽之單體膜者。例如在低電阻多晶矽之單體膜上形成如鎢矽化物等之矽化物膜的作爲所謂多矽化物構造也可以，或是，例如在低電阻聚矽之單體膜上經由如氮化鈦等之阻障金屬膜形成如鎢等金屬膜的所謂多晶矽化金屬構造也可以。

在此種半導體基板1上，其表面形成有介經例如CMP法被平坦化的例如氧化矽所構成的層間絕緣膜4a，由此，覆蓋有nMOS3n及pMOS3p。在該層間絕緣膜4a上部，形成有寬度或長度不同的配線用溝5a，5b。配線用溝5a，5b之深度係相同，例如約0.3～1.0μm，較佳爲0.5μm。又，配線用溝5a之縱橫比係例如約0.1～1.0考慮良好地埋入配線用導體膜時，小於0.7較佳。配線用溝5b之縱橫比係例如約0.5～2.5，而考慮埋入配線用導體膜時，小於1.5較佳。

在該配線用溝5a，5b，如第1圖及第2圖所示，形成有第1配線層6L成爲埋入狀態。該第1配線層6L係由下部與側部之相對地較薄的導體膜6L1，及圍繞於該較薄導體膜6L1之相對地較厚的導體膜6L2所構成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

較薄導體膜６Ｌ１係由具有提高第１配線層６Ｌ與層間絕緣膜４ａ的密接性之功能或抑制較厚導體膜６Ｌ２之構成原子之擴散的阻障功能的材料所構成，例如由鎢（Ｗ），氮化鈦（ＴｉＮ），鈦（Ｔｉ），鉭（Ｔａ），氮化鎢（ＷＮ），氮化鎢矽化物（ＷＳｉＮ），氮化鈦矽化物（ＴｉＳｉＮ），氮化鉭（ＴａＮ）或氮化鉭矽化物（ＴａＳｉＮ）等所構成。

以鎢等構件較薄導體膜６Ｌ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成者相比較，成爲可降低配線電阻。雖未特別加以限定，惟在本實施形態１，較薄導體膜６Ｌ１係由例如ＴｉＮ所構成。

又，較厚導體膜６Ｌ２係構成第１層配線層６Ｌ之本體的構成，例如鋁（Ａｌ），鋁合金，鎢，鎢合金，銅（Ｃｕ），或銅合金等之低電阻材料所構成。作爲鋁合金之一例子，有在鋁所構成之導體膜添加如Ｓｉ，Ｃｕ，Ｇｅ等元素中所選擇之一種或一種以上之元素者。作爲Ｃｕ合金之一例子，有在Ｃｕ所構成之導體膜添加如Ｍｇ，Ｓｉ，Ｔｉ等元素中所選擇之一種或一種以上之元素者。作爲鎢合金之一例子，有在鎢所構成導體膜添加如Ｓｉ，Ｎ等元素中所選擇之一種或一種以上之元素者。又，在以下之記載，對於鋁合金，鎢合金及銅合金，基本上成爲與上述者相同。在以銅或銅合金構成該較厚導體膜６Ｌ２時，與以鋁或鎢構成者相比較，可大幅度降低配線電阻，且與以

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

鋁或鋁合金構成者相比較，成爲可提高第1層配線6L之電子遷移（EM）耐性。雖未特別加以限定，在本實施例之形態1中，較厚導體膜6L2以例如銅所構成。

但是第1層配線6L之構造係並不被限定於表示在第1圖及第2圖之構造者而可作各種變更，作成表示於例如第3圖至第5圖之構造者也可以。第3圖係覆蓋較薄導體膜6L1及較導體膜6L2地設置帽蓋導體膜6L3之構造。帽蓋導體膜6L3係例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等所構成。該構造係特別適用於以Cu或Cu合金構成較厚導體膜6L2時，由於可更抑制Cu原子之擴散，因此，成爲可更提高半導體積體電路裝置之可靠性，又，雖並未特別加以限定，惟與上層配線材料之關係，也可適用於直接接觸該配線材料與較厚導體膜6L2時會形成高電阻係數之合金等之情形。又，將帽蓋導體膜之上面形成與層間絕緣膜4a上面大約一致地而將帽蓋導體膜只設在較厚導體膜6L2之上面的構造也可以。

第4圖係表示僅以較厚導體膜6L2構成第1層配線6L的構造。亦即，沒有較薄導體膜之構造。第5圖係表示在第4圖之構造中，在較厚導體膜6L2之上面設置帽蓋導體膜6L3的構造。該構造係並未特別限定，惟以與上層配線材料之關係，適用於直接接觸該配線材料與較厚導體膜6L2時會形成高電阻係數之合金的情形。

配線用溝5a內之第1層配線6L係經連接用導體部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

７Ｃ電氣式連接ｎＭＯＳ３ｎ之半導體領域３ｎｄ或ｐＭＯＳ３ｐ之半導體領域３ｐｄ。連接用導體部７Ｃ係其大部分埋入於從配線用溝５ａ之底面向半導體基板１之上面而穿孔於層間絕緣膜４ａ的連接孔８ａ內，惟連接用導體部７Ｃ之上部係貫穿第１層配線６Ｌ之上下面地突出於第１配線６Ｌ中。連接孔８ａ之直徑係例如約０．２～１．０μｍ，較理想爲例如約０．４μｍ。又，連接孔８ａ之縱橫比係例如約２～６，而考慮良好地實行連接用導體部時低於約４較理想。又，連接用導體部７Ｃ之上面高度係與第１層配線６Ｌ之上面高度大約一致。

連接用導體部７Ｃ係由其下部與側部之相對地較薄的導體膜７Ｃ１，及被較薄導體膜７Ｃ１所圍繞之相對地較厚的導體膜７Ｃ２所構成。較薄導體膜７Ｃ１係由具有提高連接用導體部７Ｃ與層間絕緣膜４ａ之密接性的功能或抑制較厚導體膜７ｃ２之構成原子之擴散的阻障功能的材料所構成，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，Ｔａ或ＴａＳｉＮ等所構成。

以Ｗ等構成較薄導體膜Ｃ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成時相比較，成爲可降低配線電阻。雖並未特別限定，惟在本實施形態１，較薄導體膜７Ｃ１由例如Ｗ所構成。

又，較厚導體膜７Ｃ２係構成連接用導體部７Ｃ之本體的構件，例如由Ａｌ，Ａｌ合金，Ｗ或Ｗ合金等之低電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

阻的材料所構成。在較厚導體膜７Ｃ２之構成材料並未使Ｃｕ或Ｃｕ合金。亦即，在未實施形態１中，即使在第１層配線６Ｌ之埋入導體膜６Ｌ２之構成材料使用Ｃｕ或Ｃｕ合金等，在與半導體基板１直接接觸之連接用導體部７Ｃ之構成材料未使用Ｃｕ或Ｃｕ合金。由此，成爲減低第１層配線６Ｌ之配線電阻，且可抑制起因於Ｃｕ原子擴散至半導體基板側之連接不良。

在以Ａｌ或Ａｌ合金構成較厚導體膜７Ｃ２時，與以Ｗ或Ｗ合金所構成時相比較，成爲可降低連接用導體部７Ｃ之電阻。又，在以Ｗ或Ｗ合金構成埋入導體膜７Ｃ２時，與以Ａｌ或Ａｌ合金構成埋入埋入導體膜７Ｃ２時相比較時，成爲可提高連接用導體部７Ｃ之ＥＭ耐性及ＳＭ耐性。雖並未被限定，惟在本實施形態１，較厚導體膜７Ｃ２例如以Ｗ所構成。因此，在本實施形態１中，在第１層配線６Ｌ之高度位置的平面內，成爲存有異種之導體膜（第１層配線６Ｌ形成用之Ｃｕ等及連接用導體部７Ｃ之Ｗ等）的構造。又，連接用導體部也構成者。

又，在上述之說明係說明配線用溝５ａ，５ｂ內之第１層配線６Ｌ以相同材料所構成的情形，惟並未被限定者。例如，埋入於配線用溝５ｂ之較厚導體膜６Ｌ２及較薄導體膜６Ｌ１之構成材料，係與埋入於配線用溝５ａ之較厚導體膜６Ｌ２及較薄導體膜６Ｌ１之構成材料作成異種之導體材料也可以。例如在例如寬廣之配線用溝５ａ及寬窄之配線用溝５ｂ內同時地埋入Ｃｕ等時，因寬窄之配線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

用溝５ｂ有無法充分地埋入之情形，因此，在此時，寬廣之配線用溝５ａ係以Ｃｕ埋入，而寬窄之配線用溝５ｂ係介經ＣＶＤ法埋入Ｗ等之情形的構造例。又，對於此時之形成方法係如下所述。

在層間絕緣膜４ａ上，例如於矽氮化膜４６１上形成有比矽氮化膜較厚的氧化矽４４２的層間絕緣膜４ｂ。矽氮化膜４ｂ１係以Ｃｕ系導電材料構成較厚導體膜６Ｌ２或埋入導體膜７Ｃ２時，功能作爲防止Ｃｕ之擴散之緩衝膜。又，形成下述之連接孔８ｄ時，將矽氮化膜４ｂ１使用作爲蝕刻止動件，蝕刻氧化矽４ｂ２，然後蝕刻矽氮化膜４ｂ２加以除去。又，以Ｃｕ系以外之導電材料構成較厚導體膜６Ｌ２或埋入導體膜７Ｃ２時，不用矽氮化膜４ｂ１也可以。在該層間絕緣膜４ｂ之上部，形成有寬度不同之配線用溝５ｃ，５ｄ。配線用溝５ｃ，５ｄ之深度係相同，例如約０．３～１．０μｍ，較理想爲約０．６μｍ。又，配線用溝５ｃ之縱橫比係例如約０．１～１．０，考慮良好地埋入配線用導體膜時小於０．７者較理想。又，配線用溝５ｄ之縱橫比係例如約０．５～２．５，考慮良好地埋入配線用導體膜時小於１．５者較理想。

氧化矽膜４ｂ２係例如以ＣＶＤ法所形成的ＴＥＯＳ膜或ＳＯＧ膜所構成。使用低介質係數之ＳＯＧ（Spin on Glass）膜，可減低配線間的電容，並可提高電路之動作速度。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

在該配線用溝５ｃ，５ｄ內，如第１圖及第６圖所示，以埋入狀態形成有第２層配線９Ｌ。該第２層配線９Ｌ係由下部與側部之相對地較薄的導體膜９Ｌ１，及被該較薄導體膜９Ｌ１所圍繞之相對地較厚的導體膜９Ｌ２所構成。

較薄導體膜９Ｌ１係由具有提高第２層配線９Ｌ與層間絕緣膜４ｂ之密接性的功能或抑制較厚導體膜９Ｌ２之構成原子之擴制的阻障功能的材料所構成，例如由Ｗ，ＴｉＮ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。

以Ｗ等構成薄膜導體膜９Ｌ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成之情形相比較，成爲可降低配線電阻。雖並未特別地被限定，惟在本實施例１中，較薄導體膜９Ｌ１係以例如ＴｉＮ所構成。

又，較厚導體膜９Ｌ２係構成第２層配線９Ｌ之本體的構件，例如Ａｌ，Ａｌ合金，Ｗ，以合金，Ｃｕ或Ｃｕ合金之低電阻之材料所構成。以Ｃｕ或Ｃ合金構成該較厚導體膜９Ｌ２時，與以Ａｌ或Ｗ構成時相比較，成爲可大幅度降低配線電阻。又，與Ａｌ或Ａｌ合金構成較厚導體膜９Ｌ２時相比較，也成爲可提高第２層配線９Ｌ之ＥＭ耐性。雖並未特別地被限定，惟在本實施形態中，較厚導體膜９Ｌ２以例如Ｃｕ所構成。

但是，第２層配線９Ｌ之構造也並未被限定在表示於

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

第1圖及第6圖之構造者而可做各種變更。例如表示於以上述第1層配線6L所說明之第3圖至第5圖的構造也可以。亦即，在較厚導體膜9L2及較薄導體膜9L1之上面設置帽蓋導體膜之構造也可以。該帽蓋導體膜係例如W等之低電阻材料或具有TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等之阻障功能的材料所構成。該構造係特別適用在以Cu或Cu合金構成較厚導體膜9L2時，由於可更抑制Cu原子之擴散，因此，成爲可更提高半導體積體電路裝置之可靠性。又，雖並未特別被限定，惟與上層之配線材料之關係。適用於直接接觸該配線材料與較厚導體膜9L2時會形成較高電阻係數之合金等的情形。又將帽蓋導體膜之上面與層間絕緣膜4a之上面大約一致地將帽蓋導體膜僅設在較厚導體膜9L2之上面的構造也可以。

作爲其他構造，僅以較厚導體膜9L2構成第2層配線9L之構造也可以。亦即，沒有較薄之導體膜的構造，又，作爲其他之構造，在沒有該較薄導體膜之構造下，在較厚導體膜9L2之上面設置帽蓋導體膜之構造也可以。該構造係並未特別被限定，惟與上層之配線材料之關係，適用於直接接觸該配線材料與較厚導體膜9L2時會形成高固有電阻值之合金等的情形。

形成於該配線用溝5c內的第2層配線9L係經連接用導體部10C而與第1層配線6L電氣式地連接。連接用導體部10C係其大部分埋入在從配線用溝5C之底面

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

向第1層配線6L上面且穿孔於層間絕緣膜4b之連接孔8b內，惟連接用導體部10C之上部係突出於第2層配線9L中成爲貫穿第2層配線9L之上下面之狀態。連接孔8b之直徑係例如約0.2～1.2μm，較理想爲例如約0.4μm。又，連接孔8b之縱橫比係約2～6，考慮良好地實行連接用導體部之埋入時，則小於4較理想。又，連接用導體部10C之上面高度係與第2層配線9L之上面高度大約一致，亦即，與層間絕緣膜4b之上面高度大約一致。

連接用導體部10C係由在其下部與側部之相對地較薄導體膜10C1，及被較薄導體膜10C1所圍繞之相對地較厚導體膜10C2所構成。較薄導體膜10C1係具有提高連接用導體部10C與層間絕緣膜4b密接性的功能或抑制較厚導體膜10C2之構成原子之擴散的阻障功能的材料所構成，例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等所構成。

以W等構成較薄導體膜10C1時，與以TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等構成時相比較，成爲可降低配線電阻。雖並未特別被限定，惟在本實施形態1中，較薄導體膜10C1係以例如W所構成。

又，較厚導體膜10C2係構成連接用導體部10C之本體的構件。例如Al，Al合金，W，W合金，Cu

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

或Ｃｕ合金等之低電阻的材料所構成。介經以例如Ｃｕ或Ｃｕ合金構成較厚導體膜１０Ｃ２，與以Ａｌ，Ａｌ合金，Ｗ或Ｗ合金所構成之情形相比較，可降低連接用導體部１０Ｃ之電阻，且可提高連接用導體部１０Ｃ之ＥＭ耐性。以Ａｌ或Ａｌ合金構成較厚導體膜１０Ｃ２時，與以Ｗ或Ｗ合金構成時相比較，成爲可降低連接用導體部１０Ｃ之電阻。又，以Ｗ或Ｗ合金構成較厚導體膜１０Ｃ２時，與以Ａｌ或Ａｌ合金構成較厚導體膜１０Ｃ２時相比較，成爲可提高連接用導體部１０Ｃ之ＥＭ耐性及ＳＭ耐性。雖並未特別被限定，惟在本實施形態１中，較厚導體膜１０Ｃ２係由例如Ｗ所構成。

又，在層間絕緣膜４ｂ，從其上面向第１層配線６Ｌ上面穿孔而穿孔有使第１層配線６Ｌ之一部露出的連接孔８Ｃ，而在該連接孔８Ｃ以埋入狀態形成有連接用導體部１０Ｃ。該連接孔８Ｃ之直徑係例如約０．２～１．２μｍ，較理想爲例如約０．４μｍ。又，連接孔８Ｃ之縱橫比係約２～６，而考慮良好地實行連接用導體部之埋入時，小於約４較理想。該連接用導體部１０Ｃ係構造與上述者相同，惟在第１圖中，與第２層配線９Ｌ並未直接連接。但是，將埋入於連接孔８Ｃ之連接用導體部１０Ｃ之較厚導體膜１０Ｃ２及較薄導體膜１０Ｃ１的構成材料，與埋入於連接孔８ｂ之連接用導體部１０Ｃ之較厚導體膜１０Ｃ２及較薄導體膜１０Ｃ１之構成材料係以異種之導體材料所構成也可以。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

又，在上述之說明針對配線用溝５ｃ，５ｄ內之第２層配線９Ｌ以相同材料所構成時加以說明，惟並未被限定於此者，例如將埋入於配線用溝５ｄ之較厚導體膜９Ｌ２及較薄導體膜９Ｌ１之構成材料與埋入於配線用溝５Ｃ之較厚導體膜９Ｌ２及較薄導體膜９Ｌ１之構成材料以異種之導體材料所構成較理想。此乃若將Ｃｕ等同時地埋入例如寬廣之配線用溝５Ｃ及寬窄之配線用溝５ｄ內時，由於有無法充分地埋入寬窄之配線用溝５ｄ，因此，在此時，寬廣之配線用溝５Ｃ係以Ｃｕ埋入，而寬窄之配線用溝５ｄ係介經ＣＶＤ法等埋入Ｗ等之情形的構造例。又此時之形成方法將如下述。

在層間絕緣膜４ｂ上，形成有例如與層間絕緣膜４ｂ同樣地以氮化矽膜４Ｃ１與氧化矽膜４Ｃ２所構成的層間絕緣膜４Ｃ。在該層間絕緣膜４Ｃ之上部，形成有寬度不同之配線用溝５ｅ，５ｆ，配線用溝５ｅ，５ｆ之深度係相同。例如約０．３～１．０μｍ，較理想是約０．６μｍ。又，配線用溝５ｅ之縱橫比係例如約０．１～１．０，考慮良好地埋入配線用導體膜時，比０．７小者較理想。又，配線用溝５ｆ之縱橫比係例如約０．５～２．５，考慮良好地埋入配線用導體膜時，比１．５小者較理想。

在該配線用溝５ｅ，５ｆ內，如第１圖所示，以埋入狀態形成有第３層配線１１Ｌ。該第３層配線１１Ｌ係下部與側部之相對地較薄導體膜１１Ｌ１，及被該較薄導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

膜１１Ｌ１所圍繞之相對地較厚導體膜１１Ｌ２所構成。

較薄導體膜１１Ｌ１係具有提高第３層配線１１Ｌ與層間絕緣膜４Ｃ之密接性的功能或抑制較厚導體膜１１Ｌ２之構成原子之擴散的阻障功能的材料所構成，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。

在以Ｗ等構成較薄導體膜１１Ｌ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成時相比較成爲可降低配線電阻。又，在以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等構成較薄導體膜１１Ｌ１時，成爲特別是提高與層間絕緣膜４Ｃ之密接性。雖並不被特別限定，惟在本實施形態１，較薄導體膜１１Ｌ１，係由例如ＴｉＮ所構成。

又，較厚導體膜１１Ｌ２係構成第３層配線１１Ｌ之本體的構件，例如Ａｌ，Ａｌ合金，Ｗ，Ｗ合金，Ｃｕ或Ｃｕ合金之低電阻的材料所構成。在以Ｃｕ或Ｃｕ合金構成該較厚導體膜１１Ｌ２時，與以Ａｌ或Ｗ構成時相比較，成爲可大幅地降低配線電阻。又，在以Ａｌ或Ａｌ合金構成較厚導體膜１１Ｌ２時相比較，成爲可提高第３層配線１１Ｌ之ＥＭ耐性。雖並不被特別限定，惟在本實施形態１，較厚導體膜１１Ｌ２，係由例如Ｃｕ所構成。

但是，第３層配線１１Ｌ之構造也並未被限定在表示於第１圖之構造者而可做各種變更。例如表示於以上述第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

1層配線6L所說明之第3圖至第5圖的構造也可以。亦即，在較厚導體膜11L2及較薄導體膜11L1之上面設置帽蓋導體膜之構造也可以。該帽蓋導體膜係例如W等之低電阻材料或具有TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等之阻障功能的材料所構成。該構造係特別適用在以Cu或Cu合金構成較厚導體膜11L2時，由於可更抑制Cu原子之擴散，因此，成爲可更提高半導體積體電路裝置之可靠性。又，雖並未特別被限定，惟與上層之配線材料之關係。適用於直接接觸該配線材料與較厚導體膜11L2時會形成較高電阻係數之合金等的情形。又將帽蓋導體膜之上面與層間絕緣膜4a之上面大約一致地將帽蓋導體膜僅設在較厚導體膜11L2之上面的構造也可以。

作爲其他構造，僅以較厚導體膜11L2構成第3層配線11L之構造也可以。亦即，沒有較薄之導體膜的構造，又，作爲其他之構造，在沒有該較薄導體膜之構造下，在配線用溝5a之上面設置帽蓋導體膜之構造也可以。該構造係並未特別被限定，惟與上層之配線材料之關係，適用於直接接觸該配線材料與較厚導體膜11L2時會形成高固有電阻值之合金等的情形。

形成於該配線用溝5e，5f內的第2層配線11L係經連接用導體部12C而與第2層配線9L電氣式地連接。連接用導體部12C係其大部分埋入在從配線用溝5e，5f之底面向第2層配線9L上面且穿孔於層間絕

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

緣膜４ｃ之連接孔８ｄ內，惟連接用導體部１２Ｃ之上部係突出於第３層配線１１Ｌ中成爲貫穿第３層配線１１Ｌ之上下面之狀態。連接孔８ｄ之直徑係例如約０．２～１．２μｍ，較理想爲例如約０．４μｍ。又，連接孔８ｄ之縱橫比係約２～６，考慮良好地實行連接用導體部之埋入時，則小於４較理想。又，連接用導體部１２Ｃ之上面高度係與第３層配線１１Ｌ之上面高度大約一致，亦即，與層間絕緣膜４ｃ之上面高度大約一致。

連接用導體部１２Ｃ係由在其下部與側部之相對地較薄導體膜１２Ｃ１，及被較薄導體膜１２Ｃ１所圍繞之相對地較厚導體膜１２Ｃ２所構成。較薄導體膜１２Ｃ１係具有提高連接用導體部１２Ｃ與層間絕緣膜４ｃ密接性的功能或抑制較厚導體膜１２Ｃ２之構成原子之擴散的阻障功能的材料所構成，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。

以Ｗ等構成較薄導體膜１２Ｃ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等構成時相比較，成爲可降低配線電阻。雖並未特別被限定，惟在本實施形態１中，較薄導體膜１２Ｃ１係以例如Ｗ所構成。

又，較厚導體膜１２Ｃ２係構成連接用導體部１２Ｃ之本體的構件。例如Ａｌ，Ａｌ合金，Ｗ，Ｗ合金，Ｃｕ或Ｃｕ合金等之低電阻的材料所構成。介經以例如Ｃｕ或

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

Ｃｕ合金構成較厚導體膜１２Ｃ２，與以Ａｌ，Ａｌ合金，Ｗ或Ｗ合金所構成之情形相比較，可降低連接用導體部１２Ｃ之電阻，且可提高連接用導體部１２Ｃ之ＥＭ耐性。以Ａｌ或Ａｌ合金構成較厚導體膜１２Ｃ２時，與以Ｗ或Ｗ合金構成時相比較，成爲可降低連接用導體部１２Ｃ之電阻。又，以Ｗ或Ｗ合金構成較厚導體膜１２Ｃ２時，與以Ａｌ或Ａｌ合金構成較厚導體膜１２Ｃ２時相比較，成爲可提高連接用導體部１２Ｃ之ＥＭ耐性及ＳＭ（Stress Migration）耐性。雖並未特別被限定，惟在本實施形態１中，較厚導體膜１２Ｃ２係由例如Ｗ所構成。

又，在層間絕緣膜４ｃ，從其上面向第２層配線９Ｌ上面穿孔而穿孔有使第２層配線９Ｌ之一部露出的連接孔８ｅ，而在該連接孔８ｅ以埋入狀態形成有連接用導體部１２Ｃ。該連接孔８ｅ之直徑係例如約０．２～１．２μｍ，較理想爲例如約０．５μｍ。又，連接孔８ｅ之縱橫比係約２～６，而考慮良好地實行連接用導體部之埋入時，小於約４較理想。該連接用導體部１２Ｃ係構造與上述者相同，惟在第１圖中，與第３層配線１１Ｌ並未直接連接。又，該連接用導體部１２ｃ係與形成於下層連接孔８ｃ內的連接用導體部１０ｃ連接而電氣式地連接。亦即，在本實施形態１中，在具有埋入配線構造的配線層中，具有連接用導體部１０ｃ，１２ｃ彼此間以貫穿所定配線層之狀態下互相地電氣式地連接的構造。

介經將連接用導體部１２ｃ以與連接用導體部１０ｃ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（24）

相同構成材料所形成。故可降低連接限力。亦即，由於將連接用導體部１０ｃ與１２ｃ間，與經由以不同導體材料所構成之第２層配線９Ｌ連接時相比較，可降低接觸電阻等，因此，可降低連接電阻。

但是，將欲埋入於連接孔８ｅ之連接用導體部１２ｃ之較厚導體膜１２Ｃ２與較薄導體膜１２Ｃ１的構成材料，與埋入於連接孔８ｅ之連接用導體部１２Ｃ之較厚導體膜１２Ｃ２與較薄１２Ｃ１的構成材料，以異種之導體材料所構成也可以。

又，第１圖右邊之連接用導體部１０Ｃ，１２Ｃ彼此間的連接構造係如第７圖所示，經貫穿層間絕緣膜４ｃ，４ｂ之連接孔８ｅ１內之一個連接用導體１２ｃ直接電氣地連接第３層配線１１Ｌ與第１層配線６Ｌ的構造也可以。由此，可降低連接電阻。

在層間絕緣膜４ｃ上，形成有與層間絕緣膜４ｂ同樣地以氮化矽膜４ｄ１與氧化矽４ｄ２所構成的層間絕緣膜４ｄ。在該層間絕緣膜４ｄ之上面，形成有第４層配線１３Ｌ。第４層配線１３Ｌ，１３Ｌ係由例如Ａｌ或Ａｌ合金所構成，經貫穿於層間絕緣膜４ｄ之連接孔８ｆ，８ｆ，分別與下層之第３層配線１１Ｌ與連接用導體部１２ｃ電氣式地連接。

作爲最上面之第４層配線１３Ｌ的構成材料，介經使用例如Ａｌ或Ａｌ合金等，仍直接使用以往就有之搭接線端的連接技術或隆起電極的形成技術。亦即，最上面之配

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（25）

線層係連接有搭接線端或隆起電極，惟介經將最上面之配線材料作爲以往就使用Ａｌ或Ａｌ合金，成爲可仍然使用搭接線端或隆起電極之接合上的以往技術。因此，不會隨著裝配製程（線接合過程或隆起電極形成過程）之技術上變更，成爲可將具有Ｃｕ系材料所構成之埋入配線構造的半導體積體電路裝置導入在裝配線。因此，可減低具有Ｃｕ系材料所構成之埋入配線的半導體積體電路裝置之成本，並可縮短製造與開發時間。

該連接孔８ｆ之直徑係例如約０．２～１．２μｍ，較理想是例如約０．５μｍ。又，連接孔８ｆ之縱橫比係約２～６。考慮良好地實行連接用導體部１４ｃ之埋入。比４小較理想。在連接孔８ｆ，埋入有連接用導體部１４ｃ。連接用導體部１４ｃ係由其下部與側部之相對地較薄導體膜１４Ｃ１，及被較薄導體膜１４Ｃ１所圍繞之相對地較厚導體膜１４Ｃ２所構成。又，該連接用導體１４Ｃ係未貫穿第４層配線１３Ｌ。

較薄導體膜１４Ｃ１係由具有提高連接用導體部１４Ｃ與層間絕緣膜４ｄ之密接性的功能或抑制較厚導體膜１４Ｃ２之構成原子之擴散的阻障功能的材料所構成，例如例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，Ｔａ或ＴａＳｉＮ等所構成。以Ｗ等構成較薄導體膜１４Ｃ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成時相比較，成爲可降低配線電阻。雖並未特別限定，惟在本

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

實施形態1，較薄導體膜14C1由例如W所構成。

又，較厚導體膜14C2係構成連接用導體部14C之本體的構件，例如Al，Al合金，W或W合金之低電阻的材料所構成。以Al或Al合金構成較厚導體膜14C2時，與以W或W合金所構成時相比較，成爲可降低連接用導體部14C之電阻。又，在以W或W合金構成較厚導體膜14C2時，與以Al或Al合金構成較厚導體膜14C2時相比較，成爲可提高連接用導體部14C之EM耐性及SM耐性。又，以W或W合金構成較厚導體膜14C2時。由於以較厚阻障金屬可隔離構成第3層配線11L之Cu與構成第4層配線13L之Al或Al合金，因此，容易防止因兩者之反應所產生之電阻上昇。亦即，介經在連接孔8f埋入具有阻障性能的材料，由於可隔離以Cu系材料所構成的第3層配線，與以Al系材料所構成的第4層配線13L之距離，故可減低兩者之反應。雖並未特別被限定，惟在本實施形態1中，較厚導體膜14C2係由例如W所構成。

在層間絕緣膜4d上，形成有表面保護膜15。由此，覆蓋第4層配線13L之表面。表面保護膜15係例如在保護膜15a上重疊保護膜15b所形成。保護膜15a係例如SiO_2所構成，而其上層之之保護膜15b係例如氮化矽所構成。在表面保護膜15之一部分，形成有露出第4層配線13L之一部分的開口部16。在第4層配線13L中，從該開口部16所露出的部分，係形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

搭接襯墊部ＢＰ。亦即，在該搭接襯墊部ＢＰ，直接連接有搭接線端，並經該線，構成半導體積體電路裝置之封裝之導線成爲電氣式地連接。又，在該結合片部ＢＰ上經由底質金屬層作成設置鉛－錫合金或金等所構成的隆起電極之構造也可以。又，上述之層間絕緣膜４ａ～４ｄ係例如以ＳＯＧ（Spin on Glass）法所形成的塗布膜，有機膜，添加氟之ＣＶＤ膜，氮化矽膜或重疊此等所形成的疊層膜也可以。

以下，依照第８圖至第１８圖說明本實施形態１的半導體積體電路裝置之製法。

首先，依照第８圖至第１２圖說明相同材料所形成的埋入配線之形成方法。又，在此，由於第１層配線６Ｌ，第２層配線９Ｌ及第３層配線１１Ｌ之構造係相同，而爲了簡化說明，因此，以第１層配線６Ｌ作爲代表例說明入配線之形成方法。

第８圖係表示製程中之半導體積體電路裝置的要部剖面圖。在形成於半導體基板１上的層間絕緣膜４ａ，藉由光刻法技術及乾蝕刻法技術已經被穿孔能露出半導體基板１之主面（半導體領域３ｎｄ）的連接孔８ａ。又，層間絕緣膜４ａ係以例如矽氧化膜，以ＳＯＧ法所形成的氧化矽膜，有機膜，添加氟之ＣＶＤ膜，氮化矽膜或重疊此等所形成之疊層膜等所構成。層間絕緣膜４ａ係將介經例如ＣＶＤ（Chemical Vapor Deposition）法所堆積之矽氧化膜，介經ＣＭＰ法等施以研摩，使其表面成爲平坦化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（28）

然後，如第9圖所示，在層間絕緣膜4a之上面，連接孔8a之側面及底面，藉由濺射法等覆蓋例如W等所構成的較薄導體膜7C1。該較薄導體膜7C1係具有提高連接用導體部與層間絕緣膜4a之密接性的功能或抑制較厚導體膜7C2之形成時的材料氣體等之擴散或較厚導體膜7C2之構成原子之擴散的阻障功能的材料所構成，並不被限定於W者而可施以各種變更，例如TiN，Ti，Ta，WN，WSiN，TiSiN，Ta或TaSiN等也可以。

然後，在薄導體膜7C1上，藉由CVD法等覆蓋例如W等所構成之較厚導體膜7C2。由此，在微細之連接孔8a內可良好地填充導體膜。較厚導體膜7C2係並不被限定於W等者而可施以各種變更，例如Al或A合金等之低電阻材料也可以。又，較厚導體膜7C2之形成方法係並不被限定於CVD法者，例如組合濺射法，CVD法，電鍍法者等也可以。

但是，在第2層配線及第3層配線中，作爲連接用導體部10C，12C（參照第1圖）之較厚導體膜之形成材料，除了上述之材料外，也可以使用Cu或Cu合金。作爲此時之Cu的成膜方法，例如使用CVD或電鍍法等即可以。

然後，對於半導體基板1介經施以例如CMP處理，介經除去連接孔8a以外之領域的層間絕緣膜4a上之較厚導體膜7C2及較薄導體膜7C1，如第10圖所示，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（29）

在連接孔８ａ內形成連接用導體部７Ｃ。

然後，如第１１圖所示，在層間絕緣膜４ａ上，形成配線用溝形成用之光阻圖案１７ａ，將此作爲蝕刻掩蔽，介經從該光阻圖案１７ａ除去露出的層間絕緣膜４ａ部分，在層間絕緣膜４ａ之上部形成配線用溝５ａ及配線用溝５ｂ（參照第１圖）。此時，在配線用溝５ａ中突出事先所形成之連接用導體部７ｃ之上部。

然後，除去光阻圖案１７ａ之後，如第１２圖所示。在包含配線用溝５ａ之層間絕緣膜４ａ之表面及連接用導體部７Ｃ之露出表面，藉由濺射法覆蓋例如ＴｉＮ等所構成的較薄導體膜６Ｌ１。該較薄導體膜６Ｌ１係具有提高第１層配線與層間絕緣膜４ａ之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於ＴｉＮ者，可施以各種變更，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等也可以。

然後，在較薄導體膜６６１上，藉由ＣＶＤ法，濺射法或電鍍法，或組合此等等覆蓋例如Ｃｕ等所構成的較厚導體膜６Ｌ２。在該Ｃｕ等之成膜時，儘可能採用伸出（Over hang）較小之階梯覆蓋（Step Coverage）優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜６Ｌ２係並不被限定於Ｃｕ者，可施以各種變更，例如Ｃｕ合金，Ａｌ、Ａｌ合金，Ｗ或Ｎ合金也可以。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板1施以熱處理，流動較厚導體膜6L2之構成原子（例如Cu）而將該構成原子充分地供給並埋入在配線用溝5a內。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在Cu之濺射期間施行該熱處理的所謂反流濺射法也可以。由此，可提高Cu配線之EM特性。

之後，介經對於半導體基板1施以CMP處理，介經除去配線用溝5a，5b（參照第1圖）以外之領域的層間絕緣膜4a上之較厚導體膜6L2及較薄導體膜6L1，形成表示於第2圖等的第1層配線6L。

在該CMP處理後或處理前對於半導體基板1施以熱處理也可以。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該CMP處理後之熱處理過程，促進較厚半導體基板6L2的Cu之粒子成長並提高EM耐性，同時在CMP處理時避免產生在較薄導體膜6L1及較厚導體膜6L2之表面的損傷或氧化膜而得其表面成爲平滑。同時除去減低絕緣膜4a的表面污染。由此，成爲可提高配線之可靠性。

以下，藉第13圖至第18圖說明在相同之埋入配線層形成異種導體材料所構成的埋入配線之方法。此乃相當於在上述相同配線層內存有異種導體材料所構成之配線時

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

的形成方法例子。又，在本實施形態1，將在配線用溝5a，5b內形成異種導體材料所構成的第1層配線6L之情形作爲代表例子加以說明。

第13圖係表示半導體積體電路裝置之製程中之層間絕緣膜4a的要部斜視圖。在層絕緣膜4a之上部，配線用溝5a藉由光刻法技術及乾蝕刻技術所形成。

然後，如第14圖所示，在包括配線用溝5d的層間絕緣膜4a之表面，藉由濺射法覆蓋例如TiN等所構成的較薄導體膜6L1。該較薄導體膜6L1係具有提高第1層配線與層間絕緣膜4a之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於TiN者，可施以各種變更，例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等也可以。

然後，在較薄導體膜661上，藉由CVD法，濺射法或電鍍法等覆蓋例如Cu等所構成的較厚導體膜6L2。在該Cu等之成膜時，儘可能採用伸出較小之分步敷層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜6L2係並不被限定於Cu者，可施以各種變更，例如Cu合金，Al、Al合金，W或N合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板1施以熱處理，流動較厚導體膜6L2之構成原子（例如Cu）而將該構成原子充分地供

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（32）

給並埋入在配線用溝５ａ內。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在Ｃｕ之濺射期間施行該熱處理的所謂反流濺射法也可以。由此，可提高Ｃｕ配線之ＥＭ特性。

之後，介經對於半導體基板１施以ＣＭＰ處理，介經除去配線用溝５ａ，以外之領域的層間絕緣膜４ａ上之較厚導體膜６Ｌ２及較薄導體膜６Ｌ１，如第１５圖所示，在配線用溝５ａ內形成第１層配線６Ｌ。

在該ＣＭＰ處理後或處理前對於半導體基板１施以熱處理也可以。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該ＣＭＰ處理後之熱處理過程，促進較厚半導體基板６Ｌ２的Ｃｕ之粒子成長並提高ＥＭ耐性，同時在ＣＭＰ處理時避免產生在較薄導體膜６Ｌ１及較厚導體膜６Ｌ２之表面的損傷或氧化膜而得其表面成爲平滑。同時除去減低絕緣膜４ａ的表面污染。由此，成爲可提高配線之可靠性。

然後，如第１６圖所示，在層間絕緣膜４ａ上部藉由光刻法技術及乾蝕刻技術形成比配線用溝５ａ寬窄或長度短的配線用溝５ｂ。此時，配線用溝５ｂ之深度係與配線用溝５ａ相同也可以，惟設定與配線用溝５ａ之深度不同深度也可以。例如第１７圖所示，將配線用溝５ｂ之深度比配線用溝５ａ之深度較深也可以。此時，配線用溝５ｂ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（33）

係寬度係狹窄，惟較深，因此，成爲可降低埋入在配線用溝５ｂ內的導體膜之配線電阻。或將配線用溝５ｂ形成較深，達到下層配線層或半導體基板，也可使用於連接用。

然後，與上述同樣地，在配線用溝５ａ內之第１層配線６Ｌ之上面及包括配線用溝５ｂ之層間絕緣膜４ａ之表面，藉由濺射法等覆蓋例如Ｗ等所構成的較薄導體膜。該較薄導體膜係具有提高第１層配線與層間絕緣膜４ａ之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於Ｗ者而可施以各種變更，例如ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等也可以。

然後，在薄導體膜上，藉由ＣＶＤ法等覆蓋例如Ｗ等所構成之較厚導體膜。在該Ｗ等之成膜時，儘可能採用伸出較小之分步敷層優異之方法較理想。由此，即使在寬窄之配線用溝５ｂ，又，如第１７圖所示地，即使比配線用溝５ａ較深之配線用溝５ｂ，也成爲在其內部可良好地填充配線用導體。該較厚導體膜，係並不被限定於Ｗ者；可施以各種變更，例如Ｗ合金，Ａｌ或Ａｌ合金也可以。

然後，對於半導體基板１介經施以ＣＭＰ處理，介經除去配線用溝５ｂ以外之領域的較厚導體膜及較薄導體膜，如第１８圖所示，在比配線用溝５ａ寬窄之配線用溝５ｂ內。形成與配線用溝５ａ內之較薄導體膜６Ｌ１及較厚導體膜６Ｌ２係異種導體材料所構成之較厚導體膜６Ｌ１及較厚導體膜６Ｌ２所構成的第１層配線６Ｌ。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（34）

如此，依照本實施形態1，成爲可得到以下之效果。

（1）在微細連接孔8a～8f內使用CVD法等填充導體膜之後，形成比連接孔8a～8f平面尺寸較大之配線用溝5a～5f，在該配線用溝5a～5f內填充導體膜，介經形成埋入構造之第1配線層6L，連接用導體部7C，第2層配線9L，連接用導體部10C，第3層配線11L及連接用導體部12C，成爲在配線用溝5a～5f及比其較微細之連接孔8a～8f雙方可良好地填充導體膜。

（2）在相同配線層具有不同配線用溝等時，介經選擇以微細之配線用溝等與比其更大之配線用溝等容易埋入之方法來埋入導體膜，成爲在雙方之配線用溝內可良好地埋入導體膜。

（3）介經上述（1）或（2），成爲可提高配線層間之連接上的可靠性。因此，成爲可提高半導體積體電路裝置之良品率及可靠性。

（4）介經上述（1）或（2），成爲可推動埋入配線之微細化。因此，成爲可推動半導體積體電路裝置之小型化或高積體化。

（5）介經上述（1）或（2），不必採用難技術，在配線用溝5a至5f及連接孔8a至8f可良好地埋入導體膜。

（6）介經上述（1）或（2），成爲作爲埋入配線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（35）

材料即使使用Ｃｕ或Ｃｕ合金等時也可良好地實施其埋入狀態。

（７）與半導體基板１直接接觸之連接用導體部７Ｃ係以Ｗ係（Ｗ或Ｗ合金）之導體材料所構成，且與連接用導體部７Ｃ連接之第１層配線６Ｌ係介經以Ｃｕ系之導體材料所構成，一面良好地保持導體膜對於連接孔８ａ內之埋入狀態，一面防止Ｃｕ原子對於半導體基板１側之擴散，能避免起因於其擴散現象的連接不良，且減低第１層配線６Ｌ之配線電阻而成爲可提高信號之傳播速度。

（８）介經以Ａｌ系（Ａｌ或Ａｌ合金）之導體材料構成最上之第４層配線１３Ｌ，仍可沿用以往之線接合技術或隆起電極之形成技術等之裝配技術。因此，成爲可將Ｃｕ系之埋入配線的半導體積體電路裝置容易地導入在裝配過程。

（９）介經在Ａｌ系之導體材料所構成的第４層配線１３Ｌ與其下層之Ｃｕ系之導體材料所構成的第３層配線１１Ｌ之間，設置Ｗ系之導體材料所構成的連接用導體部１４Ｃ，由於以較厚阻障金屬隔離Ａ系之導體材料與Ｃｕ系之導體材料，防止直接接觸Ａｌ系之導體材料與Ｃｕ系之導體材料時於其接觸部形成高電阻係數之合金層，因此，成爲可降低配線層間之電阻。

（１０）介經在用以形成Ｃｕ系導體材料所構成之埋入配線的ＣＭＰ處理後對於半導體基板１施以熱處理，由於促進Ｃｕ之粒子成長而提高ＥＭ耐性，而且在ＣＭＰ處

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（36）

理時可避免產生在配線用導體膜之表面的損傷或氧化膜等將其表面成爲平滑，或可除去減低ＣＭＰ時所露出的絕緣膜之表面污染，因此，成爲可提高Ｃｕ系之導體材料所構成的埋入配線之可靠性。

（實施形態２）

第１９圖至第２３圖係表示本發明之其他實施形態的半導體積體電路裝置之製程的要部剖面圖，第２４圖係表示半導體積體電路裝置的要部剖面圖。

在本實施形態２，係連接用導體部之構造及其形成方法與上述實施形態１不同。

首先，如第１９圖所示，在層間絕緣膜４ａ之上面形成配線用溝形成用之光阻圖案１７ｂ後，將該光阻圖案１７ｂ作爲蝕刻掩蔽而介經施以蝕刻處理，在層間絕緣膜４ａ上部形成配線用溝５ａ。

然後，除去光阻圖案１７ｂ之後，如第２０圖所示，在層間絕緣膜４ａ上形成連接孔形成用之光阻圖案１７Ｃ之後，將該光阻圖案１７Ｃ作爲蝕刻掩蔽施以蝕刻處理，將如從配線用溝５ａ之底面向半導體基板１延伸，且能露出半導體基板１上面之一部分的連接孔８ａ穿孔在層間絕緣膜４ａ。

然後，除去光阻圖案１７Ｃ之後，如第２１圖所示，在連接孔８ａ內，藉選擇ＣＶＤ法等形成例如Ｗ等所構成之連接用導體部７Ｃ。此時，連接用導體部７Ｃ之上部突

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（37）

出於配線用溝５ａ中也無妨。又，連接用導體部７Ｃ之材料係並不被限定於Ｗ者，可施以各種變更，例如Ｗ合金，Ａｌ、Ａｌ合金也可以。

然後，如第２２圖所示，在包括配線用溝５ａ之層間絕緣膜４ａ之表面及連接用導體部７Ｃ之露出表面，藉由濺射法覆蓋例如ＴｉＮ等所構成的較薄導體膜６Ｌ１。該較薄導體膜６Ｌ１係具有提高第１層配線與層間絕緣膜４ａ之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於ＴｉＮ者，可施以各種變更，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等也可以。

然後，在較薄導體膜６６１上，藉由ＣＶＤ法，濺射法或電鍍法等覆蓋例如Ｃｕ等所構成的較厚導體膜６Ｌ２。在該Ｃｕ等之成膜時，儘可能採用伸出較小之分步敷層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜６Ｌ２係並不被限定於Ｃｕ者，可施以各種變更，例如Ｃｕ合金，Ａｌ、Ａｌ合金，Ｗ或Ｗ合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板１施以熱處理，流動較厚導體膜６Ｌ２之構成原子（例如Ｃｕ）而將該構成原子充分地供給並埋入在配線用溝５ａ內。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在Ｃｕ之濺射

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（38）

期間施行該熱處理的所謂反流濺射法也可以。由此，可提高Ｃｕ配線之ＥＭ特性。

之後，介經對於半導體基板１施以ＣＭＰ處理，介經除去配線用溝５ａ，５ｂ（參照第１圖）以外之領域的層間絕緣膜４ａ上之較厚導體膜６Ｌ２及較薄導體膜６Ｌ１，如第２３圖所示，在配線用溝５ａ內形成第１配線層６Ｌ。

在該ＣＭＰ處理後或處理前對於半導體基板１能以熱處理也可以。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該ＣＭＰ處理後之熱處理過程，促進較厚半導體基板６Ｌ２的Ｃｕ之粒子成長並提高ＥＭ耐性，同時在ＣＭＰ處理時避免產生在較薄導體膜６Ｌ１及較厚導體膜６Ｌ２之表面的損傷或氧化膜而得其表面成爲平滑。同時除去減低絕緣膜４ａ的表面污染。由此，成爲可提高配線之可靠性。

又，此等埋入配線構造係如第２４圖所示，也可適用於第２層配線９Ｌ。亦即，連接用導體部１０Ｃ成爲以例如選擇ＣＶＤ法所形成之Ｗ，Ｗ合金，Ａｌ，Ａｌ合金，Ｃｕ或Ｃｕ合金等的導體膜所構成之構造。

依照此等本實施形態２，成爲可得到與上述實施形態１同樣之效果。

（實施形態３）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（39）

第２５圖至第２８圖及第２９圖至第３２圖係本發明之其他實施形態的半導體積體電路裝置之製程中的要部剖面圖，第３３圖係表示半導體積體電路裝置之要部剖面圖。

第２５圖係表示製程中的半導體積體電路裝置。在層間絕緣膜４ａ，藉由在上述實施形態２所說明之方法，形成有配線用溝５ａ及連接孔８ａ。

首先，在本實施形態３中，如第２６圖所示，在連接孔８ａ內，藉由選擇ＣＶＤ法形成例如Ｗ等所構成之連接用導體部７Ｃ。此時，在本實施形態３中，實行成膜處理使連接用導體部７Ｃ之上部突出於配線用溝５ａ之外側的程度。又，連接用導體部７Ｃ之材料係並不被限定於Ｗ者，可施以各種變更，例如Ｗ合金，Ａｌ，Ａｌ合金也可以。

然後，如第２７圖所示，在包括配線用溝５ａ之層間絕緣膜４ａ之表面及連接用導體部７Ｃ之表面，藉由濺射法覆蓋例如ＴｉＮ等所構成的較薄導體膜６Ｌ１。該較薄導體膜６Ｌ１係具有提高第１層配線與層間絕緣膜４ａ之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於ＴｉＮ者，可施以各種變更，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等也可以。

然後，在較薄導體膜６６１上，藉由ＣＶＤ法，濺射法或電鍍法等覆蓋例如Ｃｕ等所構成的較厚導體膜６Ｌ２

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（40）

。在該Ｃｕ等之成膜時，儘可能採用伸出較小之分步敷層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜６Ｌ２係並不被限定於Ｃｕ者，可施以各種變更，例如Ｃｕ合金，Ａｌ、Ａｌ合金，Ｗ或Ｎ合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板１施以熱處理，流動較厚導體膜６Ｌ２之構成原子（例如Ｃｕ）而將該構成原子充分地供給並埋入在配線用溝５ａ內。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在Ｃｕ之濺射期間施行該熱處理的所謂反流濺射法也可以。由此，可提高Ｃｕ配線之ＥＭ特性。

之後，介經對於半導體基板１施以ＣＭＰ處理，介經除去配線用溝５ａ，５ｂ（參照第１圖）以外之領域的層間絕緣膜４ａ上之較厚導體膜６Ｌ２及較薄導體膜６Ｌ１，如第２８圖所示，在配線用溝５ａ內形成第１層配線６Ｌ，同時，形成連接用導體部７Ｃ。

在該ＣＭＰ處理後或處理前對於半導體基板１施以熱處理也可以。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該ＣＭＰ處理後之熱處理過程，促進較厚半導體基板６Ｌ２的Ｃｕ之粒子成長並提高ＥＭ耐性，同時在ＣＭＰ處理時避免產生在較薄導體膜６Ｌ１及較

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（41）

厚導體膜６Ｌ２之表面的損傷或氧化膜而得其表面成爲平滑。同時除去減低絕緣膜４ａ的表面污染。由此，成爲可提高配線之可靠性。

又，欲形成如第２８圖之構造之埋入配線，例如如下地實行也可以。

首先，如第２９圖所示，在層間絕緣膜４ａ藉由先刻法技術及乾蝕刻技術形成使半導體基板１上面之一部分露出的連接孔８ａ。

然後，如第３０圖所示，在連接孔８ａ內，藉由選擇ＣＶＤ法形成例如Ｗ等所構成連接用導體部７Ｃ。此時，實行成膜處理使連接用導體部７Ｃ之上面與層間絕緣膜４ａ之上面大約一致。又，連接用導體部７Ｃ之材料係並不被限定於Ｗ者，可施以各種變更，例如Ｗ合金，Ａｌ，Ａｌ合金也可以。

然後，如第３１圖所示，在層間絕緣膜４ａ藉由光刻法技術及乾蝕刻技術形成配線用溝５ａ。此時，在配線用溝５ａ中露出連接用導體部７Ｃ之上部。

然後，如第３２圖所示，在包括配線用溝５ａ之層間絕緣膜４ａ之表面及連接用導體部７Ｃ之露出表面，藉由濺射法覆蓋例如ＴｉＮ等所構成的較薄導體膜６Ｌ１。該較薄導體膜６Ｌ１係具有提高第１層配線與層間絕緣膜４ａ之密接性的功能或抑制較厚導體膜之構成原子之擴散的阻障功能的材料所構成，並不被限定於ＴｉＮ者，可施以各種變更，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（42）

ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等也可以。

然後，在較薄導體膜６６１上，藉由ＣＶＤ法，濺射法或電鍍法，或組合此等等覆蓋例如Ｃｕ等所構成的較厚導體膜６Ｌ２。在該Ｃｕ等之成膜時，儘可能採用伸出較小之分步敷層優異之方法。例如在濺射法，適用靶與半導體晶圓之間的距離隔間半導體晶圓之半徑以上的濺射裝置。該較厚導體膜６Ｌ２係並不被限定於Ｃｕ者，可施以各種變更，例如Ｃｕ合金，Ａｌ、Ａｌ合金，Ｗ或Ｎ合金也可以。

以濺射法成膜上述之配線用導體膜時，特別是，繼續地介經對於半導體基板１施以熱處理，流動較厚導體膜６Ｌ２之構成原子（例如Ｃｕ）而將該構成原子充分地供給並埋入在配線用溝５ａ內。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還原氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。又，採用在Ｃｕ之濺射期間施行該熱處理的所謂反流濺射法也可以。由此，可提高Ｃｕ配線之ＥＭ特性。

之後，介經對於半導體基板１施以ＣＭＰ處理，介經除去配線用溝５ａ，５ｂ（參照第１圖）以外之領域的層間絕緣膜４ａ上之較厚導體膜６Ｌ２及較薄導體膜６Ｌ１，如第２８圖所示，在配線用溝５ａ內形成第１層配線６Ｌ，同時，形成連接用導體部７Ｃ。

在該ＣＭＰ處理後或處理前對於半導體基板１施以熱處理也可以。此時，熱處理氣氛係作爲惰性氣體氣氛，氧

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（43）

化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。在該ＣＭＰ處理後之熱處理過程，促進較厚半導體基板６Ｌ２的Ｃｕ之粒子成長並提高ＥＭ耐性，同時在ＣＭＰ處理時避免產生在較薄導體膜６Ｌ１及較厚導體膜６Ｌ２之表面的損傷或氧化膜而得其表面成爲平滑。同時除去減低絕緣膜４ａ的表面污染。由此，成爲可提高配線之可靠性。

又，此等埋入配線構造，如第３３圖所示，也適用於第２層配線９Ｌ。亦即，連接用導體部１０Ｃ，成爲例如選擇ＣＶＤ法所形成之Ｗ，Ｗ合金，Ａｌ，Ａｌ合金等之導體膜所構成的構造。

如此，依照本實施形態３，成爲可得到與上述實施形態１同樣之效果。

（實施形態４）

第３４圖及第３５圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

在本實施形態中，如第３４圖及第３５圖所示，連接用導體部７Ｃ，１０Ｃ以較薄導體膜７Ｃ１，１０Ｃ１所構成。亦即，連接孔８ａ，８ｂ以較薄導體膜７Ｃ１，１０Ｃ１埋入之構造。

較薄導體膜７Ｃ１，１０Ｃ１係具有提高連接用導體部７Ｃ，１０Ｃ與層間絕緣膜４ａ，４ｂ之密接性的功能或抑制配線之構成原子的阻障功能的材料所構成，例如Ｗ

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（44）

，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等所構成。

連接孔8a之直徑係例如約0．1～0．4μm，較理想係例如0．2μm。又，連接孔8a之縱橫比係約2～10，考慮良好地實行連接用導體部之埋入時，比約3小較理想。

又，連接孔8b之直徑係例如約0．1～0．4μm，較理想係例如約0．2μm。又，連接孔8b之縱橫比係約2～10，考慮良好地實行連接用導體部之埋入時，比約5小較理想。

又，配線構造係並不被限定於表示於第33圖及第34圖之構造者，可施以各種變更，表示於例如以上述實施形態1所說明之第3圖至第5圖之構造也可以。

此等埋入配線之形成方法，與使用上述實施形態1的第8圖至第12圖所說明相同。亦即，將第1層配線6L之形成方法作爲一例子係如下。

首先，在層間絕緣膜4a穿孔連接孔8a之後，在該層間4a上藉由濺射法等覆蓋埋入連接孔8a的較薄導體膜7C1。然後，介經對於半導體基板1施以CMP法等，在該較薄導體膜7C1除去連接孔8a之領域以外的部分，而在連接孔8a內，形成僅由較薄導體膜7C1所構成的連接用導體部7C。然後，在層間絕緣膜4a形成配線用溝5a之後，在該層間絕緣膜4a上藉由濺射法或電鍍法等覆蓋埋入配線用溝5a的配線用導體膜。然後，介

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（45）

經對於半導體基板1施以CMP法等，在該配線用導體膜除去配線用溝5a之領域以外的部分，而在配線用溝5a內形成第1層配線6L。

在較厚導體膜6L1之成膜後或CMP處理後對於半導體基板1施以熱處理也可以。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。介經施以熱處理，促進較厚半導體基板6L2的Cu之柱子成長並提高EM耐性，同時在CMP處理時避免產生在較薄導體膜6L1及較厚導體膜6L2之表面的損傷或氧化膜而將其表面成爲平滑，及除去減低絕緣膜4a的表面污染，因此，成爲可提高配線之可靠性。

依照此等本實施形態4，成爲可得到與上述實施形態1同樣之效果。

（實施形態5）

第36圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖，第37圖係表示第36圖之半導體積體電路裝置的要部放大剖面圖，第38圖係表示於第37圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖，第39圖係表示於第37圖之半導體積體電路裝置的要部放大剖面圖，第40圖係模式地表示第39圖之半導體積體電路裝置之要部的說明圖，第41圖係模式地表示第40圖之變形例的說明圖，第42圖及第43圖係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（46）

模式地表示第４０圖之變形例的說明圖，第４４圖至第４８圖係表示第３６圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

首先，藉由第３６圖至第４８圖說明本實施形態５的半導體積體電路裝置之構造。本實施形態５之基本上的整體構造，係例如如下。

第１，在第１層配線６Ｌ之構成材料，使用例如Ｗ，Ｗ合金，Ａｌ或Ａｌ合金等的Ｃｕ或Ｃｕ合金以外的導體材料。由此，由於可將Ｃｕ配線直接接觸於半導體基板１之構造，因此，可抑制起因於Ｃｕ原子擴散半導體基板１側之元件不良，成爲可提高半導體積體電路裝置之可靠性。又，介經隔離以Ｃｕ配線所構成之第２，第３層配線９Ｌ，１１Ｌ與半導體基板１之距離，可減低Ｃｕ原子對於半導體基板１之擴散。

第２，在最上之第４層配線１３Ｌ之構成，使用例如Ａｌ或Ａｌ合金等。由此，可仍然沿用以往就有的接合線之連接技術或隆起電極之形成技術。亦即，雖然最上之配線層係連接有接合線或隆起電極，惟將最上之配線材料作爲以往就使用的Ａｌ或Ａｌ合金，成爲可仍然使用接合線或隆起電極之接合上的以往技術。因此，不會隨著裝配過程（線接合過程或隆起電極形成過程）的技術上之變更等，成爲可將具有Ｃｕ系材料所構成的埋入配線構造旳半導體積體電路裝置導入在裝配線。因此，可推動減低具有Ｃｕ系材料之埋入配線的半導體積體電路裝置之成本。成

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（47）

爲可推動製造與開發時間之短期化。

第３，在最上之配線層與最下配線層之間的中間配線層（第２層配線９Ｌ及第３層配線１１Ｌ）的構成，例如Ｃｕ或Ｃｕ合金。由此，可減低配線電阻或配線電容，成爲可提高半導體積體電路裝置之信號傳播速度，並成爲可提高其動作速度。

第４，將連接以Ｃｕ系材料所構成之配線層間的連接用導體部１８Ｃ，１９Ｃ，以例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成之材料所構成。由此，由於在微細連接孔８ｇ，８ｈ內可良好地埋入導體膜，因上，成爲可提高配線層間的電氣式連接的可靠性。

第５，未直接接觸Ａｌ系所構成的第４層配線１３Ｌ，及Ｃｕ系材料所構成的第３層配線１１Ｌ，而在其中間介裝阻障層（連接用導體部２０Ｃ等）。由此，直接接觸Ａｌ系材料與Ｃｕ系材料時，由於可抑制高電阻係數之合金層的環境，因此，成爲可提高流在配線之信號的傳播速度。

第６，在位於連接用導體部１９Ｃ與連接用導體部２０Ｃ所連接之部分的配線層中，設置至少沿著配線之長度方向比連接用導體部１９Ｃ，２０Ｃ平面地較長所形成的連接用導體部（中繼用之連接用導體部）２１Ｃ，並電氣式地連接上述之連接用導體部２０Ｃ。由此，由於可將連接用導體部２１Ｃ所形成之配線用溝５ｇ之平面積成爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（48）

較大，因此，成爲在該溝內良好地埋入配線用導體膜。又，成爲可增大連接用導體部１９Ｃ與連接用導體部２０Ｃ之配線的長度方向之平面性對位的餘量。因此，成爲可提高上下之連接用導體部１９Ｃ，２０Ｃ之連接上的可靠性。

以下，詳述本實施形態５之半導體積體電路裝置的各構成部。

埋入於配線用溝５ａ，５ｂ內所形成的第１層配線６Ｌ，係由下部與側部之相對地較薄導體膜６Ｌ１，及被該較薄導體膜６Ｌ１所圍繞之相對地較厚導體膜６Ｌ２所構成。較薄導體膜６Ｌ１係具有提高第１層配線６Ｌ與層間絕緣膜４ａ之密接性的功能或抑制較厚導體膜６Ｌ２之構成原子之擴散的阻障功能的材料所構成，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。

以Ｗ等構成較薄導體膜６Ｌ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成時相比較，成爲可降低配線電阻。雖並不被特別限定，惟在本實施形態５，較薄導體膜６Ｌ１係例如以Ｗ所構成。

又，較厚導體膜６Ｌ２係構成第１層配線６Ｌ之本體的構件，例如Ａｌ，Ａｌ合金，Ｗ或Ｗ合金之低電阻之材料所構成。雖並不被特別限定，惟在本實施形態５，較厚導體膜６Ｌ２係例如以Ｗ所構成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（49）

但是，第1層配線6L之構造係並不被限定於表示於第36圖及第37圖之構造者而可施以各種變更，作成在上述實施形態1中使用第3圖至第5圖所說明的構造也可以。亦即，有在較厚導體膜6L2與較薄導體膜6L1上設置帽蓋導體膜之構造；在較厚導體膜6L2上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜4a之上面成爲大約一致的構造；僅在較厚導體膜6L2構成配線的構造；僅在較厚導體膜6L2構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等所構成。

配線用溝5a之第1層配線6L係經連接孔8a與nMOS3n之半導體領域3nd或pMOS3p之半導體領域3pd電氣式地連接。在本實施形態5中，在配線用溝5a與連接孔8a內一體地埋入有配線形成用導體膜。

此等第1層配線6L之形成方法，係例如與以下之以往之埋入配線的形成方法相同。亦即，將配線用溝5a，5b與連接孔8a藉由各該之光刻法技術及乾蝕刻技術形成層間絕緣膜4a之後，藉由濺射法覆蓋例如W等所構成的較薄導體膜6L1，又，在該較薄導體膜6L1上，藉由CVD法等形成例如W等所構成的較厚導體膜6L2。由此，成爲在微細連接孔8a內也可良好地埋入導體膜。然後，施以CMP處理，除去配線用溝5a，5b及連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（50）

孔８ａ以外的導體膜，俾形成埋入構造之第１層配線６Ｌ。

埋入於配線用溝５ｃ，５ｄ內所形成的第２層配線９Ｌ，係下部與側部之相對地較薄導體膜９Ｌ１，及被該較薄導體膜９Ｌ１所圍繞之相對地較厚導體膜９Ｌ２所構成。較薄導體膜９Ｌ１，係具有提高第２層配線９Ｌ與層間絕緣膜４ｂ之密接性的功能或抑制較厚導體膜９Ｌ２之構成原子之擴散的阻障功能的材料所構成，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。

以Ｗ等構成較薄導體膜９Ｌ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成時相比較，成爲可降低配線電阻。雖並未被特別限定，惟在本實施形態５中，較薄導體膜９Ｌ１係例如以ＴｉＮ所構成。

又，較厚導體膜９Ｌ２係構成第２層配線９Ｌ之本體的構件，例如Ｃｕ或Ｃｕ合金等之低電阻材料所構成。但是，第２層配線９Ｌ之構造係並不被限定於表示在第３６圖構造者而可施以各種變更，作成在上述實施形態１中使用第３圖至第５圖所說明之構造也可以。亦即，有在較厚導體膜９Ｌ２與較薄導體膜９Ｌ１上設置帽蓋導體膜之構造；在較厚９Ｌ２上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜４ｂ之上面成爲大約一致的構造；僅以較厚導體膜９Ｌ２構成配線的構造；僅在以較厚導體膜

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（51）

9L2構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等所構成。

配線用溝5c之第2層配線9L係經連接孔8g與第1層配線9L電氣式地連接。連接孔8g係從配線用溝5c之底面向第1層配線6L之上面，使其第1層配線6L之上面一部分露出地形成，而在該孔內，設有例如W，W合金，Al或Al合金所構成的連接用導體部18c。

又，埋入於配線用溝5e內所形成的第3層配線11L，係與第2層配線9L之構造相同，下部與側部之相對地較薄導體膜11L1，及被該較薄導體膜11L1所圍繞之相對地較厚導體膜11L2所構成。較薄導體膜11L1係具有提高第3層配線11L與層間絕緣膜4C之密接性的功能或抑制較厚導體膜11L2之構成原子之擴散的阻障功能的材料所構成，例如W，TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等所構成。

以W等構成較薄導體膜11L1時，與以TiN，Ti，Ta，WN，WSiN，TiSiN，TaN或TaSiN等所構成時相比較，成爲可降低配線電阻。雖並未被特別限定，惟在本實施形態5中，較薄導體膜11L1係例如以TiN所構成。

又，較厚導體膜11L2係構成第3層配線11L之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（52）

本體的構件，例如Ｃｕ或Ｃｕ合金等之低電阻材料所構成。但是，第３層配線１１Ｌ之構造係並不被限定於表示在第３６圖構造者而可施以各種變更，作成在上述實施形態１中使用第３圖至第５圖所說明之構造也可以。亦即，有在較厚導體膜１１Ｌ２與較薄導體膜１１Ｌ１上設置帽蓋導體膜之構造；在較厚１１Ｌ２上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜４ｂ之上面成爲大約一致的構造；僅以較厚導體膜１１Ｌ２構成配線的構造；僅在以較厚導體膜１１Ｌ２構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。

配線用溝５ｅ之第３層配線１１Ｌ係經連接孔８ｈ與第２層配線９Ｌ電氣式地連接。連接孔８ｈ係從配線用溝５ｅ之底面向第２層配線９Ｌ之上面，使其第２層配線９Ｌ之上面一部分露出地形成，而在該孔內，設有例如Ｗ，Ｗ合金，Ａｌ或Ａｌ合金所構成的連接用導體部１９ｃ。

如下述第３９（Ａ）圖所示，第２層配線９Ｌ係設成例如向Ｙ方向延伸，而第２層配線９Ｌ間的節距係向Ｘ方向以所定值被設計。又，第３層配線１１Ｌ係設成例如向垂直於Ｙ方向之Ｘ方向延伸，而第３層配線１１Ｌ間的節距係向Ｙ方向以所定值被設計。

此等第２層配線９Ｌ與第３層配線１１Ｌ之形成方法

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（53）

，係與例如以往之埋入配線的形成方法相同。亦即，將第2層配線9L之形成方法作爲例子加以說明如下。

首先，將配線用溝5c，5d及連接孔8g分別藉由光刻法技術及乾蝕刻技術形成在層間絕緣膜4b之後，將例如W等所構成之導體膜藉由選擇CVD法等選擇性地成長於連接孔8g內以形成連接用導體部18c。

然後，藉由濺射法覆蓋例如TiN等所構成之較薄導體膜9L1，又，在該較薄導體膜9L1上，藉由濺射法，CVD法或電鍍等形成例如Cu或Cu合金等所構成的較厚導體膜9L2。該過程後，施以熱處理而將Cu原子良好地填充於配線用溝5c，5d內也可以。由此，成爲在微細連接孔8g內良好地埋入導體膜。

然後，對於半導體基板1施以CMP處理俾除去配線用溝5c，5d以外的導體膜，形成埋入構造之第2層配線9L。在較厚導體膜9L2之成膜後或CMP處理後對於半導體基板1施以熱處理也可以。此時，熱處理氣氛係作爲惰性氣體氣氛，氧化性氣體氣氛或還元氣體氣氛中之任何一種，或是組合該兩種以上的氣氛。介經施以熱處理，促進較厚半導體基板9L2的Cu之粒子成長並提高EM耐性，同時在CMP處理時避免產生在較薄導體膜6L1之表面的損傷或氧化膜而將其表面成爲平滑，又除去減低絕緣膜4a的表面污染，因此，成爲可提高配線之可靠性。

但是，連接孔8g，8h之埋入構造，係並不被限定

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（54）

於表示在第３６圖等之構造者而可施以各種變更，例如作爲表示於第３８圖之構造也可以。亦即，在第３８圖中，連接孔８ｇ，８ｈ以較薄導體膜９Ｌ１，１１Ｌ１埋入。此時之較薄導體膜１１Ｌ１之構成材料也與上述之材料相同，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成，較厚導體膜９Ｌ２，１１Ｌ２係例如Ｃｕ或Ｃｕ合金所構成。

又，連接孔８ｇ，８ｈ係其下部與側部之相對地較薄導體膜，及被較薄導體膜所圍繞之相對地較厚導體膜所構成也可以。此時，較薄導體膜係例如Ｗ，ＴｉＮ等所構成，而較厚導體膜係例如Ｗ等所構成。

一方面，在層間絕緣膜４Ｃ之上部〔第３配線層〕，與上述之配線用溝５ｅ一起，形成有與其相同之深度的連接用溝５ｇ。連接用溝５ｇ係與配線用溝５ｅ同時地形成。

該連接用溝５ｇ係如上所述，形成沿著配線之長度方向較長之狀態。由此，成爲在連接用溝５ｇ內可良好地埋入導體膜。亦即，在配線用溝５ｅ內埋入導體膜時，即使在相同配線層中之連接用溝５ｇ同時地埋入導體膜，若將連接用溝５ｇ之平面形狀與尺寸作爲下層之連接用導體部１９ｃ之上面之平面形狀與尺寸，由於連接用溝５ｇ係微細，因此產生無法充分地埋入導體膜之情形。爲了避免此等不方便，由此連接用溝５ｇ係其平面形狀沿著配線之長度方向較長的形狀，可防止降低配線之實裝密度，並成爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（55）

可良好地連接該導體膜者。因此，成爲可良好地連接上下之配線層間。

在連接用溝５ｇ，如第３６圖，第３９圖及第４０圖所示，設有連接用導體部２１ｃ。第３９（Ａ）圖係表示第２層配線９Ｌ至第４層配線１３Ｌ之一部的要部平面圖，第３９（Ｂ）圖係表示沿著第３９（Ａ）圖之Ｂ－Ｂ線的要部剖面圖，第３９（Ｃ）圖係表示沿著第３９（Ａ）圖之Ｃ－Ｃ線的要部剖面圖。又，第３９（Ｂ）圖係表示在紙面向垂直方向切剖第３６圖之右側的第２層配線９Ｌ至第４層配１３Ｌ部分時的剖面圖。

連接用導體部２１Ｃ係成爲與第３層配線１１Ｌ相同之構造，下部與側部之相對地較薄導體膜２１Ｃ１，及被該較薄導體膜２１Ｃ１所圍繞之相對地較厚導體膜２１Ｃ２所構成。亦即，連接用導體部２１Ｃ係與第３層配線１１Ｌ相同之配線所構成。較薄導體膜２１Ｃ１係具有提高連接用導體部２１Ｃ與層間絕緣膜４Ｃ之密接性的功能或抑制較厚導體膜２１Ｃ２之構成原子之擴散的阻障功能的材料所構成，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。

以Ｗ等構成較薄導體膜２１Ｃ１時，與以ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成時相比較，成爲可降低配線電阻。雖並未被特別限定，惟在本實施形態５中，較薄導體膜

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（56）

２１Ｃ１係與第３層配線１１Ｌ之較薄導體膜１１Ｌ１同時地以相同材料所形成，例如以ＴｉＮ所構成。

又，較厚導體膜２１Ｃ２係構成連接用導體部２１Ｃ之本體的構件，例如Ｃｕ或Ｃｕ合等之低電阻材料所構成。但是，連接用導體部２１Ｃ之構造係並不被限定於表示在第３６圖至第４１圖之構造者而可施以各種變更，作成在上述實施形態１中使用第３圖至第５圖所說明之構造也可以。

亦即，有在較厚導體膜２１Ｃ２與較薄導體膜２１Ｃ１上設置帽蓋導體膜之構造，在較厚導體膜２１Ｃ２上設置帽蓋導體膜，且將帽蓋導體膜之上面與層間絕緣膜４Ｃ之上面成爲大約一致的構造；僅以較厚導體膜２１Ｃ２構成配線的構件；僅在以較厚導體膜２１Ｃ２構成配線時在其上面設置帽蓋導體膜的構造等。帽蓋導體膜係例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。如第３９圖及第４０圖所示，連接用導體部２１Ｃ之平面形狀介經配線之長度方向（Ｘ方向）構成比Ｙ方向之配線寬度較大，可將上下之連接用導體部１９Ｃ，２０Ｃ之對位餘量在Ｘ方向較大。由此，即使欲增大第３層配線１１Ｌ之Ｙ方向的配線節距ｐ，也由於可將上下之連接用導體部１９Ｃ，２０Ｃ之對位餘量在Ｘ方向成爲較大，故可得到配線之高密度化及高積體化。又，由於配線之長度方向的配線長度係在配線寬度以上，成爲配線寬度之約兩倍以下，而不用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（57）

對接架，因此，可增大對位餘量，同時可增大埋入邊緣。不必增大配線節距，即可成爲高積體化。

又，如第４１圖所示，將連接用導體部２１ｃ之平面形狀，形成配線之長度方向及對於其方向呈交叉方向（配線寬度方向，亦即Ｙ方向）較長之形狀也可以。但是，此時，配線之長度方向（Ｘ方向）構成比Ｙ方向之配線寬度較大者。此時，可將上下之連接用導體部１９Ｃ，２０Ｃ之對位餘量在配線之長度方向及寬度方向之雙方較大。所以，由於可緩和埋入連接用導體部２０Ｃ之連接孔８ｆ形成時的對位精度，成爲可容易地形成連接孔８ｆ。又，即使連接孔８ｆ之平面位置稍偏離設計值，也成爲將連接用導體部２０Ｃ與連接用導體部２１Ｃ可良好地連接之狀態。

又，如第４２圖及第４３圖所示，作爲在上述實施形態１所說明之構造者也可以。亦即，連接用導體部１９Ｃ之上部突出於連接用導體部２１Ｃ中之構造。此時，與在上述實施形態１等所說明者相同方法所形成。亦即，在形成於層間絕緣膜４Ｃ之連接孔８ｈ（參照第３６圖）內埋入形成連接用導體部１９Ｃ之後，形成連接用溝５ｇ（參照第３６圖），然後，堆積導體膜，又施以ＣＭＰ處理，在該連接用溝５ｇ內形成連接用導體部２１Ｃ。

第４層配線１３Ｌ，係與上述實施形態１同樣地成爲一般之配線構造。第４層配線１３Ｌ係經連接孔８ｆ內之連接用導體部２０Ｃ與第３層配線１１Ｌ或連接用導體部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（58）

２１Ｃ電氣式地連接。連接用導體部２０Ｃ係例如以選擇ＣＶＤ法所形成之Ｗ或Ｗ合金等所構成。

亦即，在本實施形態５，係未直接接觸Ａｌ系材料所構成之第４層配線１３Ｌ，及Ｃｕ系材料所構成之第３層配線１１Ｌ或連接用導體部２１Ｃ，經由Ｗ系材料所構成的連接用導體部２０Ｃ成爲電氣式地連接之構造。由此，防止Ａｌ與Ｃｌ之直接接觸，成爲可防止在該接觸部形成高電阻係數之合金層的構造。

但是，作爲防止此等合金層所形成之構造，並不被限定於表示於第３６圖之構造而可施以各種變更，作成表示於第４４圖至第５２圖之構造也可以。亦即，第４４圖係表示第４層配線１３Ｌ由較薄導體膜１３Ｌ１與重疊於該上層之較厚導體膜１３Ｌ２所構成的構造。較薄導體膜１３Ｌ１係具有提高第４層配線１３Ｌ與層間絕緣膜４ｄ之密接性的功能或抑制較厚導體膜１３Ｌ２之構成原子之擴散的阻障功能的材料所構成，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。又，較厚導體膜１３Ｌ２係例如Ａｌ或Ａｌ合金等所構成。

在第４５圖之構造中，在從連接孔８ｆ露出之第３層配線１１Ｌ的露出面上，設有例如以選擇ＣＶＤ法等所形成之Ｗ或Ｗ合金等所構成的連接用導體部２０Ｃ１，且在連接孔８ｆ內的連接用導體部２０Ｃ１上，設有例如Ａｌ或Ａｌ合金等所構成的連接用導體部２０Ｃ２。第３層配

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（59）

線１３Ｌ係經該連接用導體部２０Ｃ（２０Ｃ２，２０Ｃ１）與第３層配線１１Ｌ電氣式地連接。又，１３Ｌ與２０Ｃ係同時地形成也可以。亦即，在該構造成爲Ａｌ系材料所構成之第４層配線１３Ｌ與連接用導體部２０Ｃ２，及Ｃｕ系材料所構成之第３層配線１１Ｌ的接觸部設置Ｗ等所構成之連接用導體部２０Ｃ１的構造。由此，在該接觸部可防止形成高電阻係數之合金層。又，由於將構成連接用導體部２０Ｃ之大部分的連接用導體部２０Ｃ２以低電阻之Ａｌ系材料所構成，因此，成爲可降低以Ｗ等構成所有該連接用導體部之第３６圖之構造相比較的連接用導體部２０Ｃ之電阻。

在第４６圖之構造中，在第２層配線１１Ｌ之上部設置帽蓋導體膜１１Ｌ３。帽蓋導體膜１１Ｌ３係例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉＮ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。又，較厚導體膜１３Ｌ２係例如Ａｌ或Ａｌ合金等所構成。在連接孔８ｆ內埋入有與第４層配線１３Ｌ一體地形成之Ａｌ或Ａｌ合金等所構成的導體膜。此時，也由於Ａｌ系材料所構成之第４層配線１３Ｌ，及Ｃｕ等材料所構成之第３層配線１１Ｌ的接觸部設置Ｗ等所構成的較薄導體膜１１Ｌ３，因此，可防止在該接觸部形成高電阻係數之合金層，且由於連接孔８ｆ內係以低電阻之Ａｌ系材料埋入，因此，與第３６圖之情形相比較成爲可降低層間連接部之電阻。

在第４７圖之構造中，連接孔８ｆ以較薄導體膜

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（60）

１３Ｌ１埋入。此時之較薄導體膜１３Ｌ１的構成材料係與上述之材料相同，例如Ｗ，ＴｉＮ，Ｔｉ，Ｔａ，ＷＮ，ＷＳｉ，ＴｉＳｉＮ，ＴａＮ或ＴａＳｉＮ等所構成。較厚導體膜１３Ｌ２係例如Ａｌ或Ａｌ合金所構成。

第４８圖之構造，係在第４７圖之構造中，有較厚導體膜１３Ｌ２ａ，１３Ｌ２ｂ由下層依順序重疊在較薄導體膜１３Ｌ１上，下層側之較厚導體膜１３Ｌ２ａ係例如Ｗ或Ｗ合金所構成，例如以ＣＶＤ法或濺射法等所形成。上層側之較厚導體膜１３Ｌ２ｂ係例如Ａｌ或Ａｌ合金所構成，例如以ＣＶＤ法或濺射法所形成。

在第４９圖之構造，將連接Ａｌ系所構成之第４層配線１３Ｌ，及Ｃｕ系所構成之第３層配線１１Ｌ的連接用導體部１４Ｃ，以濺射法所形成的Ｗ，ＴｉＮ等阻障（較薄導體膜）１４Ｃ１，及以ＣＶＤ法所形成的Ｗ等之插頭（較厚導體膜）１４Ｃ２所構成。由該構造，可減低接觸電阻。

該構造係介經濺射法堆積阻障金屬之後，以ＣＶＤ法將Ｗ埋入堆積於連接孔８ｆ，然後，介經ＣＭＰ或反複蝕刻，可將阻障金屬１４Ｃ１，插頭１４Ｃ２僅形成在連接孔８ｆ內。

又，連接用導體部１４Ｃ僅以ＣＶＤ法埋入ＴｉＮ之插頭１４Ｃ２所構成也可以。

第５０圖之構造，係在第４９圖之構造中，將第４層配線１３Ｌ，ＢＰ，以Ａｌ系所構成之較厚導體膜

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（61）

１３Ｌ２，及成膜ＴｉＮ或Ｗ等之高融點金屬或金屬化合物之較薄導體膜１３Ｌ１所構成。由此，可更提高可靠性。

第５１圖之構造，係在第４９圖之構造中，在連接孔８ｆ內堆積阻障金屬及Ｗ之後，未施以插頭加工，而堆積Ａｌ系材料，以Ｗ，ＴｉＮ等的阻障金屬（較薄導體膜）１３Ｌ１，及Ｗ所構成的較厚導體膜１３Ｌ２ａ，及Ａｌ系所構成的較厚導體膜１３Ｌ２ｂ構成第４層配線１３Ｌ。如此，未施加插頭加工地留下，成爲與Ａｌ合金之疊層配線，可提高依廢止插頭研磨過程所產生之簡化與依疊層構造所產生之可靠性。

第５２圖之構造，係在第５１圖之構造中。未設置阻障金屬（較薄導體膜）１３Ｌ１，以ＣＶＤ法形成之ＴｉＮ所構成的較厚導體膜１３Ｌ２ａ，及Ａｌ系所構成的較厚導體膜１３Ｌ２ｂ構成第４層配線１３Ｌ。因以ＣＶＤ法所形成之ＴｉＮ膜１３Ｌ２ｂ係與層間絕緣膜之黏接性比以膜優異，因此，不必設置阻障金屬１３Ｌ１，而可減低製程，與第５１圖之構造同樣地，未施加插頭加工地留下，成爲與Ａｌ合金之疊層配線，可提高依廢止插頭研磨過程所產生之簡化與依疊層構造所產生之可靠性。

將表示於連接用導體部１４Ｃ之構造適用於連接用導體部１０Ｃ，１２Ｃ，１８Ｃ，１９Ｃ，２０Ｃ也可以。第５３圖係表示將表示於第４９圖之連接用導體部１４Ｃ之構造適用於表示在第３９圖，第４０圖之連接用導體部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（62）

１９Ｃ，２０Ｃ的構造。較薄導體膜１９Ｃ１，２０Ｃ１係與阻障金屬１４Ｃ同稱地構成，而較厚導體膜１９Ｃ２，２０Ｃ２係與插頭１４Ｃ２同稱地構成。

第５４圖係表示以雙達馬新形成表示於第５３圖之第３層配線１１Ｌ，２１Ｃ的構造。該構造係形成連接孔５ｇ，８ｈ之後，藉濺射法堆積阻障金屬，然後，將Ｃｕ例如藉濺射法較薄地形成後，再使用電解電鍍法埋入地形成於連接孔５ｇ，８ｈ。然後藉ＣＭＰ法之形成以阻障金屬所構成之較薄導體膜２１Ｃ１，及Ｃｕ所構成之較厚導體膜２１Ｃ２所構成的第３層配線１１Ｌ，２１Ｃ。因將２１Ｃ至少沿著配線之長度方向比８ｈ在平面上較長地形成，可降低將５ｇ，８ｈ同時地以Ｃｕ埋入時的實效之縱橫比，成爲可容易實施Ｃｕ埋入。

第５５（ａ）圖及第５５（ｂ）圖係表示將表示於第３９圖之連接用導體部２１Ｃ偏向長度方向（Ｘ方向）的變形例。第５５（ａ）圖係表示第２層配線９Ｌ至第４層配線１３Ｌ之一部的要部平面圖，５５（ｂ）圖係表示沿著第５５（ａ）圖之Ｃ－Ｃ線的要部剖面圖。由此，即使在相鄰接之第２層配線９Ｌ的節距Ｐ１之位置形成第２層配線９Ｌ，也可設計連接用導體部２１Ｃ。

第５６圖係表示將表示於第３９圖之連接用導體部２１Ｃ，僅連接孔８ｆ所配置之部位向垂直於長度方向（Ｘ方向）之方法，在不變更節距Ｐ地變粗的變形例。將表示於第５６圖之連接用導體部２１Ｃ適用在表示於第５５

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（63）

（a）圖及第55（b）圖的連接用導體部21C。

（實施形態6）

第57圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。第58圖及第59圖係表示半導體積體電路裝置之製程中的要部剖面圖。

首先，使用第57圖說明本實施形態6的半導體積體電路裝置之構造。

第1層配線6L係以如W之Cu系以外之導體材料所構成，而第2層配線9L，第3層配線11L係與實施形態5同樣地以Cu系之導體材料所構成。

第1層配線6L係使用於例如將以MISFET所構成之邏輯電路由予以結線的配線，或結線邏輯電路間的配線，與第2層配線9L與第3層配線11L相比較，比較短之配線長度所構成。

第2層配線9L與第3層配線11L係使用於例如結線邏輯電路間之配線，構成其中一方向X方向延伸，而另一方向Y方向延伸的構造。

介經以W膜構成第1層配線6L，可用微細圖案形成第1層配線6L，可提高高積體化，同時可提高電子遷移耐性。

又，由於在第1層配線6L未使用Cu系之導電材料，因此，可減低Cu對於半導體基板1之擴散，並可提高可靠性。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（64）

由於以Ｃｕ系之導電材料構成第２層配線９Ｌ與第３層配線１１Ｌ，因此可減低配線之電阻係數，可成爲高速動作者。

連接用導體部７Ｃ，１８Ｃ，１９Ｃ，２０Ｃ，２１Ｃ係分別與表示於第４９圖之連接用導體部１４Ｃ同樣地，以濺射法形成之Ｗ所構成的阻障金屬（較薄導體膜）１４Ｃ１，及以Ｗ所構成之插頭（較厚導體膜）１４Ｃ２所構成。

第４層配線１３Ｌ，與第５層配線１０２係例如以Ａｌ系之導電材料所構成。

第４層配線１３Ｌ係以Ｗ，ＴｉＮ等之阻障金屬（較薄導體膜）１３Ｌ１，１３Ｌ３，隔著Ａｌ或Ａｌ合金所構成之較厚導體膜１３Ｌ２之疊層構造所構成。

介經將以Ａｌ系導電材料所構成的第４層配線１３Ｌ，及以Ｃｕ系導電材料所構成的第３層配線１１Ｌ，經由Ｗ所構成的連接用導體部２０Ｃ施以電氣式地連接，成爲可防止介經Ａｌ與Ｃｕ有高電阻係數之合金層形成在接觸部。又，第４層配線１３Ｌ係以表示於第４４圖至第５２圖之配線構造所構成也可以。

又，第５層配線１０２係未經由連接用導體部電氣式地連接於第４層配線１３Ｌ，惟並不被限定於此者，與第４層配線１３Ｌ與第３層１１Ｌ之間之連接相同地，經由與連接用導體部２０Ｃ相同之構造的連接用導體部，電氣式地連接第５層配線１０２與第４層配線１３Ｌ。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（65）

又，將第５層配線１０２與第４層配線１３Ｌ同樣地以疊層構造所構成也可以。

在第５層配線１０２，形成有例如矽氧化膜所構成的絕緣膜１０４，而在形成於絕緣膜１０４之開口部形成有下部電極１０６。第５層配線１０７係經由下部電極１０６電氣式地連接於軟焊料隆起所構成的隆起電極１０８，下部電極１０６係例如以阻障金屬所構成。

以下，使用第５８圖及第５９圖簡單地說明第１層配線６Ｌ及連接用導體部７Ｃ之形成方法。

與第８圖同樣地在層間絕緣膜４ａ形成連接孔８ａ之後，如第５８圖所示，藉濺射法堆積Ｗ所構成之較薄導體膜７Ｃ１，然後以ＣＶＤ法將Ｗ所構成之較厚導體膜７Ｃ２埋入地堆積連接孔８ａ。

然後，如第５９圖所示，藉例如ＣＭＰ法研磨該堆積膜，並在連接孔８ａ內埋入Ｗ所構成之較薄導體膜７Ｃ１，及Ｗ所構成之較厚導體膜７Ｃ２。

然後，以例如ＰＶＤ法堆積Ｗ膜之後，藉蝕刻使之圖案化後形成第１層配線６Ｌ。在此以依ＰＶＤ法的Ｗ膜形成６Ｌ，惟在以ＰＶＤ法之Ｗ膜上，形成以依ＣＶＤ法的Ｗ膜之疊層構造等作各種變更。

然後，以例如ＣＶＤ法堆積矽氧化膜之後，藉ＣＭＰ法研磨矽氧化膜，形成表面被平坦化之層間絕緣膜４ｂ。

以下之過程，係與上述之實施形態１至５同樣地形成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（66）

本實施形態6之半導體積體電路裝置係使用隆起電極108，惟如第6C圖所示，在以第5層配線102所構成之搭接襯墊電氣式地連接搭接線端110也可以。

又，本實施形態6之半導體積體電路裝置，係以5層之配線層所構成，惟以7層之配線層所構成，以Cu系之導電材料構成第2層至第5層配線，而以Al系之導電材料構成第6層配線至第7層配線也可以。此時，第2層配線與第4層配線構成向相向方向延伸而第3層配線與第5層配線係構成向相同方向延伸，使用作爲連接邏輯電路間之配線。又，本實施形態6中，在位於連接用導體部19C與連接用導體部20C所連接之部分的第3層配線層中，至少設置至少沿著配線之長度方向比連接用導體部19C，20C平面地較長地形成的連接用導體部21C，惟將構成連接用導體部21C之構造設於第2，3，4，5層也可以。

在第61圖，表示於實施形態1至6之半導體積體電路裝置的平面佈置。

重複地配置閘極陣列200，而在各閘極陣列20C，裝配配置有例如MISFET，雙載子，電阻等之積體電路元件。

介經變更第1層配線至第5層配線之配線圖案，構成各種邏輯電路，以形成具有所定邏輯的半導體積體電路裝置。

在第62圖，表示具有閘極陣列200與作爲記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（67）

之ＲＡＭ４００的半導體積體電路裝置。

又，如第６３圖所示，隨著ＬＳＩ之性能自由地配置具有各種功能的單元４００，５００，６００，７００。

如此，依照本實施形態５，６，除了在上述實施形態１所得到之（８）至（１０）之效果外，成爲可得到以下之效果。

（１）介經在微細連接孔８ａ至８ｆ內使用ＣＶＤ法等填充導體膜之後，在此連接孔８ａ至８ｆ其平面尺寸較大之配線用溝５ａ至５ｆ內填充導體膜而形成埋入構造之第１層配線６Ｌ，第２層配線９Ｌ及第３層配線１１Ｌ，成爲在配線用溝５ａ至５ｆ及比其微細之連接孔８ａ至８ｆ之雙方良好地埋入導體膜。又，在微細連接孔８ａ至８ｆ與位於其上方之配線用溝５ａ至５ｆ內，同時地使用ＣＶＤ法或電鍍法等填充導體膜時，介經將配線用溝５ａ至５ｆ成爲此連接孔８ａ至８ｆ增大平面尺寸，成爲可良好地埋入導體膜。

（２）介經上述（１），成爲可提高配線層間之連接上的可靠性。因此，成爲可提高半導體積體電路裝置之良品率及可靠性。

（３）介經上述（１），成爲可推動埋入配線之微細化。因此，成爲可推動半導體積體電路裝置之小型化或高積體化。

（４）介經上述（１），不必採用難技術，在配線用溝５ａ至５ｆ及連接孔８ａ至８ｆ可良好地埋入導體膜。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（68）

（５）介經上述（１），成爲作爲埋入配線材料即使使用Ｃｕ或Ｃｕ合金等時也可良好地實施其埋入狀態。

（６）與半導體基板１直接接觸之第１層配線６Ｌ係以Ｗ系之導體材料所構成，一面良好地保持導體膜對於連接孔８ａ內之埋入狀態，一面成爲可避免起因於Ｃｕ原子對於半導體基板１側之擴散現象的元件不良。又，介經Ｗ系之導體材料構成第１層配線６Ｌ，成爲可減低配線電阻與提高ＥＭ耐性。

以上，依照實施形態具體地說明藉由本發明者所施行之發明，惟本發明係並不被限定於上述實施形態者，在未超出其要旨之範圍內當然可施以各種變更。

例如在半導體基板，與連接用導體部之接觸部，也可以設置例如鎢矽化物或鈦矽化物等之矽化物層。

又，配線層係並不被限定於４層至７層者而可施以各種變更，３層或４層以上也可以。

藉由本案所揭示之發明中，簡單地說明藉由代表性者所得到之效果，如下所述。

（１）依照本發明的半導體積體電路裝置之製法，介經以導體膜充分地埋入連接孔之後，形成配線用溝，並以導體膜埋入該溝，成爲在配線用溝及比該溝更微細之連接孔的雙方良好地埋入導體膜。

（２）依照本發明的半導體積體電路裝置之製法，在相同配線層具有不同配線用溝等時，介經選擇以微細之配線用溝等與比其更大之配線用溝等容易埋入之方法來埋入

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（69）

導體膜，成爲在雙方之配線用溝內可良好地埋入導體膜。

（3）介經上述（1）或（2），成爲可提高配線層間之連接上的可靠性。因此，成爲可提高半導體積體電路裝置之良品率及可靠性。

（4）介經上述（1）或（2），成爲可推動埋入配線之微細化。因此，成爲可推動半導體積體電路裝置之小型化或高積體化。

（5）介經上述（1）或（2），不必採用難技術，在配線用溝及連接孔良好地埋入導體膜。

（6）介經上述（1）或（2），成爲作爲埋入配線材料即使使用Cu或Cu合金等時也可良好地實施其埋入狀態。

（7）依照本發明的半導體積體電路裝置之製法，介經在包含配線用溝之絕緣膜上平坦化以濺射法等所形成之Cu系導體材料俾除去配線用溝等以外之領域的Cu系導體材料，形成埋入配線後施以熱處理，由於促進Cu之粒子成長而提高EM耐性，同時在平坦化處理時可避免產生在Cu系導體膜之表面的損傷或氧化膜等將其表面成爲平滑，或可除去減低CMP時所露出的絕緣膜之表面污染，因此，可提高Cu系導體材料所構成的埋入配線之可靠性。

（8）依照本發明之半導體積體電路裝置，再於在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，上述埋入配線與半導體基板接觸部分的配線材料，係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（70）

以W，W合金，Al或Al合金所構成，介經將其上層之配線層的埋入配線以Cu或Cu合金所構成，一面良好地保持導體膜對於連接孔之埋入狀態，一面防止Cu原子對於半導體基板側之擴散俾避免起因於其擴散現象之元件不良，且可減低半導體積體電路裝置之整體性之配線電阻而成爲可提高傳播速度。

（9）依照本發明之半導體積體電路裝置，屬於在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，上述配線層中之最上配線層的配線材料以Al或Al合金所構成，其下層配線層的埋入配線以Cu或Cu合金所構成，且仍然沿用以往之搭接線端技術或隆起電極之形成技術等之裝配技術。因此，成爲可將具有Cu系導體材料之埋入配線的半導體積體電路裝置容易地導入在裝配過程。

（10）依照本發明之半導體積體電路裝置，屬於在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，在連接Al或Al合金所構成之配線，及Cu或Cu合金所構成的配線時，介經在此等接合部作爲阻障導體膜介裝插頭，由於在直接接觸Al系導體材料與Cu系導體材料時，可防止在其接觸部形成有高電阻係數之合金層，因此成爲降低配線層間之連接電阻。

（11）介經上述（8）至（10），成爲可將Cu系導體材料所構成的埋入配線，不會產生不方便下，裝進半導體積體電路裝置之整體構造。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（71）

（12）又，依照本發明之半導體積體電路裝置，介經上述中繼用之連接用導體部，係至少其所定埋入配線之配線延伸方向的長度，形成比上述連接孔之上述配線延伸方向的長度較長，由於可將形成中繼用之連接用導體部的連接用溝形成較大，因此，在連接用溝的可良好地埋入導體膜。故可提高上下之配線層間之電氣式地連接上的可靠性，成爲可提高半導體積體電路裝置之良品率及可靠性。

（圖式之簡單說明）

第1圖係表示本發明之一實施形態之半導體積體電路裝置的要部剖面圖。

第2圖係表示第1圖之半導體積體電路裝置之第1層配線的要部剖面圖。

第3圖係表示第2圖之配線構造之變形例的剖面圖。

第4圖係表示第2圖之配線構造之變形例的剖面圖。

第5圖係表示第2圖之配線構造之變形例的剖面圖。

第6圖係表示第1圖之半導體積體電路裝置之第2層配線的要部剖面圖。

第7圖係表示第1圖的半導體積體電路裝置之配線層間連接之變形例之半導體積體電路裝置的要部剖面圖。

第8圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖。

第9圖係表示第1圖之半導體積體電路裝置之製程中的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（72）

第１０圖係表示第１圖之半導體積體電路裝置之製程中的要部剖面圖。

第１１圖係表示第１圖之半導體積體電路裝置之製程中的要部剖面圖。

第１２圖係表示第１圖之半導體積體電路裝置之製程中的要部剖面圖。

第１３圖係表示第１圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第１４圖係表示第１圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第１５圖係表示第１圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第１６圖係表示第１圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第１７圖係表示第１圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第１８圖係表示第１圖之半導體積體電路裝置之製程中之要部的局剖切剖斜視圖。

第１９圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第２０圖係表示繼續於第１９圖之半導體積體電路裝置之製程中的要部剖面圖。

第２１圖係表示繼續於第１９圖之半導體積體電路裝置之製程中的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（73）

第２２圖係表示繼續於第１９圖之半導體積體電路裝置之製程中的要部剖面圖。

第２３圖係表示繼續於第１９圖之半導體積體電路裝置之製程中的要部剖面圖。

第２４圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第２５圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第２６圖係表示繼續於第２５圖之半導體積體電路裝置之製程中的要部剖面圖。

第２７圖係表示繼續於第２５圖之半導體積體電路裝置之製程中的要部剖面圖。

第２８圖係表示繼續於第２５圖之半導體積體電路裝置之製程中的要部剖面圖。

第２９圖係表示本發明之其他實施形態之半導體積體電路裝置之製程中的要部剖面圖。

第３０圖係表示繼續於第２９圖之半導體積體電路裝置之製程中的要部剖面圖。

第３１圖係表示繼續於第２９圖之半導體積體電路裝置之製程中的要部剖面圖。

第３２圖係表示繼續於第２９圖之半導體積體電路裝置之製程中的要部剖面圖。

第３３圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（74）

第３４圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第３５圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第３６圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第３７圖係表示第３６圖之半導體積體電路裝置的要部放大剖面圖。

第３８圖係表示於第３７圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第３９（Ａ）圖係表示於第３７圖之半導體積體電路裝置之要部之變形例的要部平面圖。

第３９（Ｂ），（Ｃ）圖係表示於第３９圖（Ａ）之半導體積體電路裝置之要部之變形例的要部放放大剖面圖。

第４０圖係模式地表示第３９圖之半導體積體電路裝置之要部的說明圖。

第４１圖係模式地表示第４０圖之變形例的說說明圖。

第４２圖係模式地表示第４０圖之變形例的說說明圖。

第４３圖係模式地表示第４０圖之變形例的說說明圖。

第４４圖係表示第３６圖之半導體積體電路裝置之要

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（75）

部之變形例的要部放大剖面圖。

第45圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第46圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第47圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第48圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第49圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第50圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第51圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第52圖係表示第36圖之半導體積體電路裝置之要部之變形例的要部放大剖面圖。

第53圖係表示第39（C）圖之半導體積體電路裝置之變形例的剖面圖。

第54圖係表示第39（C）圖之半導體積體電路裝置之變形例的剖面圖。

第55（a）圖係表示第39（A）圖之半導體積體電路裝置之變形例的平面圖。

第55（b）圖表示於第55（a）圖之半導體積體

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（76）

電路裝置的要部放大剖面圖。

第５６圖係表示第３９（Ａ）圖之半導體積體電路裝置之實施例的平剖面圖。

第５７圖係表示本發明之其他實施形態之半導體積體電路裝置的要部剖面圖。

第５８圖係表示第５７圖之半導體積體電路裝置之製程中的要部剖面圖。

第５９圖係表示第５７圖之半導體積體電路裝置之製程中的要部剖面圖。

第６０圖係表示第５７圖之半導體積體電路裝置之變形例的要部剖面圖。

第６１圖係表示本發明之實施形態之半導體積體電路裝置的平面佈置圖。

第６２圖係表示第６１圖之半導體積體電路裝置之變形例的平面佈置圖。

第６３圖係表示第６１圖之半導體積體電路裝置之變形例的平面佈置圖。

（記號之說明）

１　半導體基板，２　元件分離部，２ａ　分離用溝，２ｂ　分離用絕緣膜，４ａ～４ｄ　層間絕緣膜，５ａ～５ｆ　配線用溝，６Ｌ　第１層配線，７Ｃ　連接用導體部，８ａ～８ｈ　連接孔，９Ｌ　第２層配線，１０Ｃ　連接用導體部，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（77）

１１Ｌ　第３層配線，１２Ｃ　連接用導體部，

１３Ｌ　第４層配線，１４Ｃ　連接用導體部，

１５　表面保護膜，１５ａ，１５ｂ　保護膜，

１７ａ～１７ｃ　光阻圖案，

１９ｃ～２１ｃ　連接用導體部，１０２　第５層配線，

１０４　絕緣膜，１０６　下部電極，１０８　隆起電極，１１０　搭接線端，２００　閘極陣列，

４００　ＲＡＭ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：具有銅配線層之半導體積體電路裝置及其製法）

在半導體積體電路裝置，欲連接鋁或鋁合金所形成之配線，及銅或銅合金所形成之配線時，在此等之接合部介裝阻障導體膜或插頭。以鋁或鋁合金構成配線層中之最上配線層之配線材料，而以銅或銅合金構成其下層之配線層的配線。又，以銅或銅合金以外之例如可微細加工且具有低電阻高ＥＭ耐性的鎢所形成導電材料構成最下層之配線。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種半導體積體電路裝置之製法，其特徵爲具有：

（a）在上述半導體基板上層之絕緣膜開連接孔，及

（b）在上述絕緣膜上，埋入上述連接孔地形成連接用之導體膜，及

（c）上述連接用之導體膜之形成製程後，對於上述連接用之導體膜施以平坦化處理，介經除去連接孔內以外之連接用的導體膜，在上述連接孔內形成連接用導體部，及

（d）在形成上述連接用導體部後之絕緣膜的配線形成領域形成配線用溝，及

（e）在上述絕緣膜上，埋入上述配線用溝地形成配線用之導體膜，及

（f）上述配線用之導體膜之形成製程後，對於上述配線用之導體膜施以平坦化處理，介經除去配線用溝以外之配線用之導體膜，在上述配線用溝形成埋入配線。

2．如申請專利範圍第1項所述的半導體積體電路裝置之製法，其中，在上述連接用之導體膜的形成製程中，具有

（a）藉由濺射法形成構成上述連接用之導體膜之較薄導體膜的製程，及

（b）在上述較薄導體膜上，藉由CVD法形成構成上述連接用之導體膜之較厚導體膜的製程。

3．如申請專利範圍第1項所述的半導體積體電路裝

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

置之製法，其中，在上述連接用之導體膜的形成製程中，具有藉由選擇ＣＶＤ法形成構成上述連接用之導體膜之較厚導體膜的製程者。

４．如申請專利範圍第１項、第２項或第３項中任何一項所述的半導體積體電路裝置之製法，其中，上述配線用之導體膜由銅或銅合金所構成，以濺射法形成該導體膜時，具有在上述配線用之導體膜的平坦化處理製程後施加熱處理之製程者。

５．如申請專利範圍第１項、第２項或第３項中任何一項所述的半導體積體電路裝置之製法，其中，上述配線用之導體膜由銅或銅合金所構成，以ＣＶＤ法或電鍍法形成該導體膜時，具有在上述配線用之導體膜的形成製程或平坦化處理製程之至少一方的製程後施加熱處理的製程者。

６．一種半導體積體電路裝置之製法，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置之製法，其特徵爲：在形成於相同之埋入配線層之尺寸不同的配線用溝內埋入導體膜時，在上述尺寸不同之配線用溝內分別個別地埋入導體膜者。

７．如申請專利範圍第６項所述的半導體積體電路裝置之製法，其中，在上述不同尺寸之配線用溝中，相對地縱橫比小的配線用溝，藉由濺射法，ＣＶＤ法或電鍍法埋入銅或銅合金所構成的較厚導體膜，而在相對地縱橫比大的配線用溝，具有藉由ＣＶＤ法或電鍍法埋入鎢、鎢合金

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

、鋁、鋁合金或鈦氮化物所構成之較厚導體膜的製程者。

8．一種半導體積體電路裝置之製法，其特徵爲具有：

（a）在上述半導體基板上層的絕緣膜開配線用溝與連結孔，及

（b）在上述絕緣膜上，埋入上述配線用溝與連接孔地介經濺射法形成銅或銅合金所構成之導體膜，及

（c）對於上述銅或銅合金所構成的導體膜施以平坦化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜，及

（d）在上述銅或銅合金所構成之導體膜的平坦化處理製程後施以熱處理。

9．一種半導體積體電路裝置之製法，其特徵爲具有：

（a）在上述半導體基板上層的絕緣膜開配線用溝與連結孔，及

（b）在上述絕緣膜上，埋入上述配線用溝與連接孔地介經ＰＶＤ法或ＣＶＤ法或電鍍法或此等之組合形成銅或銅合金所構成之導體膜，及

（c）對於上述銅或銅合金所構成的導體膜施以平坦化處理，並介經除去上述配線用溝與連接孔以外之銅或銅合金所構成的導體膜，在上述配線用溝與連接孔內埋入導體膜，及

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

（ｄ）在上述銅或銅合金所構成之導體膜的形成製程或平坦化處理製程之至少一方的處理製程後施以熱處理。

１０．一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵爲具有：埋入於電氣式地連接上述埋入配線與其下層之配線的連接孔內的連接用導體部突出於上述埋入配線中的構造者。

１１．如申請專利範圍第１０項所述的半導體積體電路裝置，其中，上述埋入配線係銅或銅合金所構成，上述連接用導體部係銅，銅合金，鋁，鋁合金，鎢，鎢合金或鈦氮化物中之至少一種所構成者。

１２．一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵爲具有：將連接比上述配線層中之所定埋入配線的配線層更上層的配線及比上述所定埋入配線的配線層更下層的配線的連接孔，設成貫穿上述所定埋入配線之配線層，並將上述上層之配線與下層之配線，不必經由埋入配線，經設於上述連接孔內之連接用導體部電氣式地連接的構造者。

１３．一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵爲：在相同埋入配線層，設有以不同導體材料所構成的配線構成部者。

１４．一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵爲：將以銅

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

系之導電材料所構成之上述埋入配線及半導體基板所接觸之剖分的配線材料，以鎢、鎢合金、鋁、鋁合金或鈦氮化物所構成者。

１５．一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵爲：將上述配線層中之最上配線層的配線材料以鋁或鋁合金所構成，將位於其下層之配線中之至少一配線層的埋入配線以銅或銅合金所構成者。

１６．一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵爲：將配線與半導體基板所接觸部分的配線材料以鎢、鎢合金、鋁或鋁合金所構成；將最上配線層的配線材料以鋁以鋁合金所構成，將位於最上配線層及最下配線層之間的配線層中之至少一配線層的配線以銅或銅合金所構成者。

１７．一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵爲：在連接鋁或鋁合金所構成之配線，及銅或銅合金所構成的配線時，在此等接合部介裝阻障導體膜者。

１８．一種半導體積體電路裝置，係在半導體基板上層之配線層具有埋入配線的半導體積體電路裝置，其特徵爲：在電氣式地連接比上述配線層中之所定埋入配線層更上層的配線與比上述所定之埋入配線之配線層更下層的配線時，具備將設置於從上述上層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，及設置於從

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述下層之配線延伸至上述所定埋入配線之配線層之連接孔內的連接用導體部，經由設置於上述所定埋入配線之配線層之連接用溝內的中繼用連接用導體部電氣式連接之構造，上述中繼用連接用導體部係至少其所定之埋入配線延伸方向的長度，形成比上述連接孔之上述配線延伸方向的長度較長者。

１９．一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵爲：

以銅系材料所構成的第１配線層；

形成於比上述第１配線層更上層，且以鋁系材料所構成的第２配線層，及

形成於比上述第１配線層更下層，且以銅系材料所構成的第３配線層。

２０．如申請專利範圍第１９項所述的半導體積體電路裝置，其中，上述第１配線層與上述第２配線層係經由阻障導體膜電氣式地連接者。

２１．如申請專利範圍第１９項或第２０項所述的半導體積體電路裝置，其中，上述第２配線層係電氣式地連接於搭接線端或隆起電極者。

２２．如申請專利範圍第１９項或第２０項所述的半導體積體電路裝置，其中，上述第３配線層係以鎢系導電材料所構成者。

２３．如申請專利範圍第１７項所述的半導體積體電路裝置，其中，上述阻障導體膜係埋入在形成於層間絕緣

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

膜之連接孔內所形成者。

２４．如申請專利範圍第２３項所述的半導體積體電路裝置，其中，上述阻障導體膜係以鎢系導電材料所構成者。

２５．一種半導體積體電路裝置，係在半導體基板上部具有配線層的半導體積體電路裝置，其特徵爲：

具有向第１方向延伸所構成之第１配線的第１配線層；

形成於比上述第１配線層更上層，且具有向垂直於上述第１方向之第２方向延伸所構成之第２配線的第２配線層，及

形成於比上述第２配線層更上層，且具有向上述第１方向延伸所構成的第３配線的第３配線層；

上述第２配線層係包含電氣式地連接上述第１配線與上述第２配線的連接用導體部；

上述連接用導體部之第２方向的長度，係比上述連接用導體部之第１方向的長度構成較長者。

２６．如申請專利範圍第２５項所述的半導體積體電路裝置，其中，上述連接用導體部之第２方向的長度係以上述連接用導體部之第１方向的長度之兩倍以下所構成者。

２７．如申請專利範圍第２５項或第２６項所述的半導體積體電路裝置，其中，第１層間絕緣膜形成於上述第１配線層與第２配線層之間；第２層間絕緣膜形成於上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第2配線層與第3配線層之間：上述第2配線層之配線寬度與上述連接用導體部之第1方向的長度係構成大約相等者。

28．一種半導體積體電路裝置，其特徵爲：

電晶體構成在半導體基板，

具有連接孔之第1絕緣膜形成覆蓋上述電晶體，

第1配線係形成於上述第1絕緣膜上，且經上述連接孔電氣式地連接於上述電晶體，

第2配線係經由第1層間絕緣膜形成於上述第1配線之上部，

上述第1配線係作爲主成分包含鎢，

上述第2配線係作爲主成分包含銅。

29．如申請專利範圍第28項所述之半導體積體電路裝置，其中，

上述第1配線係經由連接用導體部電氣式地連接於上述電晶體，

上述連接用導體部係作爲主成分包含鎢。

30．如申請專利範圍第29項所述之半導體積體電路裝置，其中，

上述連接用導體部與第1配線係一體地形成者。

31．如申請專利範圍第28項所述之半導體積體電路裝置，其中，

在形成於上述第1層間絕緣膜之連接孔形成一連接用導體部，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述連接用導體部與第2配線係一體地形成者。

32．如申請專利範圍第28、29、30或31項中任何一項所述之半導體積體電路裝置，其中，

第3配線係經由第2層間絕緣膜形成於上述第2配線之上部，

上述第3配線係作爲主成分包含鋁者。

33．如申請專利範圍第28、29、30或31項中任何一項所述之半導體積體電路裝置，其中，

第3配線係經由第2層間絕緣膜形成於上述第2配線之上部，

具有露出上述第3配線之開口部的表面保護膜形成於上述第3配線，

搭接線電氣式地連接於上述第3配線，

上述第3配線係作爲主成分包含鋁者。

34．如申請專利範圍第28、29、30或31項中任何一項所述之半導體積體電路裝置，其中，

第3配線係經由第2層間絕緣膜形成於上述第2配線之上部，

具有開口部的保護膜形成於上述第3配線上，

隆起電極係經由上述開口部電氣式地連接於上述第3配線。

上述第3配線係作爲主成分包含鋁者。

35．如申請專利範圍第34項所述之半導體積體電路裝置，其中，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

隆起電極經由形成於上述第2層間絕緣膜上之阻障金屬電氣式地連接於上述第3配線。

36．如申請專利範圍第34項所述之半導體積體電路裝置，其中，

上述隆起電極係以金隆起接點所構成者。

37．如申請專利範圍第34項所述之半導體積體電路裝置，其中，

上述隆起電極係以焊料隆起接點所構成者。

38．一種半導體積體電路裝置，其特徵爲：

電晶體構成在半導體基板，

第1配線係經由第1層間絕緣膜形成於上述電晶體上，

第2配線係經由第2層間絕緣膜形成於上述電晶體上，

表面保護膜係形成於上述第2配線上，

上述第1配線係作爲主成分包含銅，

上述第2配線係作爲主成分包含鋁。

39．如申請專利範圍第38項所述之半導體積體電路裝置，其中，

上述表面保護膜係包括氮矽膜，

上述第2配線係包括阻障金屬膜及以上述阻障金屬膜上之鋁包含作爲主成分的厚導體膜。

40．如申請專利範圍第38項或第39項所述之半導體積體電路裝置，其中，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

隆起電極係經由形成於上述表面保護膜之開口部電氣式地連接於上述第2配線。

41．如申請專利範圍第40項所述之半導體積體電路裝置，其中，

隆起電極經由形成於上述表面保護膜上之阻障金屬電氣式地連接於上述第2配線。

42．如申請專利範圍第40項所述之半導體積體電路裝置，其中，

上述隆起電極係以金隆起接點所構成者。

43．如申請專利範圍第40項所述之半導體積體電路裝置，其中，

上述隆起電極係以焊料隆起接點所構成者。

44．如申請專利範圍第38或第39項所述之半導體積體電路裝置，其中，

上述表面保護膜係具有露出上述配線的開口部，

搭接線係電氣式地連接於上述第2配線者。

45．如申請專利範圍第38項或第39項所述之半導體積體電路裝置，其中，

第3層間絕緣膜形成於上述電晶體與上述第1層間絕緣膜之間，

第3配線係形成於上述第3層間絕緣膜，

上述第3配線係電氣式地連接於上述電晶體，

上述第3配線係作爲主成分包含鎢。

46．如申請專利範圍第45項所述之半導體積體電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

路裝置，其中，

上述第1配線係經由形成於上述第1層間絕緣膜之連接孔連接於上述第3配線。

47．如申請專利範圍第45項所述之半導體積體電路裝置，其中，

上述第3配線係形成在形成於上述第3層間絕緣膜之溝部。

48．一種半導體積體電路裝置，其特徵爲：

第1層間絕緣膜係形成於半導體基板上，

連接孔與配線溝係形成於上述第1層間絕緣膜，

連接用導體部係形成於上述連接孔，

配線係形成於上述配線溝，

上述連接用導體部之上面高度係與上述配線之高度大約相等。

49．如申請專利範圍第48項所述之半導體積體電路裝置，其中，構成上述連接用導體部之主成分的金屬，及構成上述配線之主成分的金屬係以不相同之材料所構成。

50．如申請專利範圍第48項所述之半導體積體電路裝置，其中，

上述配線係作爲主成分包含銅，

上述連接用導體部係作爲主成分包含鋁或鎢。

51．如申請專利範圍第48、49或50項中任何一項所述之半導體積體電路裝置，其中，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第2層間絕緣膜係形成於上述第1層間絕緣膜，

上述第2層間絕緣膜係具有形成於連接孔的連接用導體部及形成於配線溝的配線，

上述連接用導體部之上面高度係與上述配線之高度大約相等。

52．一種半導體積體電路裝置之製法，其特徵爲具有：

準備連接用導體部形成於連接孔之第1層間絕緣膜之製程，及

在上述第1層間絕緣膜形成配線溝的製程，及

在上述配線溝埋入配線的製程。

53．如申請專利範圍第52項所述之半導體積體電路裝置之製法，其中，構成上述連接用導體部之主成分的金屬，及構成上述配線之主成分的金屬係以不相同之材料所構成。

54．如申請專利範圍第52項所述之半導體積體電路裝置之製法，其中，

上述連接用導體部係作爲主成分包含鋁或鎢，

上述配線係作爲主成分包含銅。

55．如申請專利範圍第52項所述之半導體積體電路裝置之製法，其中，上述配線係具有阻障金屬膜，及形成於上述阻障金屬膜上，且以與構成上述連接用導體部之主成分之金屬不相同之材料所構成的金屬膜。

56．如申請專利範圍第52、53、54或55項

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

中任何一項所述之半導體積體電路裝置之製法，其中，又具有：

在上述第1層間絕緣膜上，準備連接用導體部形成於連接孔之第2層間絕緣膜的製程，及

在上述第2層間絕緣膜形成配線溝的製程，及

在上述配線溝埋入配線的製程。

57．如申請專利範圍第52、53、54或55項中任何一項所述之半導體積體電路裝置之製法，其中，又具有：

上述連接用導體部之上面高度係與上述配線之高度大約相等。

58．一種半導體積體電路裝置，包含：

一第1絕緣膜被形成覆蓋在一半導體基板上；

一第1配線層被形成覆蓋在上述第1層間絕緣膜，且第1配線層具有一第1導體膜及一第2導體膜包含銅作爲主要成分，且第1導體膜被插入在第2導體膜及上述第1絕緣膜之間，且第1導體膜具有一抑制銅擴散之作用；

一第2絕緣膜被形成覆蓋在上述第1配線膜上，且第2絕緣膜具有一抑制銅擴散之作用；

一第3絕緣膜被形成覆蓋在上述第2絕緣層上；

一第2配線層包含鋁作爲一主要的成分且被形成覆蓋在上述第3絕緣層上；及

一連接用導體部被形成在上述第2絕緣層及第3絕緣層中，且接觸上述第1配線層及上述第2配線層，且此連

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

接用導體部具有一抑制銅擴散之作用。

59．如申請專利範圍第58項之半導體積體電路裝置，其中，上述第2絕緣層包含一氮化物膜。

60．如申請專利範圍第58項之半導體積體電路裝置，其中，上述第1導體膜具有一厚度小於上述第2導體膜之厚度。

61．如申請專利範圍第58項之半導體積體電路裝置，其中，上述第1導體膜是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

62．如申請專利範圍第58項之半導體積體電路裝置，其中，上述連接用導體都是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

63．如申請專利範圍第58項之半導體積體電路裝置，更進一步包含一鈍化膜覆蓋在上述第2配線層上。

64．如申請專利範圍第63項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一搭接線端經由一形成在上述鈍化膜中的連接孔。

65．如申請專利範圍第63項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一隆起電極經由一形成在上述鈍化膜中的連接孔。

66．一種半導體積體電路裝置，包含：

一第1絕緣膜被形成覆蓋在一半導體基板上；

一第1配線層包含銅作爲一主要成分且被埋入在上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第1絕緣膜之一表面中；

一第2絕緣膜被形成覆蓋在上述第1配線膜上；

一第2配線層包括鋁作爲一主要的成分且被形成覆蓋在上述第2絕緣層上；及

一連接用導體部被形成在上述第2絕緣層中，且電氣式地連接上述第1配線層及上述第2配線層；

其中上述第1配線層是被覆蓋以一阻障層以抑制銅之擴散。

67.如申請專利範圍第66項之半導體積體電路裝置，其中，上述阻障層包含一第1阻障層被插入在上述第1絕緣層及上述第1配線層之間，及一第2阻障層被插入在上述第1配線層及上述第2絕緣層之間。

68.如申請專利範圍第67項之半導體積體電路裝置，其中，上述第1阻障層是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

69.如申請專利範圍第67項之半導體積體電路裝置，其中，上述第2阻障層是由一氮矽膜所組成。

70.如申請專利範圍第66項之半導體積體電路裝置，其中，上述連接用導體部具有一抑制銅擴散之作用。

71.如申請專利範圍第70項之半導體積體電路裝置，其中，上述連接用導體都是由鎢、氮化鈦、鈦、鉭、氮化鎢、氮化鉭、氮矽化鎢、氮矽化鈦、氮矽化鉭所組成。

72.如申請專利範圍第66項之半導體積體電路裝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

置，更進一步包含一鈍化膜覆蓋在上述第2配線層上。

73．如申請專利範圍第72項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一配線經由一形成在上述鈍化膜中的連接孔。

74．如申請專利範圍第72項之半導體積體電路裝置，其中，上述第2配線層是被電氣式地連接與一隆起電極經由一形成在上述鈍化膜中的連接孔。

（請先閱讀背面之注意事項再填寫本頁）

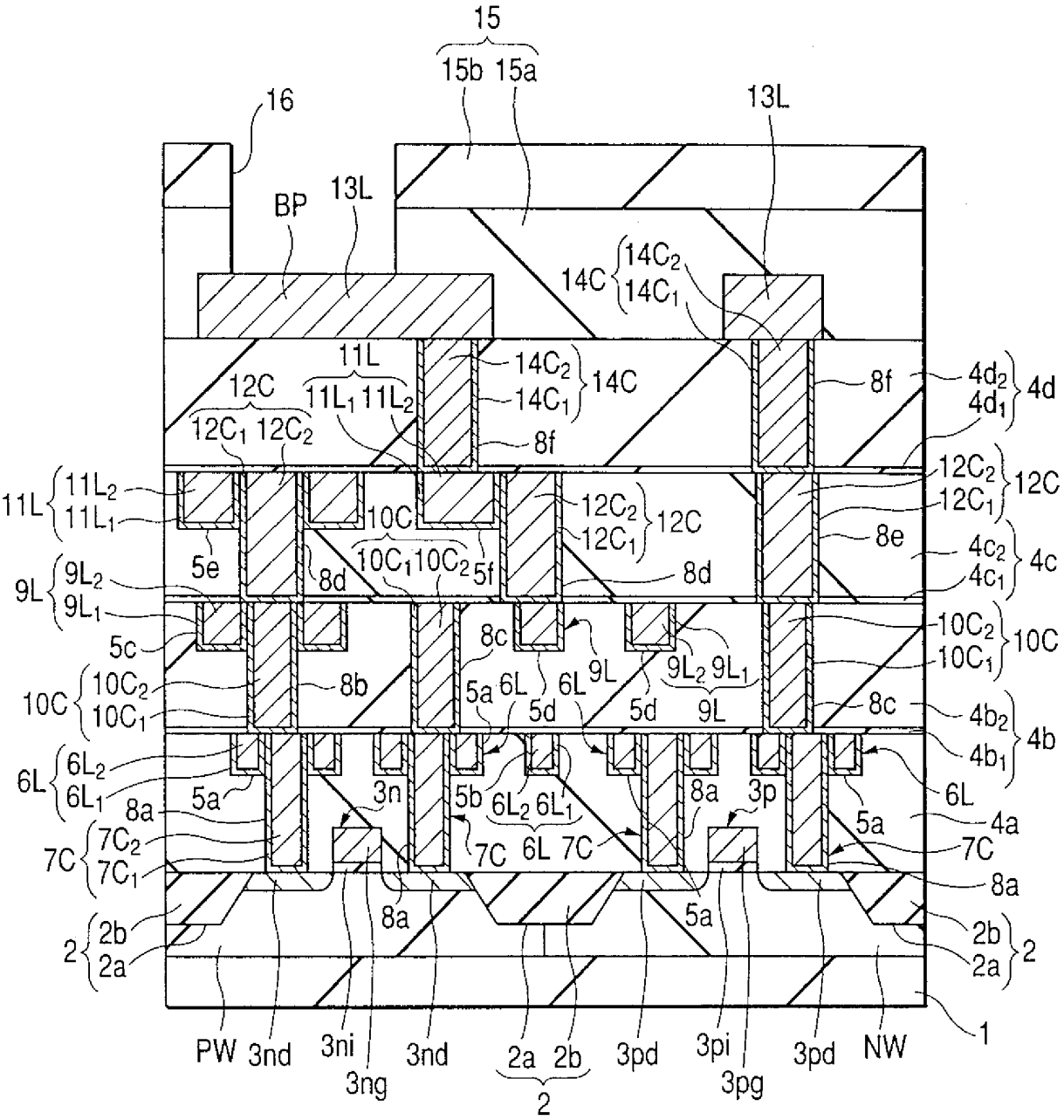
訂

線

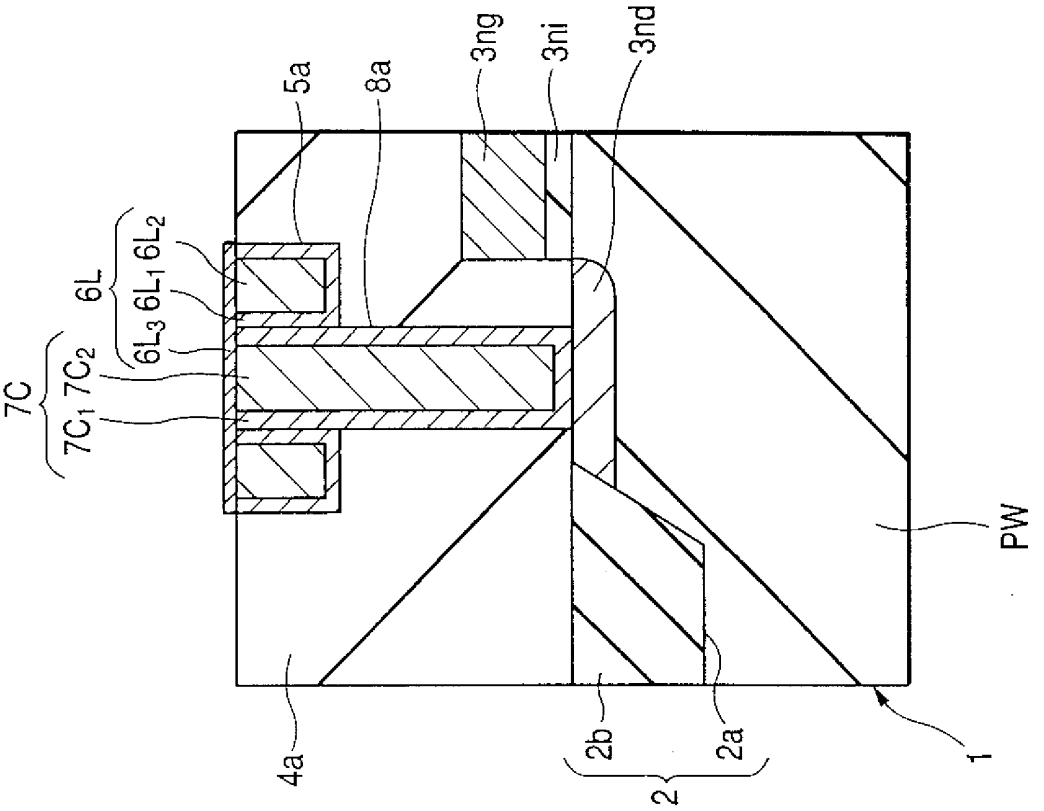
經濟部智慧財產局員工消費合作社印製

459342 8711907

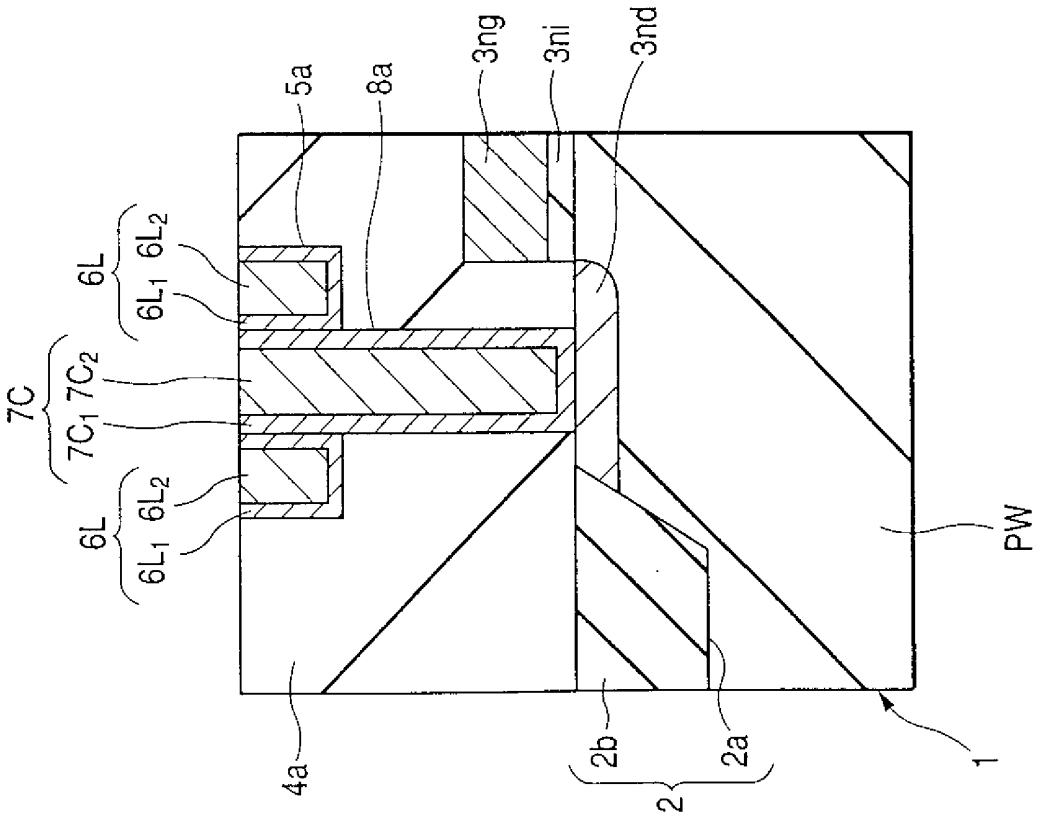
731985



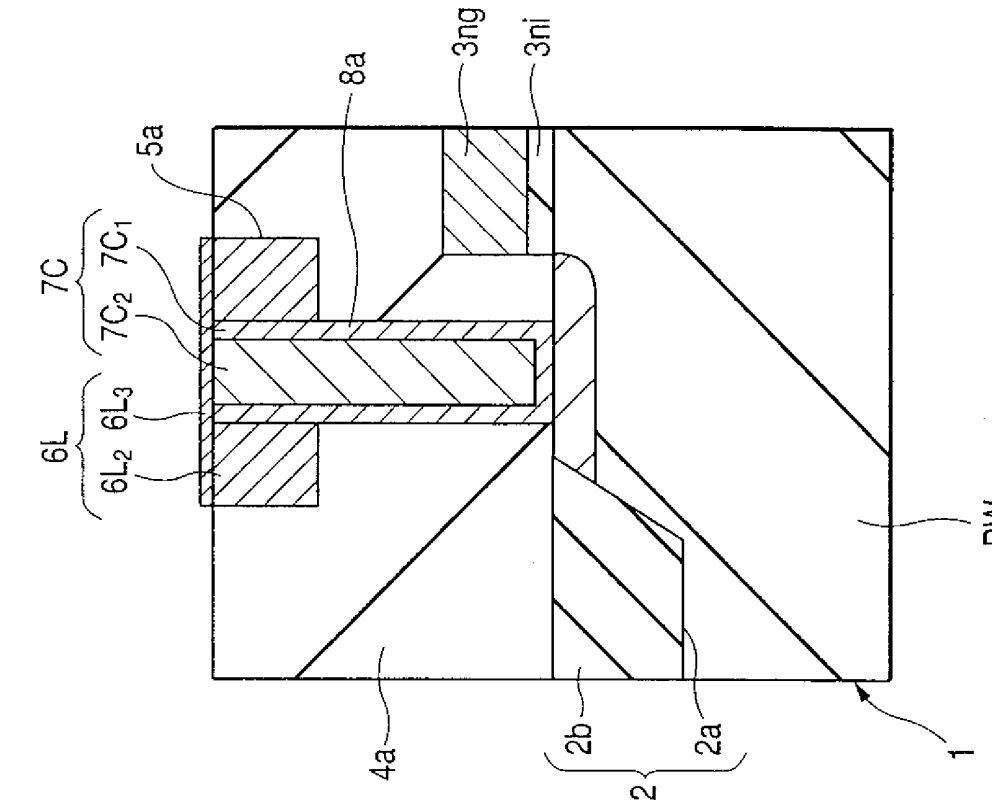
第 1 圖


5a
8a
3ng
3ni
3nd
6L
6L2
6L1
6L3
7C
7C2
7C1
PW
4a
2b
2a
2
1

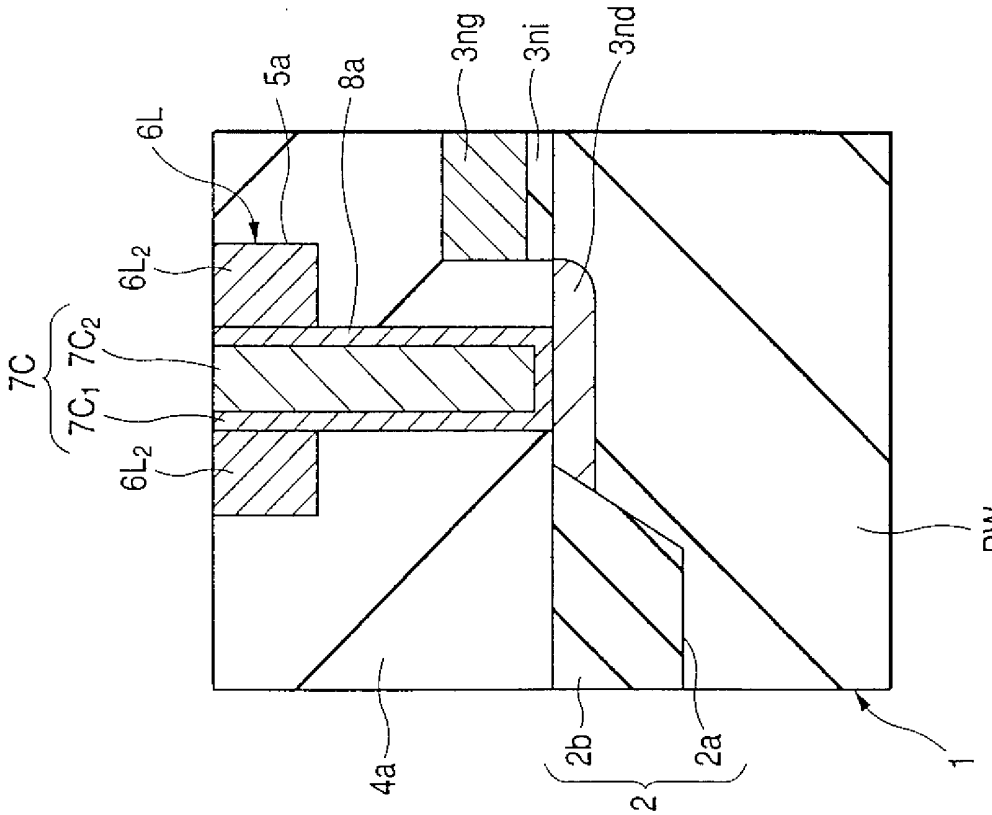
第 3 圖


5a
8a
3ng
3ni
3nd
6L
6L2
6L1
7C
7C2
7C1
PW
4a
2b
2a
2
1

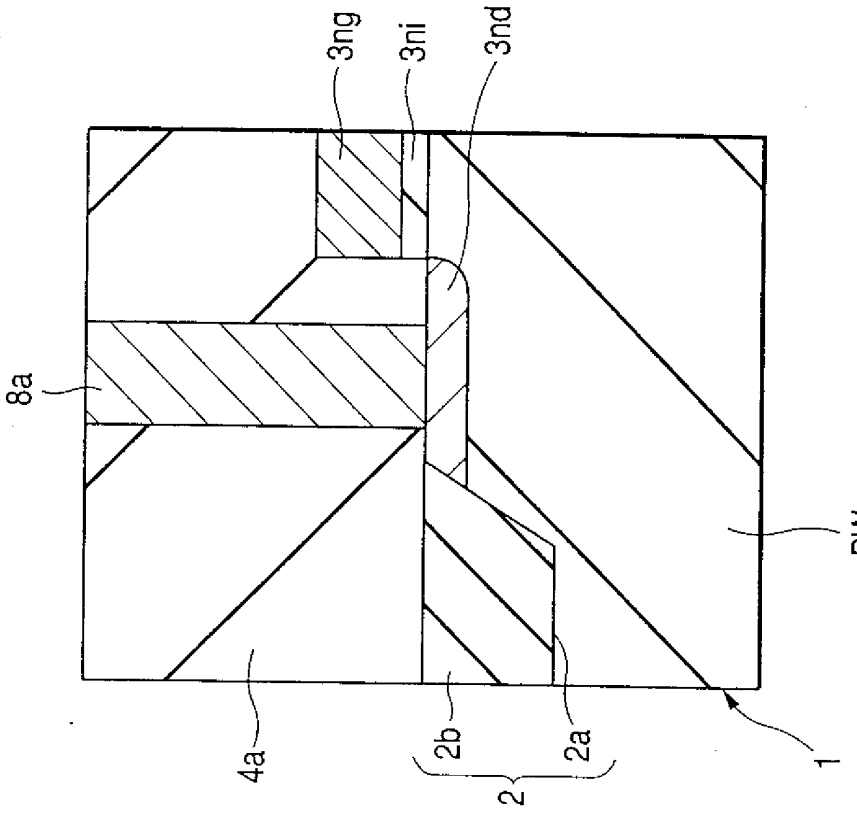
第 2 圖


3ng
3ni
8a
5a
7C
7C1
7C2
6L
6L3
6L2
PW
4a
2b
2a
2
1

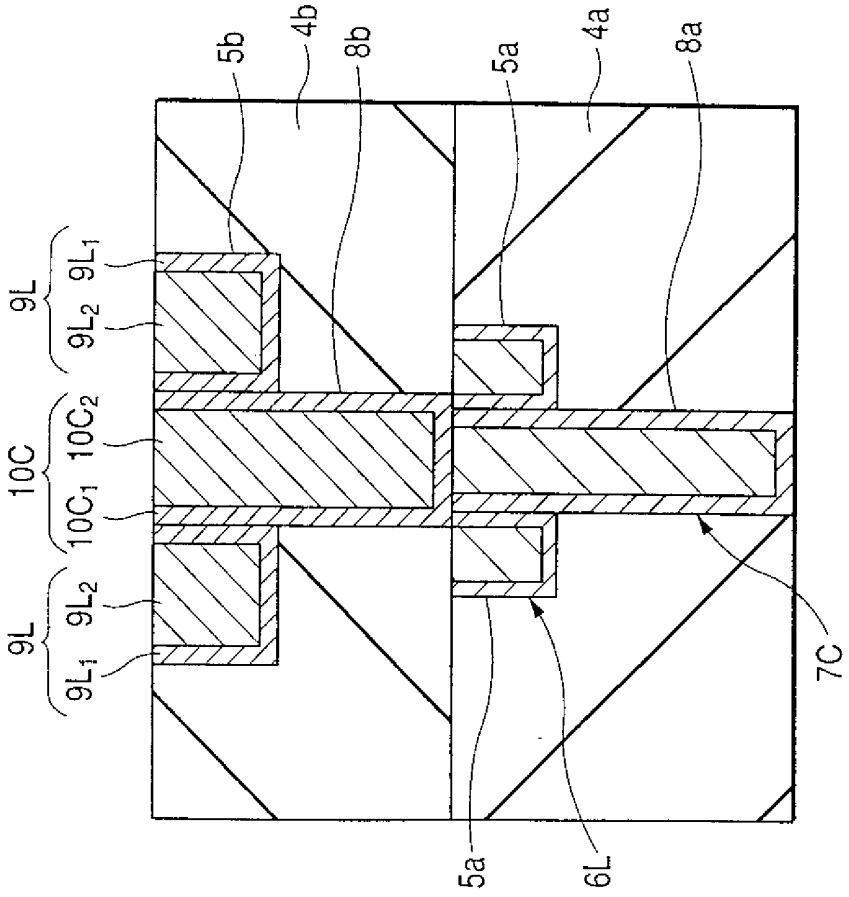
第5圖


3nd
3ng
3ni
5a
8a
6L
6L2
7C
7C2
7C1
6L2
PW
4a
2b
2a
2
1

第4圖

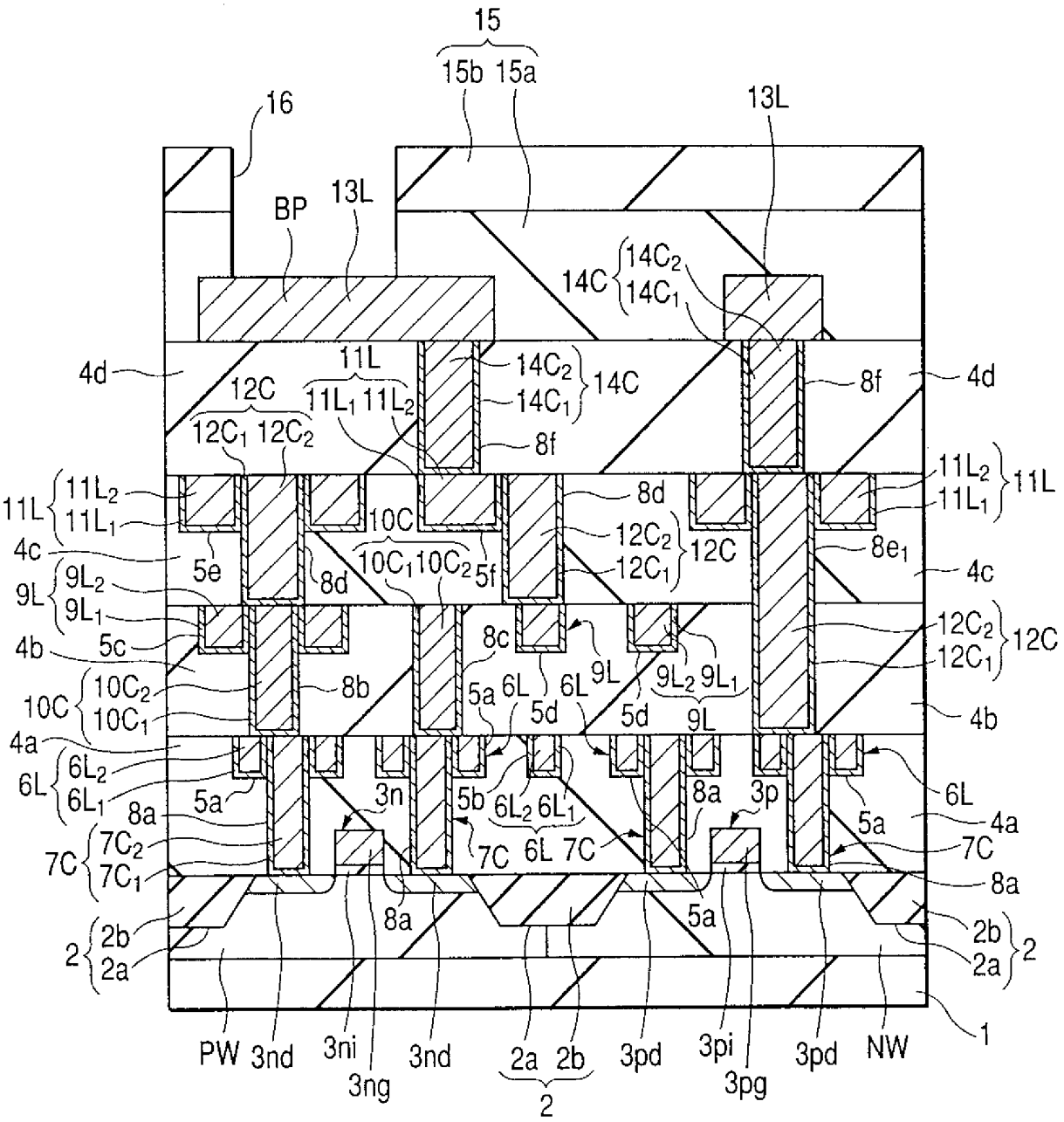

3ng
3ni
3nd
8a
PW
4a
2b
2a
2
1

第 8 圖

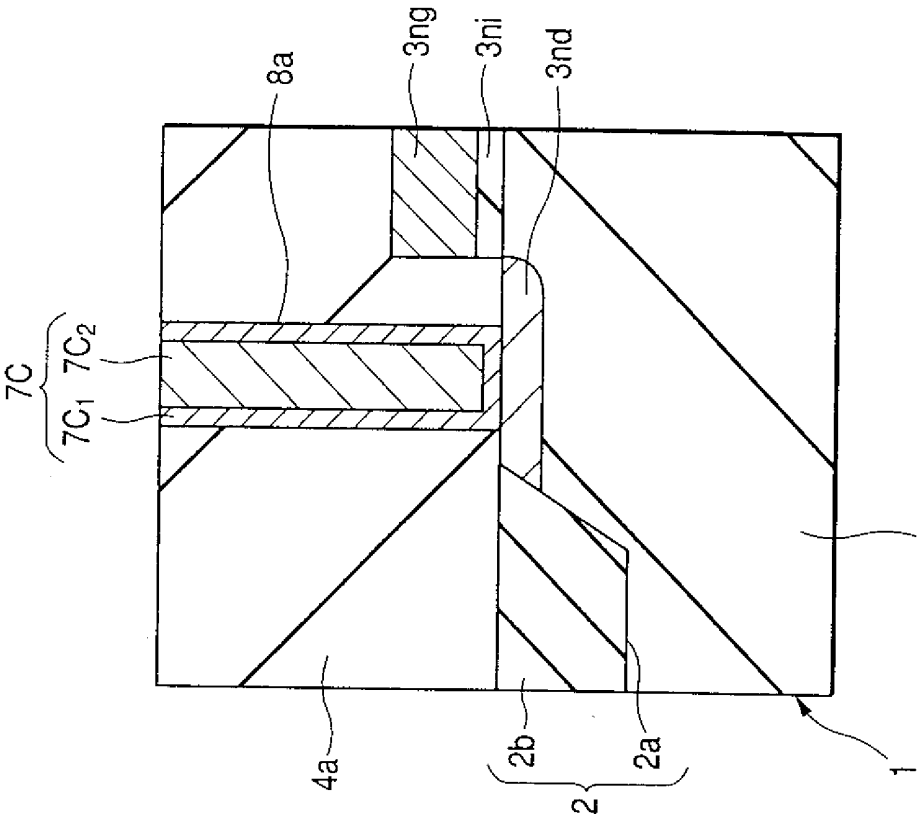

5b
4b
8b
5a
4a
8a
9L
9L1
9L2
10C
10C2
10C1
9L
9L2
9L1
7C
5a
6L

第 6 圖

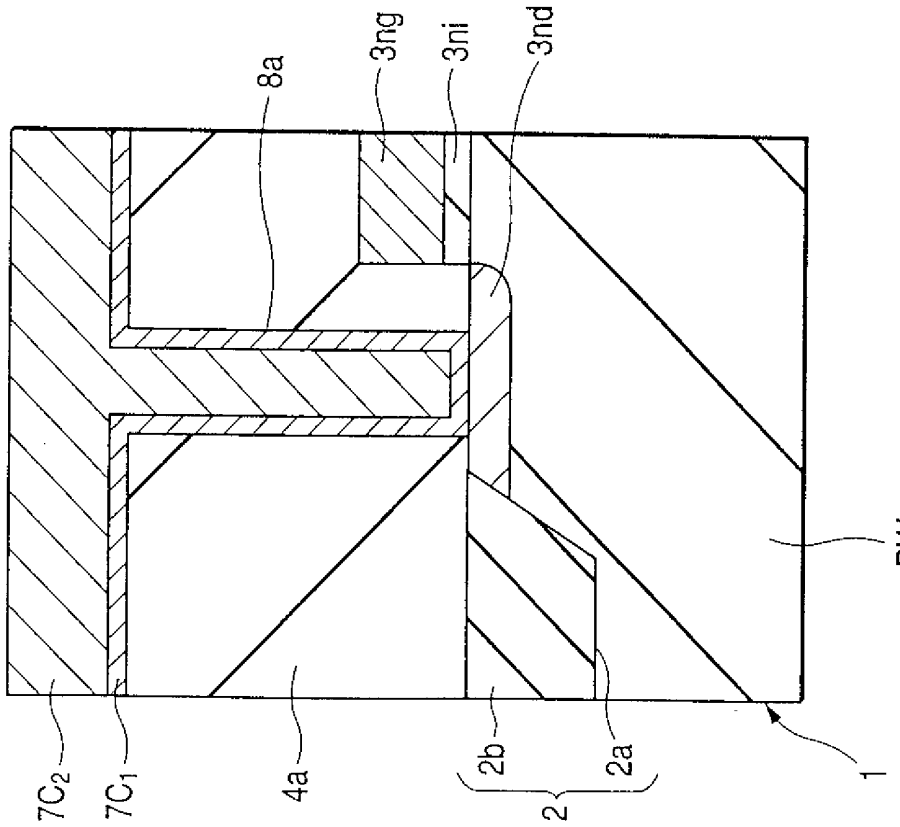
459342


15
15b 15a
16
13L
BP
13L
14C 14C2 14C1
4d
11L
12C
11L1 11L2
14C2
14C1
14C
8f
4d
12C1 12C2
8f
11L 11L2 11L1
11L2
11L1
11L
8d
4c
10C
12C2
12C1
12C
8e1
5e
8d
10C1 10C2
5f
4c
9L 9L2 9L1
4b
5c
8c
9L
9L2 9L1
12C2
12C1
12C
10C 10C2 10C1
8b
5a 6L
5d
6L
5d
9L
4b
4a
6L 6L2 6L1
5a
8a
3n
5b
6L2 6L1
8a
3p
6L
5a
4a
7C 7C2 7C1
7C
6L 7C
7C
8a
8a
5a
2b
2 2a
2b
2a
2
PW
3nd
3ni
3ng
3nd
2a 2b
2
3pd
3pi
3pg
3pd
NW
1

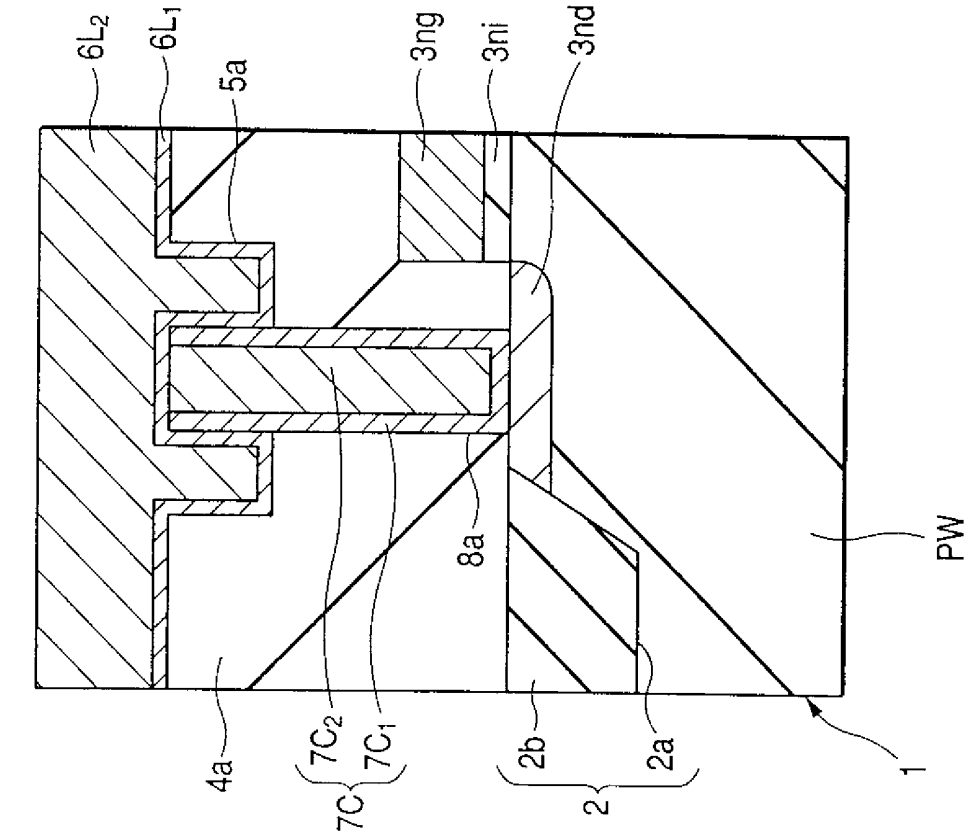
第 7 圖


8a
3ng
3ni
3nd
7C
7C1 7C2
PW
4a
2b
2a
2
1

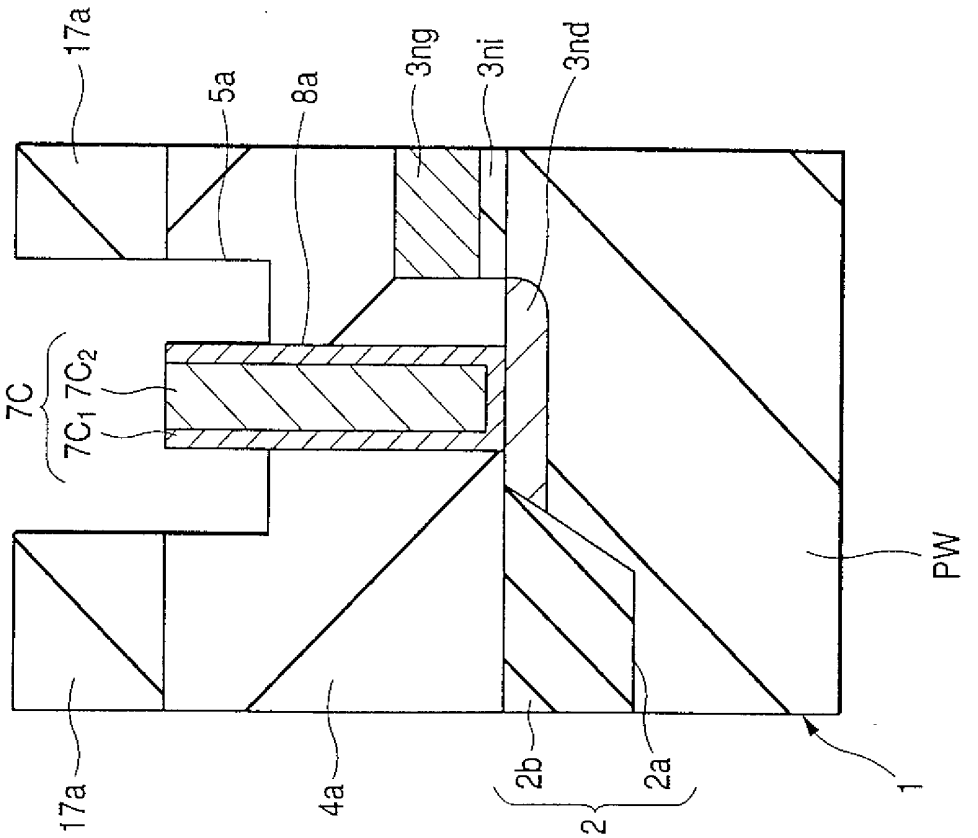
第 10 圖


8a
3ng
3ni
3nd
PW
7C2
7C1
4a
2b
2a
2
1

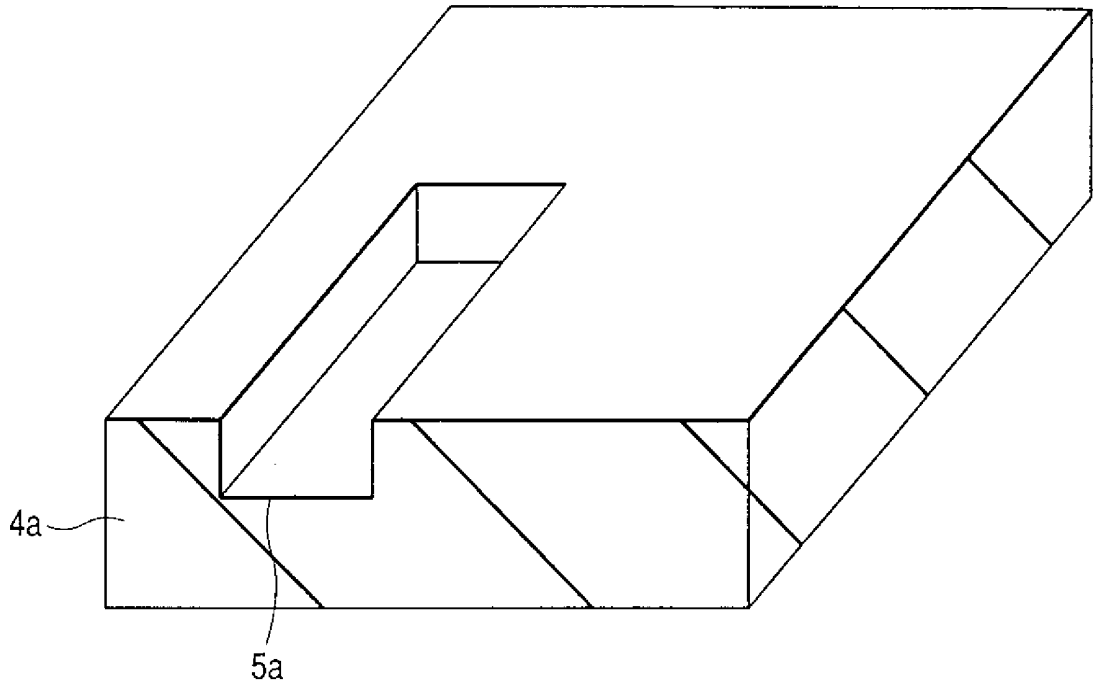
第 9 圖


6L2
6L1
5a
3ng
3ni
3nd
8a
PW
4a
7C2
7C1
7C
2b
2a
2
1

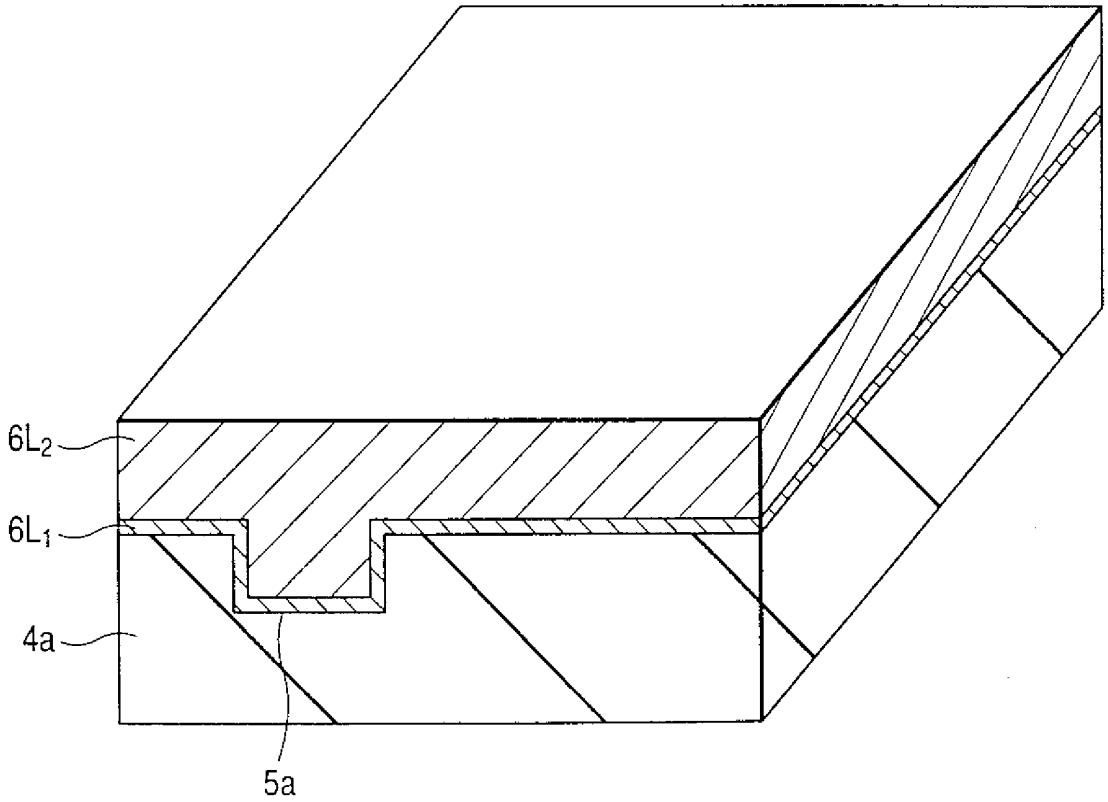
第 12 圖


17a
5a
8a
3ng
3ni
3nd
7C
7C1 7C2
PW
17a
4a
2b
2a
2
1

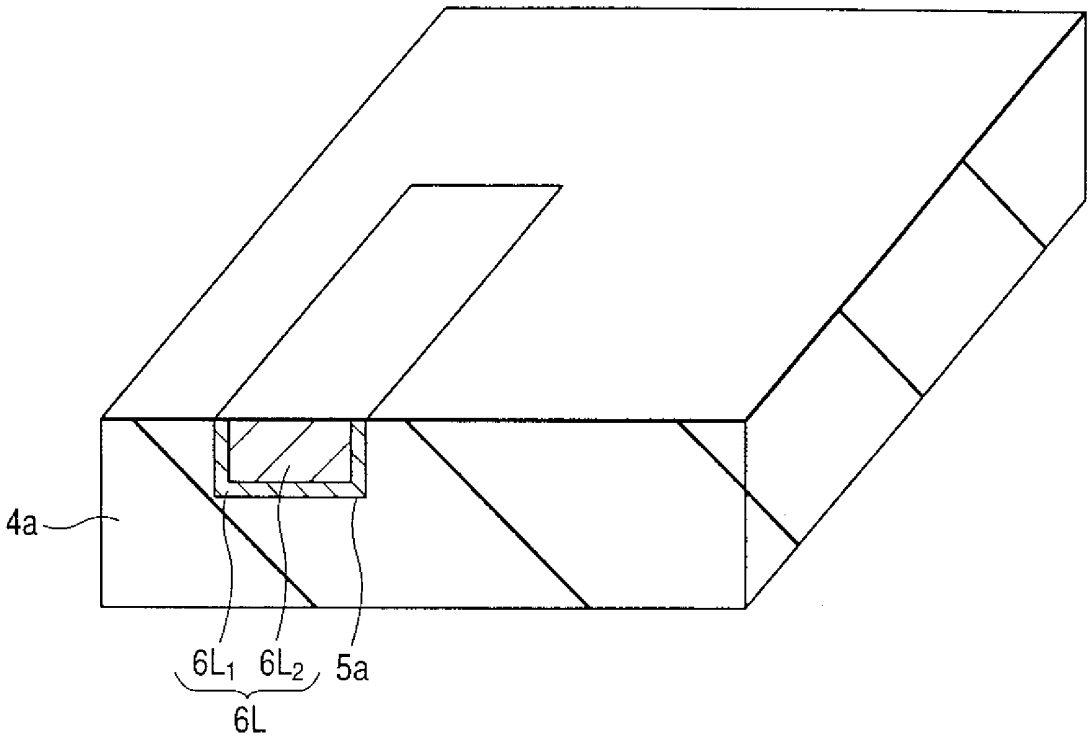
第 11 圖



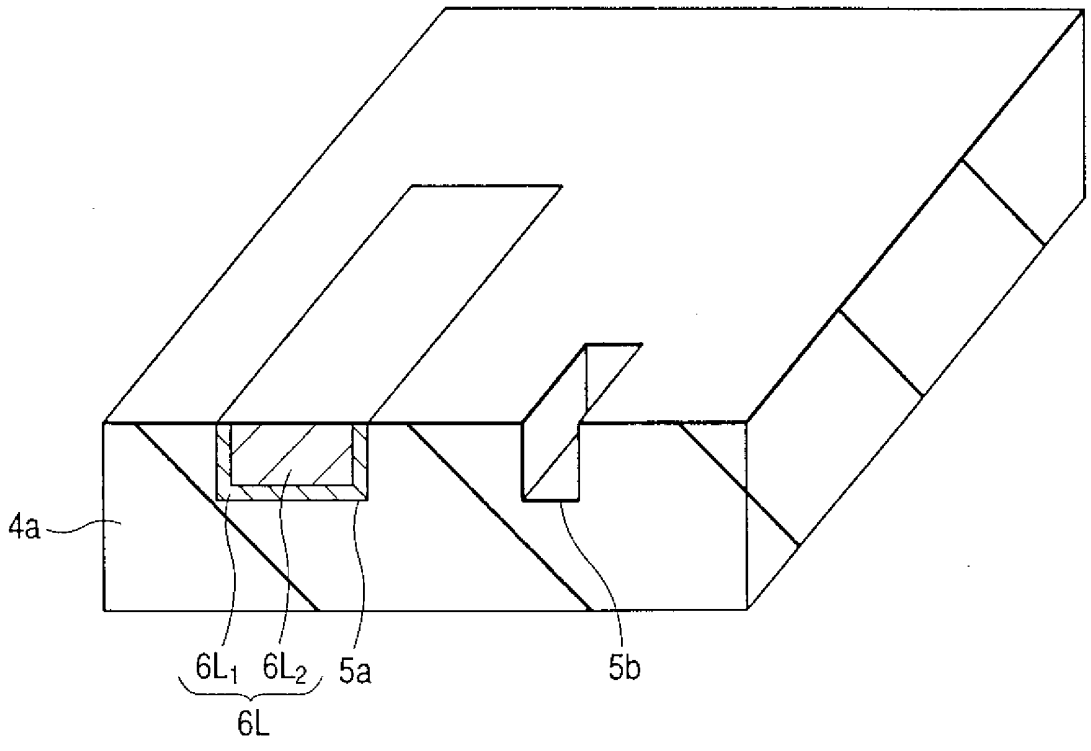
第 13 圖



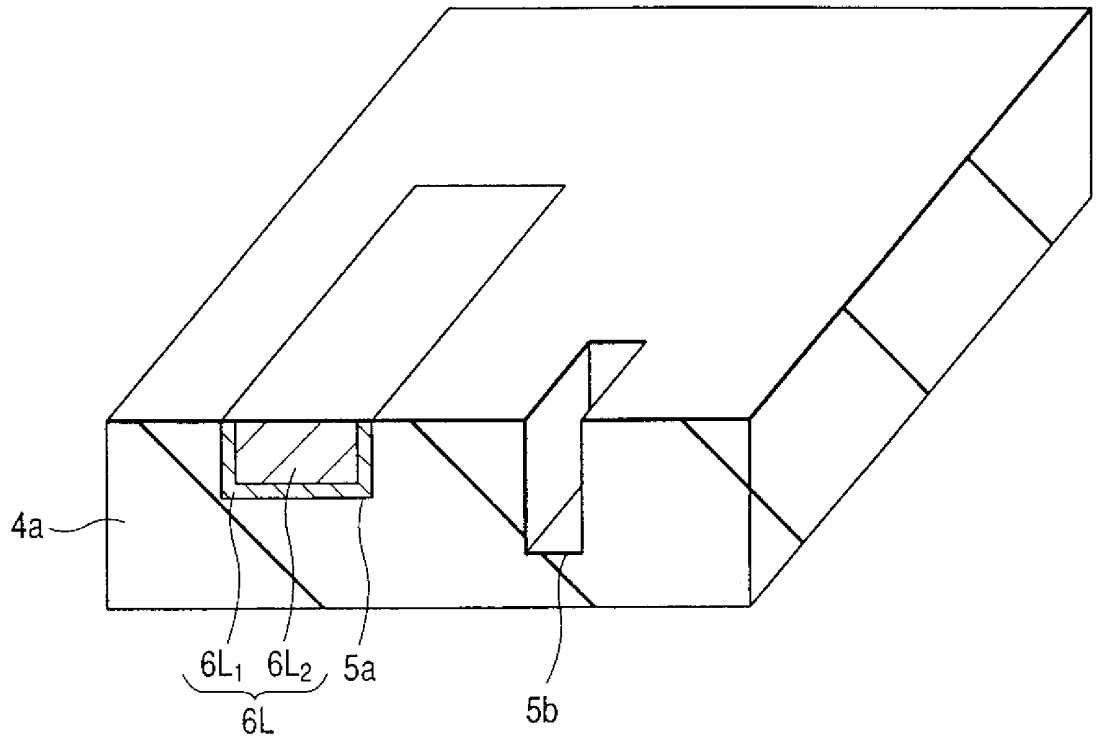
第 14 圖



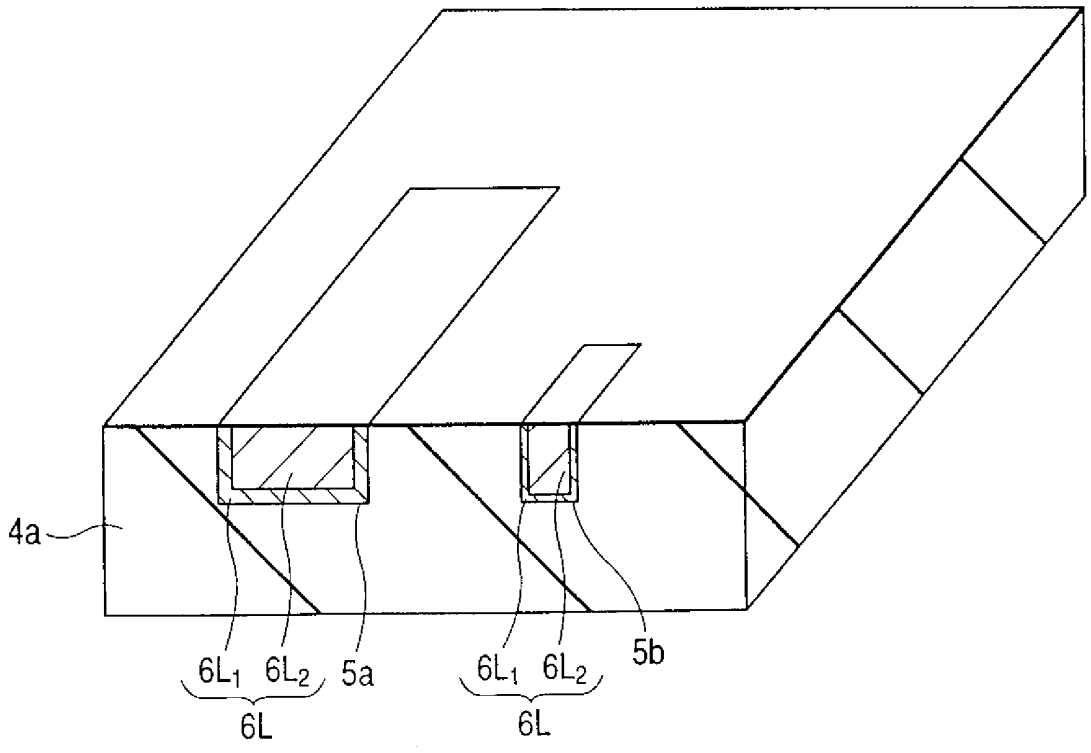
第 15 圖



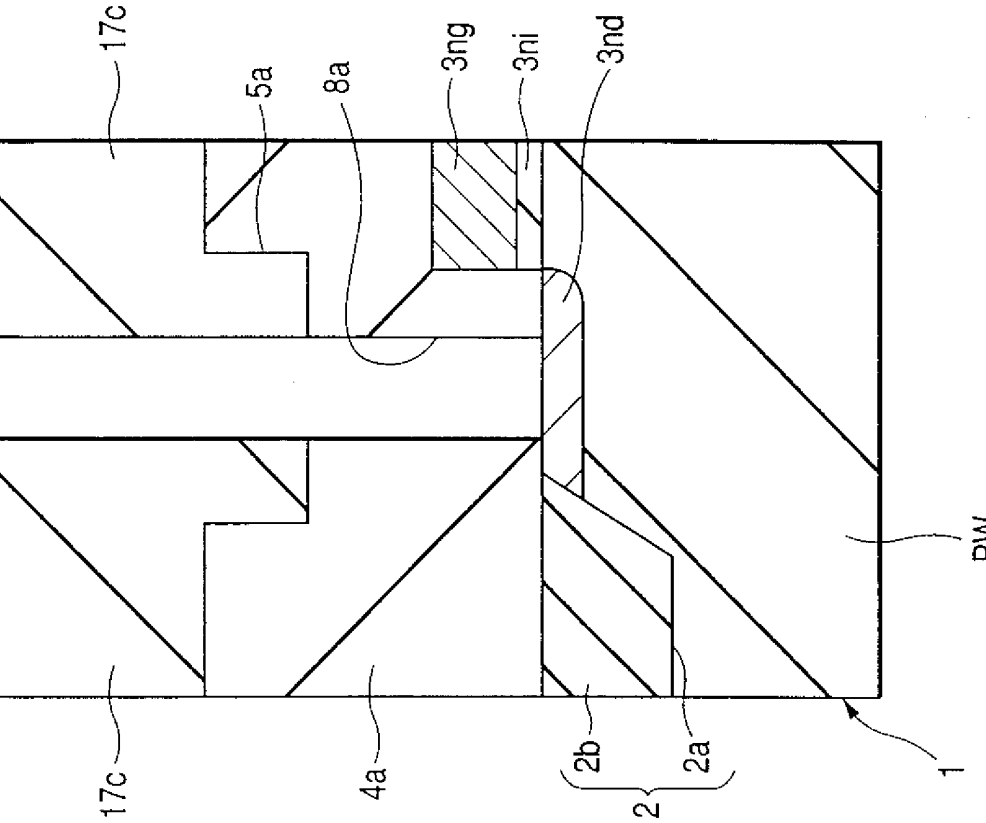
第 16 圖



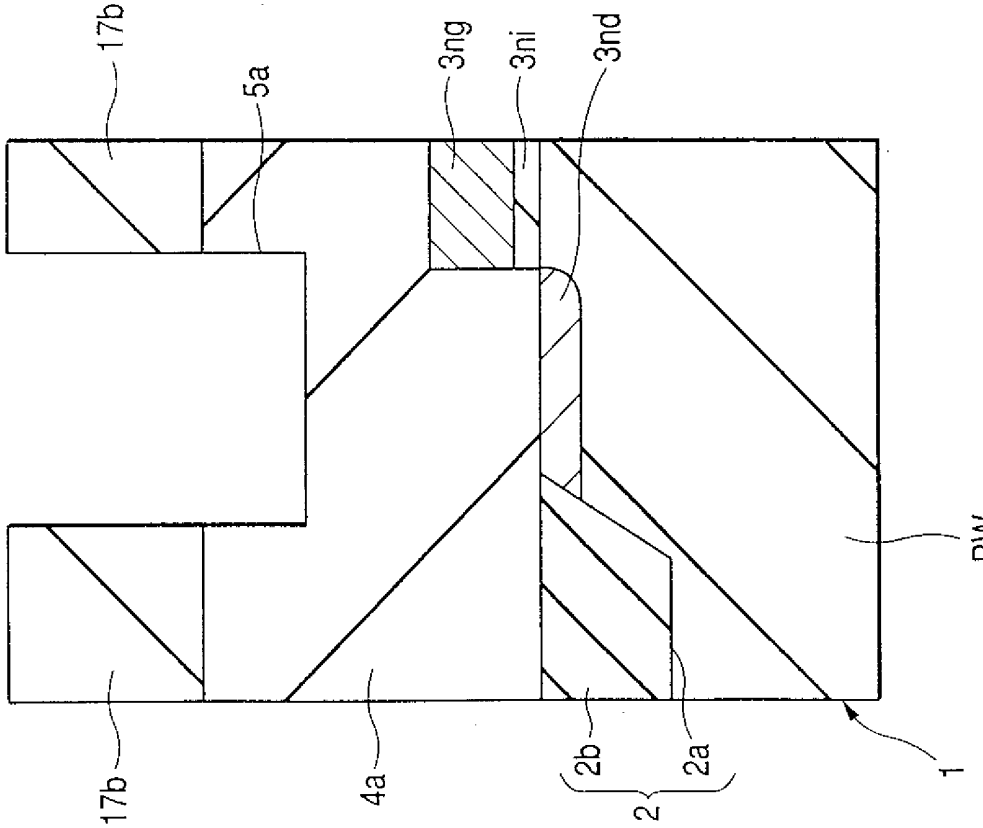
第 17 圖



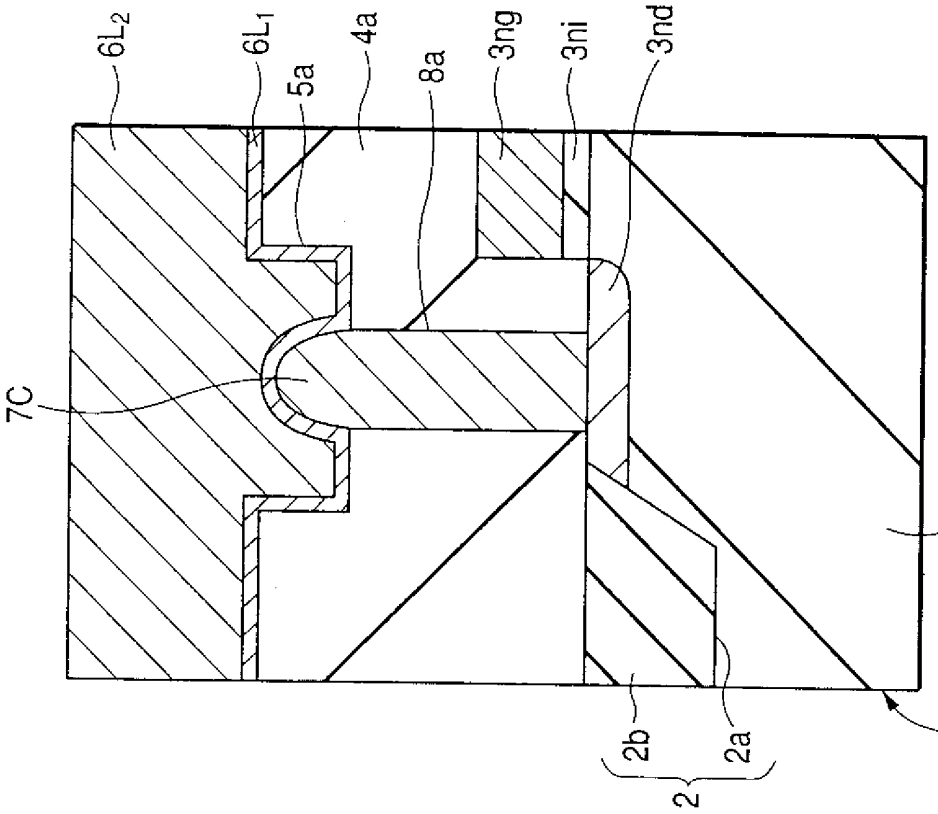
第 18 圖


17c
5a
8a
3ng
3ni
3nd
PW
17c
4a
2b
2a
2
1

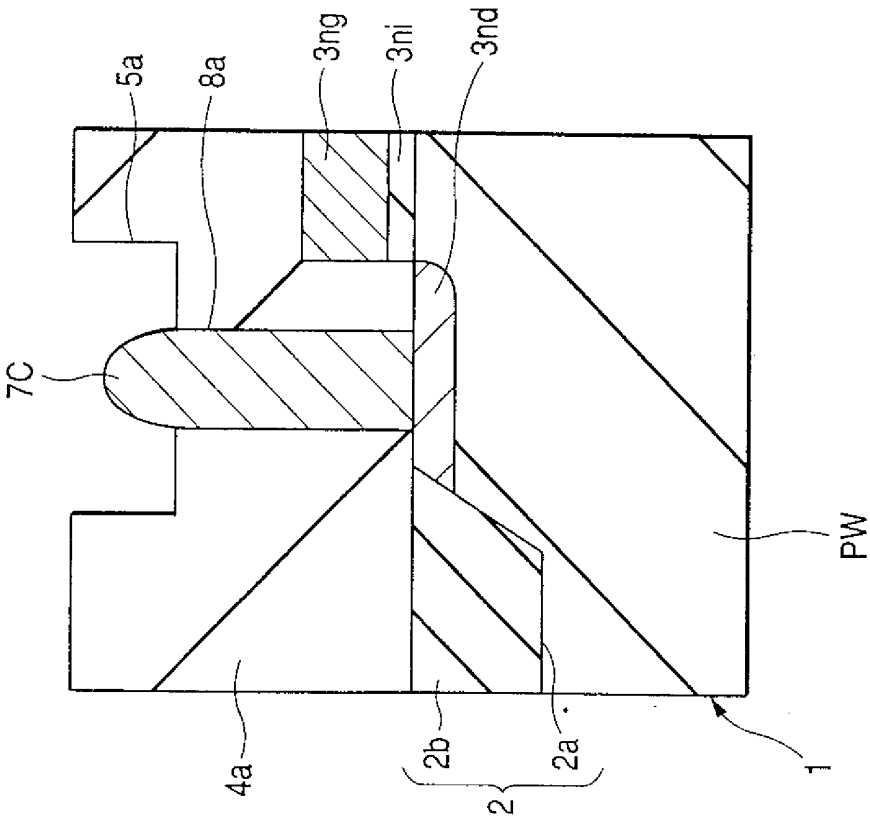
第 20 圖


17b
5a
3ng
3ni
3nd
PW
17b
4a
2b
2a
2
1

第 19 圖

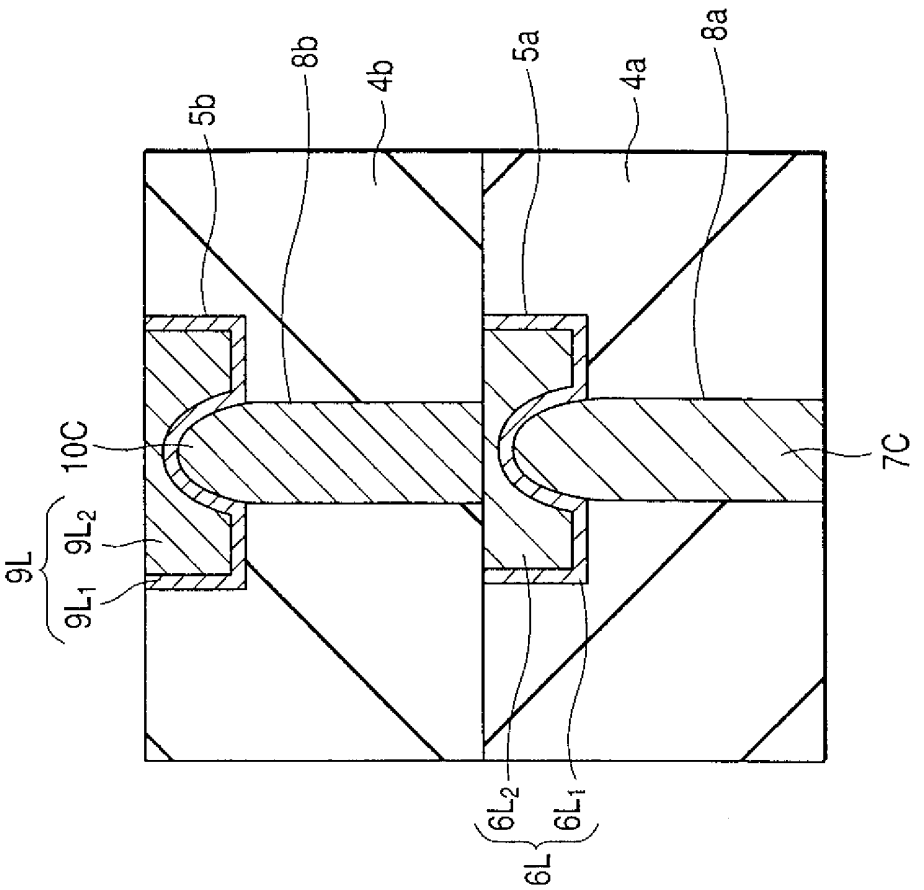

6L2
6L1
5a
4a
8a
3ng
3ni
3nd
7C
PW
2b
2a
2
1

第 22 圖

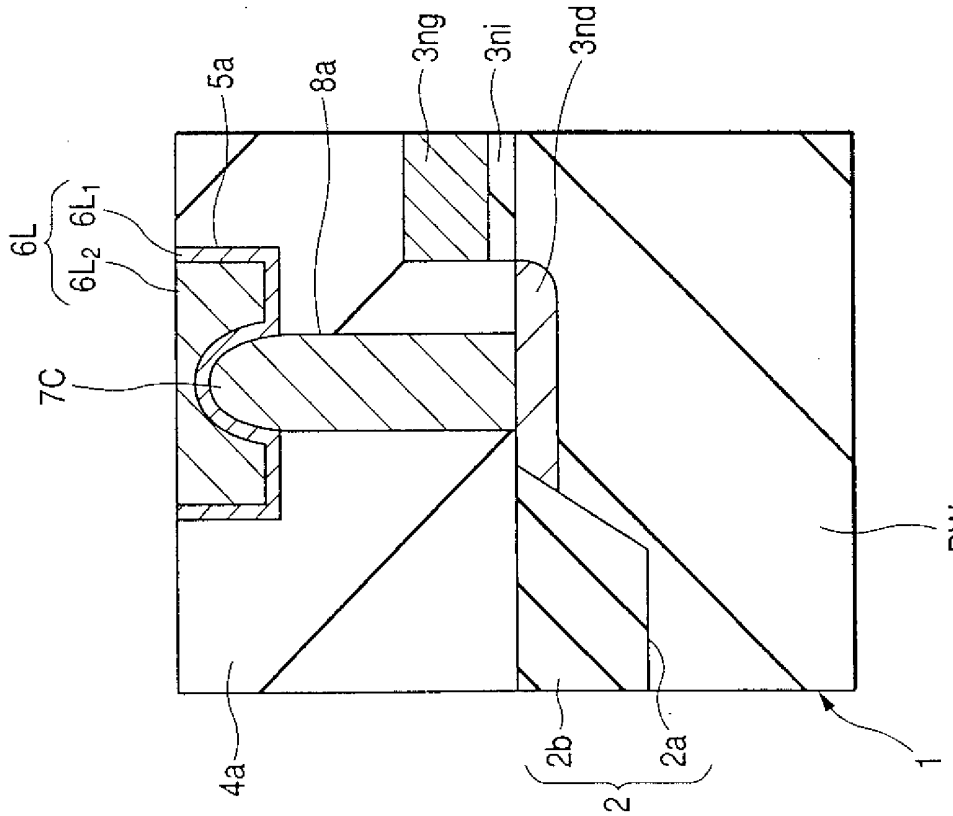

5a
8a
3ng
3ni
3nd
7C
PW
4a
2b
2a
2
1

第 21 圖

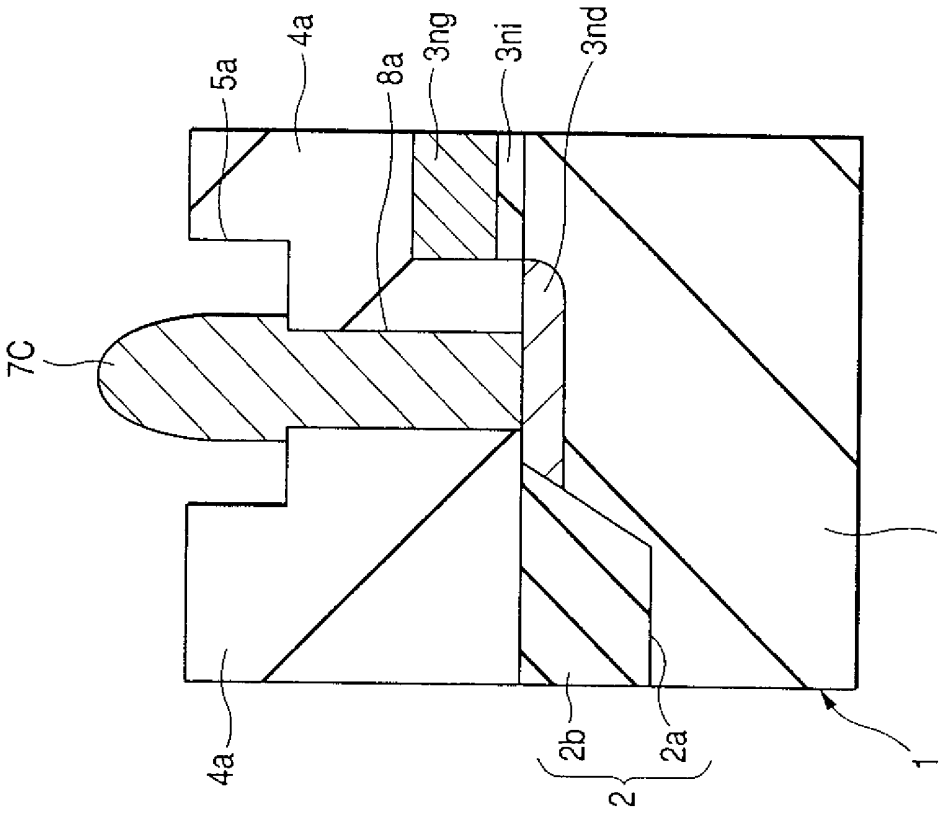
459342



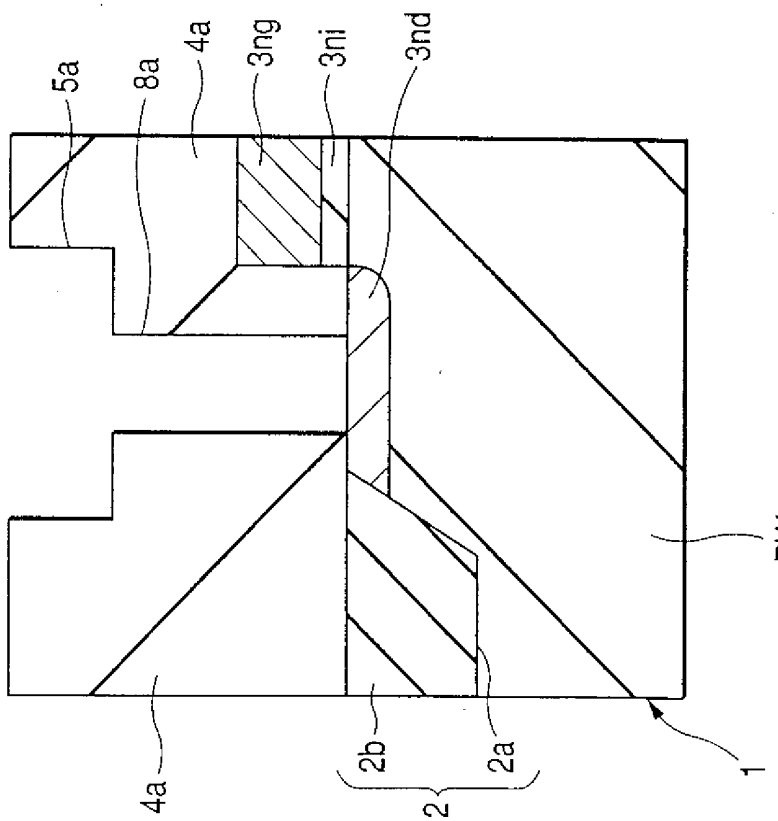
第 24 圖



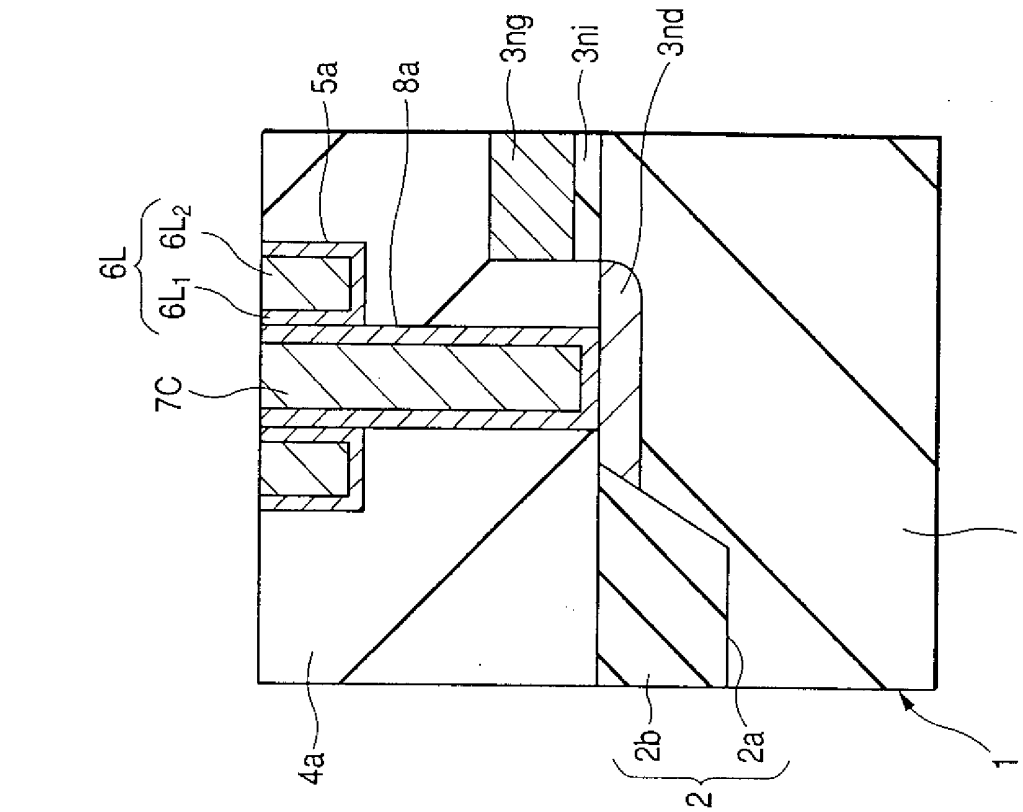
第 23 圖


5a
4a
8a
3ng
3ni
3nd
7C
PW
4a
2b
2a
2
1

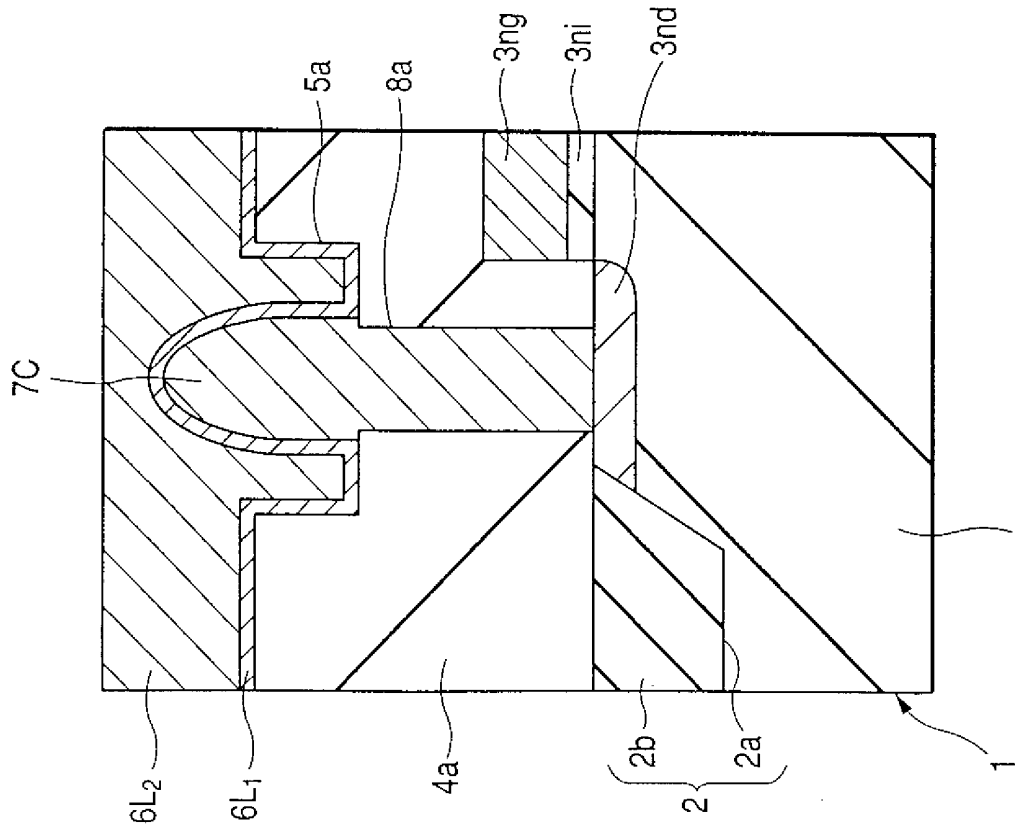
第 26 圖


5a
8a
4a
3ng
3ni
3nd
PW
4a
2b
2a
2
1

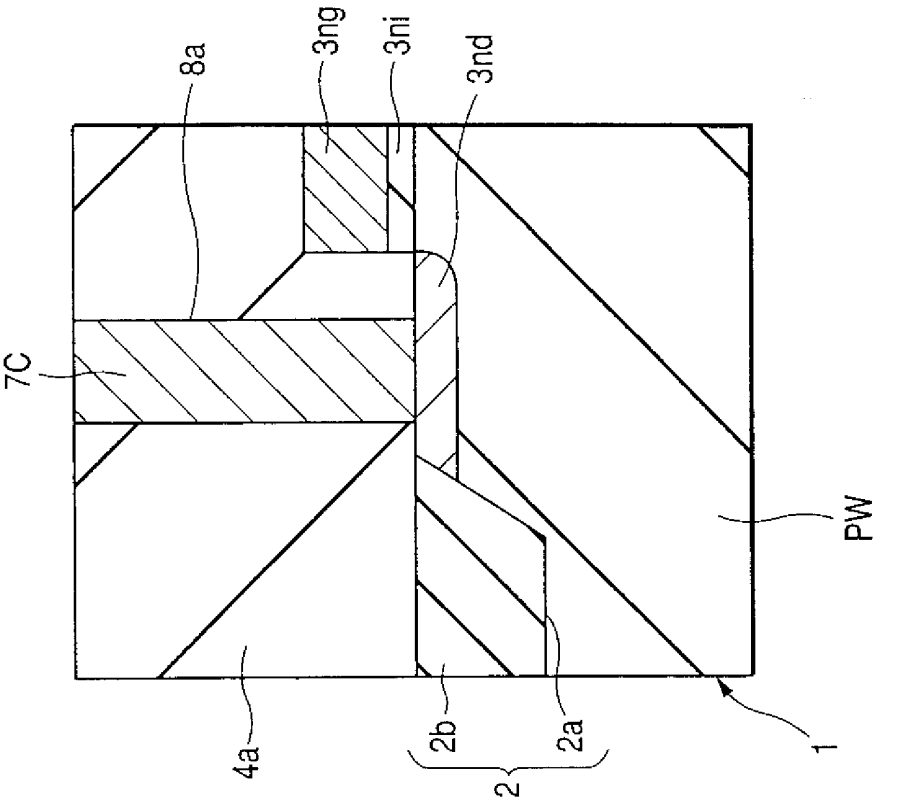
第 25 圖


5a
8a
3ng
3ni
3nd
6L
6L2
6L1
7C
4a
2b
2a
2
1
PW

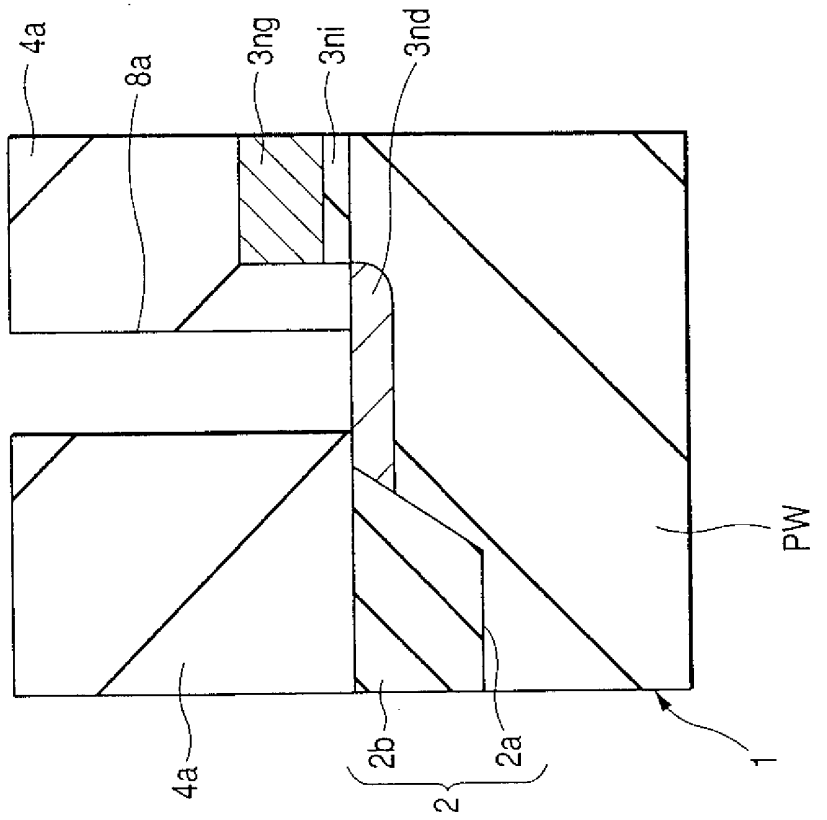
第 28 圖


5a
8a
3ng
3ni
3nd
7C
6L2
6L1
4a
2b
2a
2
1
PW

第 27 圖

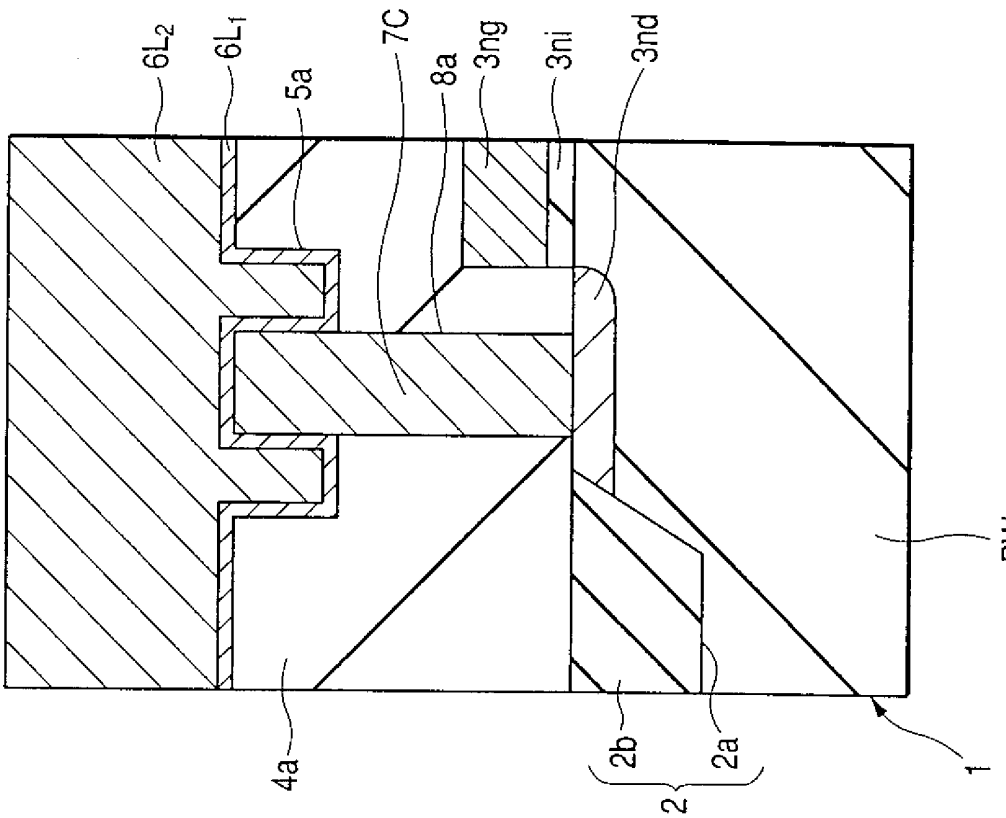


第 30 圖

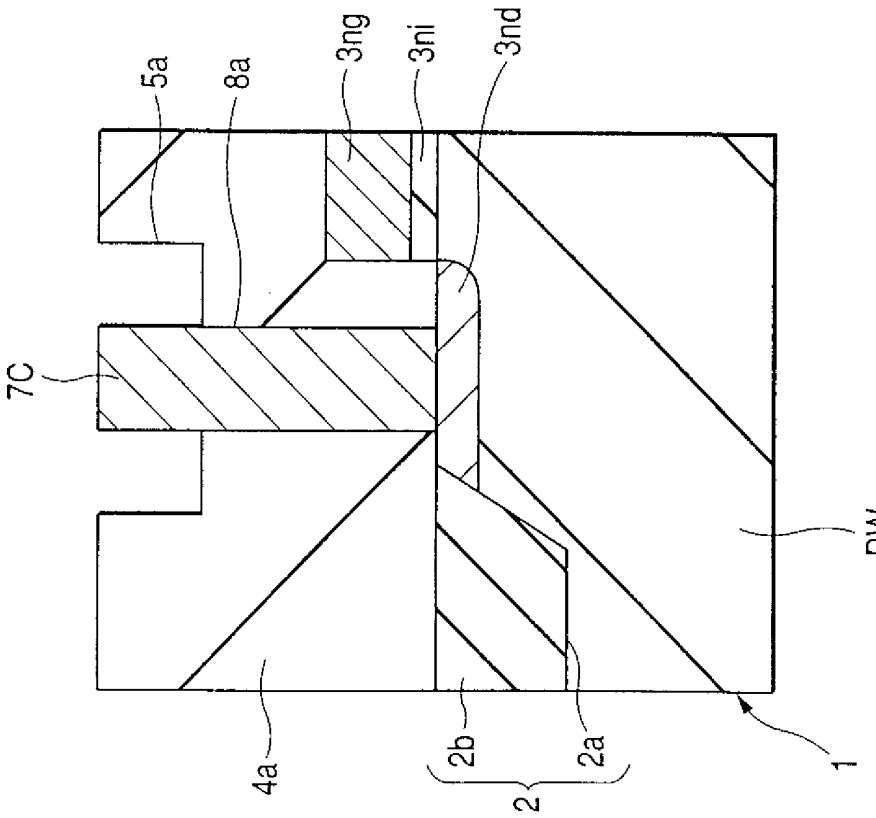


第 29 圖

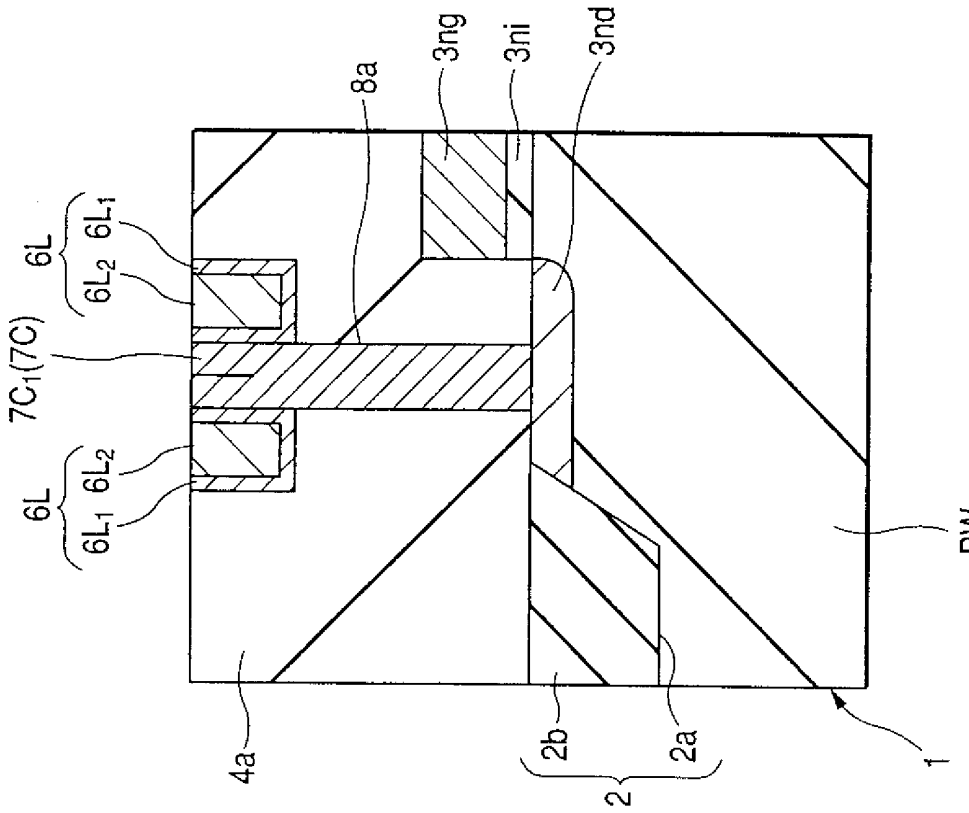
459342



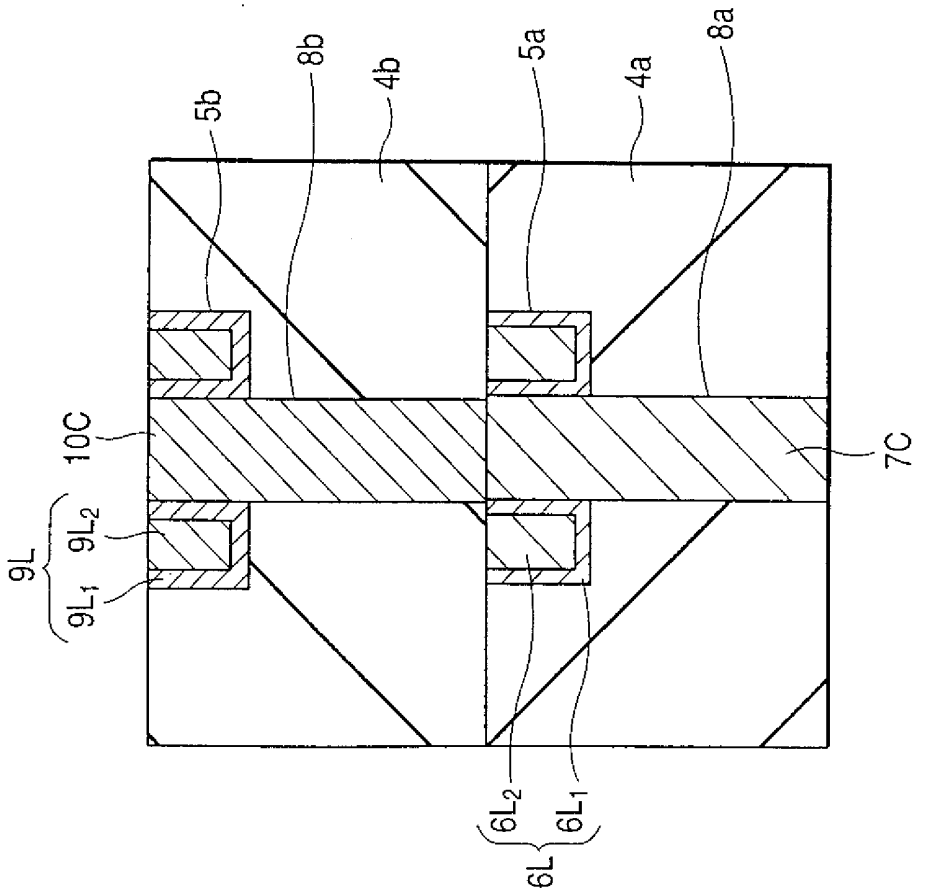
第 32 圖



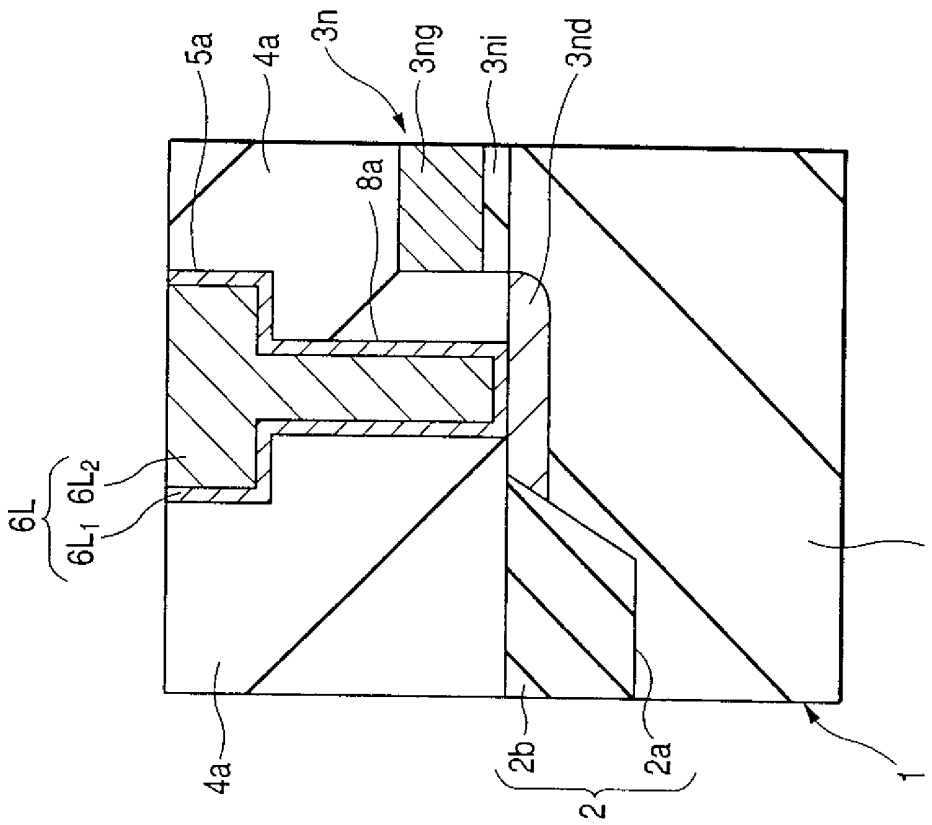
第 31 圖


8a
3ng
3ni
3nd
6L
6L1
6L2
7C1(7C)
6L
6L2
6L1
PW
4a
2b
2a
2
1

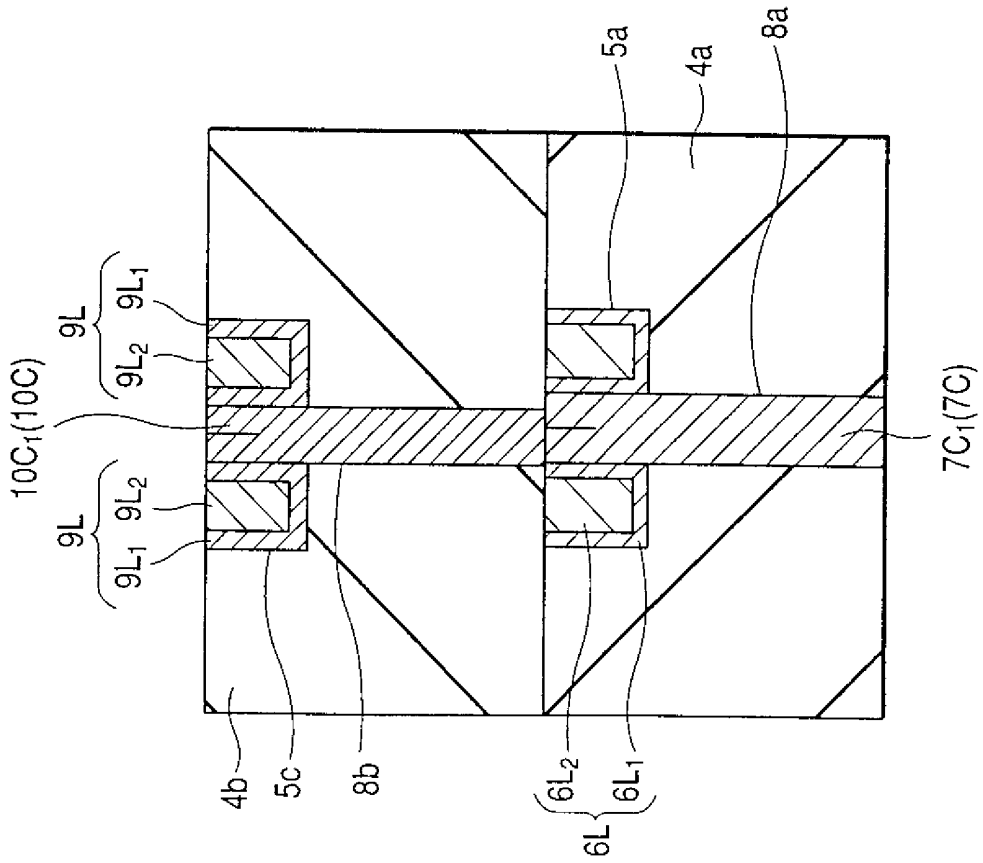
第 34 圖


5b
8b
4b
5a
4a
8a
10C
9L
9L2
9L1
7C
6L2
6L1
6L

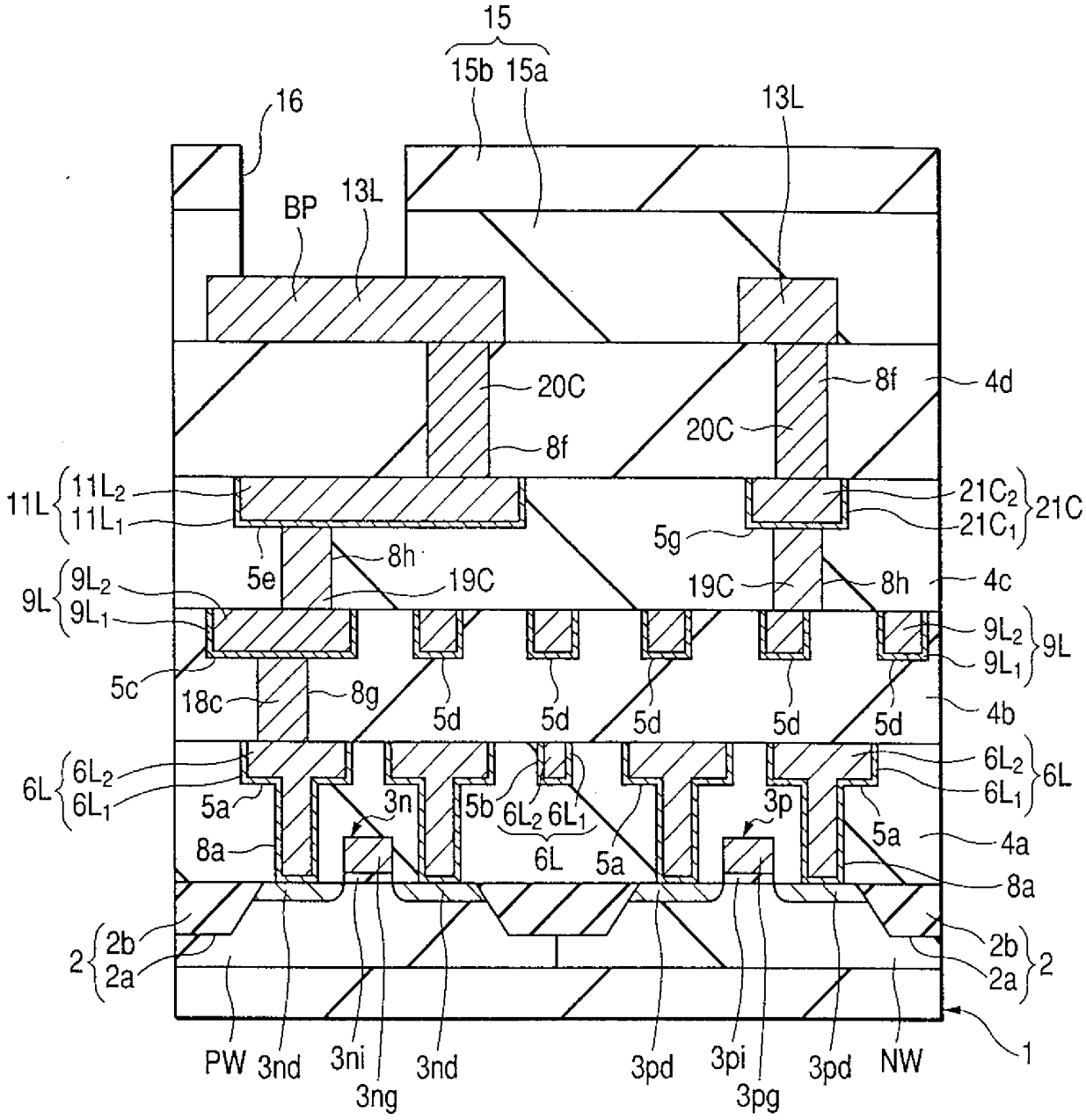
第 33 圖


5a
4a
3n
3ng
3ni
3nd
8a
6L
6L1 6L2
4a
2b
2a
2
1
PW

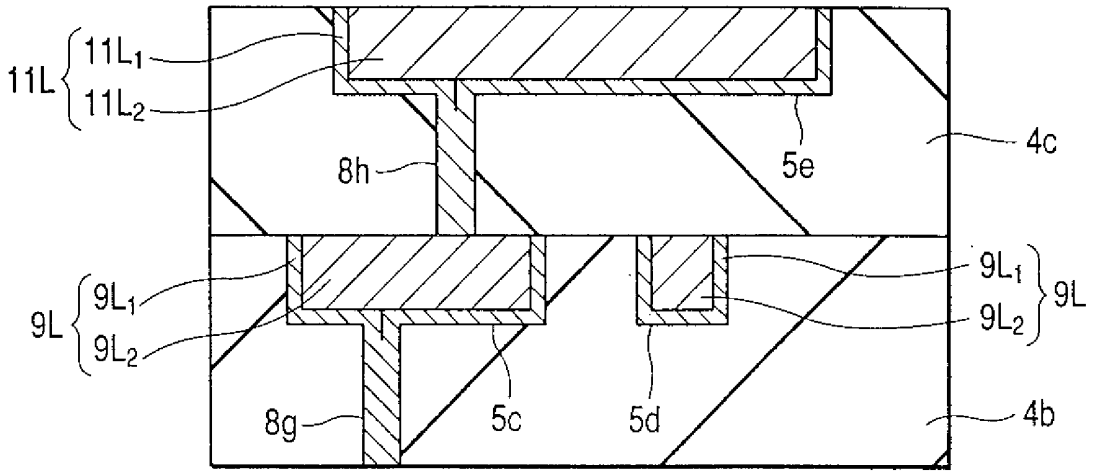
第 37 圖


5a
4a
8a
9L
9L1
9L2
10C1(10C)
9L
9L2
9L1
7C1(7C)
4b
5c
8b
6L2
6L1
6L

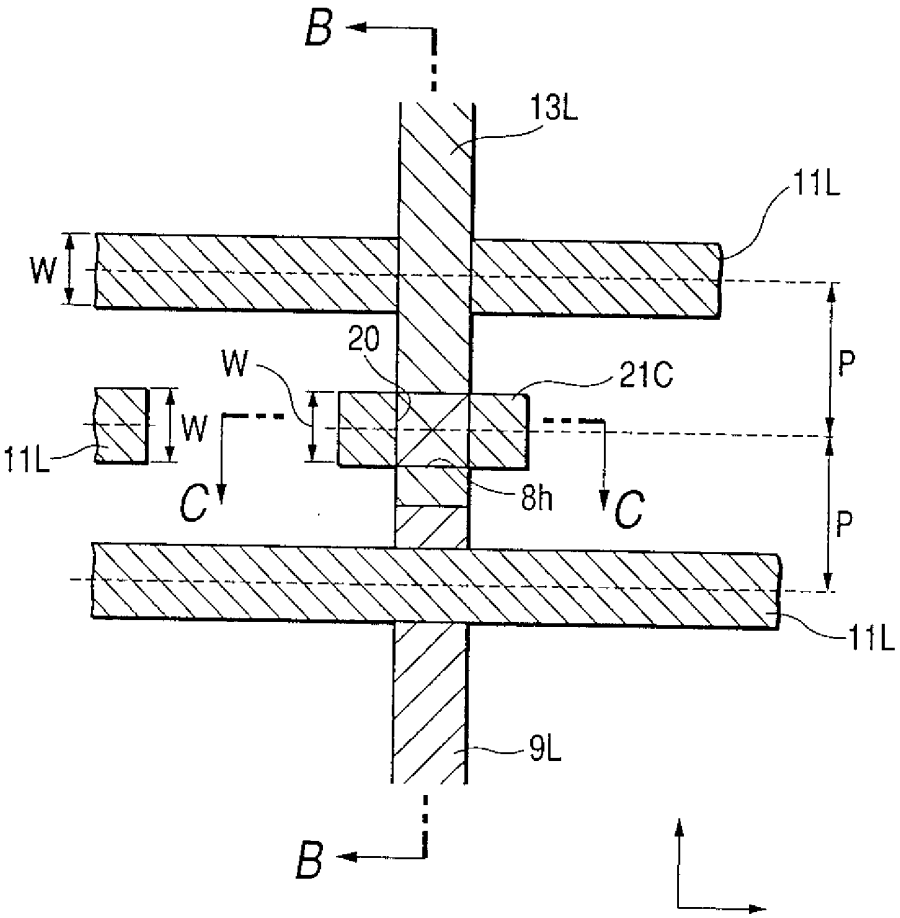
第 35 圖


15
15b 15a
16
13L
BP
13L
20C
8f
4d
20C
8f
11L
11L2
11L1
21C2
21C1
21C
5g
5e
8h
19C
19C
8h
4c
9L
9L2
9L1
9L2
9L1
9L
5c
18c
8g
5d
5d
5d
5d
5d
4b
6L
6L2
6L1
6L2
6L1
6L
5a
3n
5b
6L2 6L1
3p
5a
4a
8a
6L
5a
8a
2
2b
2a
2b
2a
2
PW
3nd
3ni
3ng
3nd
3pd
3pi
3pg
3pd
NW
1

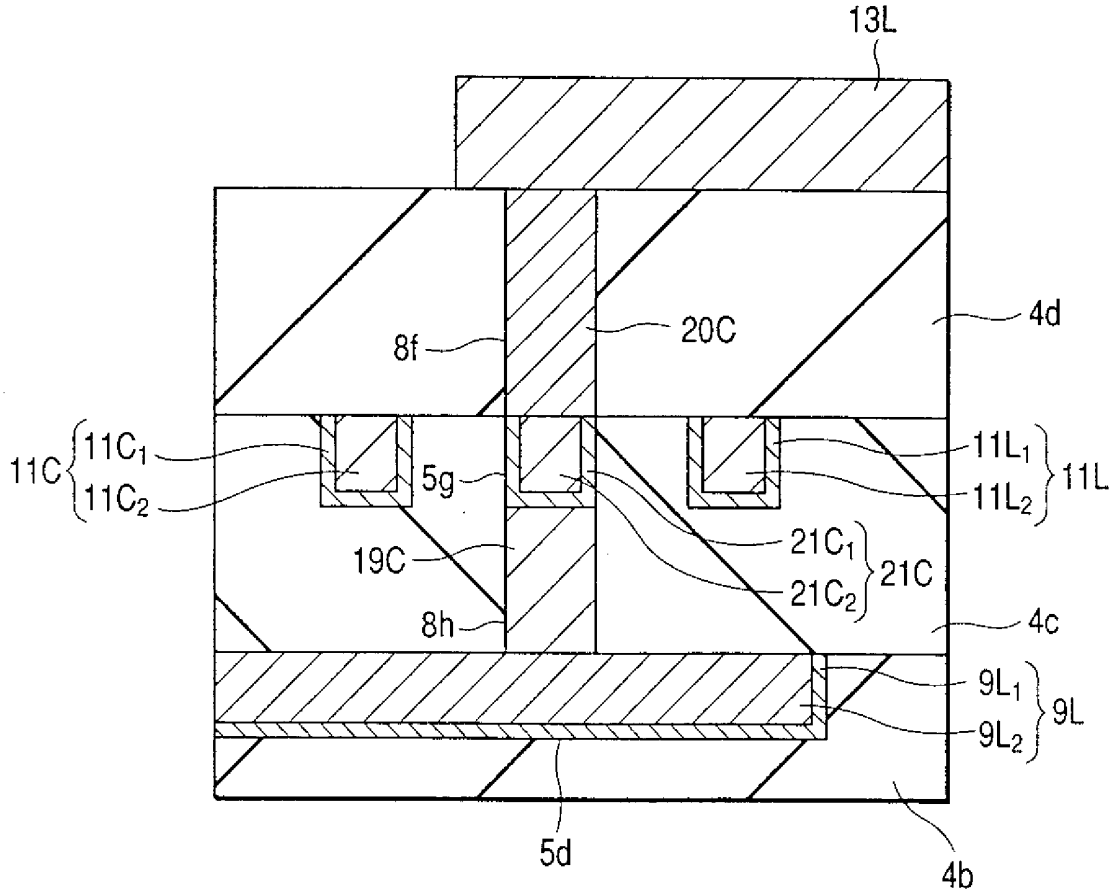
第 36 圖



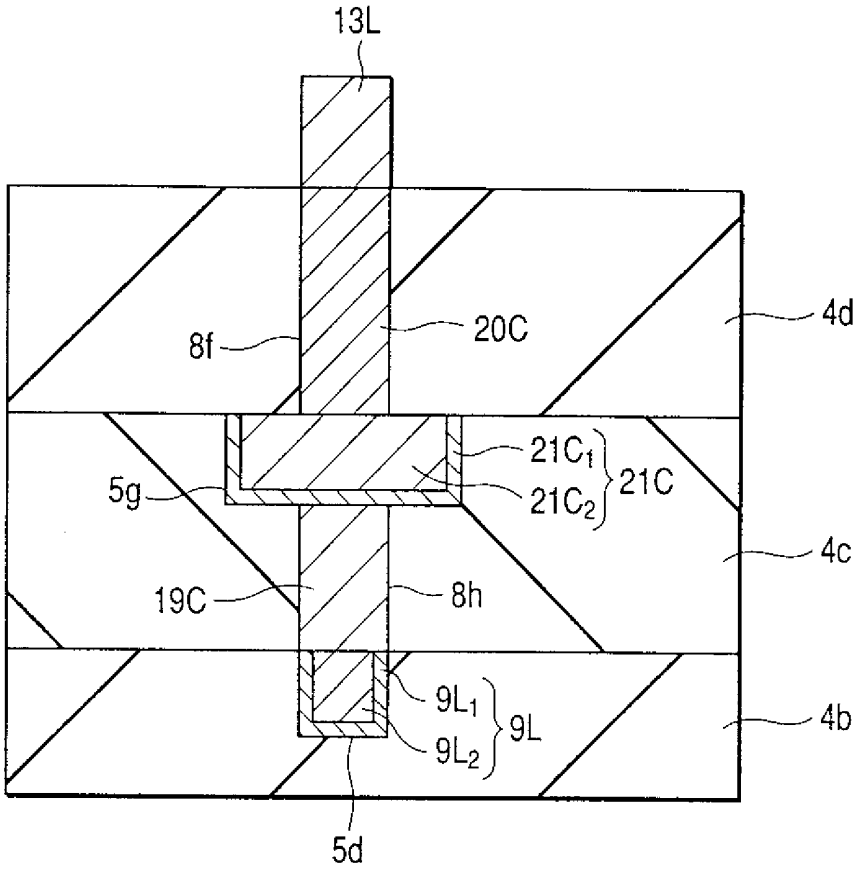
第 38 圖



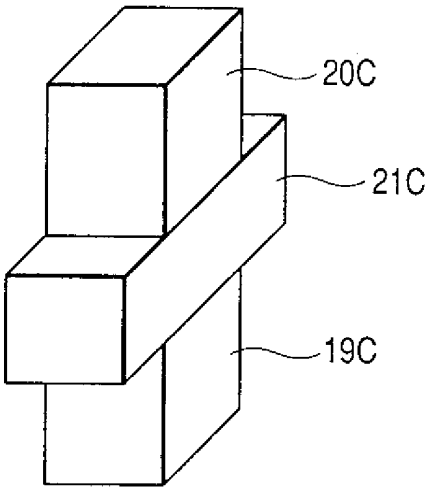
第 39 圖(A)


13L
8f
20C
4d
11C
11C1
11C2
5g
11L1
11L2
11L
19C
21C1
21C2
21C
8h
4c
9L1
9L2
9L
5d
4b

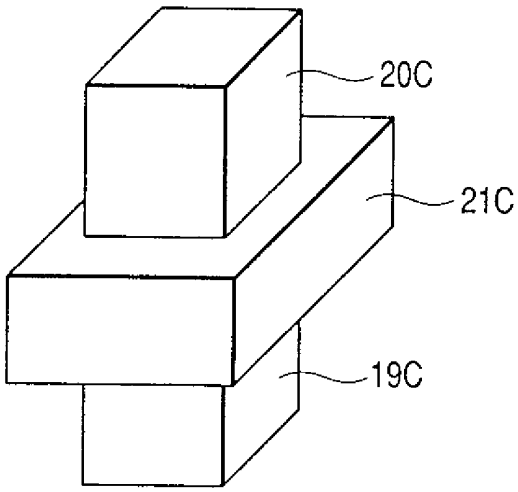
第 39 圖(B)



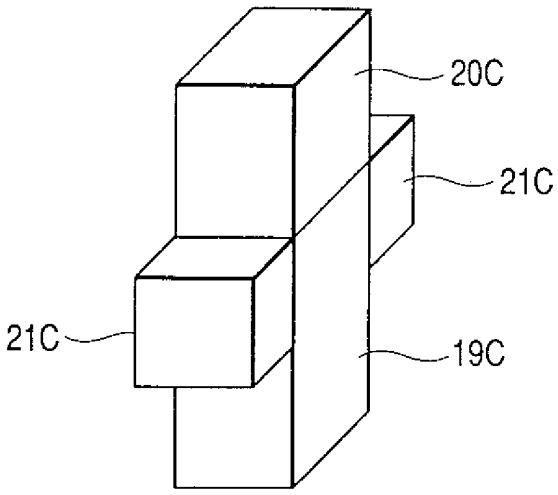
第 39 圖(C)



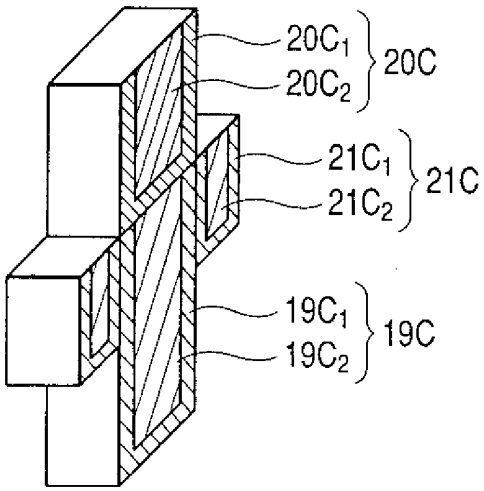
第 40 圖



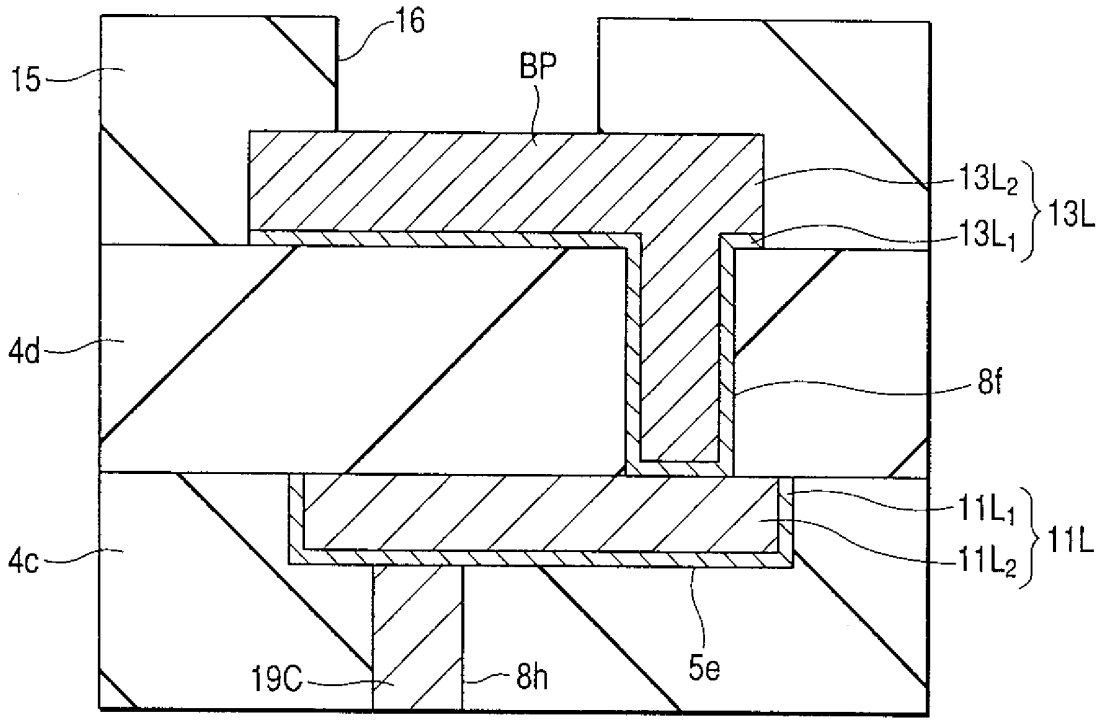
第 41 圖



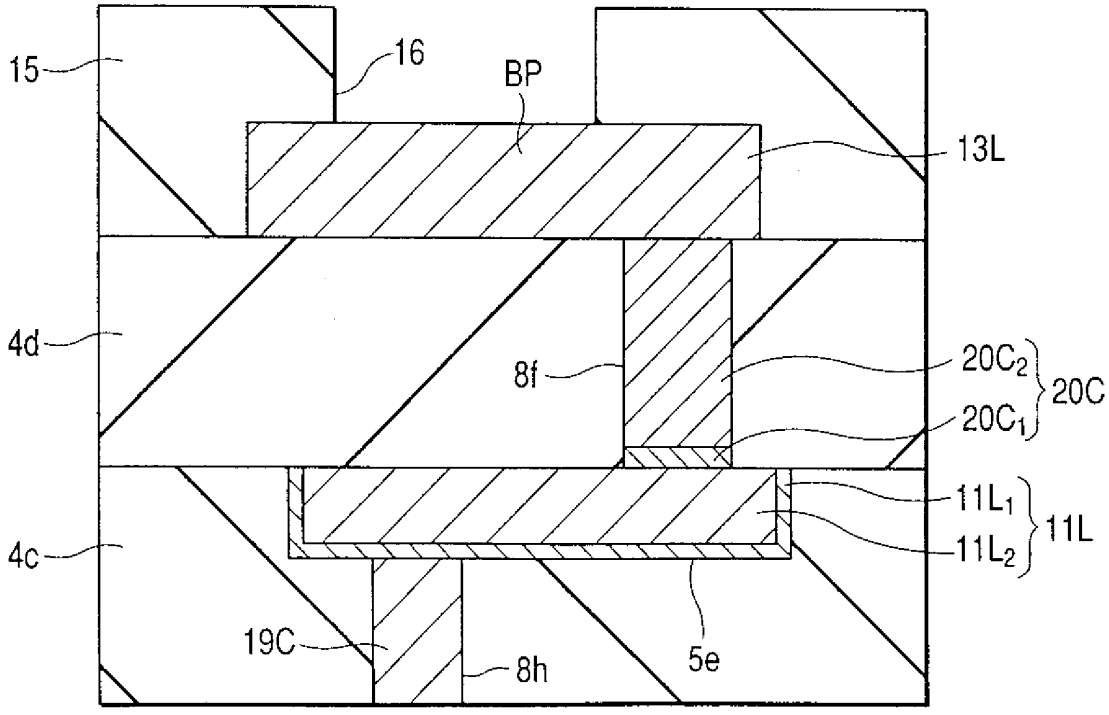
第 42 圖



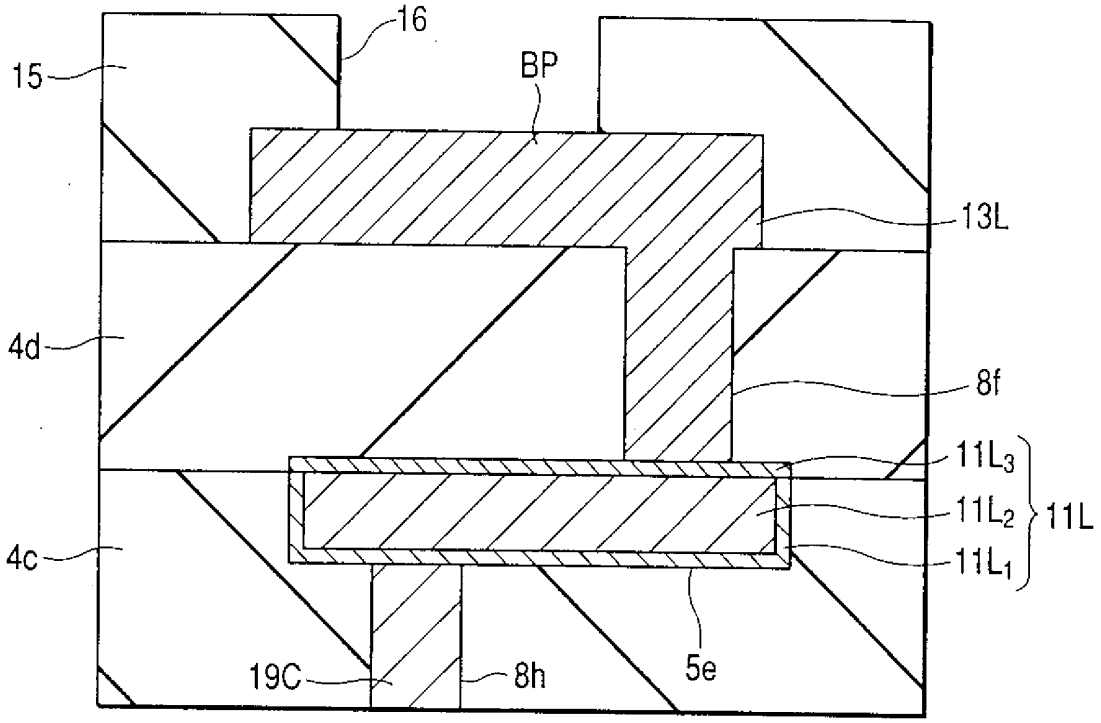
第 43 圖


16
15
BP
13L2
13L1
13L
4d
8f
11L1
11L2
11L
4c
19C
8h
5e

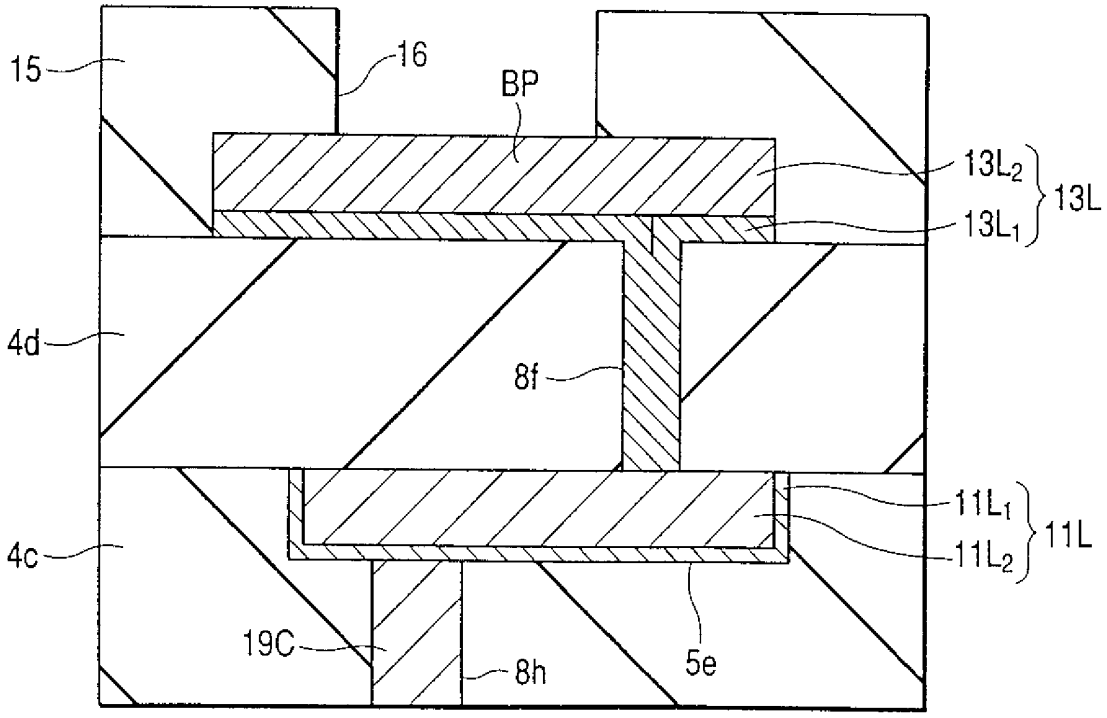
第 44 圖


15
16
BP
13L
4d
8f
20C2
20C1
20C
11L1
11L2
11L
4c
19C
8h
5e

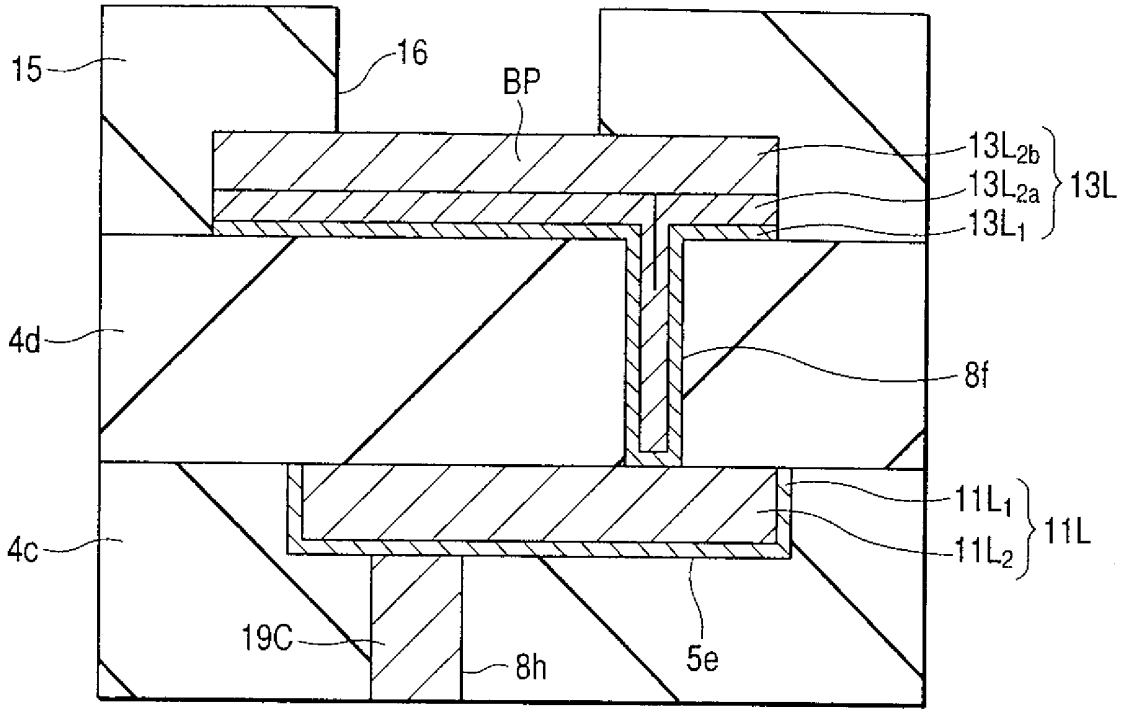
第 45 圖


16
15
BP
13L
4d
8f
11L3
11L2
11L
11L1
4c
19C
8h
5e

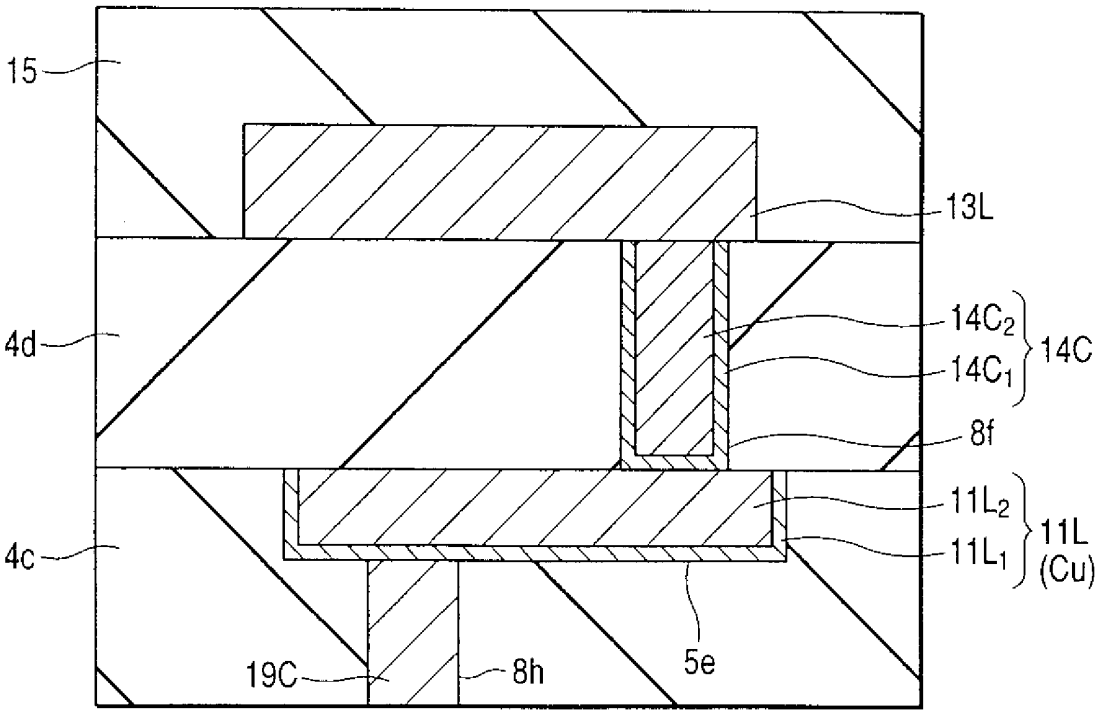
第 46 圖


15
16
BP
13L2
13L
13L1
4d
8f
11L1
11L
11L2
4c
19C
8h
5e

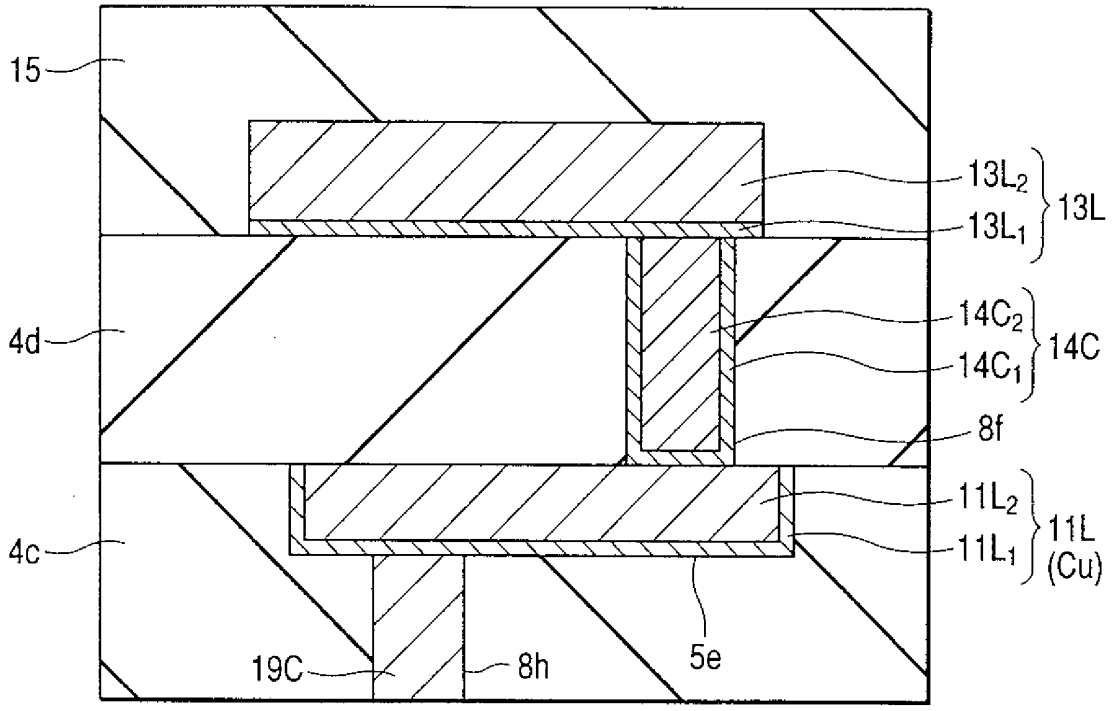
第 47 圖


15
16
BP
13L2b
13L2a
13L1
13L
4d
8f
11L1
11L2
11L
4c
19C
8h
5e

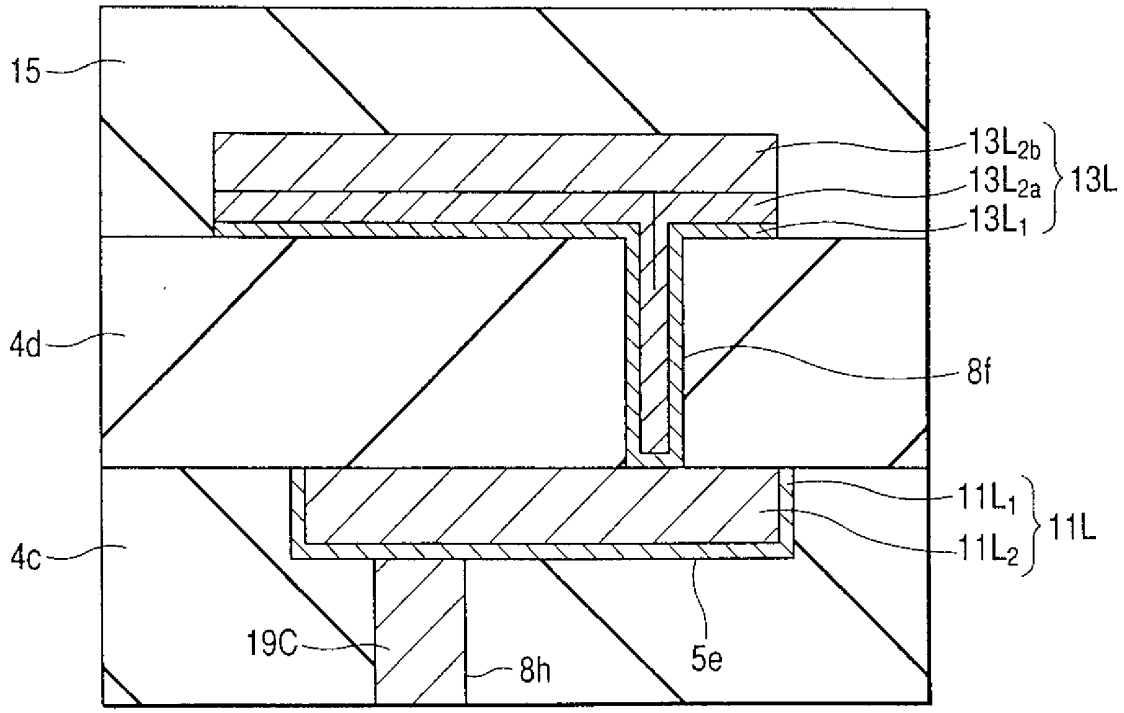
第 48 圖


15
13L
4d
14C2
14C1
14C
8f
11L2
11L1
11L
(Cu)
4c
19C
8h
5e

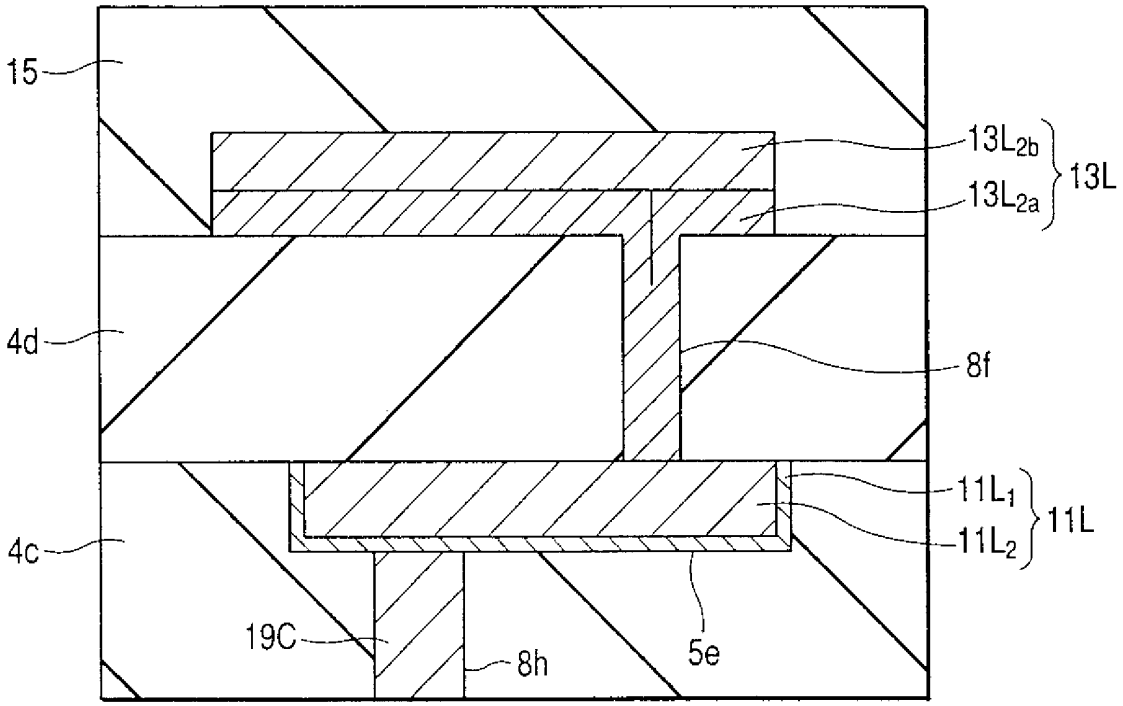
第 49 圖


15
4d
4c
13L2
13L1
13L
14C2
14C1
14C
8f
11L2
11L1
11L
(Cu)
19C
8h
5e

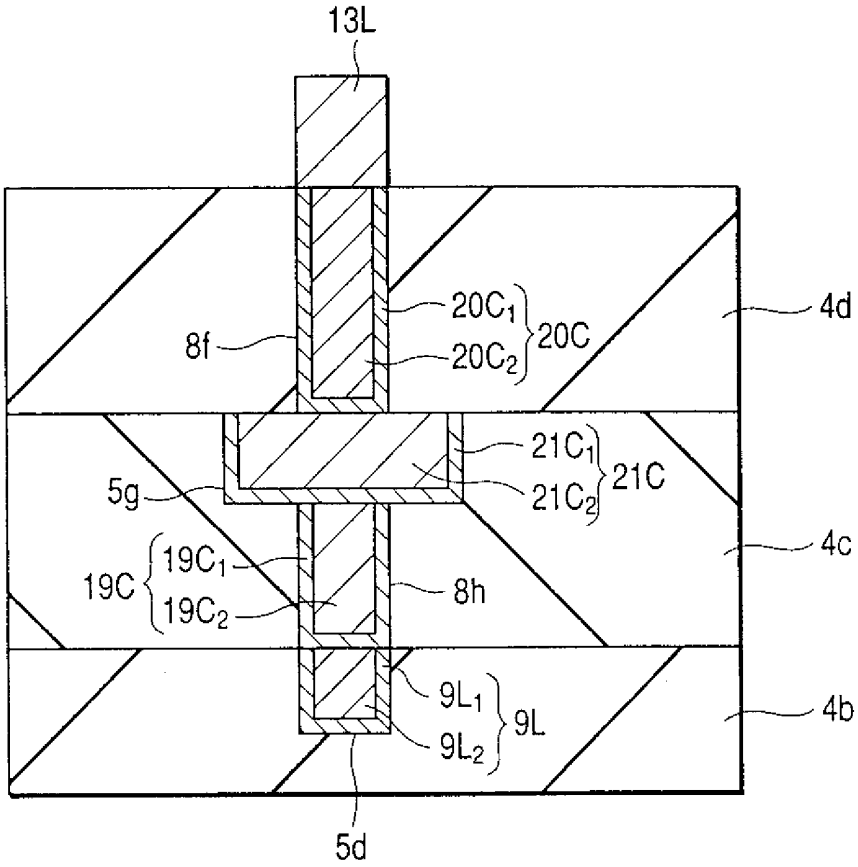
第 50 圖


15
4d
4c
13L2b
13L2a
13L1
13L
8f
11L1
11L2
11L
19C
8h
5e

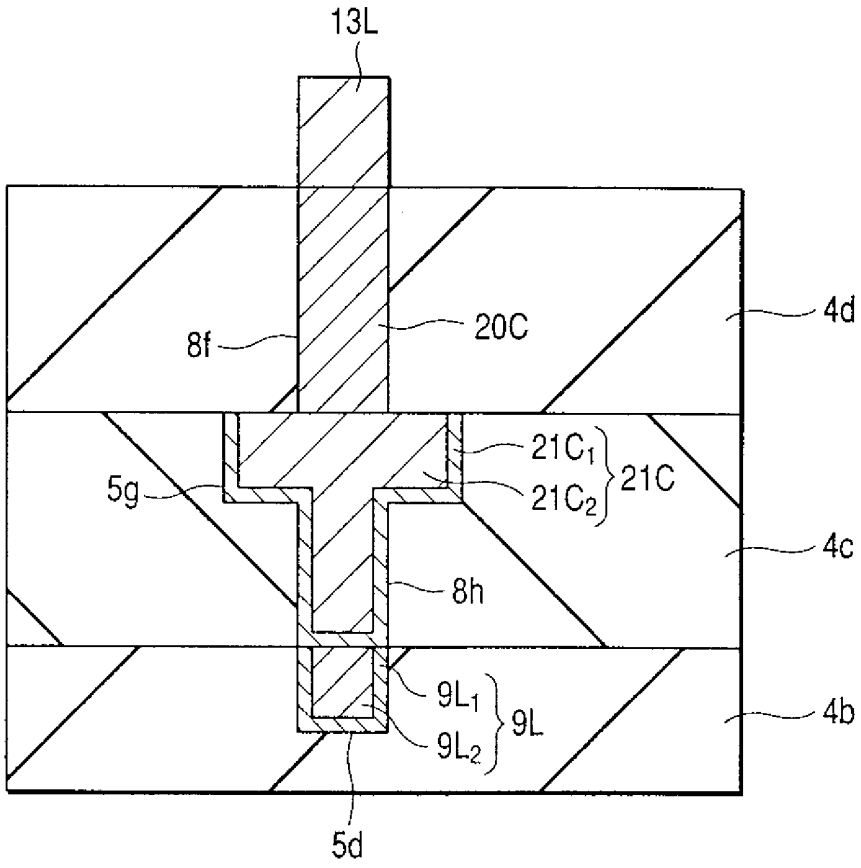
第 51 圖



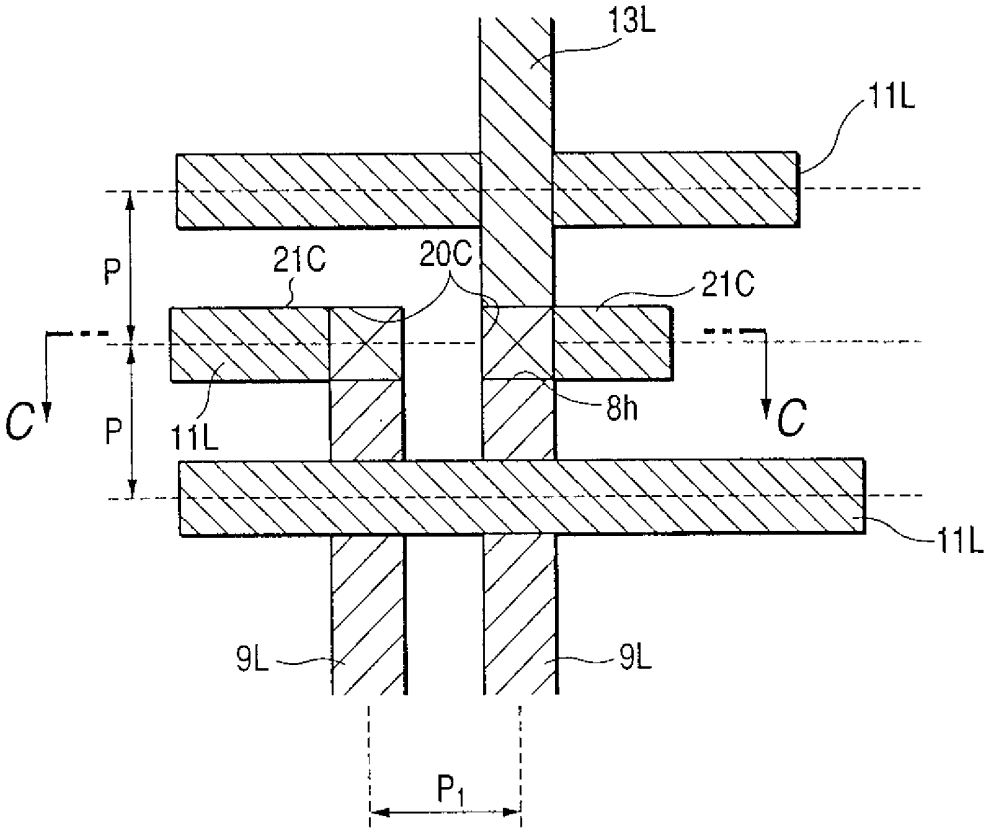
第 52 圖


13L
20C1
20C2
20C
8f
4d
21C1
21C2
21C
5g
4c
19C
19C1
19C2
8h
9L1
9L2
9L
4b
5d

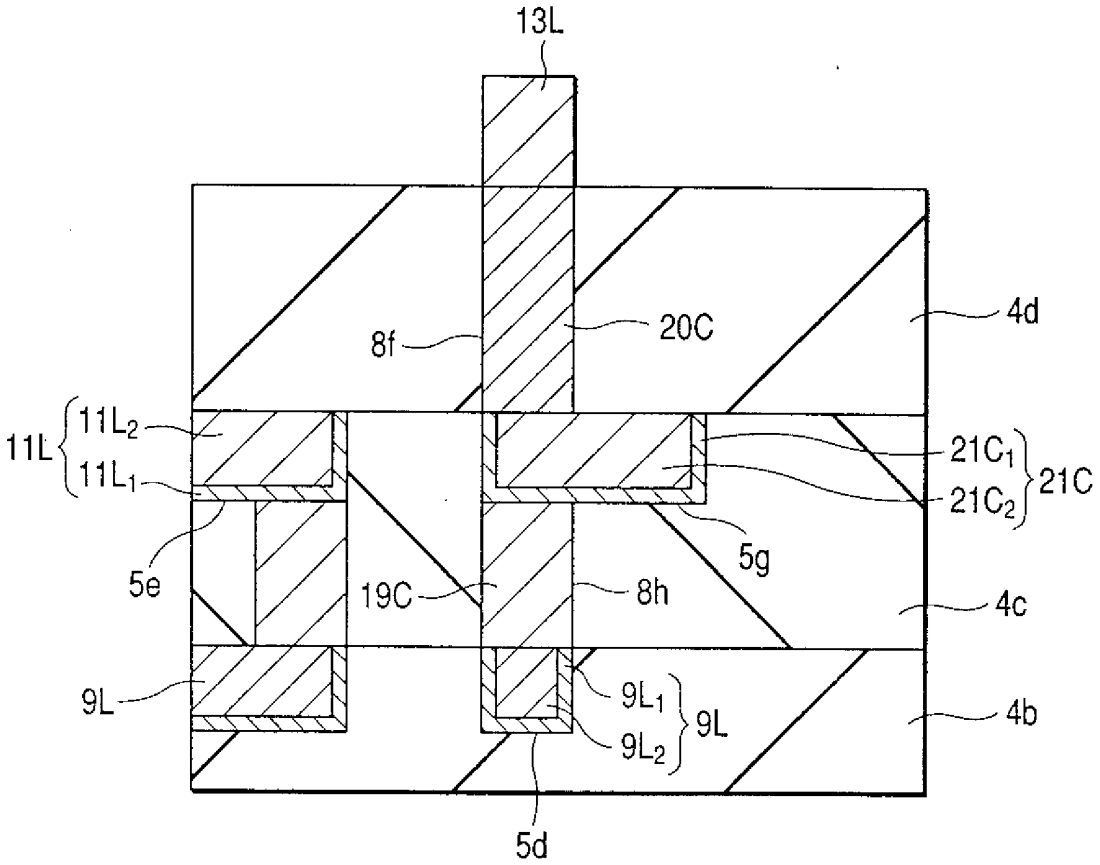
第 53 圖



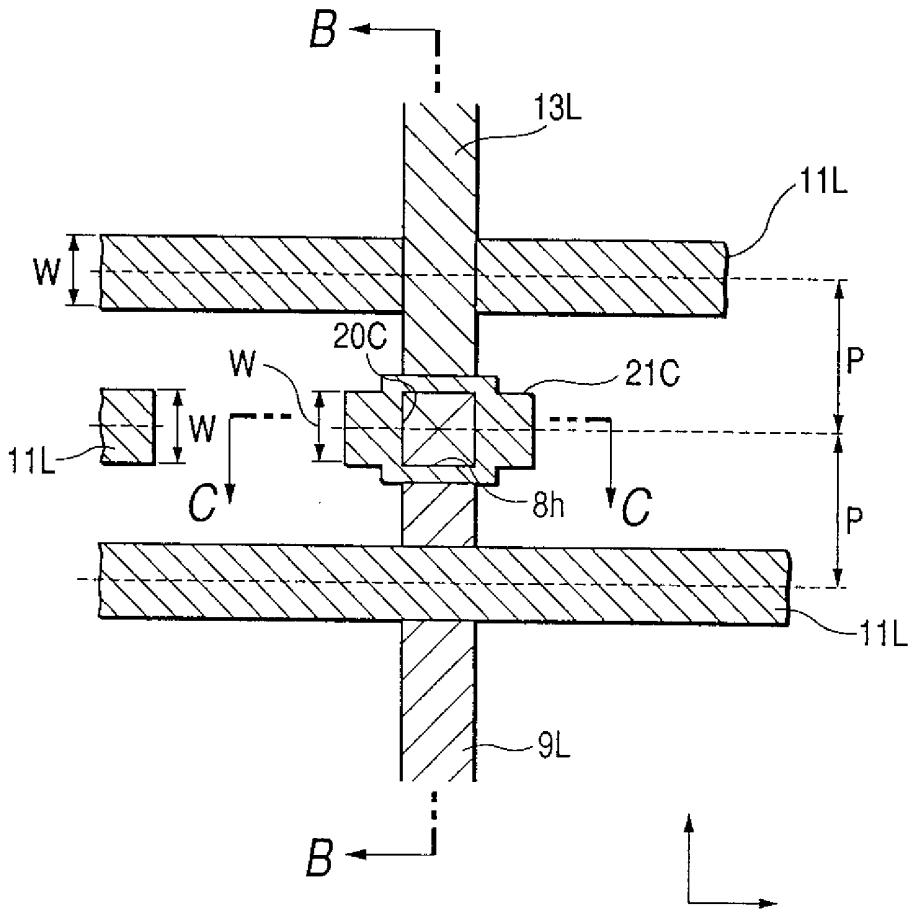
第 54 圖



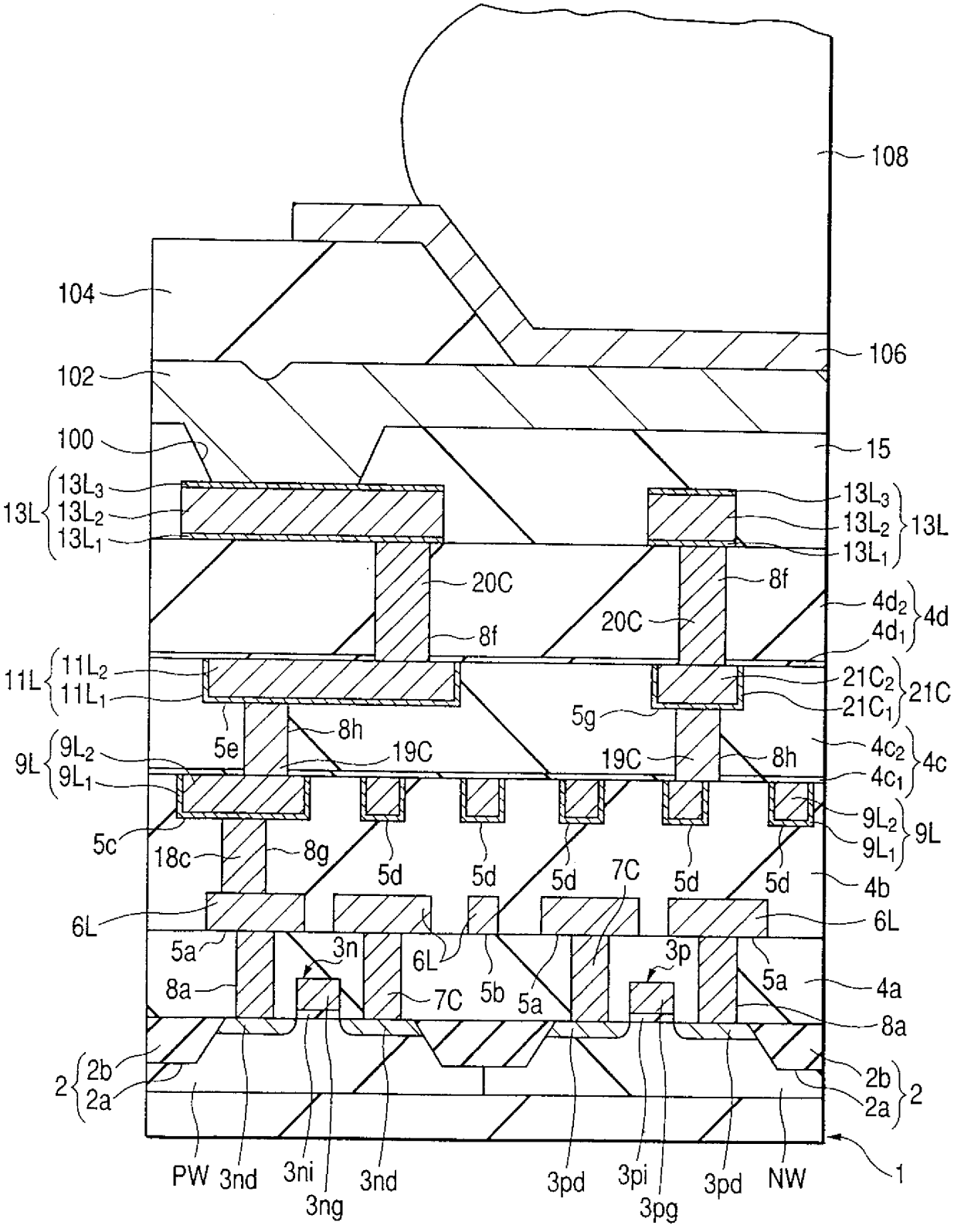
第 55 圖(A)


13L
8f
20C
4d
11L
11L2
11L1
21C1
21C2
21C
5e
19C
8h
5g
4c
9L
9L1
9L2
9L
4b
5d

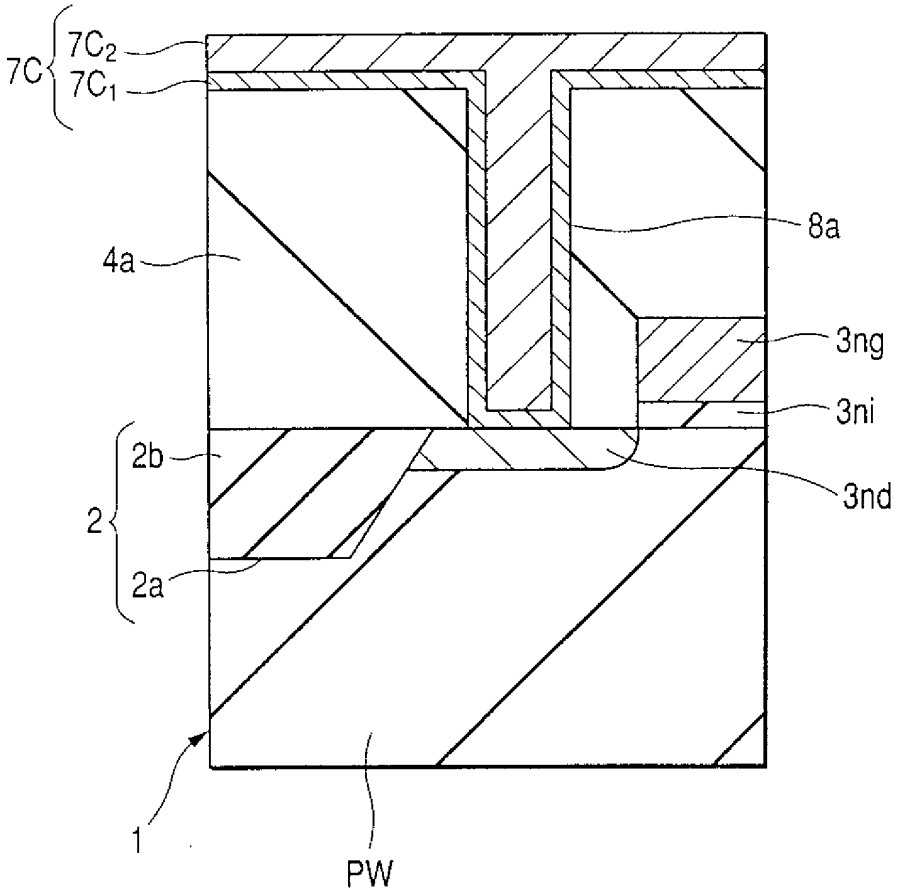
第 55 圖(B)



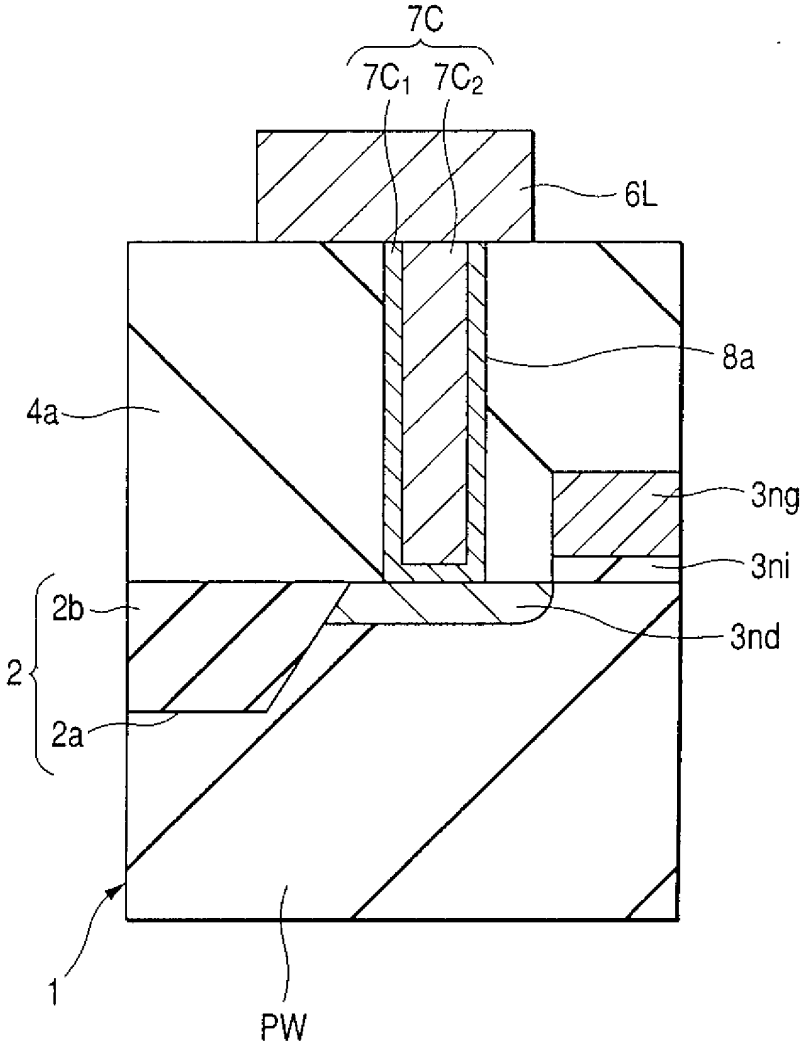
第 56 圖


108
104
106
102
100
15
13L
13L3
13L2
13L1
20C
8f
4d2
4d1
4d
11L
11L2
11L1
21C2
21C1
21C
5e
8h
19C
5g
9L
9L2
9L1
4c2
4c1
4c
5c
18c
8g
5d
7C
4b
6L
5a
3n
3p
8a
7C
5b
4a
2
2b
2a
PW
3nd
3ni
3ng
3pd
3pi
3pg
NW
1

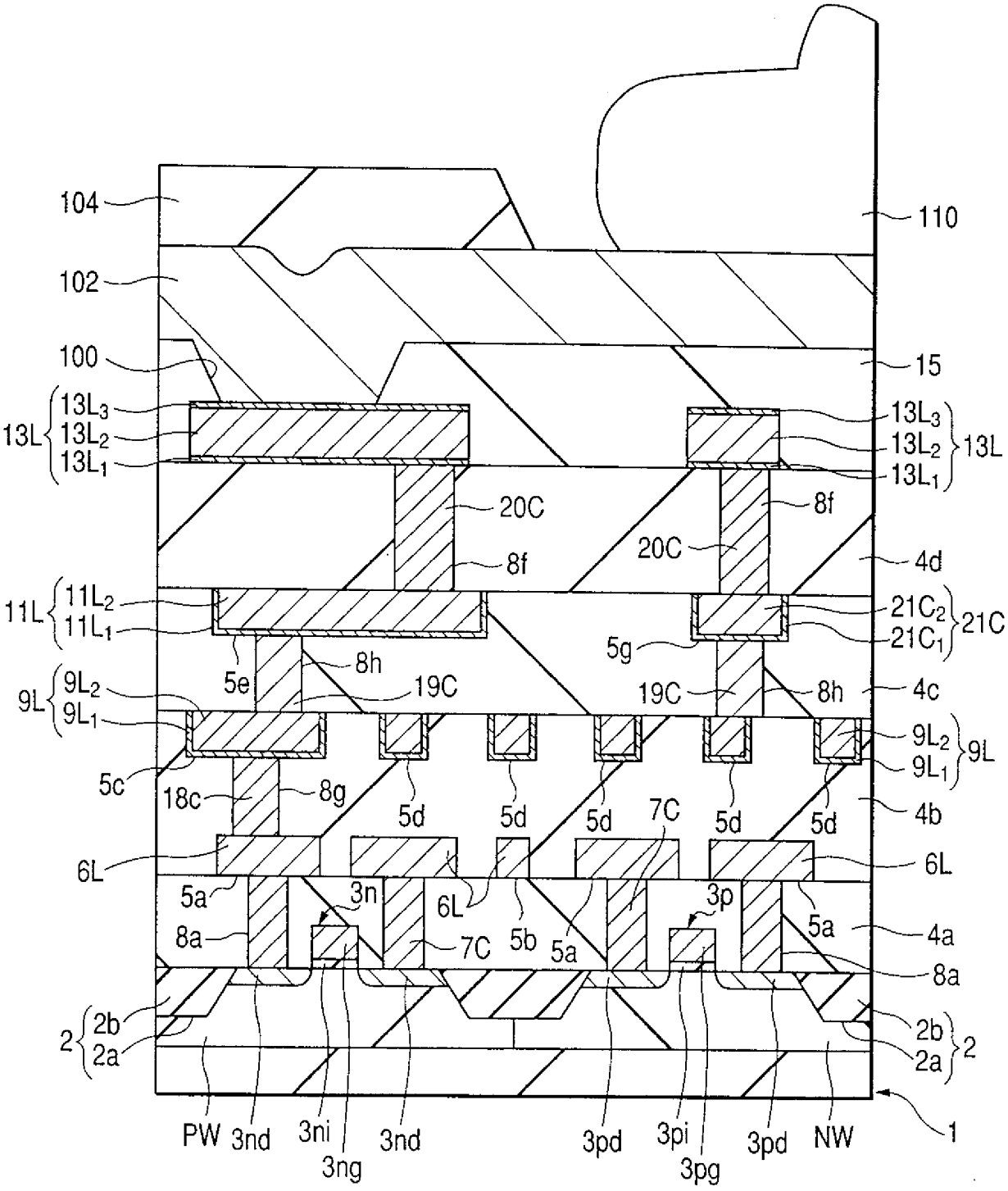
第 57 圖


7C
7C2
7C1
8a
4a
3ng
3ni
2b
2
3nd
2a
1
PW

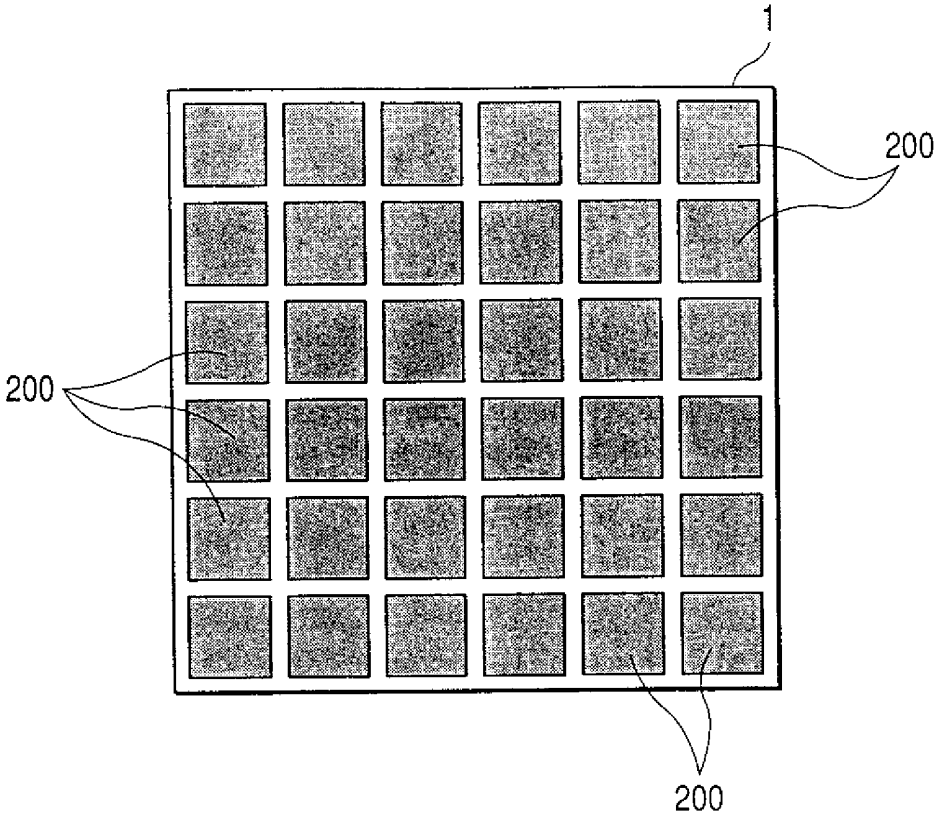
第 58 圖


7C
7C1
7C2
6L
8a
4a
3ng
3ni
2b
2
3nd
2a
1
PW

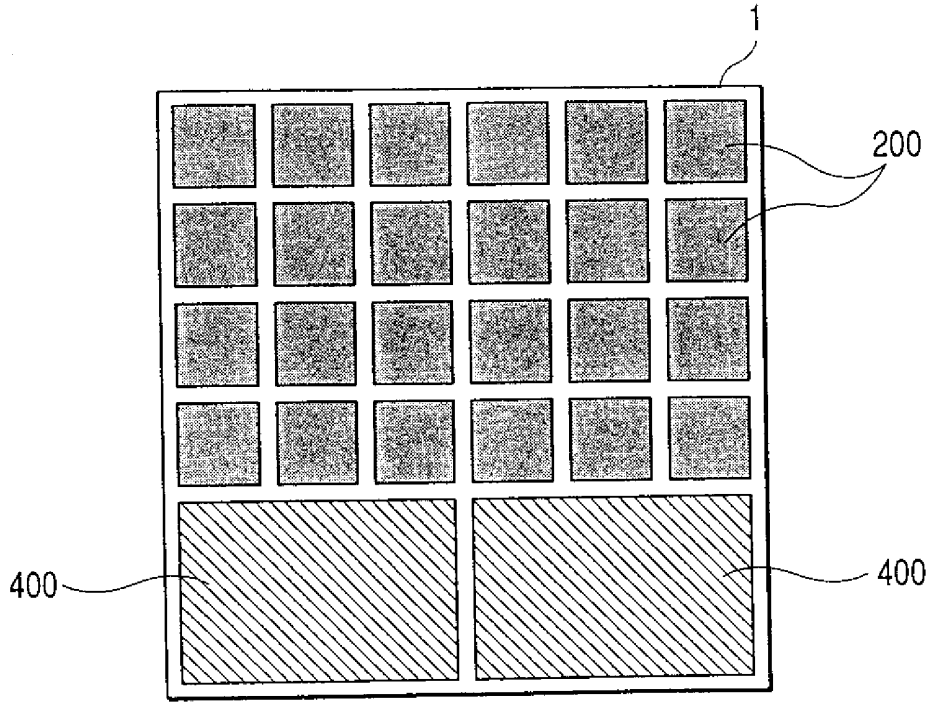
第 59 圖


104
102
100
13L 13L3 13L2 13L1
11L 11L2 11L1
9L 9L2 9L1
6L
2 2b 2a
110
15
13L3 13L2 13L1 13L
20C
8f
4d
21C2 21C1 21C
5g
8h
19C
4c
9L2 9L1 9L
5e
5c
18c
8g
5d
7C
4b
6L
5a
3n
3p
8a
7C
5b
4a
PW
3nd
3ni
3ng
3pd
3pi
3pg
NW
1

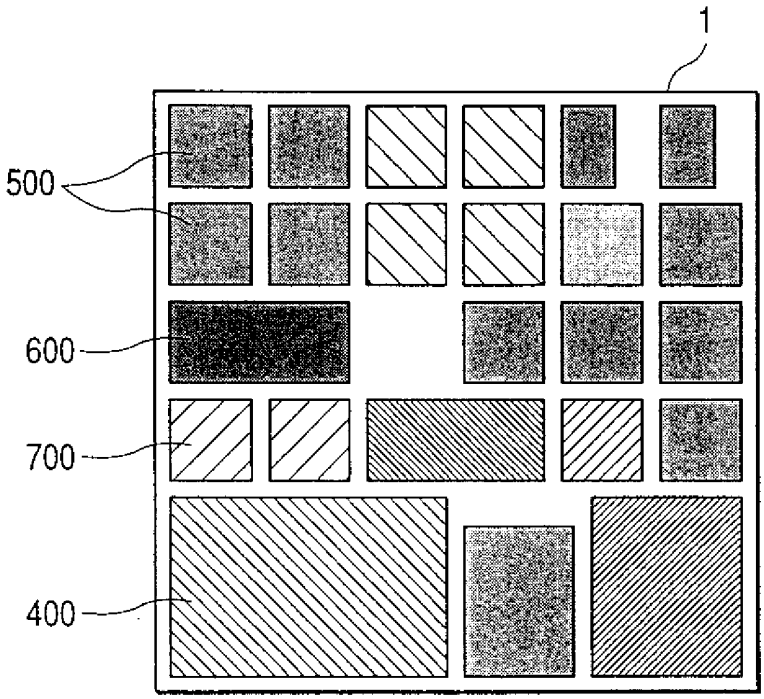
第 60 圖



第 61 圖



第 62 圖



第 63 圖

公告本

申請日期	87 年 8 月 5 日
案號	87112907
類別	H01L 21/768

（以上各欄由本局填註）

修正本 補充 89. 5. 19 年 月 日

A4
C4

459342

發明 新型 專利說明書（修正本）

一、發明 新型 名稱	中文	具有銅配線層之半導體積體電路裝置及其製法
	英文	
二、發明 創作 人	姓名	(1) 齋藤達之 (2) 野口純司 (3) 山口日出
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都青梅市青梅四七八－－－二〇五 (2) 日本國東京都青梅市新町九－四－四 (3) 日本國東京都昭島市玉川町一－四－－－七〇三
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線