

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 6 月 9 日 (2005.6.9)

【公開番号】特開 2000-269466 (P2000-269466A)

【公開日】平成 12 年 9 月 29 日 (2000.9.29)

【出願番号】特願 平 11-68017

【国際特許分類第 7 版】

H 0 1 L 27/115

H 0 1 L 21/76

H 0 1 L 27/10

H 0 1 L 21/8247

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 8 1

H 0 1 L 21/76 L

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 16 年 8 月 31 日 (2004.8.31)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に、トレンチアイソレーション形成領域に開口を有する第 1 パターンマスクを形成する工程と、

前記第 1 パターンマスクを用いて前記半導体基板にアイソレーション開口を形成する工程と、

前記第 1 パターンマスクの幅を狭めて、第 1 の幅の第 1 マスクと、この第 1 の幅よりも狭い第 2 の幅の第 2 マスクとを有する、第 2 パターンマスクを形成する工程と、

前記アイソレーション開口を埋めるとともに、前記第 2 パターンマスクまで達する埋め込み絶縁膜を形成する工程と、

前記第 2 パターンマスクを除去して、前記埋め込み絶縁膜における前記第 1 マスクを除去した部分に前記第 1 の幅の第 1 開口を形成するとともに、前記埋め込み絶縁膜における前記第 2 マスクを除去した部分に前記第 2 の幅の第 2 開口を形成する工程と、

前記第 1 開口の底面及び前記第 2 開口の底面に、第 1 の膜厚の第 1 絶縁膜を形成する工程と、

前記第 1 開口の底面に形成された第 1 絶縁膜を残存させたまま、前記 2 開口の底面に形成された第 1 絶縁膜を除去する工程と、

前記第 2 開口の底面に、前記第 1 絶縁膜と異なる膜厚の第 2 絶縁膜を形成する工程と、
 を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 2 パターンマスクを形成する工程は、

前記第 1 パターンマスクの幅を所定量後退させて、前記第 1 の幅の前記第 1 マスクを形成する工程と、

前記第 1 絶縁膜を形成する領域を覆った状態で、前記第 1 マスクの幅を所定量後退させて、前記第 2 絶縁膜を形成する領域に、前記第 2 の幅の前記第 2 マスクを形成する工程と、

を備えたことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 マスクを形成する工程で前記第 1 絶縁膜を形成する領域を覆う工程は、前記半導体基板上に第 3 絶縁膜を形成する工程と、
前記第 3 絶縁膜上の前記第 1 絶縁膜を形成する領域に、フォトリソパターンを形成する工程と、

前記フォトリソパターンを用いて、前記第 1 絶縁膜を形成する領域に前記第 3 絶縁膜を残存させたまま、前記第 2 絶縁膜を形成する領域の前記第 3 絶縁膜を除去する工程と、

前記フォトリソパターンを除去する工程と、

を備えたことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 絶縁膜を形成する領域はセルトランジスタ形成領域であり、前記第 2 絶縁膜を形成する領域はその周辺トランジスタ形成領域である、

ことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

メモリセルトランジスタが形成されるメモリセルトランジスタ形成領域と、前記メモリセルトランジスタに対する周辺トランジスタが形成される周辺トランジスタ形成領域とを有する、不揮発性半導体記憶装置の製造方法であって、

半導体基板上に、トレンチアイソレーション形成領域に開口を有する第 1 パターンマスクを形成する工程と、

前記第 1 パターンマスクを用いて前記半導体基板にアイソレーション開口を形成する工程と、

前記第 1 パターンマスクの幅を狭めて、前記メモリセルトランジスタ形成領域に第 1 の幅の第 1 マスクを有し、周辺トランジスタ形成領域に前記第 1 の幅よりも狭い第 2 の幅の第 2 マスクを有する、第 2 パターンマスクを形成する工程と、

前記アイソレーション開口を埋めるとともに、前記第 2 パターンマスクまで達する埋め込み絶縁膜を形成する工程と、

前記第 2 パターンマスクを除去して、前記メモリセルトランジスタ形成領域に位置する前記埋め込み絶縁膜における前記第 1 マスクを除去した部分に前記第 1 の幅の第 1 開口を形成するとともに、前記周辺トランジスタ形成領域に位置する前記埋め込み絶縁膜における前記第 2 マスクを除去した部分に前記第 2 の幅の第 2 開口を形成する工程と、

前記メモリセルトランジスタ形成領域に位置する前記第 1 開口の底面、及び、前記周辺トランジスタ形成領域に位置する前記第 2 開口の底面に、第 1 の膜厚の第 1 絶縁膜を形成する工程と、

前記メモリセルトランジスタ形成領域に位置する前記第 1 開口の底面に形成された第 1 絶縁膜を残存させたまま、前記周辺トランジスタ形成領域に位置する前記第 2 開口の底面に形成された第 1 絶縁膜を除去する工程と、

前記周辺トランジスタ形成領域に位置する前記第 2 開口の底面に、前記第 1 絶縁膜と異なる膜厚の第 2 絶縁膜を形成する工程と、

前記メモリセルトランジスタ形成領域に位置する前記第 1 開口の底面に形成された前記第 1 絶縁膜と、前記周辺トランジスタ形成領域のうち高耐圧トランジスタを形成する高耐圧トランジスタ形成領域に位置する前記第 2 開口の底面に形成された前記第 2 絶縁膜とを残存させたまま、前記周辺トランジスタ形成領域のうち低耐圧トランジスタを形成する低耐圧トランジスタ形成領域に位置する前記第 2 開口の底面に形成された前記第 2 絶縁膜を除去する工程と、

前記低耐圧トランジスタ形成領域に位置する前記第 2 開口の底面に、前記第 1 絶縁膜と

異なる膜厚で、且つ、前記高耐圧トランジスタ形成領域に位置する前記第 2 絶縁膜と異なる膜厚で、第 3 絶縁膜を形成する工程と、

を備えたことを特徴とする不揮発性半導体記憶装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【0 0 0 9】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る半導体装置の製造方法は、

半導体基板上に、トレンチアイソレーション形成領域に開口を有する第 1 パターンマスクを形成する工程と、

前記第 1 パターンマスクを用いて前記半導体基板にアイソレーション開口を形成する工程と、

前記第 1 パターンマスクの幅を狭めて、第 1 の幅の第 1 マスクと、この第 1 の幅よりも狭い第 2 の幅の第 2 マスクとを有する、第 2 パターンマスクを形成する工程と、

前記アイソレーション開口を埋めるとともに、前記第 2 パターンマスクまで達する埋め込み絶縁膜を形成する工程と、

前記第 2 パターンマスクを除去して、前記埋め込み絶縁膜における前記第 1 マスクを除去した部分に前記第 1 の幅の第 1 開口を形成するとともに、前記埋め込み絶縁膜における前記第 2 マスクを除去した部分に前記第 2 の幅の第 2 開口を形成する工程と、

前記第 1 開口の底面及び前記第 2 開口の底面に、第 1 の膜厚の第 1 絶縁膜を形成する工程と、

前記第 1 開口の底面に形成された第 1 絶縁膜を残存させたまま、前記第 2 開口の底面に形成された第 1 絶縁膜を除去する工程と、

前記第 2 開口の底面に、前記第 1 絶縁膜と異なる膜厚の第 2 絶縁膜を形成する工程と、を備えたことを特徴とする。

また、本発明に係る不揮発性半導体記憶装置の製造方法は、

メモリセルトランジスタが形成されるメモリセルトランジスタ形成領域と、前記メモリセルトランジスタに対する周辺トランジスタが形成される周辺トランジスタ形成領域とを有する、不揮発性半導体記憶装置の製造方法であって、

半導体基板上に、トレンチアイソレーション形成領域に開口を有する第 1 パターンマスクを形成する工程と、

前記第 1 パターンマスクを用いて前記半導体基板にアイソレーション開口を形成する工程と、

前記第 1 パターンマスクの幅を狭めて、前記メモリセルトランジスタ形成領域に第 1 の幅の第 1 マスクを有し、周辺トランジスタ形成領域に前記第 1 の幅よりも狭い第 2 の幅の第 2 マスクを有する、第 2 パターンマスクを形成する工程と、

前記アイソレーション開口を埋めるとともに、前記第 2 パターンマスクまで達する埋め込み絶縁膜を形成する工程と、

前記第 2 パターンマスクを除去して、前記メモリセルトランジスタ形成領域に位置する前記埋め込み絶縁膜における前記第 1 マスクを除去した部分に前記第 1 の幅の第 1 開口を形成するとともに、前記周辺トランジスタ形成領域に位置する前記埋め込み絶縁膜における前記第 2 マスクを除去した部分に前記第 2 の幅の第 2 開口を形成する工程と、

前記メモリセルトランジスタ形成領域に位置する前記第 1 開口の底面、及び、前記周辺トランジスタ形成領域に位置する前記第 2 開口の底面に、第 1 の膜厚の第 1 絶縁膜を形成する工程と、

前記メモリセルトランジスタ形成領域に位置する前記第 1 開口の底面に形成された第 1 絶縁膜を残存させたまま、前記周辺トランジスタ形成領域に位置する前記第 2 開口の底面に

形成された第 1 絶縁膜を除去する工程と、

前記周辺トランジスタ形成領域に位置する前記第 2 開口の底面に、前記第 1 絶縁膜と異なる膜厚の第 2 絶縁膜を形成する工程と、

前記メモリセルトランジスタ形成領域に位置する前記第 1 開口の底面に形成された前記第 1 絶縁膜と、前記周辺トランジスタ形成領域のうち高耐圧トランジスタを形成する高耐圧トランジスタ形成領域に位置する前記第 2 開口の底面に形成された前記第 2 絶縁膜とを残存させたまま、前記周辺トランジスタ形成領域のうち低耐圧トランジスタを形成する低耐圧トランジスタ形成領域に位置する前記第 2 開口の底面に形成された前記第 2 絶縁膜を除去する工程と、

前記低耐圧トランジスタ形成領域に位置する前記第 2 開口の底面に、前記第 1 絶縁膜と異なる膜厚で、且つ、前記高耐圧トランジスタ形成領域に位置する前記第 2 絶縁膜と異なる膜厚で、第 3 絶縁膜を形成する工程と、

を備えたことを特徴とする。