

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-507113
(P2004-507113A)

(43) 公表日 平成16年3月4日(2004.3.4)

(51) Int. Cl.⁷
H01L 21/3205

F I
H01L 21/88

T
テマコード (参考)
5FO33

審査請求 有 予備審査請求 有 (全 39 頁)

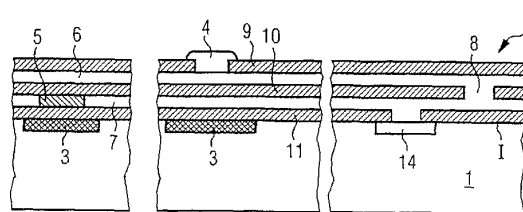
<p>(21) 出願番号 特願2002-521366 (P2002-521366)</p> <p>(86) (22) 出願日 平成13年7月18日 (2001.7.18)</p> <p>(85) 翻訳文提出日 平成15年2月24日 (2003.2.24)</p> <p>(86) 国際出願番号 PCT/DE2001/002701</p> <p>(87) 国際公開番号 W02002/017399</p> <p>(87) 国際公開日 平成14年2月28日 (2002.2.28)</p> <p>(31) 優先権主張番号 100 41 691.8</p> <p>(32) 優先日 平成12年8月24日 (2000.8.24)</p> <p>(33) 優先権主張国 ドイツ (DE)</p> <p>(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR) , CN, JP, KR, US</p>	<p>(71) 出願人 501209070 インフィネオン テクノロジーズ アクチ エンゲゼルシャフト ドイツ連邦共和国 81669 ミュンヘ ン ザンクト マルティン シュトラーセ 53</p> <p>(74) 代理人 100080034 弁理士 原 謙三</p> <p>(74) 代理人 100113701 弁理士 木島 隆一</p> <p>(74) 代理人 100116241 弁理士 金子 一郎</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

本発明は、基板を有し、その内部に集積されている少なくとも1つの部品を含み、その主要側面に金属被覆が備えられている半導体装置に関するものである。金属被覆の少なくとも一部の下に、基板に配された絶縁層が備えられている。絶縁層が、トレンチ格子の形状なので高周波数信号のために、寄生容量と望ましくない信号電力損失とを減少できる。



【特許請求の範囲】

【請求項 1】

基板(1)を有し、この基板は、この基板に集積されている少なくとも1つの部品、特にトランジスタを有し、さらにこの部品を取り囲んでいるトレンチ溝を備えており、この基板の第1主要側面(I)に金属被覆(2)が設けられており、この金属被覆(2)の少なくとも一部の下に、基板(1)に配された絶縁層(3)が備えられている半導体装置であって、

上記の絶縁層(3)が、トレンチ格子の形状で実現されており、このトレンチ格子と、集積部品を取り囲んでいるトレンチ溝とを、同じ方法工程において製造できることを特徴とする、半導体装置。

10

【請求項 2】

上記トレンチ格子が、基板の第1主要側面(I)に達していることを特徴とする、請求項1に記載の半導体装置。

【請求項 3】

上記トレンチ格子が、溝(13)および柱(12)を備え、この溝(13)が絶縁体によって充填されていることを特徴とする、請求項1または2に記載の半導体装置。

【請求項 4】

上記トレンチ格子の柱(12)が、基板物質から構成されていることを特徴とする、請求項1ないし3のいずれかに記載の半導体装置。

【請求項 5】

上記トレンチ格子の上記柱(12)が、酸化物から構成されていることを特徴とする、請求項1ないし3のいずれかに記載の半導体装置。

20

【請求項 6】

上記金属被覆(2)が、外部接触可能な接続素子(4)、集積コイル、導体経路(6,7)、集積キャパシタまたはポリシリコン抵抗(5)を備え、接続素子、集積コイルのいくつか、導体経路、集積キャパシタ、または集積ポリシリコン抵抗の一部の下に、上記絶縁層(3)が備えられていることを特徴とする、請求項1ないし5のいずれかに記載の半導体装置。

【請求項 7】

上記接続端子(4)、集積コイル、導体経路(6,7)の少なくとも一部、集積キャパシタまたは集積ポリシリコン抵抗(5)の下に、絶縁層(3)の割り当てられている領域がそれぞれ備えられていることを特徴とする、請求項1ないし6のいずれかに記載の半導体装置。

30

【請求項 8】

上記絶縁層(3)の領域が、各接続素子(4)、集積コイル、集積キャパシタ、または、集積ポリシリコン抵抗(5)を越えて横側へ突出していることを特徴とする、請求項1ないし7のいずれかに記載の半導体装置。

【請求項 9】

上記トレンチ格子が、長方形または菱形に形成されていることを特徴とする、請求項1ないし8のいずれかに記載の半導体装置。

40

【請求項 10】

上記半導体装置が、半導体チップであることを特徴とする、請求項1ないし9のいずれかに記載の半導体装置。

【請求項 11】

上記半導体装置が、ウエハーであり、接続素子が、測定ヘッドに対する接触のために備えられていることを特徴とする、請求項1ないし10のいずれかに記載の半導体装置。

【請求項 12】

上記基板が、シリコンまたはガリウム砒素から構成されていることを特徴とする、請求項1ないし11のいずれかに記載の半導体装置。

【請求項 13】

50

基板(1)を有し、この基板は、この基板に集積されている少なくとも1つの部品を備え、この基板の第1主要側面(I)に金属被覆(2)が設けられており、この金属被覆(2)の少なくとも一部の下に、基板(1)に配された絶縁層(3)が備えられており、この絶縁層(3)は、トレンチ格子の形状に実現されており、トレンチ格子と集積部品を取り囲んでいるトレンチ溝とが同じ方法工程において製造される半導体装置の製造方法。

【請求項14】

上記トレンチ格子の溝が、絶縁体によって充填される請求項13に記載の方法。

【請求項15】

上記絶縁層が、基板の、後の方法工程において高周波数信号の信号経路に存在する接続素子が生成される位置に、生成されることを特徴とする、請求項13または14に記載の方法。

10

【発明の詳細な説明】

本発明は、以下に示すような基板を有する半導体装置に関するものである。すなわち、この基板は、この基板に集積されている少なくとも1つの部品(特にトランジスタ)を有しており、この部品を取り囲むトレンチ溝(Trench-Graben)を備えている。また、この基板の第1主要側面に金属被覆が設けられており、基板に配された絶縁層が、この金属被覆の少なくとも一部の下に配されている。

【0001】

導体経路を介した数ギガヘルツより上の領域の信号伝送時における大面積の受動素子、または、大面積の接続素子を用いた信号供給時および信号出力時におけるいわゆる接触パッドには、著しい信号電力損失や、寄生容量による信号品質悪化が生じる。この寄生容量は、上記した金属領域と半導体基板との間の容量連結が原因であり、回避することはできない。

20

【0002】

高いギガヘルツ領域においても良好かつ低損失の信号伝送を効果的に実現するためには、信号損失をできるだけ小さく保つ必要がある。これは、例えば、電気通信分野および半導体装置の測定学的調査(messtechnischen Untersuchung)の双方における、半導体装置の操作のためである。

【0003】

信号伝送特性の測定および試験のために、いわゆるsパラメータ測定が実施される。この測定では、50GHzまでの信号周波数を有する高周波数の小信号を、接続素子から、金属製の「オン・ウエハー」導入配線を介して、できるだけ損失および歪みを少なく、測定される半導体装置に転送される。信号供給のために、いわゆるHF検査ヘッド(Probekopf)が、ウエハー上の接続素子に置かれる。そして、このHF検査ヘッドは、信号を出力し、伝送・反射された信号部分を50システムで測定装置へ転送する。接続素子から測定される半導体装置への配線は、通常は10~数100μmである。信号周波数に応じて、伝送・反射された信号電力が正確に測定される。特に、高ギガヘルツ領域の信号周波数では、半導体装置の基板への容量性の信号入力連結が原因で、接続素子において、望ましくない信号電力損失(Signalleistungsverlusten)が生じる。

30

40

【0004】

寄生容量、インダクタンス、および、直列抵抗を減少させるために、接続素子と導線(導体経路)とを、できるだけ小さくすることが知られている。しかし、この処置は、測定装置の検査ヘッドを使用可能にしておくために、厳しく制限されている。同じく、小型化についても、接続素子の最小表面によって、制限されている。なぜなら、半導体装置のHF設計の場合、作動周波数(Arbeitsfrequenz)の上昇につれて、電流密度も恒常的に上昇するため、導線(Zuleitungen)もしくは導体経路を、縮小するよりはむしろより拡大する必要がるからである。これは、同時に現れる伝導インダクタンス(Leitungsinduktivitäten)および直列抵抗の増加を、許容可能な限度内に止めるためである。

50

【0005】

信号電力損失は、基板抵抗 (Substratwiderstandes) の上昇によっても減少させられる。しかし、基板における特定の抵抗の上昇に伴って、著しくラッチアップになりやすくなるとともに、異なる回路ブロック間における基板の誤連結 (Substratverkopplung) を大きく増加させてしまう。従って、特定の基板抵抗については、プロセス技術的な考慮により、上昇させられる限度が狭くなっている。

【0006】

集積コイルにおける損失減少のために、文献「シリコン上の一体構造RFインダクタ用の新埋め込み酸化絶縁」("Novell Burried Oxide Isolation for Monolithic RF Inductors on Silicon" von H. B. Erzgraeber, T. Grabolla, H. H. Richter, P. Schiley und A. Wolff, IEDM 98, 頁535~539) から、集積コイルの下側の基板に、絶縁層を備えることが知られている。この際、トレンチを非常に深くする、トレンチ絶縁技術が使用される。この技術では、残っている平行なシリコンの垂直辺が完全に酸化される。文献に記載の方法は、集積コイルの品質改善に使用される。この際、関連性のある損失は、深い基板にある渦電流 (Wirbelstromen) に見出せる。この基板が原因で、比例して深いトレンチが必要であり、このことが、製造を複雑にする。ここで実施される「激しい」酸化工程 ("harten" Oxidationsschritt) によって、基板のバイポーラトランジスタおよびCMOSトランジスタが破壊される。その結果、ここで提案される方法は、条件付でしか実施できない。

10

20

【0007】

本発明の目的は、信号損失を減少することにより、信号伝送を改善可能な半導体装置、および、このような半導体装置の製造方法を提供することにある。

【0008】

上記した第1の目的は、請求項1の特徴を有する半導体装置によって達成される。また、上記の方法は、請求項13の特徴に記載されている。好ましい態様は、各従属請求項に記載されている。

【0009】

本発明では、トレンチ格子 (Trench-Gitter) の形状で実現されている絶縁層が備えられている。ここで、トレンチ格子および集積部品を取り囲んでいるトレンチ溝については、同じ方法工程において製造できる。

30

【0010】

本発明の理解は、基板における容量性の電流損失が、金属被覆の面積および信号周波数に正比例する一方、基板と信号を導く金属被覆との間の間隔には正比例しないという認識に基づいている。信号伝送の際の主な損失効果は、高周波数信号の半導体基板への入力連結である。金属被覆面ユニットA毎の、面積を特定した容量性の伝導率 (flaechenspezifische kapazitative leitfaehigkeit) は、
$$y_A = 2 \cdot f \cdot \epsilon_0 \cdot \epsilon_r / d$$
 によって得られる。ここで、 f は信号周波数、 ϵ_0 は真空誘電率、 ϵ_r は金属被覆と基板との間の絶縁物質の誘電率、 d は金属被覆と基板との間の空間的な隔たりである。できるだけ小さな ϵ_r を有する物質を使用することにより、固有伝導率 (spezifische Leitfaehigkeit) を大きく減少できる。この物質は、「低k誘電体」という名称で知られている。

40

【0011】

上記の式に基づいて、さらに、金属被覆と基板との間の間隔 d を大きくすることにより、固有伝導率を減少できる。

【0012】

本発明は、多数の最新の半導体テクノロジーにおいて使用可能なプロセス技術によってこのような間隔を形成し、このことによって、寄生容量を著しく減少させる、非常に簡単で

50

効果のある可能性を提案する。

【0013】

トレンチ格子の形状を有する絶縁層を基板に備えることにより、間隔 d を、使用可能なトレンチの深さに応じて、係数 2 から 3 だけ拡大できる。トレンチ格子の領域では、必要に応じて、低オームのフィールド埋め込み (Field Implantation) を省略できる。トレンチ格子に残っている柱 (Saeulen) は、半導体基板から構成され、高オームである。金属被覆の下に存在する基板が高オームなほど、渦電流および基板表皮効果 (Substrat-Skin-Effekt) によってその中に生じる損失は小さい。

【0014】

トレンチ格子の製造は非常に簡単である。なぜなら、製造方法は、従来技術により知られているからである。付加的なプロセス工程は必要ない。なぜなら、1つの基板における全てのトランジスタの回りに、トレンチ溝が完成されるからである。言い換えれば、このことは、トレンチ格子と、集積部品を取り囲んでいるトレンチ溝とが、同じ方法工程において製造されることを意味している。変形マスクを使用することのみが必要である。

【0015】

トレンチは、ドライエッチングプロセス、続く湿式化学洗浄、および、続く絶縁体 (例えば、PSG ガラス) による溝の充填により形成できる。残存基板柱の完全な酸化をさらに行えるが、行う必要はない。格子の形体 (Gestaltung) は、適切なマスクを選択することで形成できる。

【0016】

従って、本発明は、完全には酸化されていない半導体残留柱または残留垂直辺を備えていてもよい。これらは、トレンチ格子の溝の菱形パターンまたは長方形パターンによって最小化されている。このことにより、付加的なマスクもしくは付加的なプロセス工程なしで、低コストで製造可能な、最適化された半導体部品を形成できる。

【0017】

絶縁層は、基板の第 1 主要側面に達していることが好ましい。トレンチ格子は、長方形もしくは菱形に形成されていることが好ましい。トレンチ格子のセルを、トレンチエッチングの後に行う可能な (しかし必須ではない) 酸化工程において溝のエッチング深さまで基板材料を酸化するようなサイズとすれば、強く絶縁された、約 $r = 3.3$ の小さな誘電率を備えた酸化シリコンを作成できる。できるだけ完全な酸化を達成するためには、格子のセルを、長方形または菱形とすることが特に好ましい。

【0018】

基本的には、主要側面の全域にトレンチ格子を備えることができる (半導体装置の部品は除く)。しかし、金属被覆の、高周波数信号に関して感度のよい位置の下にだけ、トレンチ格子を備えることで十分である。通常、金属被覆は、外部接触可能な接触素子 (接触パッド)、ポリシリコン抵抗、導体経路、場合によっては集積コイルも備えている。そして、本発明では、接続素子、集積コイル、導体経路、または集積ポリシリコン抵抗の少なくともいくつかの下に、絶縁層を備えている。例えば外部接触可能な接続素子または集積コイルのような面積の大きな部品では、特に、高周波数信号の信号経路に存在する接続素子

【0019】

1つの実施形態では、接続素子、集積コイル、導体経路の少なくとも信号重要部分 (signal kritische Teile)、または、集積ポリシリコン抵抗の下に、絶縁層の割り当てられた領域がそれぞれ備えられている。このとき、絶縁層の領域が、各接続素子、各集積コイル、導体経路の選択された部分または各集積ポリシリコン抵抗を越えて、横側に突出していると好ましい。このことにより、信号損失を減少できる。

【0020】

半導体装置は、測定ヘッド (Messkopf) の接触のための接続素子を備えていれば、半導体試験構造でも、半導体チップでも、ウエハーであってもよい。測定ヘッド

10

20

30

40

50

と接続するために備えられている接続素子では、正しい測定のために寄生容量が減少されなければならない。これは、できる限り正確な測定値を得るためである。

【0021】

基板に対して容量的に連結するものは常にRC部であり、信号電力は、基板抵抗Rのみにおいて失われる。従って、損失を最小化するためには、以下に示すような2つの方法がある。

【0022】

【数1】

$$R \Rightarrow 0 \quad \text{または} \quad R \Rightarrow \infty$$

10

【0023】

基板として、特にシリコンが好ましい。なぜなら、シリコンは、多くの最新製造テクノロジーによって非常に低オームであり、これによって基板損失が高くてよいからである。ガリウム砒素基板を使用する際には、シリコン製の基板を使用する場合には生じない、望ましくない信号損失が生じる。なぜならガリウム砒素ウエハは、基本的に高オームだからである。

【0024】

基本的に、本発明は、各任意のウエハ材料に使用できる。しかし、その効果は、加工の行われるウエハ材料に強く依存する。ウエハ材料の抵抗は、0.01 cmから10 M cmの間であればよい。

20

【0025】

本発明とその長所とを、以下の図に基づいてさらに説明する。

図1は、本発明の半導体装置の細部を示す断面図である。図2は、接続素子と、その下に備えられている絶縁層との関係を示す俯瞰図である。図3は、トレンチ格子の実施例を示す説明図である。図4は、複数の接続素子を有する半導体装置の一部を示す俯瞰図である。図5は、トレンチ格子の具体的な構成を有する、本発明に基づく半導体装置の断面図である。

【0026】

図1は、本発明の半導体装置の細部を示す断面図である。好ましくはシリコンから構成されている基板1の第1主要側面Iに、金属被覆2が形成されている。基板1には、少なくとも1つの部品が、基板に位置する窪み(Wannen)の形状で備えられている。このような部品の代わりに、窪み14と基板1とにより構成されるダイオードがある。当然、本発明の半導体装置は、任意に相互に接続可能な多数の部品を含んでいる。

30

【0027】

金属被覆(Metallisierung)2は、本実施例では、2つの金属被覆面から構成されている。各金属被覆面は、導体経路6・7を備えている。導体経路6・7は、酸化物層10によって相互に分離されている。導体経路7を有する第1金属被覆面と、基板1の第1主要側面Iとの間に、更なる酸化物層11が形成されている。最上金属被覆面(導体経路6)を保護するために、酸化物層9または不活性部(Passivierung)が、同じく形成されている。この酸化物層9または不活性部は、既知の方法で備えられる、受け入れ部を有している。この受け入れ部を介して外部接触可能な接続素子4は、導体経路6に接続される。下側および上側金属被覆面の導体経路は、貫通接触部(Durchkontaktierungen)8によって、相互に接続可能であるが、そのように構成する必要はない。下部金属被覆面は、例えば、ポリシリコン抵抗5を備えている。ポリシリコン抵抗は、多くの場合、より大きな面積を必要とするので、基板に対する無視できない容量の原因となる。このようなポリシリコン抵抗を通して高周波数電流を印加する際に、ポリシリコン抵抗は、周波数に応じた値となる。なぜなら、このとき、ポリシリコン抵抗は、主にRC部のように機能するからである。このような基板に対する容量については、ポリシリコン抵抗5の下側の絶縁層3によって、著しく小さくすることが可能である。

40

50

【0028】

本発明は、当然、2つの金属被覆面だけを有する実施例に制限されず、任意の数の金属被覆面に使用できる。

【0029】

数ギガヘルツの領域の高周波数信号を、接続素子4に供給することもある。そこで、接続素子4の金属被覆と、基板1との間の寄生容量を小さくするために、本発明では、絶縁層3を、接続素子4の下側に備えている。絶縁層3は、トレンチ格子の形状に形成されており、基板1の第1主要側面Iに達している。損失電力(Verlustleistung)に繋がることになる寄生容量を、最も効果的に減少させるため、絶縁層3は、接続素子4の側面の境界を越えて横側へ突出していることが図1の断面図からよく分かる。トレンチ格子の可能な具体的な構成を図5に示す。

10

【0030】

ポリシリコン抵抗も、基板に対して重大な容量的連結を有している。従って、同様に、ポリシリコン抵抗5の下側に、絶縁層3が備えられている。この絶縁層3は、同じくポリシリコン抵抗5を越えて横側へ突出している。

【0031】

金属被覆の保護すべき部分を越えた絶縁層3の横側への突出は、接続素子4と、横側へ突出している絶縁層3との俯瞰図を示している図2から、同じく明らかである。

【0032】

図1から、絶縁層3(部品以外)は、基板の全体の主要側面Iを覆ってはならないことがさらによく分かる。金属被覆の高周波数信号が流れる部分、または、高周波数信号が入力連結または出力連結される部分の下の方に絶縁層を備えることで十分である。

20

【0033】

図3に、本発明のトレンチ格子の設計例を示す。この図では、基板にエッチングされた溝を13により示している。また、エッチング工程の後に残存基板柱を、12により示す。エッチングされた溝は、絶縁体、好ましくは、PSGガラスにより充填される。

【0034】

この構成では、トレンチ格子の個々のセルが互いに隣接して形成されていることが好ましい。これは、任意の連続的な参加工程において、残存基板物質(柱12)を、最小化する、あるいは、プロセス技術的に可能であれば全面的に削除することでなされる。

30

【0035】

基板がシリコンから構成されている場合、任意選択の酸化工程の後に、酸化シリコンが生じる。基板は、非常に絶縁されており、比較的小さな誘電率を備えているので、レイアウト処置のみによって、特定の容量性の伝導率を係数2から3だけ減少させることができる。

【0036】

本発明の更なる長所は、半導体基板におけるHF妨害信号の拡散を減少できることである。トレンチ格子を常用することによって、全てのHF重要信号経路(HF-kritischen Signalpfaden)で、複雑な混合信号チップ設計(Mixed-Signal-Chip-Design)における極めて重要な信号混信を、同じく良好に回避できる。

40

【0037】

図4は、本発明の半導体装置の一部を示す俯瞰図である。例として、3つの接続素子4a, 4b, 4cを、各導体経路6a, 6b, 6cとともに示している。例えば、接続素子4cに供給電圧が印加され、他の2つの接続素子4a・4bには高周波数信号が入力される。これら接続素子4a・4bの下にのみ、それぞれトレンチ格子3a, 3bが備えられている。1つのトレンチ格子を、接続素子4a・4bの下側に備えるようにしてもよい。接続素子4cには高周波数信号が印加されていないので、トレンチ格子はここでは必要ない。原則的には、金属被覆面に部品のみを有している各重要信号線経路(jede kritische Signalleitungsstrecke)の下にトレンチ格子があ

50

る。特に、高周波数信号を流す導体経路は重要である。

【0038】

図5は、トレンチ格子の可能な具体的な構成例を有する、本発明の半導体装置の断面図である。トレンチ格子は、接続素子の下側に配置され、接続素子を越えて横側へと突出している。この実施例では、基板1にエピタキシー層15が形成されている。このエピタキシー層側に、例えば、熱またはCVD析出によって形成されている絶縁体14が配置されている。第1主要側面Iに達している他の絶縁体17は、溝13を充填する際にともに形成される。絶縁体17と溝13とは、双方とも、好ましくはPSGガラスから構成される。図5から、溝13の間に基板柱12が生じて残っていることがよく分かる。これら残存半導体柱は、垂直方向において、基板1と同じドーピング特性を有している。従って、残存柱は、ウエハーの基本ドーピング(Grunddotierung)を備えている。図5に記載のエピタキシー層は、必須のものではない。エピタキシー層と基板との間に、比較的広い空間電荷ゾーン(Raumladungszone)を有する従来のPN遷移が残っている。なぜなら、低くドーピングされたPN遷移であることが好ましいからである。PN空間電荷ゾーンは、絶縁層と同じように機能し、基板1に対して更なる直列的な容量を生じる。

10

【0039】

さらに、図5では、いわゆる「チャンネルストッパー」を示している領域16が、基板1に示されている。これら領域16は、例えば、埋め込み領域(implantierten Bereiche)であり、必ずしも必要なわけではないが、好ましいものである。望ましい作用を得るために、溝13は、約5nmだけ基板1内に延びていれば十分である。この深さであれば、高周波数信号を接続素子4に供給する際に、よい信号品質が得られる。当然、溝は、非常に深くてもよい。溝の深さは、基本的には、使用される半導体物質、および、接続素子に供給される信号の周波数に応じたものである。

20

【0040】

半導体プロセスにおいて使用可能なトレンチ技術の使用によって、金属被覆構造と基板との間の寄生容量を係数2から3だけ減少できる。トレンチ技術は、これまで基板における部品間の電気絶縁を著しく改善するため、および、部品ごとに必要なチップ面を顕著に小型化するために開発されており、現在では、広範囲にわたって使用されている。本発明は、既知のトレンチ技術の更なる使用可能性を開示し、このことにより、高周波数構造の場合に半導体基板への高周波数信号伝送を著しく改善する、簡単でコストのかからない可能性を提供する。

30

【0041】

本発明は、同様に、HF部品の試験の際に使用できる。これは、測定ヘッドに接触する測定端子の下にトレンチ格子を備えることで実現できる。これにより、導線、すなわち、試験される部品に対する導体経路の下に絶縁層が備えられている場合、妨害性のある容量性連結を著しく減少できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の細部を示す断面図である。

【図2】接続素子と、その下に備えられている絶縁層との関係を示す俯瞰図である。

40

【図3】トレンチ格子の実施例を示す図である。

【図4】複数の接続素子を有する半導体装置の一部を示す俯瞰図である。

【図5】トレンチ格子の具体的な構造を有する、本発明に基づく半導体装置の断面図である。

【符号の説明】

- | | |
|---|----------|
| 1 | 基板 |
| 2 | 金属被覆 |
| 3 | 絶縁層 |
| 4 | 接続素子 |
| 5 | ポリシリコン抵抗 |

50

6 , 7	導体経路
8	貫通接触部
9 , 1 0 , 1 1	酸化物層
1 2	基板壁
1 3	溝

【国際公開パンフレット】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. Februar 2002 (28.02.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/17399 A1

(51) Internationale Patentklassifikation: **H01L 23/64**, [DE/DE]; Haselsberger Strasse 25, 85764 Oberschleisheim (DE).
21/762, 21/02

(21) Internationales Aktenzeichen: PCT/DE01/02701 (74) Anwalt: **EPPING HERMANN & FISCHER**; Rüdlerstrasse 55, 80339 München (DE).

(22) Internationales Anmeldedatum: 18. Juli 2001 (18.07.2001) (81) Bestimmungsstaaten (national): CN, JP, KR, US.

(25) Einreichungssprache: Deutsch (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität: 100 41 691.8 24. August 2000 (24.08.2000) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

Veröffentlicht:
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

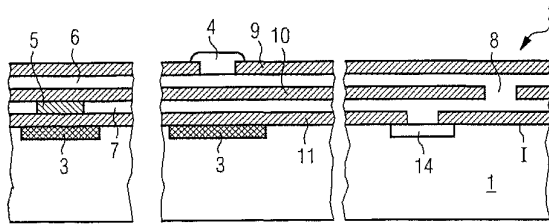
Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BRENNER, Pietro**

(54) Title: SEMICONDUCTOR ARRANGEMENT AND METHOD FOR PRODUCTION THEREOF

(54) Bezeichnung: HALBLEITERANORDNUNG UND VERFAHREN ZU DESSEN HERSTELLUNG



(57) Abstract: The invention relates to a semiconductor arrangement with a substrate, comprising at least one component integrated therein and on the main side of which a metallisation is provided. At least parts of the metallisation are provided with an underlying insulation layer lying in the substrate. Parasitic capacitances and undesired signal power losses for high frequency signals can be reduced as the insulation layer is in the form of a trench grid.

(57) Zusammenfassung: Die Erfindung schlägt eine Halbleiteranordnung mit einem Substrat vor, das wenigstens ein darin integriertes Bauelement aufweist und auf dessen erster Hauptseite eine Metallisierung vorgesehen ist. Zumindest Teile der Metallisierung sind mit einer in dem Substrat gelegenen Isolationsschicht unterlegt. Dadurch, dass die Isolationsschicht in Form eines Trench-Grids realisiert ist, können parasitäre Kapazitäten und unerwünschte Signalleistungsverluste bei hochfrequenten Signalen reduziert werden.



WO 02/17399 A1

WO 02/17399

PCT/DE01/02701

1

Beschreibung

Halbleiteranordnung und Verfahren zu dessen Herstellung

5 Die Erfindung betrifft eine Halbleiteranordnung mit einem Substrat, das wenigstens ein darin integriertes Bauelement, insbesondere einen Transistor, mit einem diesen umgebenden Trench-Graben aufweist und auf dessen erster Hauptseite eine Metallisierung vorgesehen ist, wobei zumindest Teile der Metallisierung mit einer in dem Substrat gelegenen Isolations-
10 schicht unterlegt sind.

Beim Übertragen von Signalen im Bereich ab einigen Gigahertz über Leiterbahnen, großflächige passive Bauelemente sowie bei
15 der Signaleinspeisung und der Signalauskopplung an großflächigen Anschlußelementen, den sogenannten Kontaktierpads, kommt es zu erheblichen Verlusten in der Signalleistung und zu Beeinträchtigungen der Signalqualität aufgrund parasitärer Kapazitäten. Die parasitären Kapazitäten sind aufgrund der
20 kapazitiven Kopplung zwischen den genannten Metallflächen und dem Halbleitersubstrat unvermeidlich.

Um eine gute und verlustarme Signalübertragung auch im hohen Gigahertzbereich sinnvoll realisieren zu können, müssen diese
25 Signalverluste so gering als möglich gehalten werden. Dies gilt sowohl für den Betrieb einer Halbleiteranordnung, zum Beispiel im Telekommunikationsbereich, als auch bei der meßtechnischen Untersuchung der Halbleiteranordnungen.

30 Zum Messen und Testen der Signalübertragungseigenschaften werden sogenannte s-Parametermessungen durchgeführt. Bei dieser Messung wird ein hochfrequentes Kleinsignal mit Signalfrequenzen von bis zu 50 GHz von den Anschlußelementen über eine metallische „on-wafer“-Zuführungsleitung möglichst verlust- und verzerrungsarm an die zu messende Halbleiteranordnung weitergeleitet. Zur Einspeisung wird ein sogenannter HF-
35 Probekopf auf die auf dem Wafer befindlichen Anschlußelemente

aufgesetzt, der dann das Signal einspeist und die transmittierten und reflektierten Signalanteile in einem 50Ω -System zum Meßgerät weiterleitet. Die Zuführungsleitungen von den Anschlußelementen zu der zu messenden Halbleiteranordnung betragen typischerweise 10 bis einige 100 μm . Abhängig von der Signalfrequenz werden die transmittierten und reflektierten Signalleistung präzise gemessen. Bei Signalfrequenzen im hohen Gigahertzbereich kommt es besonders an den Anschlußelementen aufgrund der kapazitiven Signaleinkopplung in das Substrat der Halbleiteranordnung zu unerwünschten Signalleistungsverlusten.

Zur Reduzierung der parasitären Kapazitäten, Induktivitäten und Serienwiderstände ist es bekannt, die Anschlußelemente sowie die Zuleitungen (Leiterbahnen) möglichst klein auszuführen. Aufgrund der verfügbaren Probeköpfe einer Meßeinrichtung sind diesem Vorgehen jedoch enge Grenzen gesetzt. Ebenfalls wird die Minimierung durch eine Mindestfläche für die Anschlußelemente begrenzt. Da bei einem HF-Design einer Halbleiteranordnung mit zunehmender Arbeitsfrequenz die Stromdichten stetig zunehmen, müßten die Zuleitungen beziehungsweise Leiterbahnen eher vergrößert denn verkleinert werden, damit die damit einhergehende Zunahme der Leitungsinduktivitäten und der Serienwiderstände in tolerierbaren Grenzen gehalten werden können.

Die Signalleistungsverluste können auch dadurch verringert werden, daß eine Erhöhung des Substratwiderstandes vorgenommen wird. Mit der Erhöhung des spezifischen Widerstandes des Substrates nimmt jedoch die Latch-Up-Anfälligkeit und die Substratverkopplung zwischen verschiedenen Schaltungsblöcken erheblich zu. Der Erhöhung des spezifischen Substratwiderstandes sind somit aus prozesstechnischen Überlegungen enge Grenzen gesetzt.

Zur Reduzierung der Verluste bei integrierten Spulen ist es aus dem Artikel "Novell Burried Oxide Isolation for Monolithic

RF Inductors on Silicon" von H.B. Erzgräber, T. Grabolla, H.H. Richter, P. Schley und A. Wolff, IEDM 98, Seiten 535 bis 539 bekannt, eine Isolationsschicht im Substrat unterhalb der integrierten Spule vorzusehen. Hierbei wird eine Trench-
5 Isolationstechnik mit sehr großen Trench-Tiefen verwendet, bei der die verbleibenden parallelen Silizium-Stege vollständig afuxidiert werden. Das in dem Artikel beschriebene Verfahren dient zur Verbesserung der Güte der integrierten Spule, wobei die relevanten Verluste in den Wirbelströmen im tieferen Substrat zu suchen sind. Aufgrund dessen sind verhältnismäßig tiefe Trenches notwendig, was die Herstellung verkompliziert. Durch den dort durchgeführten „harten“ Oxidationsschritt werden in dem Substrat befindliche Bipolar- und CMOS-Transistoren zerstört, so daß das dort vorgeschlagene
10 Verfahren nur bedingt einsetzbar ist.

Die Aufgabe der vorliegenden Erfindung besteht darin, eine Halbleiteranordnung anzugeben, bei denen durch eine Reduzierung der Signalverluste eine Verbesserung der Signalübertragung erzielt wird. Weiterhin soll ein Verfahren zur Herstellung einer derartigen Halbleiteranordnung angegeben werden.
20

Die erstgenannte Aufgabe wird mit der Halbleiteranordnung mit den Merkmalen des Anspruches 1 gelöst. Das Verfahren ergibt sich aus den Merkmalen des Anspruches 13. Vorteilhafte Ausgestaltungen ergeben sich aus den jeweils untergeordneten Ansprüchen.
25

Erfindungsgemäß ist vorgesehen, die Isolationsschicht in Form eines Trench-Gitters zu realisieren, wobei das Trench-Gitter und ein das integrierte Bauelement umgebender Trench-Graben in dem gleichen Verfahrensschritt herstellbar sind.
30

Der Erfindung liegt die Erkenntnis zugrunde, daß die kapazitiven Verlustströme in das Substrat direkt proportional zur Fläche der Metallisierung und direkt proportional zur Signalfrequenz, jedoch indirekt proportional zum Abstand zwischen
35

dem Substrat und der das Signal führenden Metallisierung sind. Der dominierende Verlusteffekt bei der Signalübertragung ist die Einkopplung eines Hochfrequenzsignals in das Halbleitersubstrat. Die flächenspezifische kapazitive Leitfähigkeit pro Metallisierungs-Flächeneinheit A ist gegeben durch:

$$Y_A = 2\pi f \epsilon_0 \epsilon_r / d,$$

10 wobei f die Signalfrequenz, ϵ_0 die elektrische Feldkonstante, ϵ_r die Dielektrizitätskonstante des Isolationsmaterials zwischen der Metallisierung und dem Substrat und d der räumliche Abstand zwischen der Metallisierung und dem Substrat ist. Durch die Verwendung von Materialien mit möglichst kleinem ϵ_r 15 kann diese spezifische Leitfähigkeit signifikant verringert werden. Diese Materialien sind unter dem Namen "Low-k-Dielectrics" bekannt.

Eine Reduzierung der spezifischen Leitfähigkeit ist gemäß 20 obiger Formel weiterhin dadurch möglich, daß der Abstand d zwischen der Metallisierung und dem Substrat vergrößert wird.

Die Erfindung schlägt eine sehr einfache und effiziente Möglichkeit vor, diesen Abstand mit einer in vielen modernen 25 Halbleitertechnologien verfügbaren Prozesstechnik zu erzeugen und hierdurch die parasitären Kapazitäten erheblich zu reduzieren.

Dadurch, daß in dem Substrat eine Isolationsschicht in Form 30 eines Trench-Gitters vorgesehen ist, kann dieser Abstand d je nach verfügbarer Trench-Tiefe um den Faktor 2 bis 3 vergrößert werden. Im Bereich des Trench-Gitters kann bei Bedarf eine niederohmige Feldimplantation weggelassen werden. Die im Trench-Gitter verbleibenden Säulen bestehen aus dem Halbleitersubstrat und sind hochohmig. Je hochohmiger das unter der 35 Metallisierung befindliche Substrat ist, desto geringer sind

WO 02/17399

5

PCT/DE01/02701

die darin entstehenden Verluste durch Wirbelströme und den Substrat-Skin-Effekt.

Die Herstellung des Trench-Gitters ist denkbar einfach, da die Herstellungsverfahren aus dem Stand der Technik bekannt sind. Es ist zu dem kein zusätzlicher Prozessschritt erforderlich, da um alle Transistoren in einem Substrat Trench-Gräben gefertigt werden. Mit anderen Worten bedeutet dies, daß das Trench-Gitter und ein das integrierte Bauelement umgebender Trench-Graben mit dem gleichen Verfahrensschritt hergestellt werden. Es ist lediglich die Verwendung einer abgeänderten Maske notwendig.

Die Trenches können durch einen trockenen Ätzprozeß, ein anschließendes naßchemisches Reinigen sowie durch anschließendes Auffüllen der Gräben mit einem Isolator, z.B. PSG-Glas, erzeugt werden. Eine vollständige Oxidation der verbleibenden Substratsäulen kann, muß aber nicht, zusätzlich erfolgen. Die Gestaltung des Gitters kann durch die Wahl einer geeigneten Maske erzeugt werden.

Die Erfindung läßt folglich nicht vollständig oxidierte Halbleiter-Restsäulen oder Reststege zu, die durch das Rauten- oder Rechteckmuster der Gräben des Trench-Gitters minimiert sind. Hierdurch läßt sich ohne Zusatzmasken bzw. zusätzliche Prozessschritte ein optimiertes Halbleiterbauelement erzeugen, welches kostengünstig herstellbar ist.

Vorteilhafterweise reicht die Isolationsschicht an die erste Hauptseite des Substrates. Das Trench-Gitter ist vorteilhafterweise rechteck- oder rautenförmig ausgebildet. Werden die Zellen des Trench-Gitters in ihren Abmaßen derart beschaffen, daß bei dem möglichen - aber nicht notwendigen - auf das Grabenätzen folgenden Oxidationsschritt das Substratmaterial bis zur Ätztiefe des Grabens oxidiert wird, so entsteht ein Siliziumoxid, welches hochisolierend und eine kleine Dielektrizitätskonstante von $\epsilon_x = 3,3$ aufweist. Um eine möglichst voll-

ständige Oxidation zu erzielen, ist es besonders vorteilhaft die Zellen des Gitters in einer Rechteck- oder Rautenform auszuführen.

- 5 Prinzipiell könnte - mit Ausnahme der Bauelemente der Halbleiteranordnung - die gesamte Hauptseite mit dem Trench-Gitter versehen werden. Es ist jedoch ausreichend, lediglich diejenigen Stellen der Metallisierung mit dem Trench-Gitter zu unterlegen, die bezüglich eines hochfrequenten Signales
10 sensitiv sind. Üblicherweise weist die Metallisierung extern kontaktierbare Anschlußelemente (Kontakt pads), Polysilizium-Widerstände, Leiterbahnen und je nach Anwendungsfall auch integrierte Spulen auf, wobei erfindungsgemäß zumindest einige der Anschlußelemente, der integrierten Spulen, der Leiterbahnen oder der integrierten Polysilizium-Widerstände mit der
15 Isolationsschicht unterlegt sind. Besonders kritisch sind großflächige Bauelemente, wie z.B. die extern kontaktierbaren Anschlußelemente oder integrierte Spulen, wobei lediglich diejenigen Anschlußelemente mit der Isolationsschicht unterlegt werden müssen, die sich im Signalpfad der Hochfrequenzsignale befinden.

- In einer Ausgestaltung können die Anschlußelemente, die integrierten Spulen, zumindest signalkritische Teile der Leiterbahnen oder die integrierten Polysilizium-Widerstände jeweils mit einem zugeordneten Bereich der Isolationsschicht unterlegt sein. Dabei ist es vorteilhaft, wenn die Bereiche der Isolationsschicht über ein jeweiliges Anschlußelement, eine jeweilige integrierte Spule, den gewählten Teil der Leiterbahn oder einen jeweiligen integrierten Polysilizium-Widerstand seitlich hinausragen. Hierdurch können die Signalverluste reduziert werden.

- Die Halbleiteranordnung kann sowohl eine Halbleiter-
35 Teststruktur, ein Halbleiterchip als auch ein Wafer sein, wobei auf diesem Anschlußelemente zur Kontaktierung von Meßköpfen vorgesehen sind. Bei Anschlußelementen, welche zur Kon-

taktierung mit einem Meßkopf vorgesehen sind, müssen die parasitären Kapazitäten für eine korrekte Messung reduziert werden, um eine möglichst genaue Messung zu erhalten.

- 5 Die kapazitive Kopplung zum Substrat ist immer ein RC-Glied, wobei die Signalleistung nur im Widerstand R des Substrates verloren gehen kann. Zur Verlustminimierung gibt es somit zwei Wege: $R \Rightarrow 0$ oder $R \Rightarrow \infty$.
- 10 Als Substrat kommt insbesondere Silizium in Betracht, da dieses in den meisten modernen Fertigungstechnologien sehr niederohmig ist und die Substratverluste entsprechend hoch sein können. Bei der Verwendung eines Galliumarsenid-Substrates treten die unerwünschten Signalverluste nicht im gleichen Maße auf, wie bei einem Substrat aus Silizium, da Galliumarsenidwafer wesentlich hochohmiger sind.

Prinzipiell kann die Erfindung bei jedem beliebigen Wafermaterial verwendet werden. Der Nutzen hängt jedoch stark vom Wafermaterial ab, auf dem man fertigt. Der spezifische Widerstand des Wafermaterials kann zwischen $0,01 \Omega\text{cm}$ und bis zu $10 \text{M}\Omega\text{cm}$ liegen.

Die Erfindung und deren Vorteile werden anhand der nachfolgenden Figuren weiter erläutert. Es zeigen:

- Figur 1 einen Ausschnitt aus einer erfindungsgemäßen Halbleiteranordnung im Querschnitt,
- 30 Figur 2 das Verhältnis eines Anschlußelementes und einer unterlegten Isolationsschicht in der Draufsicht,
- Figur 3 ein Ausführungsbeispiel eines Trench-Gitters,
- 35 Figur 4 einen Ausschnitt einer Halbleiteranordnung mit mehreren Anschlußelementen in der Draufsicht und.

Figur 5 einen Querschnitt durch die erfindungsgemäße Halbleiteranordnung mit einer konkreten Ausgestaltung des Trench-Gitters.

5 Figur 1 zeigt in einer Schnittdarstellung einen Ausschnitt einer erfindungsgemäßen Halbleiteranordnung. Auf einem Substrat 1, welches vorzugsweise aus Silizium besteht, ist auf einer ersten Hauptseite I eine Metallisierung 2 aufgebracht. In dem Substrat 1 ist wenigstens ein Bauelement in Form von
10 in dem Substrat gelegenen Wannen vorgesehen. Stellvertretend für ein derartiges Bauelement steht die aus der Wanne 14 und dem Substrat 1 gebildete Diode. Selbstverständlich kann die erfindungsgemäße Halbleiteranordnung eine Vielzahl an Bauelementen, die beliebig miteinander verschaltet sein können, be-
15 inhalten.

Die Metallisierung 2 besteht im vorliegenden Ausführungsbeispiel aus zwei Metallisierungsebenen. Jede Metallisierungsebene weist Leiterbahnen 6, 7 auf, die durch eine Oxidschicht
20 10 voneinander getrennt sind. Zwischen der ersten Metallisierungsebene mit den Leiterbahnen 7 und der ersten Hauptseite I des Substrates 1 ist eine weitere Oxidschicht 11 aufgebracht. Zum Schutz der obersten Metallisierungsebene (Leiterbahnen 6) ist ebenfalls eine Oxidschicht 9 oder eine Passivierung auf-
25 gebracht. Diese weist in bekannter Weise Ausnehmungen auf, durch die ein extern kontaktierbares Anschlußelement 4 mit einer der Leiterbahnen 6 verbunden werden kann. Die Leiterbahnen der unteren und der oberen Metallisierungsebene können, müssen aber nicht durch Durchkontaktierungen 8 miteinander
30 verbunden sein. Beispielfhaft weist die untere Metallisierungsebene einen Polysilizium-Widerstand 5 auf. Polysilizium-Widerstände benötigen oft größere Flächen und führen damit zu einer nicht vernachlässigbaren Kapazität zum Substrat. Bei Einprägung hochfrequenter Ströme durch solche Polysilizium-
35 Widerstände werden diese frequenzabhängig, da sich die Polysiliziumwiderstände dann in erster Ordnung wie ein RC-Glied verhalten. Durch die Isolationsschicht 3 unterhalb des Poly-

WO 02/17399

9

PCT/DE01/02701

silizium-Widerstandes 5 kann diese Kapazität zum Substrat wesentlich verkleinert werden.

Die Erfindung ist selbstverständlich nicht auf eine Ausführung mit lediglich zwei Metallisierungsebenen beschränkt, sondern kann für jede beliebige Anzahl an Metallisierungsebenen Anwendung finden.

Es sei angenommen, daß an dem Anschlußelement 4 ein hochfrequentes Signal im Bereich einiger Gigahertz eingespeist wird. Um eine parasitäre Kapazität zwischen der Metallisierung des Anschlußelementes 4 und dem Substrat 1 zu verkleinern, ist erfindungsgemäß eine Isolationsschicht 3 unterhalb des Anschlußelementes 4 vorgesehen. Die Isolationsschicht 3 ist in der Form eines Trench-Gitters ausgebildet und reicht an die erste Hauptseite I des Substrates 1. Aus der Schnittdarstellung der Figur 1 wird gut ersichtlich, daß die Isolationsschicht 3 seitlich über die lateralen Begrenzungen des Anschlußelementes 4 hinausreicht, um eine bestmögliche Reduzierung der parasitären Kapazitäten, welche eine Verlustleistung zur Folge hätte, zu ermöglichen. Eine mögliche konkrete Ausgestaltung des Trench-Gitters ist in Figur 5 gezeigt.

Da auch Polysilizium-Widerstände eine signifikante kapazitive Kopplung zu dem Substrat aufweisen, ist ebenfalls unterhalb des Polysilizium-Widerstandes 5 eine Isolationsschicht 3 vorgesehen. Diese ragt seitlich ebenfalls über den Polysilizium-Widerstand 5 hinaus.

Das seitliche Hinausragen der Isolationsschicht 3 über die zu schützenden Teile der Metallisierung ist ebenfalls aus der Figur 2 gut ersichtlich, in der eine Draufsicht auf das Anschlußelement 4 und die seitlich hinausragende Isolationsschicht 3 dargestellt ist.

Aus der Figur 1 wird weiterhin gut ersichtlich, daß die Isolationsschicht 3 - mit Ausnahme der Bauelemente - nicht die

gesamte Hauptseite I des Substrates bedecken muß. Es ist ausreichend, lediglich diejenigen Teile der Metallisierung mit einer Isolationsschicht zu unterlegen, die hochfrequente Signale führen oder an denen hochfrequente Signal ein- beziehungsweise ausgekoppelt werden.

In der Figur 3 ist ein Ausgestaltungsbeispiel des erfindungsgemäßen Trench-Gitters dargestellt, wobei die in das Substrat geätzten Gräben mit 13 bezeichnet sind. Mit 12 sind demnach die nach dem Ätzschritt verbleibenden Substratsäulen bezeichnet. Die geätzten Gräben werden mit einem Isolator, vorzugsweise PSG-Glas, gefüllt.

Die einzelnen Zellen des Trench-Gitters liegen dabei vorzugsweise derart nebeneinander, daß bei einem optionalen nachfolgenden Oxidationsschritt das verbleibende Substratmaterial (Säulen 12) minimiert wird oder, falls prozesstechnisch möglich, ganz verschwindet, um eine durchgehende Isolationsschicht zu erhalten.

Besteht das Substrat aus Silizium, so entsteht nach dem optionalen Oxidationsschritt Siliziumoxid. Da dieses hochisolierend ist und eine relativ kleine Dielektrizitätskonstante aufweist, kann lediglich aufgrund dieser Layoutmaßnahme die spezifische kapazitive Leitfähigkeit um den Faktor 2 bis 3 reduziert werden.

Ein weiterer Vorteil der Erfindung besteht in einer erreichbaren Verkleinerung der Einstreuung von HF-Störsignalen in das Halbleitersubstrat. Durch konsequenten Einsatz der Trench-Gitter bei allen HF-kritischen Signalpfaden kann man das im komplexen Mixed-Signal-Chip-Design äußerst kritische Signalübersprechen ebenfalls erheblich vermindern.

Figur 4 zeigt in der Draufsicht einen Ausschnitt einer erfindungsgemäßen Halbleiteranordnung. Beispielhaft sind drei Anschlüsselemente 4a, 4b, 4c mit jeweiligen Leiterbahnen 6a, 6b,

6c dargestellt. An dem Anschlußelement 4c wird beispielsweise die Versorgungsspannung angelegt. Die beiden anderen Anschlußelemente 4a, 4b werden mit einem hochfrequenten Signal beaufschlagt. Lediglich diese beiden Anschlußelemente 4a, 4b sind jeweils mit einem Trench-Gitter 3a, 3b unterlegt. Denkbar wäre auch, lediglich ein einziges Trench-Gitter unterhalb der Anschlußelemente 4a, 4b vorzusehen. Da an dem Anschlußelement 4c kein hochfrequentes Signal anliegt, ist das Trench-Gitter hier nicht notwendig. Prinzipiell kann jede kritische Signalleitungsstrecke, die nur Bauelemente in den Metallisierungsebenen enthält, mit Trench-Gittern unterlegt werden. Insbesondere sind diejenigen Leiterbahnen kritisch, die Hochfrequenz-Signale führen.

Figur 5 zeigt einen Querschnitt durch die erfindungsgemäße Halbleiteranordnung mit einem möglichen, konkreten Ausgestaltungsbeispiel des Trench-Gitters. Das Trench-Gitter ist unterhalb des Anschlußelementes gelegen und ragt seitlich über dieses hinaus. Im vorliegenden Ausführungsbeispiel ist auf das Substrat 1 eine Epitaxieschicht 15 aufgebracht, auf der ihrerseits ein Isolator 14, welcher z.B. thermisch oder mittels CVD-Abscheidung aufgebracht ist, gelegen ist. Ein weiterer Isolator 17, welcher an die erste Hauptseite I reicht, wird beim Auffüllen der Gräben 13 mitaufgebracht. Der Isolator 17 sowie die Gräben 13 bestehen vorzugsweise aus PSG-Glas. Aus der Figur 5 wird gut ersichtlich, daß zwischen den Gräben 13 Substratsäulen 12 bestehen bleiben. Diese verbleibenden Halbleitersäulen haben in vertikaler Richtung das gleiche Dotierungsprofil wie das Substrat 1. Die verbleibende Säule weist somit die Grunddotierung des Wafers auf. Die in der Figur 5 eingezeichnete Epitaxieschicht ist optional. Zwischen der Epitaxieschicht und dem Substrat bildet sich ein klassischer PN-Übergang mit einer relativ weiten Raumladungszone aus, da es sich vorzugsweise um einen nieder dotierten PN-Übergang handelt. Diese PN-Raumladungszone verhält sich wie eine Isolationsschicht und erzeugt eine weitere serielle Kapazität zum Substrat 1.

Weiterhin sind in der Figur 5 in dem Substrat 1 Bereiche 16 eingezeichnet, die einen sogenannten "Channel Stopper" darstellen. Diese beispielsweise implantierten Bereiche sind nicht zwangsweise notwendig, jedoch vorteilhaft. Um die erwünschte Wirkung zu erzielen, ist es ausreichend, wenn die Gräben 13 ca. 5 nm in das Substrat 1 reichen. Bereits bei dieser Tiefe wird eine gute Signalqualität bei der Einspeisung von hoch frequenten Signalen an dem Anschlußelement 4 erzielt. Selbstverständlich könnte die Grabentiefe auch wesentlich größer sein. Die Grabentiefe hängt im wesentlichen von dem verwendeten Halbleitermaterial sowie der Frequenz des an dem Anschlußelement eingespeisten Signales ab.

Durch die Nutzung der in Halbleiterprozessen zur Verfügung stehenden Trench-Technik kann die parasitäre Kapazität zwischen Metallisierungsstrukturen und Substrat um den Faktor 2 bis 3 reduziert werden. Die Trench-Technik wurde bislang zur wesentlichen Verbesserung der elektrischen Isolation zwischen Bauelementen in einem Substrat und zur drastischen Verkleinerung der benötigten Chipfläche pro Bauelement entwickelt und wird derzeit dafür weitverbreitet eingesetzt. Die Erfindung eröffnet eine weitere Einsatzmöglichkeit der bekannten Trench-Technik und bietet dadurch eine einfache und kostengünstige Möglichkeit, die Hochfrequenz-Signalübertragung bei Hochfrequenz-Anordnungen auf Halbleitersubstraten wesentlich zu verbessern.

Die Erfindung läßt sich ebenfalls beim Testen von HF-Bauelementen einsetzen, indem diejenigen Anschlußelemente, die von einem Meßkopf kontaktiert werden, mit dem Trench-Gitter unterlegt werden. Werden zudem die Zuleitungen, das heißt die Leiterbahnen zu dem zu testenden Bauelement mit der Isolationsschicht unterlegt, kann die störende kapazitive Kopplung wesentlich reduziert werden.

WO 02/17399

13

PCT/DE01/02701

Bezugszeichenliste

1	Substrat
2	Metallisierung
5 3	Isolationsschicht
4	AnschluSelement
5	Polysilizium-Widerstand
6, 7	Leiterbahn
8	Durchkontaktierung
10 9, 10, 11	Oxidschicht
12	Substratwand
13	Graben

Patentansprüche

1. Halbleiteranordnung mit einem Substrat (1), das wenigstens ein darin integriertes Bauelement, insbesondere einen Transistor, mit einem diesen umgebenden Trench-Graben, aufweist und auf dessen erster Hauptseite (I) eine Metallisierung (2) vorgesehen ist, wobei zumindest Teile der Metallisierung (2) mit einer in dem Substrat (1) gelegenen Isolationsschicht (3) unterlegt sind,
- 5
- 10 d a d u r c h g e k e n n z e i c h n e t, daß die Isolationsschicht (3) in Form eines Trench-Gitters realisiert ist, wobei das Trench-Gitter und ein das integrierte Bauelement umgebender Trench-Graben in dem gleichen Verfahrensschritt herstellbar sind.
- 15
2. Halbleiteranordnung nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t, daß das Trench-Gitter an die erste Hauptseite (I) des Substrates reicht.
- 20
3. Halbleiteranordnung nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t, daß das Trench-Gitter Gräben (13) und Säulen (12) aufweist, wobei die Gräben (13) mit einem Isolator gefüllt sind.
- 25
4. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, d a d u r c h g e k e n n z e i c h n e t, daß die Säulen (12) des Trench-Gitters aus dem Substratmaterial bestehen.
- 30
5. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, d a d u r c h g e k e n n z e i c h n e t, daß die Säulen (12) des Trench-Gitters aus einem Oxid bestehen.
- 35
6. Halbleiteranordnung nach einem der Ansprüche 1 bis 5, d a d u r c h g e k e n n z e i c h n e t, daß

die Metallisierung (2) extern kontaktierbare Anschlußelemente (4), integrierte Spulen, Leiterbahnen (6, 7), integrierte Kapazitäten oder Polysilizium-Widerstände (5) aufweist, wobei
5 zumindest einige der Anschlußelemente, der integrierten Spulen, Teile der Leiterbahnen, der integrierten Kapazitäten oder der integrierten Polysilizium-Widerstände mit der Isolationsschicht (3) unterlegt sind.

7. Halbleiteranordnung nach einem der Ansprüche 1 bis 6,
10 d a d u r c h g e k e n n z e i c h n e t, daß die Anschlußelemente (4), die integrierten Spulen, zumindest Teile der Leiterbahnen (6,7), die integrierten Kapazitäten oder die integrierten Polysilizium-Widerstände (5) jeweils
15 mit einem zugeordneten Bereich der Isolationsschicht (3) unterlegt sind.

8. Halbleiteranordnung nach einem der Ansprüche 1 bis 7,
d a d u r c h g e k e n n z e i c h n e t, daß die Bereiche der Isolationsschicht (3) über ein jeweiliges
20 Anschlußelement (4), eine integrierte Spule, eine integrierte Kapazität oder einen integrierten Polysilizium-Widerstand (5) seitlich hinausragen.

9. Halbleiteranordnung nach einem der Ansprüche 1 bis 8,
25 d a d u r c h g e k e n n z e i c h n e t, daß das Trench-Gitter rechteck- oder rautenförmig ausgebildet ist.

10. Halbleiteranordnung nach einem der Ansprüche 1 bis 9,
30 d a d u r c h g e k e n n z e i c h n e t, daß die Halbleiteranordnung ein Halbleiterchip ist.

11. Halbleiteranordnung nach einem der Ansprüche 1 bis 10,
d a d u r c h g e k e n n z e i c h n e t, daß
35 die Halbleiteranordnung ein Wafer ist, wobei die Anschlußelemente zur Kontaktierung von Meßköpfen vorgesehen sind.

12. Halbleiteranordnung nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß das Substrat aus Silizium oder Gallium-Arsenid besteht.
- 5 13. Verfahren zur Herstellung einer Halbleiteranordnung mit einem Substrat (1), das wenigstens ein darin integriertes Bauelement aufweist und auf dessen erster Hauptseite (I) eine Metallisierung (2) vorgesehen ist, wobei zumindest Teile der Metallisierung (2) mit einer in dem Substrat (1) gelegenen
- 10 Isolationsschicht (3) unterlegt sind, wobei die Isolationsschicht (3) in Form eines Trench-Gitters realisiert ist, bei dem das Trench-Gitter und ein das integrierte Bauelement umgebender Trench-Graben mit dem gleichen Verfahrensschritt hergestellt werden.
- 15 14. Verfahren nach Anspruch 13, bei dem die Gräben des Trench-Gitters mit einem Isolator gefüllt werden.
15. Verfahren nach Anspruch 13 oder 14, bei dem die Isolations-
20 onsschicht an Stellen im Substrat erzeugt wird, an denen in einem späteren Verfahrensschritt Anschlußelemente, die sich im Signalpfad von Hochfrequenzsignalen befinden, erzeugt werden.
- 25

FIG 1

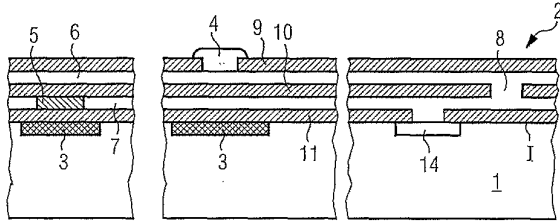
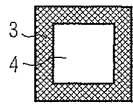


FIG 2



2/3

FIG 3

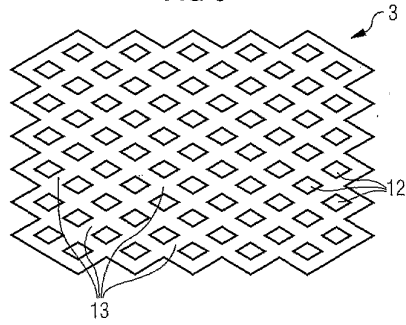


FIG 4

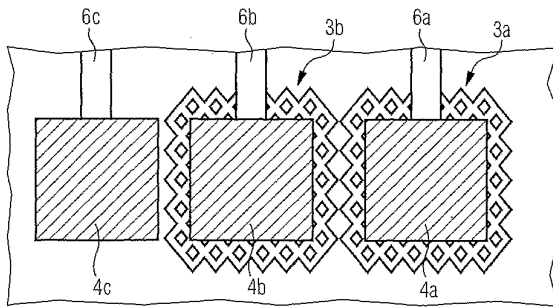
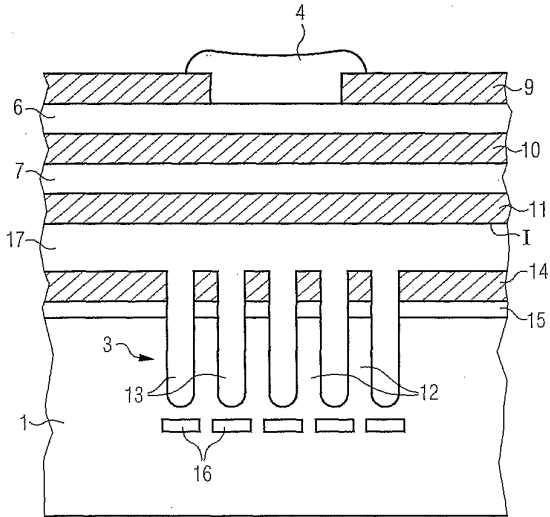


FIG 5



【 国際公開パンフレット (コレクション) 】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

BERICHTIGTE FASSUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. Februar 2002 (28.02.2002)

PCT

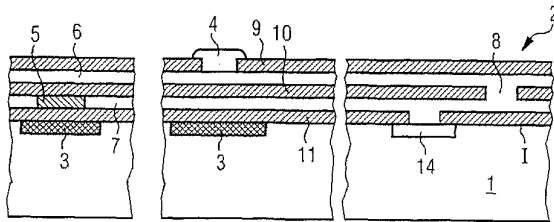
(10) Internationale Veröffentlichungsnummer
WO 02/17399 A1

- (51) Internationale Patentklassifikation: H01L 23/64, 21/762, 21/02
- (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BRENNER, Pietro [DE/DE]; Haselsberger Strasse 25, 85764 Oberschleisheim (DE).
- (21) Internationales Aktenzeichen: PCT/DE01/02701
- (74) Anwalt: EPPING HERMANN & FISCHER; Rüdlerstrasse 55, 80339 München (DE).
- (22) Internationales Anmeldedatum: 18. Juli 2001 (18.07.2001)
- (81) Bestimmungsstaaten (national): CN, JP, KR, US.
- (25) Einreichungssprache: Deutsch
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 100 41 691.8 24. August 2000 (24.08.2000) DE
- Veröffentlicht: mit internationalem Recherchenbericht
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).
- (48) Datum der Veröffentlichung dieser berichtigten Fassung: 2. Mai 2002

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR ARRANGEMENT AND METHOD FOR PRODUCTION THEREOF

(54) Bezeichnung: HALBLEITERANORDNUNG UND VERFAHREN ZU DESSEN HERSTELLUNG



WO 02/17399 A1

(57) Abstract: The invention relates to a semiconductor arrangement with a substrate, comprising at last one component integrated therein and on the main side of which a metallisation is provided. At least parts of the metallisation are provided with an underlying insulation layer lying in the substrate. Parasitic capacitances and undesired signal power losses for high frequency signals can be reduced as the insulation layer is in the form of a trench grid.

(57) Zusammenfassung: Die Erfindung schlägt eine Halbleiteranordnung mit einem Substrat vor, das wenigstens ein darin integriertes Bauelement aufweist und auf dessen erster Hauptseite eine Metallisierung vorgesehen ist. Zumindest Teile der Metallisierung sind mit einer in dem Substrat gelegenen Isolationsschicht unterlegt. Dadurch, dass die Isolationsschicht in Form eines Trench-Grids realisiert ist, können parasitäre Kapazitäten und unerwünschte Signalleistungsverluste bei hochfrequenten Signalen reduziert werden.

WO 02/17399 A1

(15) **Informationen zur Berichtigung:**
siehe PCT Gazette Nr. 18/2002 vom 2. Mai 2002, Section
II

*Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

【手続補正書】

【提出日】平成14年10月25日(2002.10.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板(1)を有し、この基板は、この基板に集積されている少なくとも1つの部品を有し、この基板の第1主要側面(I)に金属被覆(2)が設けられており、この金属被覆(2)の少なくとも一部の下に、基板(1)に配された絶縁層(3)が備えられており、この絶縁層(3)が、柱(12)の間に、絶縁体によって充填されたトレンチ格子を備えている半導体装置であって、

上記柱が酸化された半導体物質であることを特徴とする、半導体装置。

【請求項2】

上記トレンチ格子における絶縁体がPSGである、請求項1に記載の半導体装置。

【請求項3】

上記絶縁層(3)と金属被覆(2)との間に、基板(1)とpn接合を形成するエピタキシー層(15)が備えられている、請求項1または2に記載の半導体装置。

【請求項4】

上記基板(1)がウエハーであり、

上記金属被覆(2)が測定ヘッドに接触するための接続素子を備え、この接続素子の下に絶縁層(3)が備えられている、請求項1ないし3のいずれかに記載の半導体装置。

【請求項5】

上記金属被覆(2)がポリシリコン抵抗(5)を備え、このポリシリコン抵抗の下に絶縁層(3)が備えられている、請求項1ないし4のいずれかに記載の半導体装置。

【請求項6】

上記絶縁層(3)の下側に埋め込まれた領域(16)が、チャンネルストッパーとして基板(1)に存在している、請求項1ないし5のいずれかに記載の半導体装置。

【請求項7】

シリコン製の基板(1)を有し、この基板が、この基板に集積されている少なくとも1つの部品を備え、この基板の第1主要側面(I)に金属被覆(2)が設けられており、この金属被覆(2)の少なくとも一部の下に、基板(1)に配されている絶縁層(3)が備えられており、

シリコンからなる柱(12)が溝(13)の間に残留したままになり、溝(13)が絶縁体によって充填されるように、トレンチ格子用の溝(13)を第1主要側面(I)に製造することにより、上記の絶縁層(3)を製造する半導体装置の製造方法において、

上記柱(12)を酸化することを特徴とする方法。

【請求項8】

上記溝(13)が、絶縁体としてのPSGによって充填される、請求項7に記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Int'l Application No. PCT/DE 01/02701
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L23/64 H01L21/762 H01L21/02 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L H01F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 665 633 A (MEYER GEORGE R) 9 September 1997 (1997-09-09) abstract; claims; figures 3-18 column 5, line 5 - line 9	1-4, 6-10, 12-14
Y	---	5,11,15
Y	US 6 093 599 A (LEE JIN HYO ET AL) 25 July 2000 (2000-07-25) abstract; claims; figures	5,11,15
A	US 5 742 091 A (HERBERT FRANCOIS) 21 April 1998 (1998-04-21) abstract; claims; figures 5-13 column 3, line 11 - line 19 column 4, line 22 - line 37 -/--	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
18 December 2001		02/01/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wirner, C

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE 01/02701

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 966 040 A (IBM) 22 December 1999 (1999-12-22) abstract; claims; figures paragraph '0011! paragraph '0017! -----	1-15
A	WO 97 45873 A (ERICSSON TELEFON AB L M) 4 December 1997 (1997-12-04) abstract; claims; figures 3-5 page 3, paragraph 4 page 5, paragraphs 2-5 page 8, paragraph 4 -page 9, paragraph 3 -----	1-4,6-15
A	GB 2 226 445 A (PLESSEY CO PLC) 27 June 1990 (1990-06-27) ----- abstract; claims; figures	1-4, 6-10, 12-14
A	EP 0 844 660 A (MATSUSHITA ELECTRIC IND CO LTD) 27 May 1998 (1998-05-27) abstract; claims; figures 1-3 -----	1-15
P,X	WO 01 20649 A (KLEIN WOLFGANG ;INFINEON TECHNOLOGIES AG (DE)) 22 March 2001 (2001-03-22) the whole document -----	1-15

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

 Int. Application No.
 PCT/DE 01/02701

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5665633	A	09-09-1997	JP 8288380 A 01-11-1996
			SG 72653 A1 23-05-2000
			US 6285066 B1 04-09-2001
			US 5949125 A 07-09-1999
US 6093599	A	25-07-2000	JP 11233727 A 27-08-1999
			NL 1010905 A1 29-06-1999
US 5742091	A	21-04-1998	NONE
EP 0966040	A	22-12-1999	EP 0966040 A1 22-12-1999
WO 9745873	A	04-12-1997	SE 510443 C2 25-05-1999
			AU 3113097 A 05-01-1998
			CN 1220778 A 23-06-1999
			EP 0902974 A1 24-03-1999
			JP 2000511350 T 29-08-2000
			SE 9602191 A 01-12-1997
			WO 9745873 A1 04-12-1997
GB 2226445	A	27-06-1990	NONE
EP 0844660	A	27-05-1998	JP 10154751 A 09-06-1998
			JP 10223750 A 21-08-1998
			EP 0844660 A1 27-05-1998
			US 6130139 A 10-10-2000
WO 0120649	A	22-03-2001	DE 19944306 A1 03-05-2001
			WO 0120649 A1 22-03-2001

INTERNATIONALER RECHERCHENBERICHT		Int. Aktenzeichen PCT/DE 01/02701
A. KLASSIFIZIERUNG DES ANMELDUNGS/GEGENSTANDES IPK 7 H01L23/64 H01L21/762 H01L21/02		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RESEARCHIERTE GEBIETE		
Researchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L H01F		
Researchiererte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die researchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data, PAJ, INSPEC, IBM-TDB, COMPENDEX		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 665 633 A (MEYER GEORGE R) 9. September 1997 (1997-09-09) Zusammenfassung; Ansprüche; Abbildungen 3-18 Spalte 5, Zeile 5 - Zeile 9	1-4, 6-10, 12-14
Y	---	5,11,15
Y	US 6 093 599 A (LEE JIN HYO ET AL) 25. Juli 2000 (2000-07-25) Zusammenfassung; Ansprüche; Abbildungen	5,11,15
A	US 5 742 091 A (HERBERT FRANCOIS) 21. April 1998 (1998-04-21) Zusammenfassung; Ansprüche; Abbildungen 5-13 Spalte 3, Zeile 11 - Zeile 19 Spalte 4, Zeile 22 - Zeile 37 -/-	1-15
<input checked="" type="checkbox"/>	Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	<input checked="" type="checkbox"/> Siehe Anhang Patentfamilie
* Besondere Kategorien von angesehenen Veröffentlichungen :		
A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist		*I* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist		*K* Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden
L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)		*M* Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht		*N* Veröffentlichung, die Mitglied derselben Patentfamilie ist
P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist		
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Recherchenberichts
18. Dezember 2001		02/01/2002
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 6818 Patentlaan 2 NL - 2230 HW Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Beauftragter Wörner, C

Formblatt PCTISA210 (Blatt 2) (M1 1992)

INTERNATIONALER RECHERCHENBERICHT		In nationales Aktenzeichen PCT/DE 01/02701
C/(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Bez. Anspruch Nr.
A	EP 0 966 040 A (IBM) 22. Dezember 1999 (1999-12-22) Zusammenfassung; Ansprüche; Abbildungen Absatz '0011! Absatz '0017! ---	1-15
A	WO 97 45873 A (ERICSSON TELEFON AB L M) 4. Dezember 1997 (1997-12-04) Zusammenfassung; Ansprüche; Abbildungen 3-5 Seite 3, Absatz 4 Seite 5, Absätze 2-5 Seite 8, Absatz 4 -Seite 9, Absatz 3 ---	1-4,6-15
A	GB 2 226 445 A (PLESSEY CO PLC) 27. Juni 1990 (1990-06-27) Zusammenfassung; Ansprüche; Abbildungen ---	1-4, 6-10, 12-14
A	EP 0 844 660 A (MATSUSHITA ELECTRIC IND CO LTD) 27. Mai 1998 (1998-05-27) Zusammenfassung; Ansprüche; Abbildungen 1-3 ---	1-15
P,X	WO 01 20649 A (KLEIN WOLFGANG ;INFINEON TECHNOLOGIES AG (DE)) 22. März 2001 (2001-03-22) das ganze Dokument ---	1-15

Formblatt PCT/ISA210 (Fortsetzung von Blatt 2) (Juli 1992)

INTERNATIONALER RECHERCHENBERICHT				Int. des Aktenzeichens PC17/DE 01/02701	
Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung		
US 5665633 A	09-09-1997	JP 8288380 A	01-11-1996		
		SG 72653 A1	23-05-2000		
		US 6285066 B1	04-09-2001		
		US 5949125 A	07-09-1999		
US 6093599 A	25-07-2000	JP 11233727 A	27-08-1999		
		NL 1010905 A1	29-06-1999		
US 5742091 A	21-04-1998	KEINE			
EP 0966040 A	22-12-1999	EP 0966040 A1	22-12-1999		
WO 9745873 A	04-12-1997	SE 510443 C2	25-05-1999		
		AU 3113097 A	05-01-1998		
		CN 1220778 A	23-06-1999		
		EP 0902974 A1	24-03-1999		
		JP 2000511350 T	29-08-2000		
		SE 9602191 A	01-12-1997		
		WO 9745873 A1	04-12-1997		
GB 2226445 A	27-06-1990	KEINE			
EP 0844660 A	27-05-1998	JP 10154751 A	09-06-1998		
		JP 10223750 A	21-08-1998		
		EP 0844660 A1	27-05-1998		
		US 6130139 A	10-10-2000		
WO 0120649 A	22-03-2001	DE 19944306 A1	03-05-2001		
		WO 0120649 A1	22-03-2001		

フロントページの続き

(72)発明者 ブレンナー, ピエトロ

ドイツ連邦共和国 8 5 7 6 4 オーバーシュライスハイム ハーゼルスベルガー シュトラーセ
2 5

Fターム(参考) 5F033 HH04 RR14 VV07 VV09 XX24