



(12) 发明专利申请

(10) 申请公布号 CN 103771332 A

(43) 申请公布日 2014. 05. 07

(21) 申请号 201310493344. 6

(22) 申请日 2013. 10. 18

(30) 优先权数据

2012-231846 2012. 10. 19 JP

(71) 申请人 精工爱普生株式会社

地址 日本东京

(72) 发明人 吉泽隆彦

(74) 专利代理机构 北京金信立方知识产权代理

有限公司 11225

代理人 黄威 苏萌萌

(51) Int. Cl.

B81B 7/00 (2006. 01)

B81B 7/02 (2006. 01)

B81C 1/00 (2006. 01)

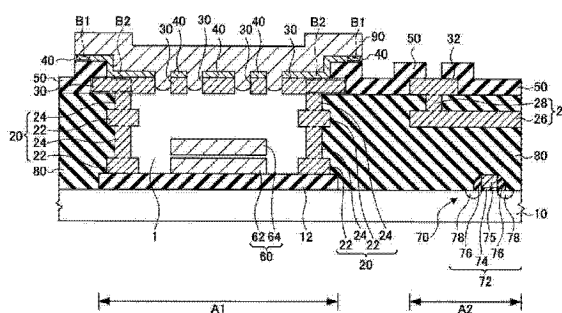
权利要求书2页 说明书11页 附图8页

(54) 发明名称

电子装置及其制造方法

(57) 摘要

本发明提供一种电子装置及其制造方法,所述电子装置包括:基板;侧壁,其被配置在所述基板上,并形成空洞;第一层,其被配置在所述侧壁上,并覆盖所述空洞;第二层,其被形成于所述第一层上,并具有被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域;绝缘层,其被配置在所述第二层的所述被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域之下;功能元件,其被配置在所述空洞内。



1. 一种电子装置,包括:
基板;
侧壁,其被配置在所述基板上,并形成空洞;
第一层,其被配置在所述侧壁上,并覆盖所述空洞;
第二层,其被形成于所述第一层上,并具有被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域;
绝缘层,其被配置在所述第二层的所述被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域之下;
功能元件,其被配置在所述空洞内。
2. 如权利要求 1 所述的电子装置,其中,
所述第二层的所述被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域,在俯视观察时环绕所述空洞。
3. 如权利要求 1 或权利要求 2 所述的电子装置,其中,
在所述第一层的被配置在与俯视观察时的所述空洞的轮廓相比靠外侧的位置处的区域、与所述第二层之间,存在有所述绝缘层。
4. 如权利要求 1 至权利要求 3 中任一项所述的电子装置,其中,
所述第一层及所述第二层具有贯穿至所述空洞的共同的贯穿孔。
5. 如权利要求 4 所述的电子装置,其中,
具有被形成于所述第二层上的第三层,
所述第三层对所述贯穿孔进行密封。
6. 如权利要求 5 所述的电子装置,其中,
所述第三层包括如下的层,所述层为,通过选自 Al、W 及 Cu 中的一种、或两种以上的合金而构成的层。
7. 如权利要求 1 至权利要求 6 中任一项所述的电子装置,其中,
所述第二层包括如下的层,所述层为,通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而构成的层。
8. 如权利要求 1 至权利要求 7 中任一项所述的电子装置,其中,
所述第一层包括三层以上的层叠结构,
所述层叠结构的最上层为,通过选自 TiN、Ti、W、Au 及 Pt 中的一种、或两种以上的合金而构成的层,
所述层叠结构的最下层为,通过选自 TiN、Ti、W、Au 及 Pt 中的一种、或两种以上的合金而构成的层,
所述层叠结构中的至少一层是通过 Al-Cu 合金而构成的。
9. 一种电子装置的制造方法,包括:
在基板的第一区域内形成功能元件的工序;
在所述基板的第二区域内形成晶体管的工序;
形成覆盖所述晶体管及所述功能元件的层间绝缘层的工序;
在所述层间绝缘层上形成包围所述功能元件的侧壁的工序;
形成覆盖所述层间绝缘层并与所述侧壁相连接的第一层的工序;

形成覆盖所述第一层的绝缘层的工序；

对所述绝缘层的俯视观察时的所述侧壁的内侧的区域进行去除的工序；

在所述第一层及所述绝缘层上形成第二层的工序，所述第二层为，通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而构成的层；

在所述第一区域内的所述第一层及所述第二层上形成贯穿孔的工序；

通过所述贯穿孔而对被所述侧壁包围的所述层间绝缘层进行蚀刻并去除，从而形成容纳了所述功能元件的空洞的工序，

所述第二层被形成为，具有被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域，所述绝缘层被配置在，所述第二层的所述被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域之下。

10. 如权利要求 9 所述的电子装置的制造方法，其中，

还包括：

在所述第二层上形成对所述贯穿孔进行密封的第三层的工序；

对所述第二层及所述第三层进行图案形成，并对所述第二区域内的所述第二层及所述第三层进行去除的工序；

对所述第二区域内的所述绝缘层进行蚀刻的工序。

电子装置及其制造方法

技术领域

[0001] 本发明涉及一种电子装置及其制造方法。

背景技术

[0002] 已知一种如下的电子装置,所述电子装置具有将 MEMS (Micro Electro Mechanical Systems :微机电系统)等功能元件配置在被形成于基板上的空洞内的结构。例如,由于微振子、微传感器、微致动器等 MEMS 通过微小的结构体进行振动、变形及其他的动作而发挥功能,因此以不妨碍这些动作的方式被收纳在空洞内(例如,参照以下的专利文献 1 及 2)。

[0003] 作为形成这种空洞的方法,存在一种如下的方法,即,如专利文献 1 所公开的、当在一侧的基板的表面上形成了微小机械元件之后,在真空腔室内经由 O 型环而将一侧的基板和另一侧的基板接合在一起,之后,在 O 型环的外侧填充密封剂。此外,作为其他方法,还已知一种如下的方法,即,如专利文献 2 所公开那样,在基板上形成 MEMS 结构体,并在其上形成牺牲层之后形成具有贯穿孔的密封部件,并且通过该密封部件的贯穿孔而去除牺牲层从而使 MEMS 构造体的可动部分离出,最后通过利用 CVD 膜等其他密封部件来覆盖密封部件的贯穿孔从而进行封闭。

[0004] 但是,由于电子装置的小型化的要求,因而对于配置有功能元件的基板上的空洞而言也要求减少其占有面积。但是,因为通过使装置小型化而使空洞与形成空洞的部件等也小型化,所以存在对空洞进行保持的机械强度不足的情况。当形成空洞的部件的强度不足时,例如存在由于安装时的机械及热应力、或振动而无法维持空洞的情况,从而担心电子装置的可靠性会降低。

[0005] 专利文献 1 :日本特开 2005-297180 号公报

[0006] 专利文献 2 :日本特开 2005-123561 号公报

发明内容

[0007] 本发明是鉴于上述的课题而完成的,其几个方式所涉及的目的之一在于,提供一种功能元件为小型且被配置在坚固的空洞内的、可靠性良好的电子装置及其制造方法。

[0008] 本发明是为了解决上述课题中的至少一部分而完成的,并且能够作为以下方式或应用例而实现。

[0009] 应用例 1

[0010] 本发明所涉及的电子装置的一个方式包括:基板;侧壁,其被配置在所述基板上,并形成空洞;第一层,其被配置在所述侧壁上,并覆盖所述空洞;第二层,其被形成于所述第一层上,并具有被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域;绝缘层,其被配置在所述第二层的所述被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域之下;功能元件,其被配置在所述空洞内。

[0011] 根据本应用例的电子装置,因为第二层具有被配置在与第一层的轮廓相比靠外侧

的位置处的区域,并且在第二层的被配置在与所述俯视观察时的第一层的轮廓相比靠外侧的位置处的区域之下,配置有绝缘层,所以能够提高形成空洞的部件的机械强度。根据本应用例的电子装置,尤其能够提高对以使空洞坍塌的方式而作用的外力等进行抵抗的机械强度。因此,根据本应用例的电子装置,由于功能元件为小型且被配置在坚固的空洞内,从而能够确保较高的可靠性。

[0012] 应用例 2

[0013] 还可以采用如下方式,即,在应用例 1 中,所述第二层的所述被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域,在俯视观察时环绕所述空洞。

[0014] 根据本应用例的电子装置,因为第二层的被配置在与第一层的轮廓相比靠外侧的位置处的区域环绕所述空洞,所以能够更加可靠地形成空洞,并且能够形成更加坚固的空洞。

[0015] 应用例 3

[0016] 还可以采用如下方式,即,在应用例 1 或应用例 2 中,在所述第一层的被配置在与俯视观察时的所述空洞的轮廓相比靠外侧的位置处的区域、与所述第二层之间,存在有所述绝缘层。

[0017] 根据本应用例的电子装置,由于成为由第一层和第二层夹持绝缘层的形状,从而能够进一步提高对空洞进行保持的机械强度。此外,根据本应用例的电子装置,不仅能够提高对以使空洞坍塌的方式而作用的外力等进行抵抗的机械强度,而且还能够提高对以使空洞开放的方式而作用的外力等进行抵抗的机械强度。

[0018] 应用例 4

[0019] 还可以采用如下方式,即,在应用例 1 至应用例 3 中的任一例中,所述第一层及所述第二层具有贯穿至所述空洞的共同的贯穿孔。

[0020] 因为本应用例的电子装置能够在形成了第一层及第二层的状态下对空洞内进行蚀刻,所以也能够确保蚀刻时的空洞的坚固性。因此,例如能够提高成品率,从而生产性良好。

[0021] 应用例 5

[0022] 还可以采用如下方式,即,在应用例 4 中,具有被形成于所述第二层上的第三层,所述第三层对所述贯穿孔进行密封。

[0023] 根据本发明的电子装置,能够进一步提高对空洞进行保持的机械强度。

[0024] 应用例 6

[0025] 还可以采用如下方式,即,在应用例 5 中,所述第三层包括如下的层,所述层为,通过选自 Al、W 及 Cu 中的一种、或两种以上的合金而构成的层。

[0026] 根据本发明的电子装置,能够进一步提高对空洞进行保持的机械强度。

[0027] 应用例 7

[0028] 还可以采用如下方式,即,在应用例 1 至应用例 6 中的任一例中,所述第二层包括如下的层,所述层为,通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而构成的层。

[0029] 根据本应用例的电子装置,由于第二层的机械强度较高,并且能够提高第二层及第一层的紧贴性,因此能够进一步提高对空洞进行保持的机械强度。

[0030] 应用例 8

[0031] 还可以采用如下方式,即,在应用例 1 至应用例 7 中的任一例中,所述第一层包括三层以上的层叠结构,所述层叠结构的最上层为,通过选自 TiN、Ti、W、Au 及 Pt 中的一种、或两种以上的合金而构成的层,所述层叠结构的最下层为,通过选自 TiN、Ti、W、Au 及 Pt 中的一种、或两种以上的合金而构成的层,所述层叠结构中的至少一层是通过 Al-Cu 合金而构成的。

[0032] 根据本应用例的电子装置,由于第一层的机械强度较高,并且能够提高第二层及第一层的紧贴性,因此能够进一步提高对空洞进行保持的机械强度。

[0033] 应用例 9

[0034] 本发明所涉及的电子装置的制造方法的一个方式包括:在基板的第一区域内形成功能元件的工序;在所述基板的第二区域内形成晶体管的工序;形成覆盖所述晶体管及所述功能元件的层间绝缘层的工序;在所述层间绝缘层上形成包围所述功能元件的侧壁的工序;形成覆盖所述层间绝缘层并与所述侧壁相连接的第一层的工序;形成覆盖所述第一层的绝缘层的工序;对所述绝缘层的俯视观察时的所述侧壁的内侧的区域进行去除的工序;在所述第一层及所述绝缘层上形成第二层的工序,所述第二层为,通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而构成的层;在所述第一区域内的所述第一层及所述第二层上形成贯穿孔的工序;通过所述贯穿孔而对被所述侧壁包围的所述层间绝缘层进行蚀刻并去除,从而形成容纳了所述功能元件的空洞的工序,所述第二层被形成为,具有被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域,所述绝缘层被配置在,所述第二层的所述被配置在与俯视观察时的所述第一层的轮廓相比靠外侧的位置处的区域之下。

[0035] 根据本应用例的电子装置的制造方法,因为第二层具有被配置在与第一层的轮廓相比靠外侧的位置处的区域,并且在第二层的被配置在与所述俯视观察时的第一层的轮廓相比靠外侧的位置处的区域之下,配置有绝缘层,所以能够制造出形成空洞的部件的机械强度较高的电子装置。此外,根据本应用例的电子装置的制造方法,因为在对被侧壁包围的层间绝缘层进行蚀刻并去除,从而形成容纳了功能元件的空洞的工序(分离蚀刻工序)中,第二区域通过第二层而被保护,所以能够实施长时间的蚀刻处理。此外,由于能够在不使用抗蚀剂掩膜的条件下实施分离蚀刻工序,因此能够在清洗工序中使用有机溶剂,从而能够抑制例如粘附等。而且,由于不使用抗蚀剂掩膜,因此不需要去除抗蚀剂掩膜的工序,从而能够减少污染等问题。

[0036] 应用例 10

[0037] 还可以采用如下方式,即,在应用例 9 中,还包括:在所述第二层上形成对所述贯穿孔进行密封的第三层的工序;对所述第二层及所述第三层进行图案形成,并对所述第二区域内的所述第二层及所述第三层进行去除的工序;对所述第二区域内的所述绝缘层进行蚀刻的工序。

[0038] 根据本应用例的电子装置的制造方法,能够制造出对空洞进行保持的机械强度被进一步提高的电子装置。

附图说明

- [0039] 图 1 为模式化地表示实施方式所涉及的电子装置的截面的图。
- [0040] 图 2 为模式化地表示实施方式所涉及的电子装置的俯视图。
- [0041] 图 3 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0042] 图 4 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0043] 图 5 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0044] 图 6 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0045] 图 7 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0046] 图 8 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0047] 图 9 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0048] 图 10 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0049] 图 11 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0050] 图 12 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0051] 图 13 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0052] 图 14 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0053] 图 15 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0054] 图 16 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0055] 图 17 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。
- [0056] 图 18 为模式化地表示实施方式所涉及的电子装置的制造方法的一个工序的截面的图。

具体实施方式

[0057] 以下,对本发明的几个实施方式进行说明。以下所说明的实施方式为对本发明的示例进行说明的方式,本发明并不限于以下的实施方式,还包括在不变更本发明的主旨的范围内所实施的各种改变方式。另外,在下文中所说明的结构并不一定均为本发明的必

要构成要素。

[0058] 1. 电子装置

[0059] 参照附图对一个实施方式所涉及的电子装置进行说明。图 1 为,模式化地表示本实施方式所涉及的电子装置 100 的截面的图。图 2 为,模式化地表示本实施方式所涉及的电子装置 100 的俯视图。图 1 相当于图 2 中的 I-I 线的截面。此外,在图 2 中省略绘制了第三层 90。

[0060] 如图 1 及图 2 所示,电子装置 100 包括:基板 10、形成空洞 1 的侧壁 20、覆盖空洞 1 的第一层 30、第二层 40、绝缘层 50、以及被配置在空洞 1 内的功能元件 60。

[0061] 基板 10 具有第一区域 A1 和第二区域 A2,其中,所述第一区域 A1 内形成有对功能元件 60 进行收纳的空洞 1,所述第二区域 A2 内形成有电路部 70。作为基板 10,例如可以使用硅(Si)基板等半导体基板。作为基板 10,还可以使用陶瓷基板、玻璃基板、蓝宝石基板、合成树脂基板等各种基板。基板 10 的厚度例如为 $100\mu\text{m} \sim 400\mu\text{m}$ 。

[0062] 基板 10 可以具有如图所示的基底层 12。基底层 12 被形成在基板 10 上。基底层 12 至少被形成在形成有空洞 1 的第一区域 A1 内。作为基底层 12 的材质,例如可列举出氮化硅(Si_3N_4)。在形成空洞 1 时,基底层 12 能够作为蚀刻阻挡层而发挥功能。可以在基底层 12 与基板 10 之间形成未图示的沟槽绝缘层、LOCOS (Local Oxidation of Silicon:硅的局部氧化) 绝缘层、半凹 LOCOS 绝缘层等。

[0063] 侧壁 20 被配置在基板 10 上,并形成了空洞 1。在图 1 所示的示例中,侧壁 20 被形成在基底层 12 上且空洞 1 的周围。此外,在图 1 所示的示例中,侧壁 20 以层叠了配线部 22 及壁部 24 的方式而形成。侧壁 20 也可以被看作为保护环。虽然侧壁 20 中,配线部 22 及壁部 24 各具有两个,但它们的数量并不被特别限定,例如可以根据层间绝缘层 80 的层叠数来决定配线部 22 及壁部 24 的数量。如图 2 所示,侧壁 20 以包围功能元件 60 的方式而配置。侧壁 20 的平面的形状只要为包围功能元件 60 的形状则不被特别限定,例如可以设定为圆形形状、多边形形状等任意的形状。侧壁 20 例如可以具有供与功能元件 60 相连接的配线 65 穿过的间隙。侧壁 20 既可以与周围的部件电连接,也可以被设定为接地电位。在图 2 所示的示例中,侧壁 20 以避开功能元件 60 的方式而形成。作为侧壁 20 的材质,例如可列举出多晶硅(Poly-Silicon)、或铝(Al)、铜(Cu)、钨(W)、钛(Ti)等金属及其合金。

[0064] 第一层 30 被配置在侧壁 20 上,并被形成覆盖空洞 1。如图 1 所示,第一层 30 被形成在空洞 1 的上方。第一层 30 可以具有贯穿孔 31。虽然在图 1 及图 2 所示的示例中,贯穿孔 31 的数量为 12 个,但该数量并不被限定。第一层 30 可以与侧壁 20 的一部分或全部一体地形成。第一层 30 例如可以通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而形成。此外,第一层 30 例如可以为层叠有 Ti 层、TiN 层、Al-Cu 合金层、TiN 层的层叠结构。

[0065] 空洞 1 为,用于对功能元件 60 进行收纳的空间。在图示的示例中,空洞 1 通过基底层 12、侧壁 20、第一层 30 而被划分出。空洞 1 内例如可以设定为减压状态,由此能够实现功能元件 60 的动作精度的提高。

[0066] 优选在侧壁 20 及第一层 30 上,施加有固定的电位(例如接地电位)。由此,能够使侧壁 20 和第一层 30 作为电磁屏蔽而发挥功能。因此,能够将功能元件 60 从空洞 1 的外部的电场或磁场中屏蔽开来,从而能够使功能元件 60 的特性等更加稳定。

[0067] 功能元件 60 被配置在空洞 1 内。功能元件 60 只要能够被收纳在空洞 1 内则可以任意元件而不被特别限定。作为功能元件 60,例如可以例示振子、水晶振子、SAW(弹性表面波)元件、加速度传感器、回转仪、微致动器等。作为功能元件 60 的具体例,可以列举出如图所示的振子,所述振子具有被形成在基层 12 上的固定电极 62、和与固定电极 62 隔开固定间隔而形成的可动电极 64。作为固定电极 62 和可动电极 64 的材质,例如可列举出通过掺杂预定的杂质而被赋予了导电性的多晶硅。

[0068] 第二层 40 被形成在第一层 30 上,并且具有被配置在与俯视观察时的第一层 30 的轮廓相比靠外侧的位置处的区域 B1。第一层 30 的俯视观察是指,如图 2 所示那样从与基板 10 的板面正交的方向观察第一层 30 的情况。第二层 40 被形成在第一层 30 上及绝缘层 50 上。第二层 40 可以具有贯穿孔 41。虽然在图 1 及图 2 所示的示例中,贯穿孔 41 的数量为 12 个,但该数量并不被限定。第二层 40 例如可以通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而形成。

[0069] 绝缘层 50 被配置在,第二层 40 的被配置在与俯视观察时的第一层 30 的轮廓相比靠外侧的位置处的区域 B1 之下。绝缘层 50 例如被形成在层间绝缘层 80 上及第一层 30 上。作为绝缘层 50 的材质,可列举出氧化硅、氮化硅等。作为绝缘层 50 的结构,可列举出氧化硅、氮化硅等的单层结构、氧化硅、氮化硅等的层叠结构。

[0070] 在本实施方式的电子装置 100 中,第二层 40 具有被配置在与第一层 30 的轮廓相比靠外侧的位置处的区域 B1,并且在第二层 40 的被配置在与俯视观察时的第一层 30 的轮廓相比靠外侧的位置处的区域 B1 之下,配置有绝缘层 50。因此,因为第一层 30 及第二层 40 作为空洞 1 的盖而发挥功能,并且该盖不仅在第一层 30 处被支承而且还在第二层 40 的区域 B1 处被支承,所以能够提高对于空洞 1 的变形等的机械强度。根据电子装置 100,尤其能够提高对以使空洞 1 坍塌的方式而作用的外力等进行抵抗的机械强度。因此,根据本实施方式的电子装置 100,由于功能元件 60 为小型且被配置在坚固的空洞 1 内,从而能够确保较高的可靠性。

[0071] 2. 电子装置的改变等的说明

[0072] 本实施方式的电子装置 100 能够实施各种改变。虽然在下文中对改变方式进行说明,但对具有与上述的实施方式相同的作用功能的部件标记相同的符号并省略详细的说明。

[0073] 由于当上述的第一层 30 的材质为,选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物时,能够提高第一层 30 的机械强度,且能够提高与第二层 40 的紧贴性,因此能够进一步提高对空洞 1 进行保持的机械强度。此外,虽然第一层 30 在图示的示例中为单层结构,但也可以为多个层的层叠结构。如果将第一层 30 设定为层叠结构,则存在能够有效地提高第一层 30 的机械强度及导电性双方的情况。例如,当第一层 30 为三层以上的层叠结构时,可以将层叠结构的最上层设定为,通过选自 TiN、Ti、W、Au 及 Pt 中的一种、或两种以上的合金而构成的层,并将层叠结构的最下层设定为,通过选自 TiN、Ti、W、Au 及 Pt 中的一种、或两种以上的合金而构成的层,且将层叠结构中的至少一层设定为通过 Al-Cu 合金而构成的层。

[0074] 由于当将上述的第二层 40 的材质设定为选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物时,能够提高第二层 40 的机械强度,且能够

提高第二层 40 与第一层 30 之间的紧贴性,因此能够进一步提高对空洞 1 进行保持的机械强度。此外,虽然第二层 40 在图示的示例中为单层结构,但也可以为层叠了多个层的结构,例如可以被构成为,包括通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而构成的层。

[0075] 此外,如图 1 及图 2 所示,可以使第二层 40 的贯穿孔 41 和第一层 30 的贯穿孔 31 连通,从而成为贯穿至空洞 1 的共同的贯穿孔。当采用这种方式时,由于能够在形成了第一层 30 及第二层 40 的状态下对空洞 1 内进行蚀刻,因此例如还能够确保蚀刻时的空洞 1 的坚固性。因此,例如能够提高成品率,从而能够改善生产性。

[0076] 而且,由于第二层 40 的被配置在与俯视观察时的第一层 30 的轮廓相比靠外侧的位置处的区域 B1 的存在,从而能够提高对空洞 1 进行保持的机械强度,但如图 1 及图 2 所示,该区域 B1 也可以以在俯视观察时环绕空洞 1 的方式而存在。当采用这种结构时,将能够更加可靠地形成空洞 1,并且能够形成更加坚固的空洞 1。

[0077] 而且,可以在区域 B2 与第二层 40 之间存在有绝缘层 50,所述区域 B2 为,第一层 30 的被配置在与俯视观察时的空洞 1 的轮廓相比靠外侧的位置处的区域。在图 1 及图 2 的示例中,在区域 B2 与第二层 40 之间存在有绝缘层 50,所述区域 B2 为,第一层 30 的被配置在与俯视观察时的空洞 1 的轮廓相比靠外侧的位置处的区域。因此,根据电子装置 100,成为由第一层 30 和第二层 40 夹持绝缘层 50 的方式。由此,能够进一步提高对盖进行保持的机械强度,所述盖由形成空洞 1 的第一层 30 及第二层 40 构成。即,该盖不仅在第一层 30 处被支承而且还在第二层 40 的区域 B1 处被支承,并且成为第一层 30 通过绝缘层 50 而被机械地压紧的状态。因此,能够进一步提高相对于空洞 1 的变形等的机械强度。因此,根据电子装置 100,不仅能够提高对以使空洞坍塌的方式而作用的外力等进行抵抗的机械强度,还能够提高对以使空洞开放的方式而作用的外力等进行抵抗的机械强度。因此,根据所例示的电子装置 100,功能元件 60 为小型且被配置在坚固的空洞 1 内,从而能够确保非常高的可靠性。

[0078] 3. 其他结构等

[0079] 电子装置 100 可以包括电路部 70、层间绝缘层 80、配线 26、通孔 28、衬垫 32、第三层 90。

[0080] 如图 1 所示,可以在基板 10 上形成有用于驱动功能元件 60 的电路部 70。电路部 70 可以通过晶体管 72 或电容器(未图示)等而构成。电路部 70 例如包括晶体管 72。晶体管 72 被形成在基板 10 上。晶体管 72 例如为,具有栅绝缘膜 74、栅电极 75、源区或漏区 78、以及侧壁 76 的 MOS (Metal Oxide Semiconductor:金属氧化物半导体)晶体管。此外,在图示的例中,在基板 10 的第二区域 A2 内形成有配线 26、通孔 28。配线 26、通孔 28 例如可以将晶体管 72 和构成电路部 70 的其他元件(未图示)电连接。

[0081] 晶体管 72 的栅绝缘膜 74 被形成在基板 10 上。栅绝缘膜 74 例如由氧化硅层构成。栅绝缘膜 74 被基板 10 和栅电极 75 夹持。栅电极 75 的材质例如为,通过掺杂预定的杂质而被赋予了导电性的多晶硅。源区或漏区 78 被形成于基板 10 上。源区或漏区 78 通过向基板 10 掺杂预定的杂质而形成。侧壁 76 被形成于栅电极 75 的侧方。侧壁 76 的材质例如为氮化硅(Si₃N₄)或氮氧化硅(SiON)。

[0082] 在图示的示例中,层间绝缘层 80 被形成于基板 10 的上方。虽然在图 1 所示的示

例中,电子装置 100 的层间绝缘层 80 被连续地绘制,但层间绝缘层 80 也可以为多个层的层叠体。作为层间绝缘层 80 的材质,例如可列举出氧化硅(SiO_2)。另外,空洞 1 相当于层间绝缘层 80 被去除了的区域。

[0083] 衬垫 32 被形成于通孔 28 上。衬垫 32 的材质例如为与第一层 30 相同的材质。在图示的示例中,衬垫 32 与配线 26、通孔 28 一起构成了配线。配线 26、通孔 28 的材质例如为与侧壁 20 的配线部 22、壁部 24 相同的材质。

[0084] 电子装置 100 可以具有第三层 90。第三层 90 被形成于第二层 40 上。第三层 90 能够封闭第一层 30 的贯穿孔 31 及第二层 40 的贯穿孔 41。作为第三层 90 的材质,例如可列举出 Al、Cu、Ti、W。当第三层 90 的材质为选自 Al、W 及 Cu 中的一种、或两种以上的合金时,能够进一步提高对空洞 1 进行保持的机械强度。虽然第三层 90 在图示的示例中为单层结构,但也可以为层叠了多个层的结构,例如可以被构成为,包括通过选自 Al、W 及 Cu 中的一种、或两种以上的合金而构成的层。

[0085] 第三层 90 的膜厚例如为 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下。第一层 30、第二层 40 及第三层 90 从上方覆盖空洞 1,从而能够作为对空洞 1 进行密封的密封部件而发挥功能。由于电子装置 100 具有第三层 90,从而能够进一步提高对空洞 1 进行保持的机械强度。

[0086] 电子装置 100 还可以具有未图示的树脂层、衬垫、外部端子、配线层、抗蚀层等。此外,电子装置 100 可以为 WCSP (Wafer-level Chip Scale Packaging: 晶片级芯片封装) 结构。

[0087] 4. 电子装置的制造方法

[0088] 接下来,参照附图对电子装置 100 的制造方法进行说明。图 3 ~ 图 16 为,模式化地表示本实施方式所涉及的电子装置 100 的制造工序的剖视图。

[0089] 本实施方式的电子装置的制造方法包括:在基板 10 的第一区域 A1 内形成功能元件 60 的工序;在基板 10 的第二区域 A2 内形成晶体管 72 的工序;形成覆盖晶体管 72 及功能元件 60 的层间绝缘层 80 的工序;在层间绝缘层 80 上形成包围功能元件 60 的侧壁 20 的工序;形成覆盖层间绝缘层 80 并与侧壁 20 相连接的第一层 30 的工序;形成覆盖第一层 30 的绝缘层 50 的工序;对绝缘层 50 的侧壁 20 的内侧的区域进行去除的工序;在第一层 30 上及绝缘层 50 上形成第二层 40 的工序,所述第二层 40 通过选自 TiN、TaN、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而构成;在第一区域 A1 的第一层 30 及第二层 40 上形成贯穿孔 31、41 的工序;通过贯穿孔 31、41 而对被侧壁 20 包围的层间绝缘层 80 进行蚀刻并去除,从而形成容纳了功能元件 60 的空洞 1 的工序。并且,第二层 40 被形成为,具有被配置在与俯视观察时的第一层 30 的轮廓相比靠外侧的位置处的区域 B1,绝缘层 50 被配置在,第二层 40 的被配置在与俯视观察时的第一层 30 的轮廓相比靠外侧的位置处的区域 B1 之下。

[0090] 在本实施方式中,如图 3 所示,在基板 10 上形成基底层 12。基底层 12 例如通过如下方式而被形成,即,在通过 CVD (Chemical Vapor Deposition: 化学气相沉积) 法、溅射法而被成膜后,通过光刻技术及蚀刻技术等而被图案形成。

[0091] 接下来,如图 4 所示,在基底层 12 上形成固定电极 62。具体而言,例如,在通过 CVD 法或溅射法等而使多晶硅等的半导体层(未图示)成膜之后,通过光刻技术及蚀刻技术等进行图案形成。并且,向被实施了图案形成的半导体层注入磷(P)或硼(B)等杂质而形成固定

电极 62。

[0092] 接下来,如图 5 所示,形成覆盖固定电极 62 的覆盖层(牺牲层) 66 及栅绝缘膜 74。覆盖层 66 及栅绝缘膜 74 例如为氧化硅层。覆盖层 66 例如通过使固定电极 62 被热氧化而形成。栅绝缘膜 74 通过使基板 10 被热氧化而形成。固定电极 62 及栅绝缘膜 74 的热氧化处理例如在 800℃以上且 1100℃以下的温度下被实施。在本工序中,能够在同一工序中形成覆盖层 66 及栅绝缘膜 74。覆盖层 66 的膜厚与栅绝缘膜 74 的膜厚之间的关系能够通过调节固定电极 62 与基板 10 的结晶性或杂质浓度之间的关系来进行控制。另外,覆盖层 66 及栅绝缘膜 74 可以利用 CVD 法或溅射法而形成。之后,在覆盖层 66 上形成可动电极 64,并在栅绝缘膜 74 上形成栅电极 75。可动电极 64 及栅电极 75 的形成例如通过 CVD 法、溅射法、以及光刻技术及蚀刻技术等图案形成而被实施。可动电极 64 及栅电极 75 的形成既可以同时进行,也可以被设定为不同的工序。此外,可以在形成可动电极 64 及栅电极 75 的同时,形成侧壁 20 的配线部 22,在该示例中,在形成可动电极 64 及栅电极 75 的同时,形成了侧壁 20 的配线部 22。

[0093] 接下来,向可动电极 64 及栅电极 75 注入杂质。由此,能够对可动电极 64 及栅电极 75 赋予导电性。作为被注入的杂质,例如可列举出磷(P)或硼(B)。此外,还可以实施用于使杂质活化的热处理。另外,向可动电极 64 及栅电极 75 注入杂质的工序也可以在进行图案形成的工序之前实施。

[0094] 接下来,通过向基板 10 的第二区域 A2 注入预定的杂质,从而形成源区或漏区 78 的一部分。接下来,通过 CVD 法、干蚀刻法等而形成侧壁 76。接下来,将侧壁 76 作为掩膜,而注入预定的杂质,从而形成源区或漏区 78。通过这些工序,从而在基板 10 的第二区域 A2 内形成了晶体管 72。虽然在该示例中形成了 LDD (Lightly doped drain:轻掺杂漏区) 结构,但也可以形成其他结构的晶体管 72。

[0095] 接下来,如图 6 所示,形成层间绝缘层 80。层间绝缘层 80 例如通过 CVD 法或涂布(旋涂)法等而形成。可以在形成了层间绝缘层 80 后,实施使层间绝缘层 80 的表面平坦化的处理。

[0096] 接下来,如图 7 所示,在侧壁 20 的配线部 22 上形成壁部 24。壁部 24 例如通过如下方式而形成,即,对层间绝缘层 80 进行图案形成而形成贯穿层间绝缘层 80 的槽,并在该槽内埋入 Al、W 等金属。接下来,形成层间绝缘层 80、电路部 70 的配线 26、侧壁 20 的配线部 22。虽然在该示例中,形成了配线部 22,但这并非是必需的工序,例如可以以与在之前的工序中所形成的壁部 24 或配线部 22 连续的方式而形成将要在接下来的工序中形成的壁部 24。层间绝缘层 80 通过与上述相同的工序被形成,在附图中层间绝缘层 80 及侧壁 20 以一体化的方式而绘制。然后,如图 8 所示,再次通过相同的方式,而在侧壁 20 的配线部 22 上形成壁部 24、电路部 70 的通孔 28。可以在形成了层间绝缘层 80 之后,实施使层间绝缘层 80 的表面平坦化的处理。

[0097] 接下来,形成第一层 30 及电路部 70 的衬垫 32。第一层 30 及衬垫 32 以与上述的配线 26 相同的方式而被形成。另外,第一层 30 及衬垫 32 既可以在同一工序中被形成,也可以在不同的工序中被形成。此外,第一层 30 及侧壁 20 的壁部 24 可以被一体地形成。此外,当配线 26、通孔 28 及衬垫 32 通过与形成侧壁 20 的配线部 22、壁部 24 及第一层 30 的工序相同的工序而形成时,由于制造工序的共同化,从而能够实现制造工序的简化。在图 9

及图 10 中,图示了在同一工序中形成衬垫 32 和第一层 30 的示例,在如图 9 所示那样,通过 CVD 法或溅射法而形成了第一层 30a 之后,在图 10 中,图示了通过将掩膜 M1 作为掩膜而进行图案形成,从而形成了衬垫 32 和第一层 30 的情况。

[0098] 接下来,如图 11 所示,在层间绝缘膜 80 上及衬垫 32 上,避开第一层 30 的与俯视观察时的空洞 1 相对应的区域而形成绝缘层 50。此时,虽然绝缘层 50 并非必须被形成于第一层 30 上,但当被形成于第一层 30 上时,可以在区域 B2 与第二层 40 之间配置绝缘层 50,所述区域 B2 为,第一层 30 的被配置在与俯视观察时的空洞 1 的轮廓相比靠外侧的位置处的区域,从而如上文所述,能够制造对盖进行保持的机械强度得到了进一步提高的电子装置 100,所述盖由形成空洞 1 的第一层 30 及第二层 40 构成。绝缘膜 50 例如通过如下方式而被形成,即,在通过溅射法或 CVD 法而成膜后,实施通过光刻技术及蚀刻技术而进行的图案形成。还可以根据需要而实施烧结等热处理。在本实施方式中,如图 11 所示,绝缘层 50 被形成于第一层 30 上,并且在区域 B2 与之后所形成的第二层 40 之间配置有绝缘层 50,所述区域 B2 为,第一层 30 的被配置在与俯视观察时的空洞 1 的轮廓相比靠外侧的位置处的区域。

[0099] 接下来,如图 12 所示,在整个面上形成第二层 40a,所述第二层 40a 通过选自 TiN、Ta₂N、Ti、Ta、W、Au、Pt、Co 及 Ni 中的一种、或两种以上的合金、抑或复合氮化物而构成。第二层 40a 能够通过 CVD 法、溅射法等而被成膜。接下来,如图 13 所示,通过光刻技术及蚀刻技术,利用掩膜 M2 而进行图案形成,从而如图 14 所示那样,形成与空洞 1 相连通的贯穿孔 41、31。对于贯穿孔 31、41 而言,如果选择能够通过相同的腐蚀剂而对第一层 30 及第二层 40a 进行蚀刻的方式,则能够在同一工序中,也于第一层 30 上形成贯穿孔 31。另外,贯穿孔 31 也可以在不同的工序中被形成。

[0100] 接下来,如图 15 所示,使蚀刻液或蚀刻气体穿过贯穿孔 31 及贯穿孔 41,以对存在于成为空洞 1 的区域内的层间绝缘层 80 及覆盖层 66 进行去除,从而形成空洞 1(在说明书中,有时将该工序称作分离工序)。分离工序例如能够通过利用了氢氟酸或缓冲氟酸(氢氟酸和氟化铵的混合液)等的湿蚀刻、利用了氢氟系的气体等的干蚀刻等而实施。由于侧壁 20 及第一层 30 利用不会在分离工序中被蚀刻的材料而形成,从而能够防止空洞 1 向侧壁 20 的外侧扩大。此外,基底层 12 能够作为蚀刻阻挡层而发挥功能。通过经历该工序,从而在基板 10 的第一区域 A1 内形成了功能元件 60。

[0101] 此外,在该分离工序中,电路部 70 通过第二层 40a 而被掩蔽。因此,抑制了例如绝缘层 50 在分离工序中被蚀刻的情况,从而能够延长分离工序所花费的时间。此外,因为将第二层 40a 作为掩膜而实施分离工序,所以与利用由有机类材料的光刻胶等所形成的掩膜的情况相比,不需要去除掩膜这一点、以及容易在接下来的清洗工序中使用有机溶剂这一点较为有利。

[0102] 接下来,对空洞 1 进行清洗。清洗例如能够通过异丙醇(IPA)或水来实施。通过利用 IPA 等低表面张力溶剂来实施清洗工序,从而能够抑制例如在在功能元件 60 中存在细微的结构时,部件彼此粘接的所谓的粘附。

[0103] 然后,如图 16 所示,在第二层 40a 上形成第三层 90a。第三层 90a 例如通过溅射法、CVD 法等气相生长法而被形成在第二层 40a 上。由于第三层 90a 利用气相生长法而被形成,从而能够对贯穿孔 31、41 进行密封。此外,由于利用气相生长法而被形成,从而还能

能够在保持减压状态的情况下对空洞 1 内进行密封。

[0104] 然后,如图 17 所示,通过光刻技术及蚀刻技术,利用掩膜 M3 而进行图案形成,并对第二区域 A2 的第二层 40a 及第三层 90a 进行去除,从而能够形成如图 1 所示的形狀的第二层 40 及第三层 90。

[0105] 之后,为了根据需要而实施与第二区域 A2 的衬垫 32 等的电连接,可以如图 18 所示那样,实施利用掩膜 M4 而对绝缘层 50 进行蚀刻的工序等。

[0106] 通过以上所例示的工序,从而能够制造出电子装置 100。

[0107] 根据本实施方式的电子装置的制造方法,因为第二层 40 具有被配置在与第一层 30 的轮廓相比靠外侧的位置处的区域 B1,并且在第二层 40 的被配置在与俯视观察时的第一层 30 的轮廓相比靠外侧的位置处的区域 B1 之下,配置有绝缘层 50,所以能够制造出形成空洞 1 的部件的机械强度较高的电子装置 100。此外,根据本实施方式的电子装置的制造方法,因为在对被侧壁 20 包围的层间绝缘层 80 进行蚀刻并去除,从而形成容纳了功能元件 60 的空洞 1 的工序(分离蚀刻工序)中,第二区域 A2 通过第二层 40 而被保护,所以能够实施长时间的蚀刻处理。此外,由于能够在不使用抗蚀剂掩膜的条件下实施分离蚀刻工序,因此能够在清洗工序中使用有机溶剂,从而能够抑制例如粘附等。而且,由于不使用抗蚀剂掩膜,因此不需要去除抗蚀剂掩膜的工序,从而能够减少污染等问题。

[0108] 另外,在本发明中,当提及将特定的部件 B 配置(或形成)在特定的部件 A 上(或者下)时,并不限于部件 B 被直接配置(或形成)在部件 A 上(或下)的方式,在不妨碍本发明的作用效果的范围内,包括部件 B 经由其他的部件而被配置(或形成)在部件 A 上(或下)的方式。

[0109] 本发明并不限于上述的实施方式,还能够进行各种改变。例如,本发明包括与实施方式中所说明的结构实质上相同的结构(例如,功能、方法及结果相同的结构、或者目的及效果相同的结构)。此外,本发明包括对实施方式中所说明的结构非本质部分进行了替换的结构。此外,本发明包括能够实现与实施方式中所说明的结构相同的作用效果的结构、或者能够达成相同的目的的结构。此外,本发明包括在实施方式中所说明的结构上附加了公知技术的结构。

[0110] 符号说明

[0111] 1…空洞;10…基板;12…基底层;20…侧壁;22…配线部;24…壁部;26…配线;28…通孔;30、31a…第一层;31…贯穿孔;32…衬垫;40、40a…第二层;41…贯穿孔;50…绝缘层;60…功能元件;62…固定电极;64…可动电极;65…配线;66…覆盖层;70…电路部;72…晶体管;74…栅绝缘膜;75…栅电极;76…侧壁;78…源区或漏区;80…层间绝缘层;90、90a…第三层;100…电子装置;A1…第一区域;A2…第二区域;B1、B2…区域;M1、M2、M3、M4…掩膜。

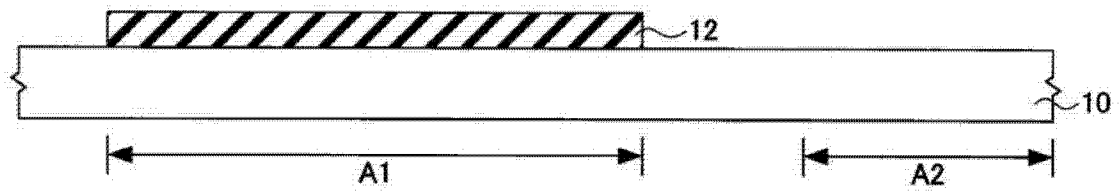


图 3

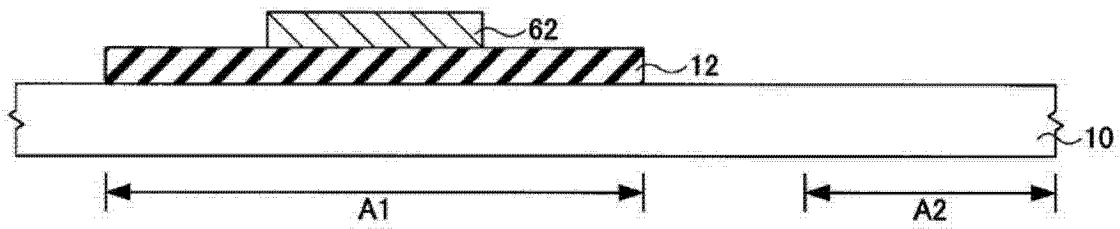


图 4

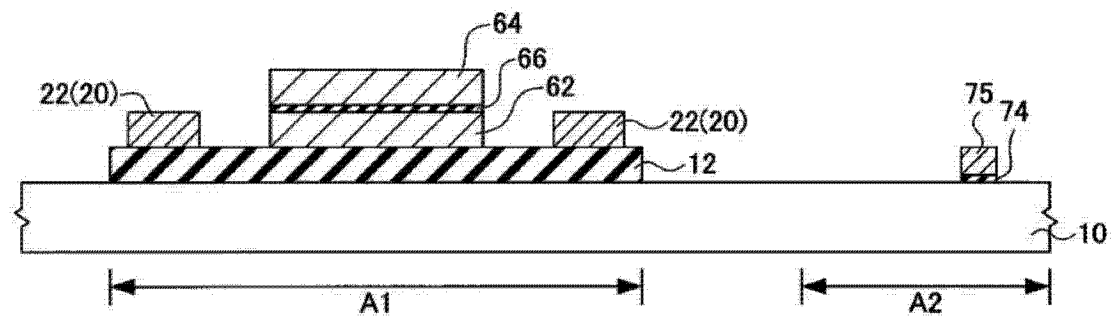


图 5

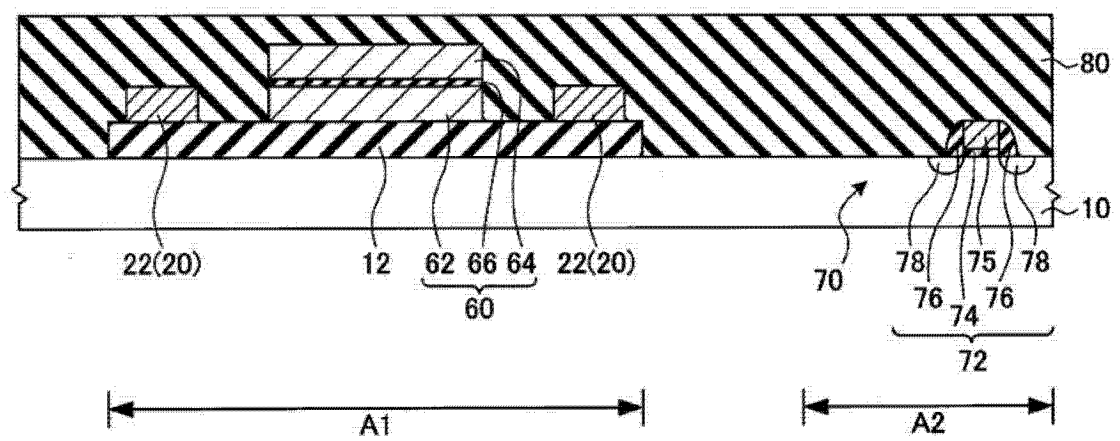


图 6

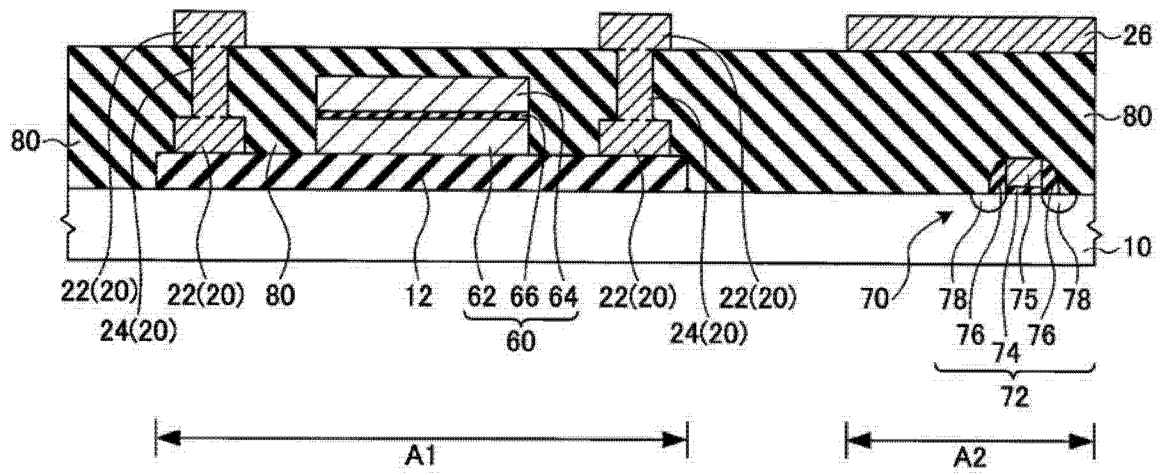


图 7

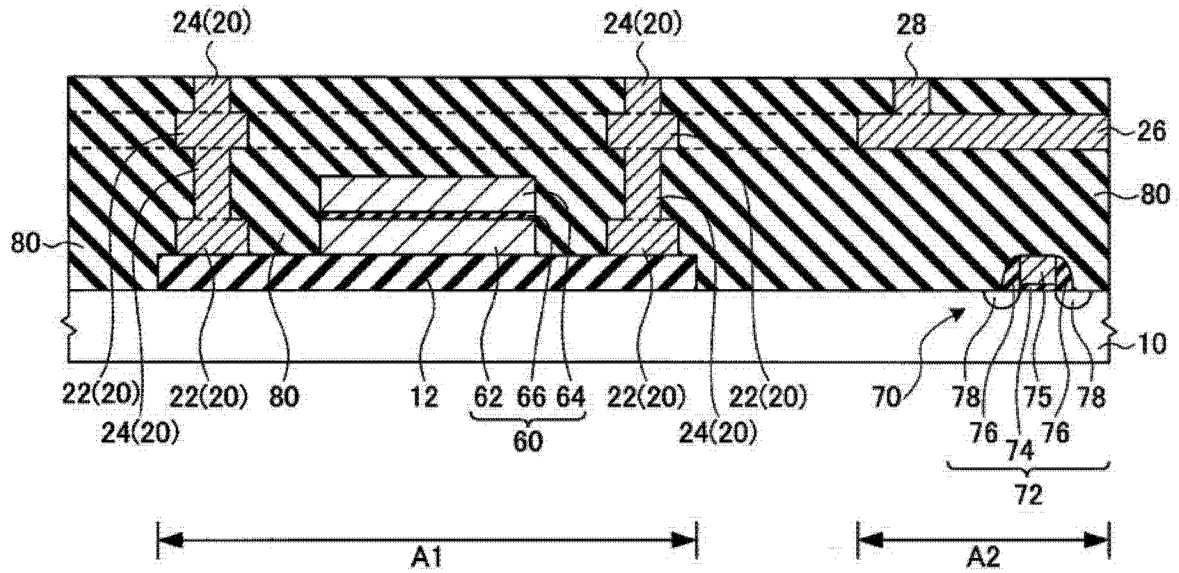


图 8

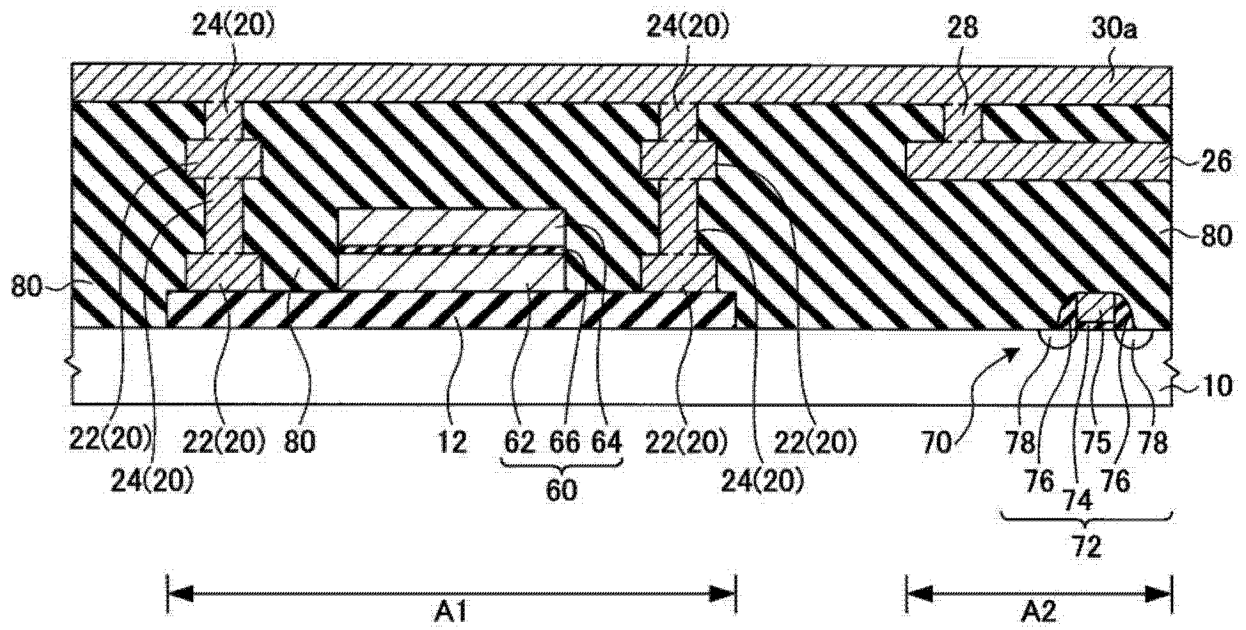


图 9

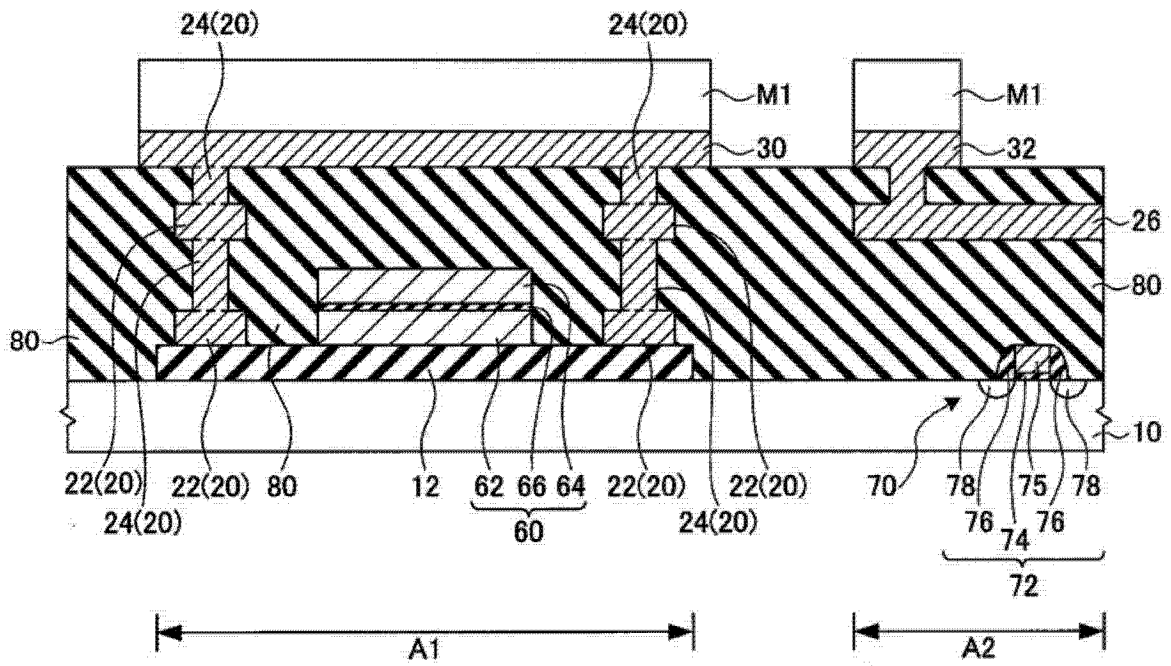


图 10

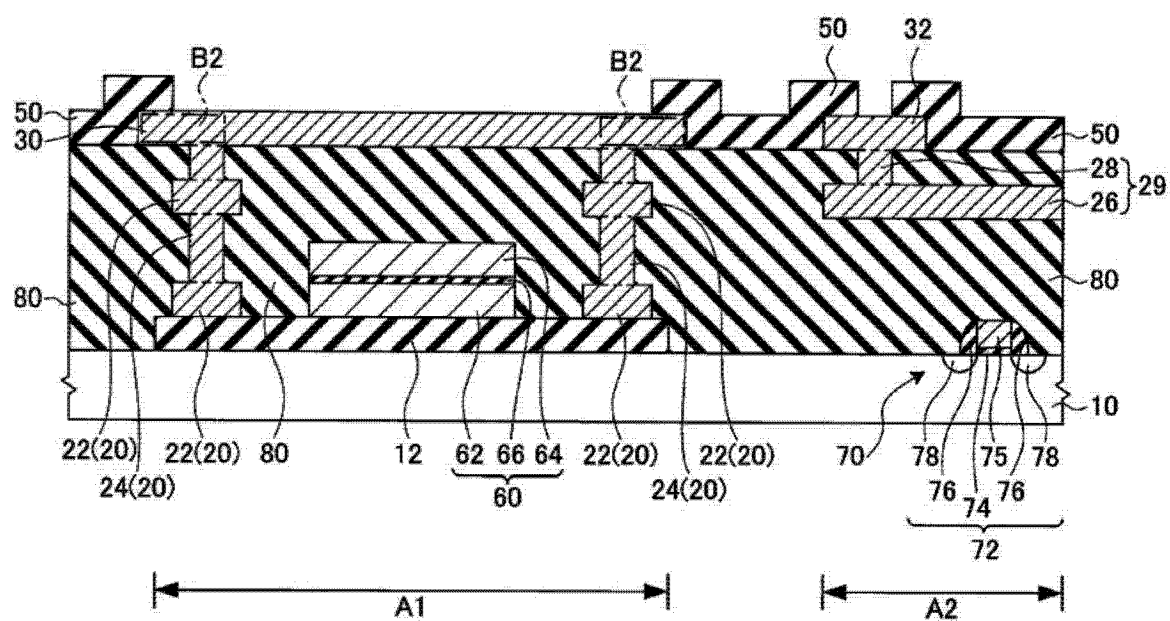


图 11

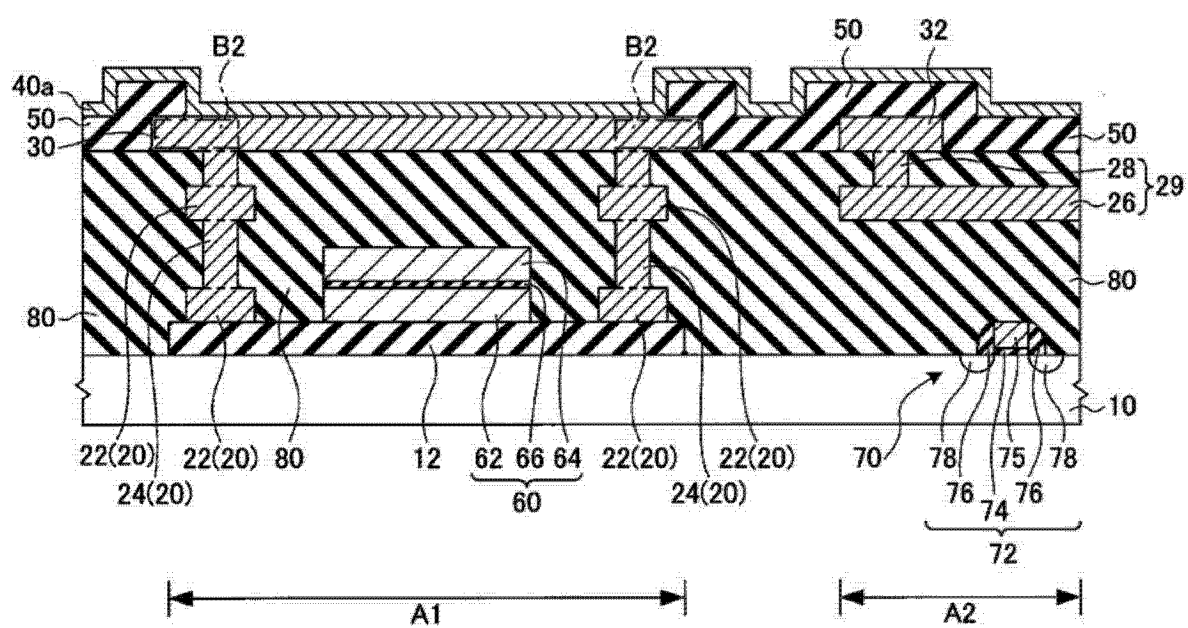


图 12

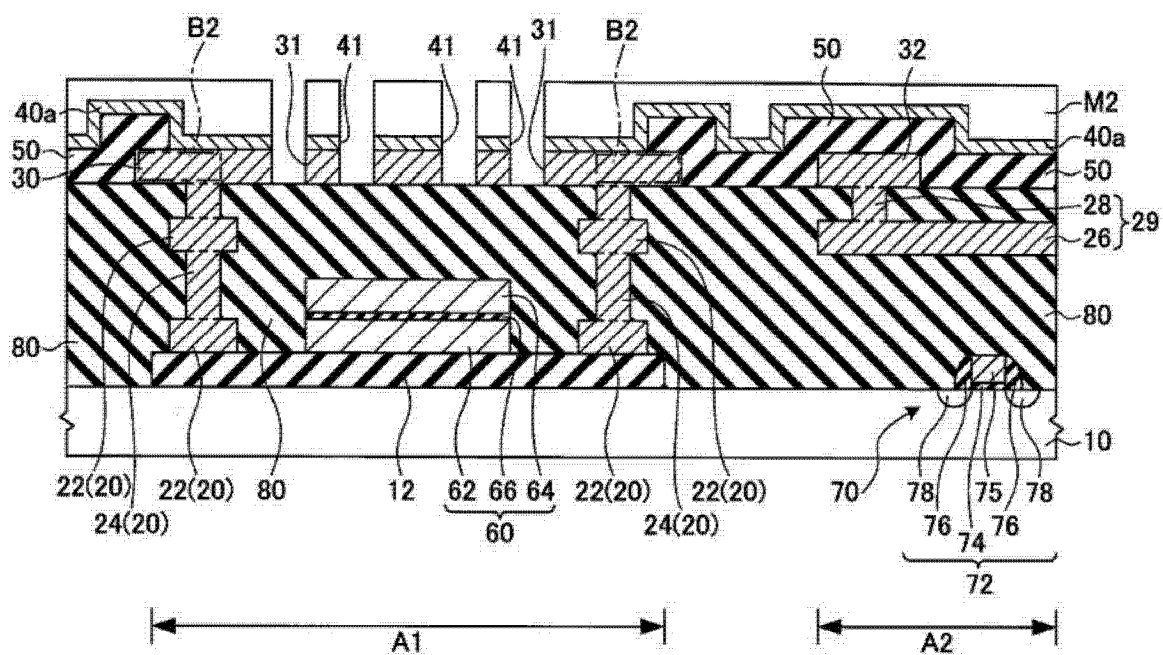


图 13

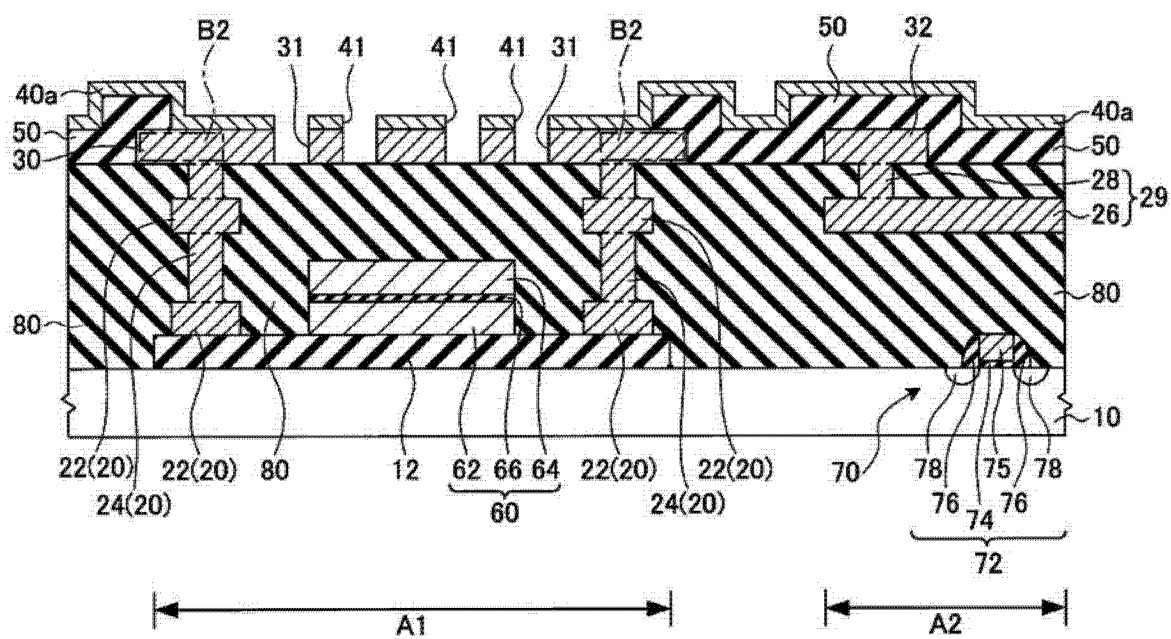


图 14

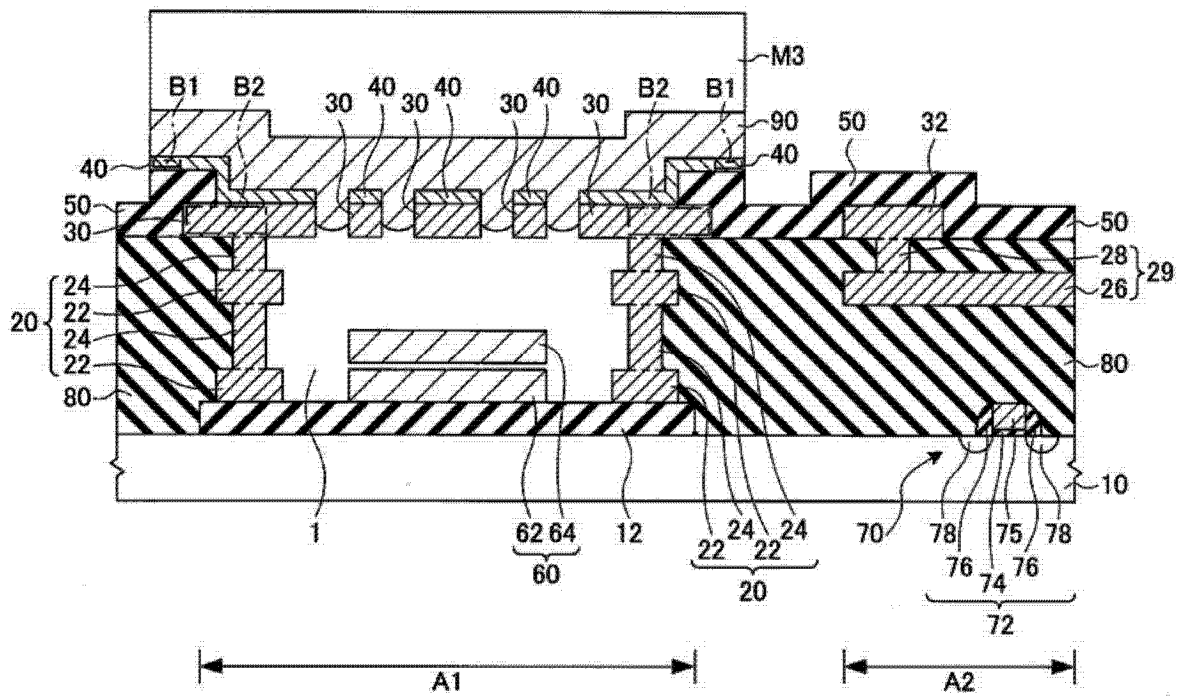


图 17

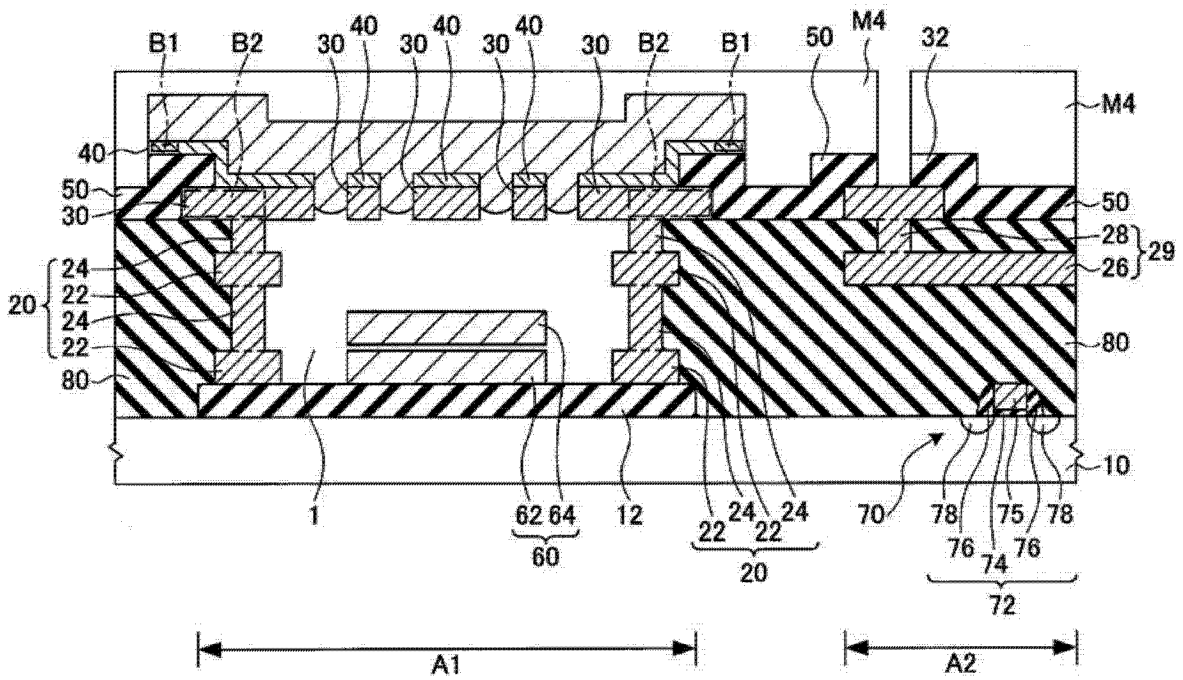


图 18