

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6292104号  
(P6292104)

(45) 発行日 平成30年3月14日(2018.3.14)

(24) 登録日 平成30年2月23日(2018.2.23)

(51) Int.Cl.		F I		
HO 1 L 21/338	(2006.01)	HO 1 L	29/80	F
HO 1 L 29/812	(2006.01)	HO 1 L	29/80	H
HO 1 L 29/778	(2006.01)			

請求項の数 6 (全 9 頁)

(21) 出願番号	特願2014-232808 (P2014-232808)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成26年11月17日(2014.11.17)	(74) 代理人	100082175 弁理士 高田 守
(65) 公開番号	特開2016-96306 (P2016-96306A)	(74) 代理人	100106150 弁理士 高橋 英樹
(43) 公開日	平成28年5月26日(2016.5.26)	(74) 代理人	100148057 弁理士 久野 淑己
審査請求日	平成28年12月1日(2016.12.1)	(72) 発明者	佐々木 肇 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		審査官	恩田 和彦

最終頁に続く

(54) 【発明の名称】 窒化物半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

窒化物半導体層にショットキー接合されたゲート電極を有するトランジスタを形成する工程と、

200 ~ 360 の温度で8時間 ~ 240時間の高温アニールを前記トランジスタに行う工程と、

前記高温アニールの後に、180 ~ 360 のチャネル温度で高周波を前記トランジスタに印加するRFバーンインを行う工程とを備え、

前記RFバーンインは、前記高温アニールの後かつ前記RFバーンインの前に存在するゲートリーク電流を低減することを特徴とする窒化物半導体装置の製造方法。

10

【請求項2】

前記高温アニールを窒素雰囲気、水素雰囲気又は重水素雰囲気で行うことを特徴とする請求項1に記載の窒化物半導体装置の製造方法。

【請求項3】

前記トランジスタを形成したウェハを個々の半導体チップに分割し、前記半導体チップをパッケージに組み立てる工程を更に備え、

前記半導体チップを前記パッケージに組み立てた後に前記高温アニールを行うことを特徴とする請求項1又は2に記載の窒化物半導体装置の製造方法。

【請求項4】

前記高温アニールを行った後に、前記トランジスタを形成したウェハを個々の半導体チ

20

ップに分割し、前記半導体チップをパッケージに組み立てる工程を更に備えることを特徴とする請求項 1 又は 2 に記載の窒化物半導体装置の製造方法。

【請求項 5】

前記 R F バーンインを行った後に、125 ~ 250 で 1 時間 ~ 96 時間、-20V ~ -2V のゲート電圧を前記ゲート電極に印加してオフ状態に保つ高温オフバイアスを行う工程を更に備えることを特徴とする請求項 1 又は 2 に記載の窒化物半導体装置の製造方法。

【請求項 6】

窒化物半導体層にショットキー接合されたゲート電極を有するトランジスタを形成する工程と、

-65 ~ 360 の範囲で 3 回 ~ 1000 回の温度サイクルを前記トランジスタに印加する工程と、

前記温度サイクルの後に、180 ~ 360 のチャネル温度で高周波を前記トランジスタに印加する R F バーンインを行う工程とを備え、

前記 R F バーンインは、前記温度サイクルの後かつ前記 R F バーンインの前に存在するゲートリーク電流を低減することを特徴とする窒化物半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波信号の増幅などに用いられる窒化物半導体装置の製造方法に関する。

【背景技術】

【0002】

MOSFET と異なり、窒化物半導体で構成された高周波デバイスはゲートにショットキー接合が用いられているため、ゲート・ドレイン間電圧が印加されるとゲートリーク電流が流れる。このゲートリーク電流はショットキー接合界面付近の半導体の結晶性が悪化すると多く流れると言われている。ゲートリーク電流が流れると回路に挿入されているゲート抵抗端で電圧降下が発生しゲート電圧が正にシフトし、特性が変動する。さらに、熱暴走でデバイスが破壊する可能性もある。また、ゲートリーク電流が流れることにより半導体の結晶欠陥が増殖し、さらにゲートリーク電流を増加させるとも言われている。

【0003】

そこで、このような窒化物半導体装置の製造において、ウェハプロセスとパッケージ組み立ての後、高温で高周波を印加する R F バーンイン工程を追加することで、ゲートリーク電流を減少させ、デバイスの信頼性を向上させていた。また、高温で DC ストレスを印加するバーンイン工程を追加することでゲートリーク電流を減少させていた（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2014 - 192352 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来は高周波バーンインや DC バーンインを行ってゲートリーク電流を減少させていたが、高い信頼性が要求される例えば宇宙用システムでは更なるゲートリーク電流の減少が求められている。

【0006】

本発明は、上述のような課題を解決するためになされたもので、その目的はゲートリーク電流を減少させ、寿命や動作安定性を向上させた信頼性の高い窒化物半導体装置を製造することができる方法を得るものである。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 7 】

本発明に係る窒化物半導体装置の製造方法は、窒化物半導体層にショットキー接合されたゲート電極を有するトランジスタを形成する工程と、200～360の温度で8時間～240時間の高温アニールを前記トランジスタに行う工程と、前記高温アニールの後に、180～360のチャンネル温度で高周波を前記トランジスタに印加するRFバーンインを行う工程とを備え、前記RFバーンインは、前記高温アニールの後かつ前記RFバーンインの前に存在するゲートリーク電流を低減することを特徴とする。

## 【発明の効果】

## 【 0 0 0 8 】

本発明ではまず高温アニールでプロセス欠陥を準安定化状態に遷移させ、その後のRFバーンインでほぼ完全な安定化状態に遷移させることでゲートリーク電流を減少させる。これにより、寿命や動作安定性を向上させた信頼性の高い窒化物半導体装置を製造することができる。

## 【図面の簡単な説明】

## 【 0 0 0 9 】

【図1】本発明の実施の形態1に係る窒化物半導体装置を示す断面図である。

【図2】本発明の実施の形態1に係る窒化物半導体装置の製造方法のフローチャートである。

【図3】比較例に係る窒化物半導体装置の製造方法のフローチャートである。

【図4】本発明の実施の形態2に係る窒化物半導体装置の製造方法のフローチャートである。

【図5】本発明の実施の形態3に係る窒化物半導体装置の製造方法のフローチャートである。

【図6】本発明の実施の形態4に係る窒化物半導体装置の製造方法のフローチャートである。

## 【発明を実施するための形態】

## 【 0 0 1 0 】

本発明の実施の形態に係る窒化物半導体装置の製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

## 【 0 0 1 1 】

実施の形態1.

図1は、本発明の実施の形態1に係るトランジスタを示す断面図である。SiC基板1上にGaNバッファ層2とAlGaNショットキーバリア層3が順に積層されている。AlGaNショットキーバリア層3にショットキー接合されたゲート電極4と、オーミック接合されたソース電極5及びドレイン電極6が形成されている。窒化膜で形成されたパッシベーション膜7がゲート電極4等を覆っている。ソース電極5は接地され、ゲート電極4はゲート電源8に接続され、ドレイン電極6はドレイン電源9に接続されている。AlGaNショットキーバリア層3とGaNバッファ層2のヘテロ接合により自発分極と

## 【 0 0 1 2 】

図2は、本発明の実施の形態1に係る窒化物半導体装置の製造方法のフローチャートである。まず、ウェハ状態のSiC基板1を準備する(ステップS1)。次に、GaNバッファ層2とAlGaNショットキーバリア層3を順にエピ成長させる(ステップS2)。次に、ウェハプロセスにおいて、ソース電極5、ゲート電極4、ドレイン電極6、及びパッシベーション膜7を形成して図1のトランジスタを形成する(ステップS3)。次に、トランジスタを形成したウェハを個々の半導体チップに分割し、半導体チップをパッケージに組み立てる(ステップS4)。次に、200～360の温度で8時間～240時間の高温アニールをトランジスタに行う(ステップS5)。次に、180～360

10

20

30

40

50

のチャネル温度で高周波をトランジスタに印加するRFバーンインを行う(ステップS6)。以上の工程により窒化物半導体装置が製造される。

【0013】

続いて、本実施の形態の効果を比較例と比較して説明する。図3は、比較例に係る窒化物半導体装置の製造方法のフローチャートである。比較例ではパッケージ組立後に高温アニールを行わずにRFバーンインを行う。RFバーンインだけでもゲートリーク電流を減少させることができるが十分ではない。そこで、本実施の形態のようにRFバーンインの前に高温アニールを行うことで、更にゲートリーク電流を減少させることができる。

【0014】

この高温アニールのアニール条件を調査したところ、200 ~ 360 の温度範囲内で8時間~240時間のアニールを窒素雰囲気で行うと効果が得られることが判明した。RFバーンインの条件として、入力RF電力PinをコンプレッションレベルP2dB程度にし、意図的にチューナーの整合を不整合状態に調整し、チャネル温度を180以上(180 ~ 360)に上昇させる。

【0015】

表1に高温アニールやRFバーンインを行った時のゲートリーク電流の代表例を示す。ゲート・ドレイン間に-200Vの逆バイアスを印加してゲートリーク電流を測定している。高温アニールやRFバーンインなどの前処理がない場合、この仕様のデバイスではゲートリーク電流は $8.1 \times 10^{-4}$  Aであった。ここで280の高温アニールを行うと、24時間のアニールで $2.1 \times 10^{-4}$  A、96時間のアニールで $1.8 \times 10^{-5}$  Aまで減少することが確認できた。高温アニールを行わずRFバーンインだけを行うと $1.3 \times 10^{-5}$  Aまで減少させることができた。本実施の形態のように280で96時間の高温アニールとRFバーンインを組み合わせると、 $7.5 \times 10^{-6}$  Aまでゲートリーク電流を減少させることができた。

【0016】

【表1】

処理	ゲートリーク電流 (A)
前処理無	$8.1 \times 10^{-4}$
高温アニール (24時間)	$2.1 \times 10^{-4}$
高温アニール (96時間)	$1.8 \times 10^{-5}$
RFバーンイン	$1.3 \times 10^{-5}$
高温アニール (96時間) + RFバーンイン	$7.5 \times 10^{-6}$

【0017】

一般的に、高温アニールやRFバーンインはデバイスの製造過程の中に組み込まれている場合がある。しかし、本実施の形態のように200 ~ 360で8時間~240時間の高温アニールとチャネル温度を故意に上昇させたRFバーンインを組み合わせた例はこれまでにない。

【0018】

これらのゲートリーク電流の減少効果は各々の処理において以下のような現象が発生しているものと考えられる。デバイス製造工程の特にゲート形成工程においてプロセスダメージが半導体基板に印加され、点欠陥などの結晶欠陥が少なからず発生する。特に窒化物半導体装置では、ゲート電極としてNi、Pt、Pd、TaN、WSiNなどの高融点金属を用いるため、高エネルギーで金属を形成する必要があるため、半導体内に結晶欠陥が発生する可能性が高まる。この欠陥がドナーとして働いた場合、ポテンシャルを引き下げ、ゲートショットキー障壁の空乏層厚が減少し、電子のトンネル確率が増加し、ゲートリーク電流が増加してしまう。また、発生した欠陥間をホッピング伝導により電子が伝導しゲートリーク電流が流れるとも言われている。

【0019】

高温アニールには、この結晶欠陥を熱的に安定化させアニールアウトする効果、欠陥周辺に発生していた微小な応力を緩和する効果、半導体内やショットキー界面、半導体と窒化膜界面に微量に存在する水素を安定状態に移動させる効果などがあると考えられる。ただ、200 ~ 360 程度の温度では完全に欠陥を回復させるには充分とは言えない。さらに高温のアニールは効果的ではあるが、これ以上の高温になればゲート、ドレイン、ソースなどの金属電極と半導体が反応を起こし劣化を引き起こす。また、パッシベーション膜が剥離するなどの劣化が生じる可能性が高い。

#### 【0020】

一方、RFバーンインは、高周波を印加することで電子・正孔対を生成させ、欠陥部分で再結合させることでエネルギーを欠陥に与え比較的低温でも欠陥をアニールアウトできる手法である。

10

#### 【0021】

本実施の形態では、まず高温アニールでプロセス欠陥を準安定化状態に遷移させ、その後のRFバーンインでほぼ完全な安定化状態に遷移させることでゲートリーク電流が減少したものと考えられる。

#### 【0022】

図3は、比較例に係る窒化物半導体装置の製造方法のフローチャートである。比較例では高温アニールを行わずRFバーンインを行う。この場合、欠陥の中でも比較的不安定な欠陥部分で急激に高周波を印加するため、デバイスが破壊する場合もある。これに対し、本実施の形態ではまず不安定な欠陥を高温で準安定状態に遷移させることにより、その後のRFバーンインでのデバイス破壊を無くすることができる。よって、本実施の形態により、ゲートリーク電流を減少させ、寿命や動作安定性を向上させた信頼性の高い窒化物半導体装置を製造することができる。

20

#### 【0023】

なお、高温アニールは窒素雰囲気で行うが、これに限らず水素雰囲気又は重水素雰囲気で行ってもよい。窒素やアルゴンガスなどの不活性ガスに水素又は重水素を100ppmから100%の範囲で混入させて用いる。ここで100%の場合は純粋な水素及び重水素雰囲気となる。高温アニールを水素雰囲気で行うと、窒化膜を通して微量の水素がデバイス内に拡散する。拡散した水素は結晶欠陥の未結合手と結合し欠陥準位を減少させる。さらに重水素を用いた場合は、一旦未結合手に結合し欠陥準位を減少させると、化学反応における同位体効果により、水素以上に強く欠陥と結合し安定状態を保つことができる。また、エピ成長やウェハプロセスに用いられるMOCVDやプラズマCVDなどのプロセスでキャリアガスに水素や重水素を用いることでも、自然にデバイス内に水素や重水素が取り込まれ、同様の効果を得ることができる。

30

#### 【0024】

実施の形態2 .

図4は、本発明の実施の形態2に係る窒化物半導体装置の製造方法のフローチャートである。実施の形態1ではパッケージ組立後に高温アニールを行うため、個別のチップやパッケージにアニールする必要がある。一方、本実施の形態では高温アニールを行った後に、トランジスタを形成したウェハを個々の半導体チップに分割し、半導体チップをパッケージに組み立てる。このように高温アニールをウェハプロセス直後にウェハのまま行うことで、数千から数万のチップを一挙にアニールすることができ、作業を格段に簡略化することができる。

40

#### 【0025】

実施の形態3 .

図5は、本発明の実施の形態3に係る窒化物半導体装置の製造方法のフローチャートである。RFバーンインを行った後に、125 ~ 250 で1時間~96時間、-20V ~ -2Vのゲート電圧をゲート電極に印加してオフ状態に保つ高温オフバイアスを行う(ステップS7)。ドレイン電極6には通常の電圧を印加する。実施の形態1のRFバーンインの後に高温オフバイアスストレスを追加印加することで、深い欠陥準位に電子を捕獲

50

させてポテンシャルを持ち上げる作用がある。これにより更にゲートリーク電流を減少させることができる。

【0026】

実施の形態4 .

図6は、本発明の実施の形態4に係る窒化物半導体装置の製造方法のフローチャートである。実施の形態1の高温アニール(ステップS5)の代わりに、-65 ~ 360 の範囲で3回~1000回の温度サイクルをトランジスタに印加する(ステップS8)。温度サイクルを行うことで、結晶欠陥の特に転位を減少させることができる。熱膨張と熱収縮を繰り返すと転位が結晶内を移動し、例えば二本の転位が衝突すると一本の転位として結合し、転位の数が減る。これを繰り返すことにより転位の数を減少させることができる。点欠陥も同様で点欠陥同士の衝突や転位への取り込みで欠陥数を減少させることができる。この結果、ゲートリーク電流を減少させ、寿命や動作安定性を向上させた信頼性の高い窒化物半導体装置を製造することができる。

10

【0027】

なお、実施の形態1~4では支持基板としてSiC基板1を用いたが、これに限らずSi基板、サファイヤ基板、GaN基板など、窒化物エピを成長できる基板であればよい。支持基板の材質が異なるだけでエピ構造は同様のため、高温アニールとRFバーンインにより同様にゲートリーク電流を減少させることができる。Si基板を用いた場合はデバイスを安価に作製することができる。また、Si基板は窒化物エピとの熱膨張係数が大きいため、温度サイクルを行う実施の形態4では更に大きな効果が得られる。サファイヤ基板を用いた場合もSi基板と同様に安価に作製でき、温度サイクルの効果も得られる。GaN基板を用いた場合は、基板とエピ間の格子不整合がないため転位欠陥がほとんどなく、発生する欠陥はプロセスダメージだけであり、本発明でプロセスダメージを除去することでゲートリーク電流のほとんど流れない理想的なデバイスを製造することができる。

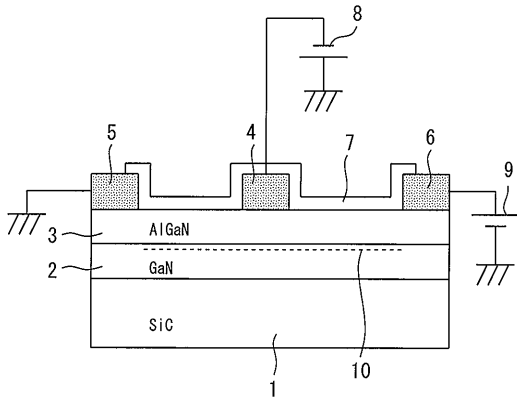
20

【符号の説明】

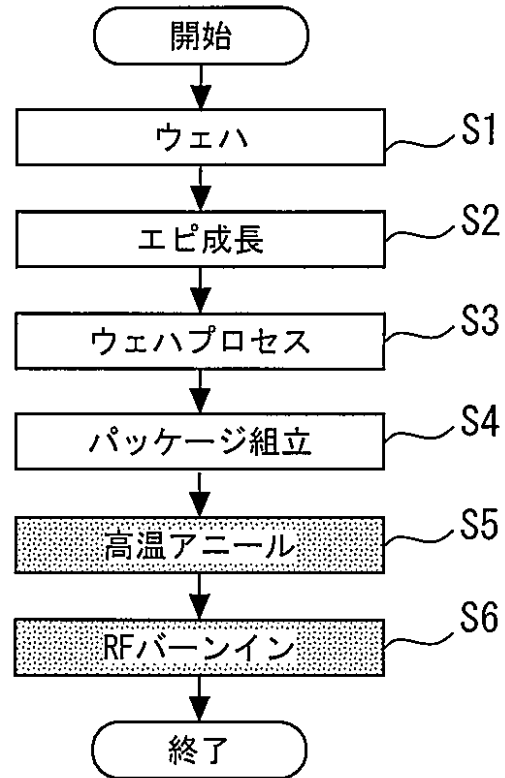
【0028】

1 SiC基板、2 GaNバッファ層、3 AlGaNショットキーバリア層、4 ゲート電極、5 ソース電極、6 ドレイン電極、7 パッシベーション膜、8 ゲート電源、9 ドレイン電源、10 二次元電子ガス

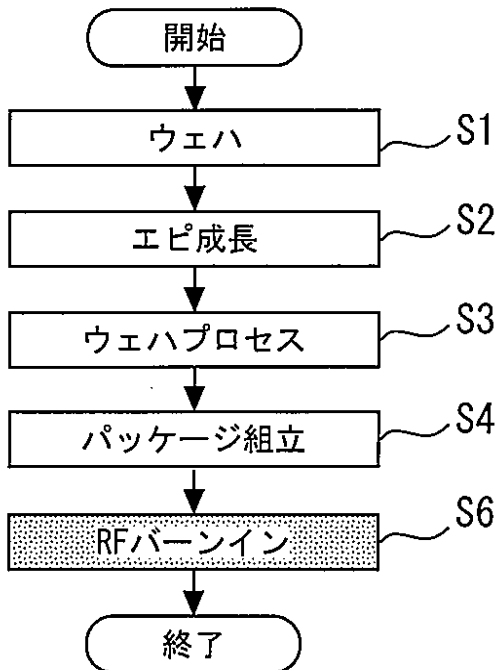
【図1】



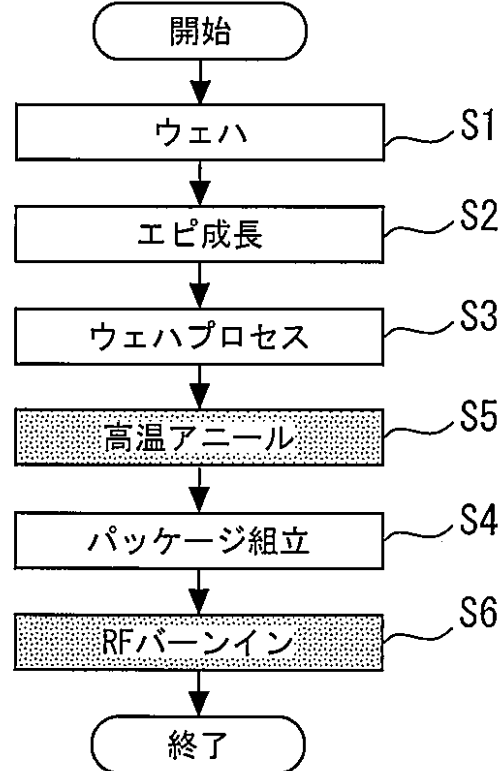
【図2】



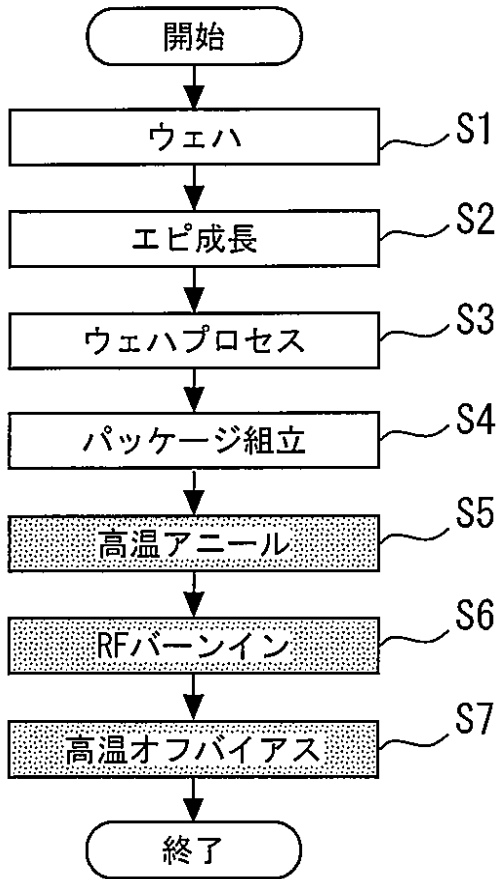
【図3】



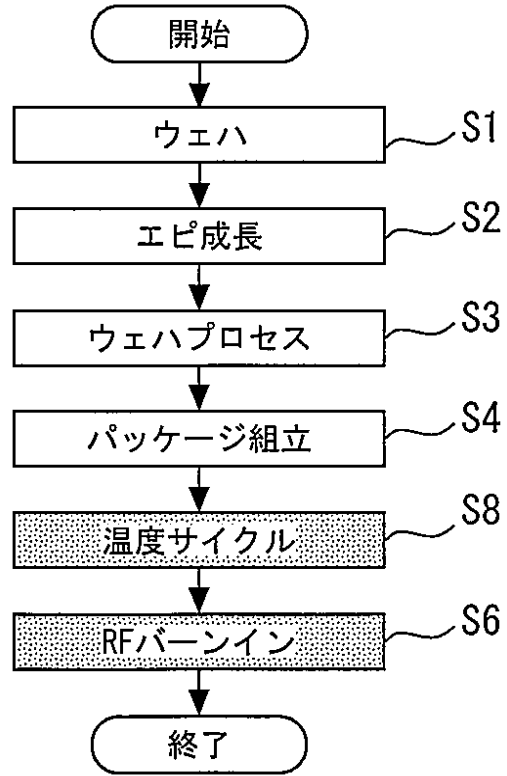
【図4】



【図5】



【図6】





---

フロントページの続き

(56)参考文献 特開2008-130949(JP,A)

特開平07-201429(JP,A)

特開2014-192352(JP,A)

特表2009-503815(JP,A)

特開平11-354601(JP,A)

特開2009-289935(JP,A)

特開昭60-033066(JP,A)

Donald A. Gajewski et al., RELIAZBILITY OF GAN/AlGaN HEMT MMIC TECHNOLOGY ON 100-mm 4H-SiC, 26th Annual JEDEC ROCS Workshop, 米国, JEDEC, 2011年 5月16日, Pages 141-145

(58)調査した分野(Int.Cl., DB名)

H01L 21/338

H01L 29/778

H01L 29/812

JSTPlus/JMEDPlus/JST7580(JDreamIII)