

(43) 国際公開日
2006年9月21日 (21.09.2006)

PCT

(10) 国際公開番号
WO 2006/098164 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2006/304065
- (22) 国際出願日: 2006年3月3日 (03.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-071235 2005年3月14日 (14.03.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): コニカミノルタオプト株式会社 (KONICA MINOLTA OPTO, INC.) [JP/JP]; 〒1928505 東京都八王子市石川町2970番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西川 卓男 (NISHIKAWA, Takuo) [JP/JP]; 〒1928505 東京都八王子市石川町2970番地 コニカミノルタオプト

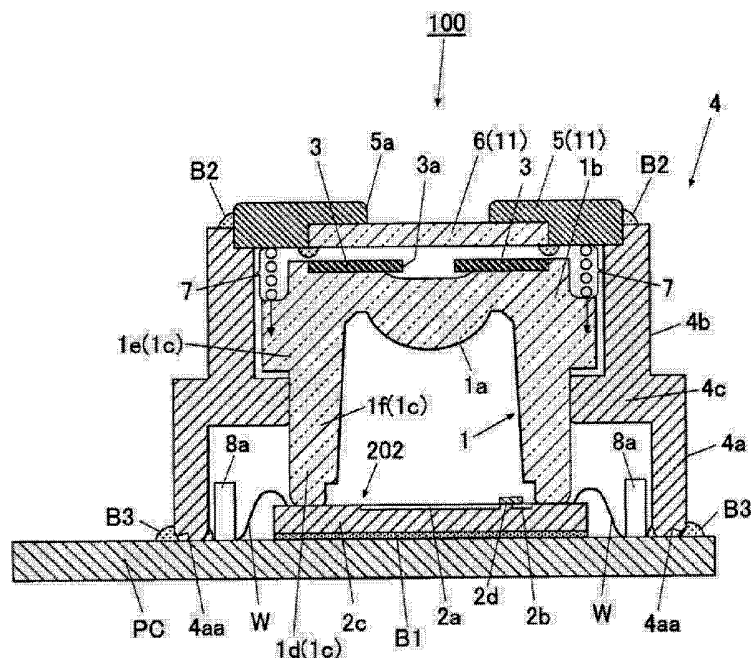
株式会社内 Tokyo (JP). 丹生 和男 (TANSHO, Kazuo) [JP/JP]; 〒1928505 東京都八王子市石川町2970番地 コニカミノルタオプト株式会社内 Tokyo (JP). 高橋 弘 (TAKAHASHI, Hiroshi) [JP/JP]; 〒1928505 東京都八王子市石川町2970番地 コニカミノルタオプト株式会社内 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

/ 続葉有 /

(54) Title: IMAGE PICKUP DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像装置及び電子機器



(57) Abstract: An image pickup device is provided with an optical member; a semiconductor image pickup element having a photoelectric conversion section which performs photoelectric conversion to light collected by the optical member to accumulate it as an electric signal and has a wiring layer, and an analog circuit section which is arranged adjacent to the photoelectric conversion section, has a wiring layer and outputs the electric signal accumulated in the photoelectric conversion section; and a light entry preventing section which prevents entry of light from a space between the wiring layer provided in the analog circuit section and the wiring layer provided in the photoelectric conversion section.

/ 続葉有 /



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明に係る撮像装置は、光学部材と、前記光学部材により集光される光を光電変換して電気信号として蓄積し配線層を有する光電変換部と、当該光電変換部に隣接させて配置され、配線層を有し、前記光電変換部に蓄積された前記電気信号を出力するためのアナログ回路部とが設けられた半導体撮像素子と、前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間からの光の侵入を防止する光侵入防止部と、を備える。

明 細 書

撮像装置及び電子機器

技術分野

- [0001] 本発明は、携帯電話機やモバイルコンピュータなどの電子機器に搭載可能な撮像装置及びこの撮像装置を内蔵した電子機器に関する。

背景技術

- [0002] 従来、携帯電話機やパーソナルコンピュータ等の電子機器に搭載可能な小型で高性能の撮像装置が開発されている。かかる撮像装置には、CMOS (Complementary Metal-oxide Semiconductor) 型イメージセンサ等の半導体撮像素子を備えたものがある(例えば、特許文献1参照。)。また、半導体撮像素子を基板に配設して、該基板とこの半導体撮像素子に集光させるためのレンズ等を有する光学部材とが一体化された撮像装置も提案されている。
- [0003] ところで、CMOS型イメージセンサにあつては、光電変換部の各画素に蓄積された信号電荷を画素毎に個別に設けられたトランジスタ等の増幅部により増幅してから取り出すようになっている。このため、増幅部の性能のバラツキ等により固定パターン・ノイズが発生してしまうことから、発生した固定パターン・ノイズを取り除いてから出力するためのCDS (Correlated Double Sampling) 回路等が光電変換部に隣接して配設されている。
- [0004] しかしながら、被写体を撮像する際等に太陽光などの光がCDS回路等のアナログ回路部に入射すると、アナログ回路部のコンデンサに、光電変換部により光電変換されたもの以上の信号電荷が蓄積されてしまい、撮像画像の画質低下を招いてしまうといった問題がある。即ち、アナログ回路部の表面には、アルミニウム層などの配線層が配設されており、この配線層により当該アナログ回路部に入射する光が遮光されるようになっているが、アナログ回路部と光電変換部との間にあつては、製造上の理由等により、アナログ回路部に設けられた配線層と光電変換部に設けられた配線層の隙間が形成されている場合もあることから、その隙間の遮光が十分ではないといった問題がある。

特許文献1:特開2003-60187号公報

発明の開示

[0005] 本発明の課題は、撮像画像の画質低下を防止することができる撮像装置及び撮像装置を内蔵した電子機器を提供することである。

[0006] 上記課題を解決するため、本発明に係る撮像装置は、
光学部材と、

前記光学部材により集光される光を光電変換して電気信号として蓄積し、配線層を有する光電変換部と、当該光電変換部に隣接させて配置され、配線層を有し、前記光電変換部に蓄積された前記電気信号を出力するためのアナログ回路部が設けられた半導体撮像素子と、

前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間からの光の侵入を防止する光侵入防止部と、を備える。

[0007] 例えば、上記撮像装置は、さらに、前記光学部材により集光される光が通過する開口部を有する基板を備えており、

前記半導体素子は前記基板の裏面側に取り付けられ、

前記光電変換部は前記開口部を通過した光を光電変換して電気信号として蓄積し、

前記光侵入防止部は、前記光電変換部の前記アナログ回路部側の端部が前記基板の前記開口部の端部と前記光学部材に入射する光の光軸方向にほぼ重なるか、若しくは、前記開口部よりも外側に位置するように配設されていることにより構成されていても良い。

[0008] また、上記撮像装置は、さらに、前記光学部材により集光される光が通過する開口部を有する基板を備え、

前記半導体撮像素子は前記基板の裏面側に取り付けられ、

前記光電変換部は前記開口部を通過した光を光電変換して電気信号として蓄積し、

前記光侵入防止部は、前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間の少なくとも一部を被覆するように設けられた遮光性を

有する封止樹脂であってもよい。

- [0009] また、上記撮像装置において、前記光侵入防止部は、前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間の少なくとも一部に設けられた遮光性を有する遮光部材であってもよい。

図面の簡単な説明

- [0010] [図1]本発明に係る実施形態1の撮像装置を示す斜視図である。
[図2]図1のII-II線における撮像装置の一部省略断面図である。
[図3]図1の撮像装置に備わる半導体撮像素子の光電変換部とアナログ回路部の回路構成を説明するための図である。
[図4]半導体撮像素子の断面構造を説明するための図である。
[図5]図3の半導体撮像素子及び基板の配設状態を説明するための図である。
[図6]本発明に係る撮像装置を搭載した携帯電話機の一例を示す正面図及び背面図である。
[図7]本発明を適用した実施形態2の撮像装置を示す一部省略断面図である。
[図8]図7の撮像装置に備わる半導体撮像素子の断面構造を説明するための図である。

発明を実施するための最良の形態

- [0011] 本発明の上記目的を達成するための具体的な構成を以下に説明する。
1. 光学部材と、
前記光学部材により集光される光を光電変換して電気信号として蓄積する光電変換部と、当該光電変換部に隣接させて配置され、前記光電変換部に蓄積された前記電気信号を出力するためのアナログ回路部が設けられた半導体撮像素子と、
前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間からの光の侵入を防止する光侵入防止部と、
を備える撮像装置。
 2. 光学部材と、
前記光学部材により集光される光が通過する開口部を有する基板と、
前記基板の裏面側に取り付けられた半導体撮像素子と、を備え、

前記半導体撮像素子は、

前記開口部を通過した光を光電変換して電気信号として蓄積する光電変換部と、
当該光電変換部に隣接させて配置され、前記光電変換部に蓄積された前記電気信号を出力するためのアナログ回路部とを有し、

前記光電変換部の前記アナログ回路部側の端部が前記基板の前記開口部の端部と前記光学部材に入射する光の光軸方向にほぼ重なるか、若しくは、前記開口部よりも外側に位置するように配設されている前記1に記載の撮像装置。

3. 光学部材と、

前記光学部材により集光される光が通過する開口部を有する基板と、

前記基板の裏面側に取り付けられた半導体撮像素子と、を備え、

前記半導体撮像素子は、

前記開口部を通過した光を光電変換して電気信号として蓄積する光電変換部と、
当該光電変換部に隣接させて配置され、前記光電変換部に蓄積された前記電気信号を出力するためのアナログ回路部とを有し、

前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間の少なくとも一部を被覆するように遮光性を有する封止樹脂が設けられている前記1に記載の撮像装置。

4. 光学部材と、

前記光学部材により集光される光を光電変換して電気信号として蓄積する光電変換部と、当該光電変換部に隣接させて配置され、前記光電変換部に蓄積された前記電気信号を出力するためのアナログ回路部とが設けられた半導体撮像素子と、を備え、

前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間の少なくとも一部には、遮光性を有する遮光部材が設けられている前記1に記載の撮像装置。

5. 前記1～4の何れか一項に記載の撮像装置を、機器本体内に備える電子機器。

[0012] 前記1に記載の構成によれば、半導体撮像素子には、光電変換部と、当該光電変換部に隣接させて配置されたアナログ回路部とが設けられ、アナログ回路部に設けら

れた配線層と光電変換部に設けられた配線層の隙間からの光の侵入を防止する光侵入防止手段が備えられているので、光学部材を介して半導体撮像素子側に入射される光をアナログ回路部の配線層と光電変換部の配線層の隙間からアナログ回路部に対して入射させ難くすることができる。これにより、隙間からのアナログ回路部側に対する光の入射に基づいて、当該アナログ回路部にて電荷が発生することを抑制することができる。即ち、光電変換部により光電変換されたもの以上の電気信号がアナログ回路部に蓄積されてしまうことを防止することができることとなって、撮像画像の画質低下を防止することができる。

[0013] 前記2に記載の構成によれば、半導体撮像素子は、光電変換部と、当該光電変換部に隣接させて配置されたアナログ回路部とを有し、光電変換部のアナログ回路部側の端部が基板の開口部の端部と光学部材に入射する光の光軸方向にほぼ重なるか、若しくは、開口部よりも外側に位置するように配設されているので、基板の開口部を介して半導体撮像素子側に入射される光をアナログ回路部に対して入射させ難くすることができる。これにより、アナログ回路部に対する光の入射に基づいて当該アナログ回路部にて電荷が発生することを抑制することができる。即ち、光電変換部により光電変換されたもの以上の電気信号がアナログ回路部に蓄積されてしまうことを防止することができることとなって、撮像画像の画質低下を防止することができる。

[0014] 前記3に記載の構成によれば、半導体撮像素子は、光電変換部と、当該光電変換部に隣接させて配置されたアナログ回路部とを有し、アナログ回路部に設けられた配線層と光電変換部に設けられた配線層の隙間の少なくとも一部を被覆するように遮光性を有する封止樹脂が設けられているので、基板の開口部を介して半導体撮像素子側に入射される光をアナログ回路部の配線層と光電変換部の配線層の隙間からアナログ回路部に対して入射させ難くすることができる。これにより、隙間からのアナログ回路部側に対する光の入射に基づいて、当該アナログ回路部にて電荷が発生することを抑制することができる。即ち、光電変換部により光電変換されたもの以上の電気信号がアナログ回路部に蓄積されてしまうことを防止することができることとなって、撮像画像の画質低下を防止することができる。

[0015] 前記4に記載の構成によれば、半導体撮像素子は、光電変換部と、当該光電変換

部に隣接させて配置されたアナログ回路部とが設けられてなり、アナログ回路部に設けられた配線層と光電変換部に設けられた配線層の隙間の少なくとも一部には、遮光性を有する遮光部材が設けられているので、光学部材を介して半導体撮像素子側に入射される光をアナログ回路部の配線層と光電変換部の配線層の隙間からアナログ回路部に対して入射させ難くすることができる。これにより、隙間からのアナログ回路部側に対する光の入射に基づいて、当該アナログ回路部にて電荷が発生することを抑制することができる。即ち、光電変換部により光電変換されたもの以上の電気信号がアナログ回路部に蓄積されてしまうことを防止することができることとなって、撮像画像の画質低下を防止することができる。

[0016] 前記5に記載の構成によれば、前記1～4の何れか一項に記載の撮像装置を、機器本体内に備えた電子機器であっても、前記1～4に記載の構成と同様に、光電変換部により光電変換されたもの以上の電気信号がアナログ回路部に蓄積されてしまうことを防止することができることとなって、撮像画像の画質低下を防止することができる。

[0017] 以下に、本発明に係る構成について、図面を用いて具体的な態様を説明する。ただし、発明の範囲は、図示例に限定されない。

[実施形態1]

図1は、本発明に係る実施形態1の撮像装置を示す斜視図であり、図2は、図1のII-II線における撮像装置の一部省略断面図である。

[0018] 図1及び図2に示すように、実施形態1の撮像装置100は、基板PCと、基板PCの光源側に備えられた半導体撮像素子202と、半導体撮像素子202に集光させるための光学部材1と、光学部材1に入射する光量を調節する絞り板3と、半導体撮像素子202を覆い隠す外枠部材としての鏡枠4と、鏡枠4に備えられた遮光性を有する遮光板5と、遮光板5に支持されるフィルタ6と、遮光板5と光学部材1の間に備えられ、光学部材1を基板PC側へ押圧する押圧部材7と、光学部材1の位置決めを行うために基板PC上の所定位置に配置された位置決め電気部品8a等により構成されている。

[0019] 基板PCは、例えば、セラミック基板等からなり、外形が平面視において略矩形状に形成されている。

[0020] さらに、基板PCの表面側には、フレキシブル基板Fが設けられており、当該フレキシブル基板Fは所定の配線(図示略)を介して半導体撮像素子202と電氣的に接続されている。

[0021] 半導体撮像素子202は、光源側に光電変換部2a(後述)が配置されるように、基板PCの表面側の所定位置に所定の接着剤B1を介して取り付けられている。そして、半導体撮像素子202の所定位置に設けられた外部接続用端子(図示略)と基板PC上の所定の回路とがワイヤWを介して電氣的に接続されている。

[0022] また、半導体撮像素子202は、例えば、CMOS(Complementary Metal-oxide Semiconductor)型イメージセンサ、CCD(Charge Coupled Device)型イメージセンサ等からなり、外形が略矩形薄板状に形成された部材である。具体的には、半導体撮像素子202は、例えば、P型Si基板等の半導体基板2cの上面略中央に、画素が2次元的に配列され、撮像領域としての矩形状の光電変換部2aが配設され、この光電変換部2aに隣接させて当該光電変換部2aに蓄積された信号電荷を出力するためのアナログ回路部2bが配設されている。

[0023] 接着剤B1としては、例えば、所定のエポキシ樹脂に銀粉末が混合された銀ペーストや、遮光性を有する所定の染料や顔料を含有する所定の樹脂の混合物等が挙げられる。また、接着剤B1は、接着部位に充填後、接着部位の加熱や、接着部位への紫外線照射、その他の手段、又はこれらを複合的に行うことにより硬化させることが可能な樹脂等であって、一般的な熱硬化型接着剤、紫外線硬化型接着剤、熱・紫外線併用硬化型接着剤、複合硬化型接着剤等が好適に用いられる。

[0024] 以下に、図3を参照して、半導体撮像素子202の光電変換部2aとアナログ回路部2bの回路構成を説明する。

[0025] なお、図3にあっては、例えば、半導体撮像素子202としてCMOS型イメージセンサを例示している。CMOS型イメージセンサの光電変換部2aの各画素に蓄積された信号電荷の出力の際には、MOS(Metal Oxide Semiconductor)トランジスタ等の増幅部の性能のバラツキ等により固定パターン・ノイズが発生してしまう。そこで、アナログ回路部2bとして、発生した固定パターン・ノイズを取り除いてから出力するためのCDS(Correlated Double Sampling)回路等が設けられているものとする。

- [0026] 図3に示すように、半導体撮像素子202の光電変換部2aに光が入射すると、フォトダイオードにより光電変換されることで生成された信号電荷は、等価的にキャパシタとして動作しているフォトダイオードの電圧変化に置き換えられ、さらに、当該フォトダイオードにゲートが接続されたMOSTランジスタにより増幅された後、行選択線nに接続された行選択トランジスタ(スイッチング素子)からの入力パルスに基づいて、列信号線を介して画素信号としてCDS回路に出力されるようになっている。
- [0027] また、行リセット線nには、フォトダイオードに蓄積された信号電荷をリセットするための所定のパルスを出力するリセット用トランジスタ(スイッチング素子)が接続されており、画素信号の出力後に、リセット用トランジスタからの入力パルスに基づいて、フォトダイオードがリセットされて当該フォトダイオードからリセット信号が列信号線を介してCDS回路に出力されるようになっている。
- [0028] なお、列信号線には、負荷トランジスタ M_L が接続されている。
- [0029] また、CDS回路に入力された画素信号及びリセット信号の各々は、コンデンサ C_C に接続されたスイッチング素子としての所定のトランジスタ M_C からの入力パルス ϕ_C 及びコンデンサ C_{S2} に接続されたトランジスタ M_{S2} からの入力パルス ϕ_{S2} に基づいて、コンデンサ C_C に対するクランプ及びコンデンサ C_{S2} に対するサンプリングが行われるようになっている。これにより、コンデンサ C_{S2} には、固定パターン・ノイズが抑圧された信号が蓄積される。蓄積された信号は、列選択用トランジスタからの入力パルス i に基づいて出力される。
- [0030] このようにして、光学部材1により集光される光は、半導体撮像素子202の光電変換部2aにより光電変換され電気信号として蓄積され、蓄積された電気信号はアナログ回路部2bより出力される。
- [0031] 次に、半導体撮像素子202の基板PCに対する取り付け状態について、図4及び図5を参照して詳細に説明する。
- [0032] ここで、図4は、半導体撮像素子202の断面構造を説明するための図であり、図5は、半導体撮像素子202及び基板PCの配設状態を説明するための図である。なお、図4及び図5にあっては、半導体撮像素子202の断面構造を模式的に示しており、配線層20a、20bのみにハッチングを入れた図を示している。

- [0033] 先ず、図4に示すように、半導体撮像素子202の光電変換部2a及びアナログ回路部2bのMOSTランジスタを構成する領域にはアルミニウム層などからなる配線層20a、20bが配設されている。この配線層20a、20bは、当該MOSTランジスタに光が直接入射することを防止する遮光手段としても機能しているが、製造上の理由等により、光電変換部2a及びアナログ回路部2bの間には配設することができず、アナログ回路部2bに設けられた配線層20bと光電変換部2aに設けられた配線層20aとにより隙間20cが形成されている。このため、隙間20cに対して所定の角度で入射した光により、アナログ回路部2bのMOSTランジスタ C_{s2} にて電荷が発生してしまうといった問題がある。
- [0034] そこで、本実施形態1の半導体撮像素子202にあつては、図5に示すように、アナログ回路部2bの配線層20bと光電変換部2aの配線層20aの隙間20c全体を被覆するように遮光性を有する材料からなる遮光膜(遮光部材)2dが設けられている。より具体的には、遮光膜2dは、光電変換部2aの端部からアナログ回路部2bの所定位置まで亘るようにして配設されている。ここで、遮光膜2dにより、半導体撮像素子202のアナログ回路部2bの配線層20bと光電変換部2aの配線層20aの隙間20cからの光の侵入を防止する光侵入防止部が構成されている。
- [0035] また、遮光膜2dは、例えば、銀ペーストから構成されても良い。即ち、遮光膜2dを接着剤B1と同様の組成から構成することにより、半導体撮像素子202の基板PCに対する取り付け用の接着剤B1の塗布と遮光膜2dの塗布を同じ工程で行うことができ、当該撮像装置100の製造工程の簡略化を図ることができる。
- [0036] 光学部材1は、透明なプラスチック材料を素材とし、図2に示すように、管状の脚部1cと、この脚部1cに支持される凸レンズ形状のレンズ部1aとが一体的に形成されている。脚部1cは、下端に形成された4つの当接部(なお、図2にあつては、2つのみを図示している)1dと、上端周囲に形成された上脚部1eと、当接部1dと上脚部1eとの間に形成された下脚部1fとを備えている。また、脚部1cの上端を塞ぐ板状の上面部1bの中央にレンズ部1aが形成されている。そして、当接部1dは、半導体撮像素子202の上面の所定位置に当接する。
- [0037] 下脚部1fは、例えば図示は省略するが、水平断面視において円の外周の2点を結

ぶ線(弦)によって切り欠かれた略D形状となっており、被嵌合部を形成している。

[0038] また、上面部1bの上面であって、レンズ部1aの周囲には、遮光性のある素材からなり、凸レンズ部1aのFナンバーを規定する第1の絞りとしての開口3aを有する絞り板3が接着剤により固定されている。

[0039] 光学部材1の外側には、遮光性のある素材からなり外枠部材を構成する鏡枠4が配置されている。鏡枠4には、図1に示すように、角柱状の下部4aと、円筒状の上部4bとが設けられている。鏡枠4の上部4bの上端には、遮光板5が接着剤B2により取り付けられている。遮光板5は、その中央に第2の絞りとしての開口5aを有している。遮光板5の中央の開口5aの下方に、赤外線吸収特性を有する素材からなるフィルタ6が接着剤により接合されている。そして、この遮光板5とフィルタ6とでカバー部材11が構成されている。

[0040] また、下部4aの下端部4aaは、基板PC上に鏡枠4が取り付けられる際の接着部位となる箇所であって、鏡枠4の下部4aが基板PC上に当接され取り付けられる際には、下部4aの下端部4aaと、基板PCとの間に接着剤B3が充填されて固着される。

[0041] このように、基板PCと鏡枠4とカバー部材11とが密着して接合されているので、基板PCと鏡枠4とカバー部材11等に覆われる光学部材1や半導体撮像素子202の表面は、環境外乱である埃などのゴミや湿気等の付着や傷等の損傷から防がれて保護される。

[0042] つまり、鏡枠4とカバー部材11とで構成される外枠部材が、光学部材1や半導体撮像素子202の表面を覆うことにより、撮像装置100は、防塵、防湿の構造、光学部材1等の保護構造を有する。

[0043] また、図示は省略するが、鏡枠4の下部4aと上部4bとの間の隔壁4cの内周面には、光学部材1の被嵌合部である下脚部1fに対応した嵌合部としてのD溝が形成されており、D溝に下脚部1fが密着的に嵌合している。このような下脚部1fとD溝との嵌合により、光学部材1は、例えば当該光学部材1のレンズ部1aの光軸を中心とした回転が防止されるように、鏡枠4に位置規制されている。

[0044] また、光学部材1は鏡枠4に位置規制されているので、基板PCの所定位置に、例えば、後述する位置決め電気部品8aに基づき、鏡枠4を位置決めして配置すること

により、基板PCの所定位置に光学部材1を配置することができ、例えば、基板PCに備えられた半導体撮像素子202の光電変換部2aの中心と、鏡枠4に嵌合された光学部材1のレンズ部1aの光軸の中心を一致させるように備えることができる。

[0045] また、光学部材1は鏡枠4に位置規制されているため、基板PCの所定位置に鏡枠4が配置され、固定された状態においては、光学部材1は所定の位置からずれにくく、例えば、光学部材1のレンズ部1aの光軸の中心と、半導体撮像素子202の光電変換部2aの中心とが一致した状態を維持しやすい。

[0046] 図2において、光学部材1と遮光板5との間には、例えば、コイルばねなどの弾性部材により構成された押圧部材7が配置されている。遮光板5が鏡枠4に取り付けられることで、遮光板5により押圧部材7が押圧されて、この押圧部材7が弾性変形する。この押圧部材7は、光学部材1を図2中において、下方に向かって所定の押圧力により押圧して、光学部材1を半導体撮像素子202に付勢する。ここで、遮光板5から下方に向かう力が加わった際に、押圧部材7が弾性変形することにより、その力を吸収する緩衝作用が働くので、その力は直接撮像素子2には伝達されず、撮像素子2が破損することを防ぐ効果がある。

[0047] 位置決め電気部品8aは、例えば、コンデンサ、抵抗、ダイオード等であり、図2に示すように、基板PC上にて鏡枠4に近接してこの鏡枠4の4隅に対応して配置されている。この位置決め電気部品8aは、鏡枠4を基板PC上に固着する際の固定位置の近傍にあり、鏡枠4の位置決め指標となる。

[0048] なお、位置決め電気部品8aは、例えば、コンデンサ、抵抗、ダイオード等に限らず、撮像装置100に必要な電気部品であればよい。

[0049] また、基板PC上には、撮像装置100を動作させ、画像処理を行うために必要な電気部品(図示略)を設けても良く、これにより、撮像装置100を一つのユニットとして様々な電子機器に搭載しやすくなる。

[0050] 次に、上記撮像装置100を一例として本発明に係る撮像装置を搭載した電子機器について説明する。

[0051] 図6に示すように、電子機器は、例えば、折り畳み式携帯電話機T(以下、携帯電話機Tという)であり、表示画面Dを備えたケースとしての上筐体71と、操作ボタンPを

備えた下筐体72とがヒンジ73を介して連結されている。撮像装置100は、上筐体71の内表面側(表示画面Dを有する側)の表示画面Dの下方に内蔵されており、撮像装置100が上筐体71の外表面から光を取り込めるものとされている。

[0052] このように、携帯電話機Tに薄型化された撮像装置100を内蔵することにより、携帯電話機Tをより薄型化することができ、撮像対象との距離や撮像環境に対応させて撮像装置100の機能を使い分けることにより、付加価値の高い携帯電話機Tとすることができる。

[0053] なお、携帯電話機Tのその他の構成要素は、公知であるため、説明を省略する。

[0054] 以上のように、実施形態1の撮像装置100によれば、半導体撮像素子202は、アナログ回路部2bに設けられた配線層20bと光電変換部2aに設けられた配線層20aの隙間20cを被覆するように遮光膜2dが設けられているので、光学部材1を介して半導体撮像素子202側に入射される光をアナログ回路部2bの配線層20bと光電変換部2aの配線層20aの隙間20cからアナログ回路部2bに対して入射させ難くすることができる。これにより、隙間20cからの半導体基板2cのアナログ回路部2b側に対する太陽光などの入射に基づいて、当該アナログ回路部2bにて電荷が発生することを抑制することができる。即ち、光電変換部2aにより光電変換されたもの以上の信号電荷がアナログ回路部2bに蓄積されてしまうことを防止することができることとなって、撮像画像の画質低下を防止することができる。

[0055] なお、本実施形態1の撮像装置100では、遮光膜2dとして、半導体撮像素子202の隙間20c全体を被覆するものを例示したが、これに限られるものではなく、隙間20cの少なくとも一部を被覆するものであれば良い。即ち、隙間20cの所定位置に、例えば幅0.5mm程度の遮光膜2dを設けるようにしても良い。つまり、アナログ回路部2bによる不要な電荷の発生は、当該アナログ回路部2bに対して所定の角度で太陽光などが入射することにより生じることから、この所定の角度における光の入射を防止することができる程度の遮光膜2dであれば十分だからである。

[実施形態2]

図7は、本発明に係る実施形態2の撮像装置200を示す一部省略断面図であり、図8は、撮像装置200に備わる半導体撮像素子2の断面構造を説明するための図で

ある。

- [0056] 図7及び図8に示すように、実施形態2の撮像装置200は、略矩形状の開口部10が形成された基板PCの裏面側から開口部10を塞ぐように半導体撮像素子2が備えられている。
- [0057] 半導体撮像素子2は、基板PCの裏面側に、開口部10を介して基板PCの表面側から光電変換部2aが露出されるように取り付けられている。具体的には、基板PCの裏面側に、所定間隔を空けて複数設けられたバンプ20を介して半導体撮像素子2が取り付けられている。そして、バンプ20により、半導体撮像素子2と基板PCの裏面側の所定位置に形成された配線(図示略)とが電氣的に接続されている。ここで、光学部材1に入射し集光された光は開口部10を通過し、光電変換部2aにより電気信号に光電変換され蓄積される。
- [0058] なお、バンプ20は、例えば、銅、ニッケル、金、パラジウムやこれらの合金、或いはこれらの金属から構成されている。また、バンプ20としては、例えば、スタッドバンプ、メッキバンプ、蒸着バンプ等が挙げられる。
- [0059] また、本実施形態の半導体撮像素子2にあっては、図8に示すように、光電変換部2aのアナログ回路部2b側の端部と基板PCの開口部10の端部とが光学部材1に入射する光の光軸方向にほぼ重なるようにして基板PCの裏面側に取り付けられている。ここで、基板PCと半導体撮像素子2とにより、この半導体撮像素子2のアナログ回路部2bの配線層20bと光電変換部2aの配線層20aの隙間20cからの光の侵入を防止する光侵入防止部が構成されている。
- [0060] また、半導体撮像素子2は、アナログ回路部2bに設けられた配線層20bと光電変換部2aに設けられた配線層20aの隙間20cを被覆するように遮光性を有する封止樹脂(光侵入防止部)としての接着剤B1が設けられ、当該接着剤B1を介して基板PCに接着されている。より具体的には、例えば、接着剤B1は、基板PCの裏面と半導体撮像素子2の隙間20cから端部側の部分との間に充填されて、半導体撮像素子2と基板PCの間が封止されるようになっている。
- [0061] ここで、基板PCの表面側とは、基板PCに対し、光学部材1により集光される光が入射する側であり、裏側はその反対側の面である。

[0062] なお、接着剤B1は、電極どうしの短絡を防止する上で非導電性を有するものを適用することができる。

[0063] 以上のように、実施形態2の撮像装置200によれば、半導体撮像素子2は、光電変換部2aのアナログ回路部2b側の端部と基板PCの開口部10の端部とが光学部材1に入射する光の光軸方向にほぼ重なるように配置されている。さらに、半導体撮像素子2は、そのアナログ回路部2bに設けられた配線層20bと光電変換部2aに設けられた配線層20aの隙間20cから端部側の部分を被覆するように設けられた接着剤B1を介して基板PCに取り付けられている。従って、基板PCの開口部10を介して半導体撮像素子2側に入射される光をアナログ回路部2bの配線層20bと光電変換部2aの配線層20aの隙間20cからアナログ回路部2bに対して入射させ難くすることができる。これにより、隙間20cからの半導体基板2cのアナログ回路部2b側に対する太陽光などの入射に基づいて、当該アナログ回路部2bにて電荷が発生することを抑制することができる。即ち、光電変換部2aにより光電変換されたもの以上の信号電荷がアナログ回路部2bに蓄積されてしまうことを防止することができることとなって、撮像画像の画質低下を防止することができる。

[0064] なお、本実施形態の撮像装置200では、半導体撮像素子2と基板PCとの間を封止するための接着剤B1は、半導体撮像素子2の隙間20cから端部側の部分に設けられるようにしたが、これに限られるものではなく、隙間20cの少なくとも一部を被覆するように設けられていれば良い。

[0065] また、上記実施形態2では、半導体撮像素子2として、その光電変換部2aのアナログ回路部2b側の端部が基板PCの開口部10の端部と光学部材1に入射する光の光軸方向にほぼ重なるように配設されたものを例示したが、これに限られるものではなく、光電変換部2aのアナログ回路部2b側の端部が開口部10よりも外側に位置するように配設されていても良い。これにより、基板PCの開口部10を介して半導体撮像素子2側に入射される光を隙間20cからアナログ回路部2bに対してより入射させ難くすることができる。

[0066] なお、本発明は、上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

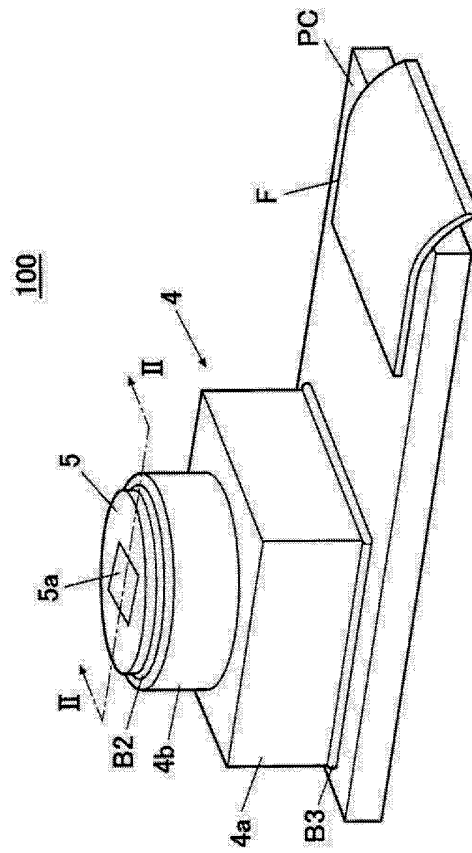
- [0067] 例えば、アナログ回路部2bとしてCDS回路を例示したが、これに限られるものではなく、光電変換部2aに蓄積された電気信号を出力するためのアナログ回路であれば如何なるものであっても良い。また、アナログ回路部2bや光電変換部2aの回路構成も上述したものに限られるものではない。
- [0068] また、上記実施形態1及び2にあつては、封止樹脂として接着剤B1を例示したが、これに限られるものではなく、少なくとも遮光性を有する部材であれば如何なるものであっても良い。
- [0069] また、上記実施の形態では、電子機器として携帯電話機Tを例示したが、これに限られるものではなく、撮像装置100、200を内蔵可能な電子機器であれば如何なるものであっても良いのは、勿論である。

請求の範囲

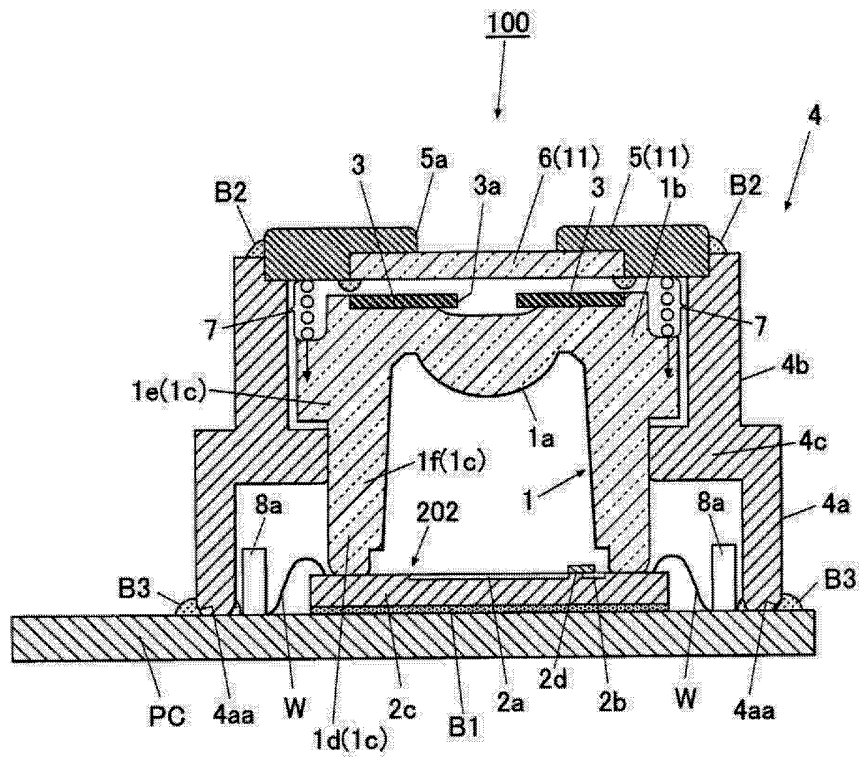
- [1] 光学部材と、
前記光学部材により集光される光を光電変換して電気信号として蓄積し配線層を有する光電変換部と、当該光電変換部に隣接させて配置され、配線層を有し、前記光電変換部に蓄積された前記電気信号を出力するためのアナログ回路部とが設けられた半導体撮像素子と、
前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間からの光の侵入を防止する光侵入防止部と、
を備えることを特徴とする撮像装置。
- [2] さらに、前記光学部材により集光される光が通過する開口部を有する基板を備え、
前記半導体素子は前記基板の裏面側に取り付けられ、
前記光電変換部は前記開口部を通過した光を光電変換して電気信号として蓄積し、
前記光侵入防止部は、前記光電変換部の前記アナログ回路部側の端部が前記基板の前記開口部の端部と前記光学部材に入射する光の光軸方向にほぼ重なるか、若しくは、前記開口部よりも外側に位置するように配設された構成であることを特徴とする請求の範囲第1項に記載の撮像装置。
- [3] さらに、前記光学部材により集光される光が通過する開口部を有する基板を備え、
前記半導体撮像素子は前記基板の裏面側に取り付けられ、
前記光電変換部は前記開口部を通過した光を光電変換して電気信号として蓄積し、
前記光侵入防止部は、前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間の少なくとも一部を被覆するように設けられた遮光性を有する封止樹脂であることを特徴とする請求の範囲第1項に記載の撮像装置。
- [4] 前記光侵入防止部は、前記アナログ回路部に設けられた配線層と前記光電変換部に設けられた配線層の隙間の少なくとも一部に設けられた遮光性を有する遮光部材であることを特徴とする請求の範囲第1項に記載の撮像装置。
- [5] 請求の範囲第1項～第4項の何れか一項に記載の撮像装置を、機器本体内に備

えることを特徴とする電子機器。

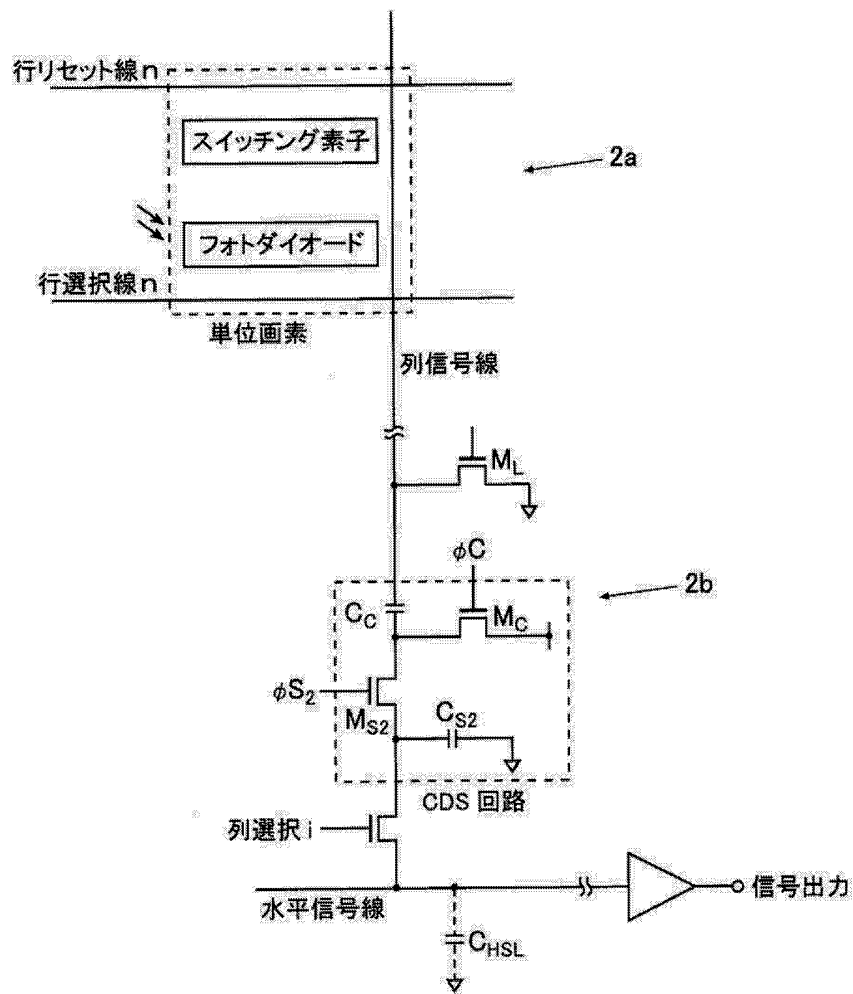
[図1]



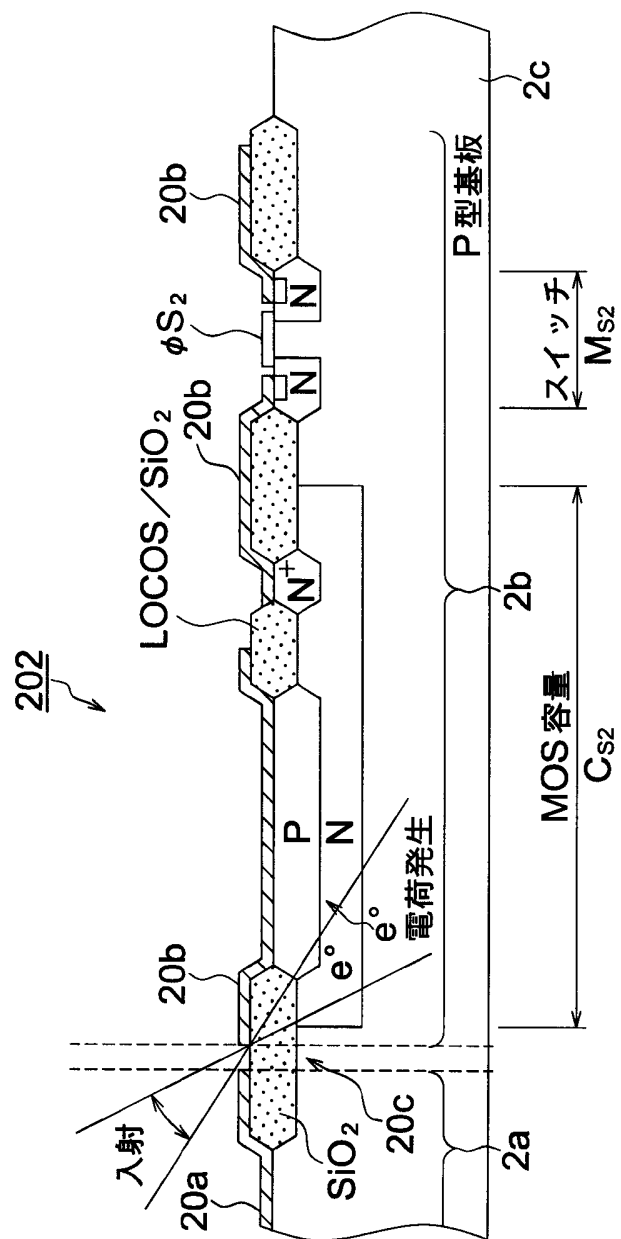
[図2]



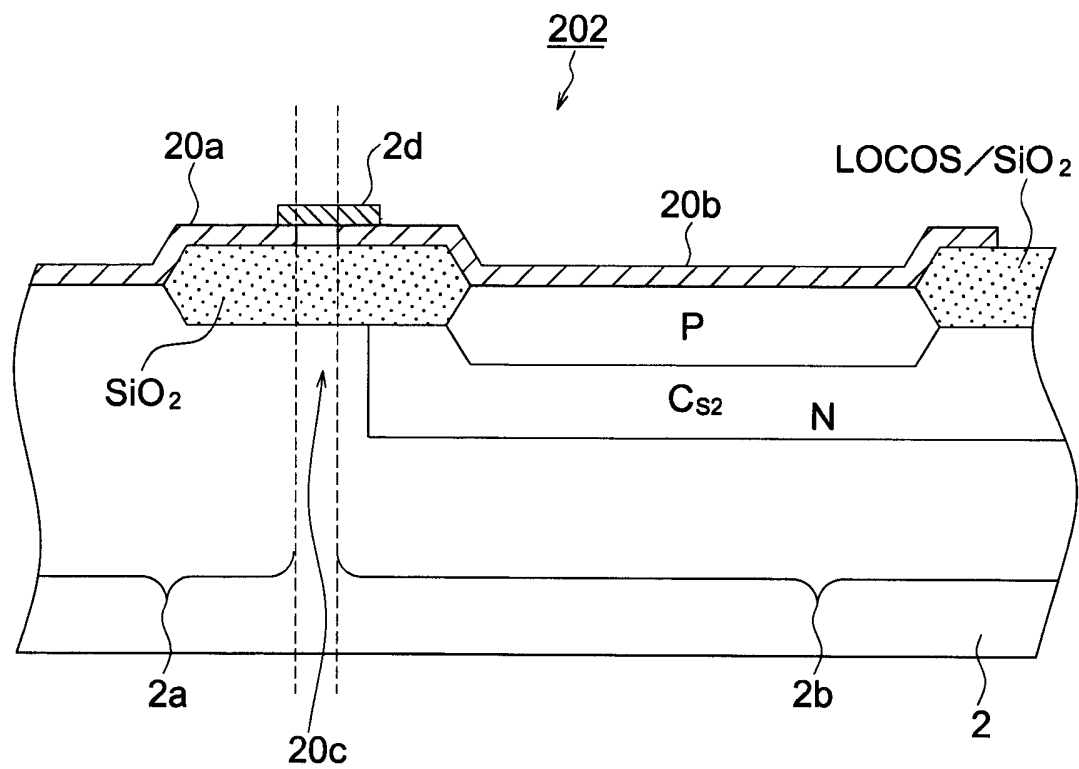
[図3]



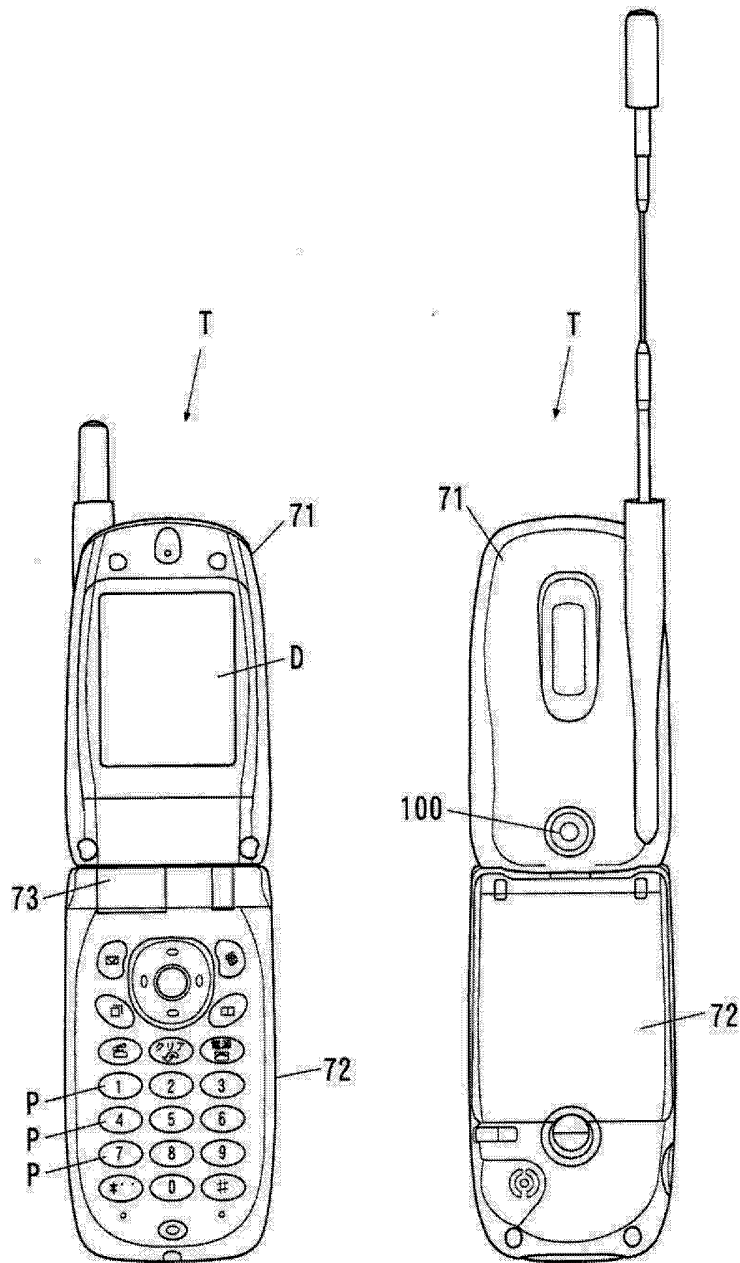
[図4]



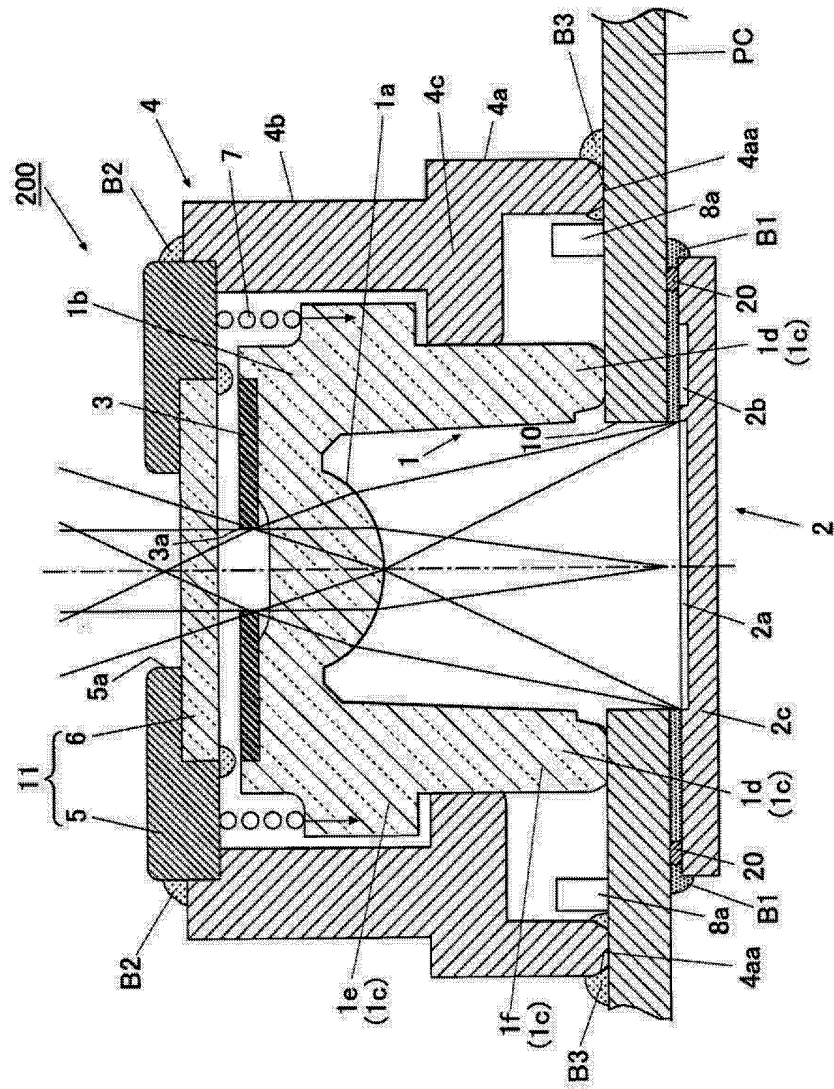
[図5]



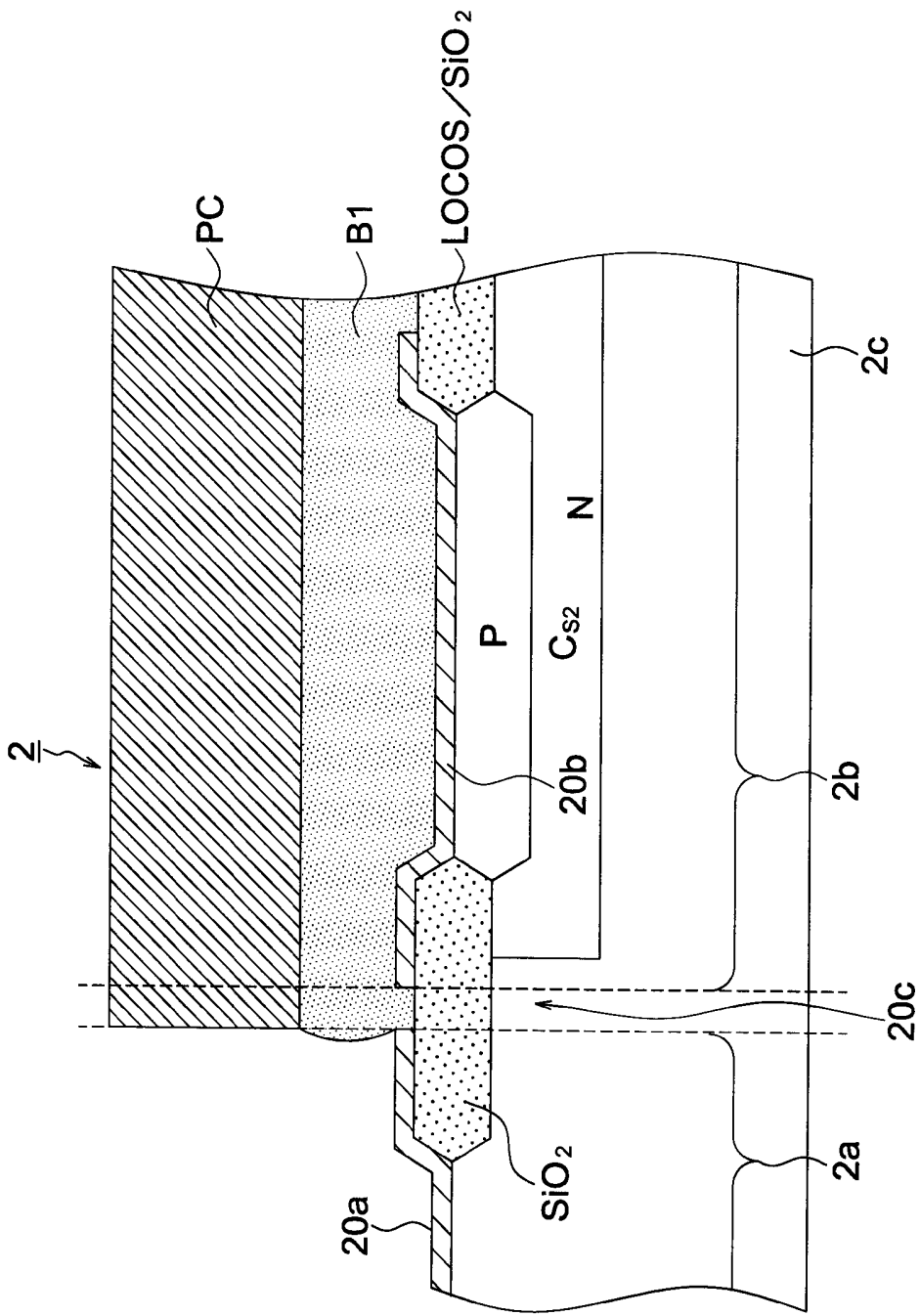
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/304065

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14 (2006.01), **H04N5/335** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14 (2006.01), **H04N5/335** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 5-95099 A (Fuji Electric Co., Ltd.), 16 April, 1993 (16.04.93), Full text; all drawings (Family: none)	1, 5 3, 4 2
X Y A	JP 64-54758 A (Fuji Electric Co., Ltd.), 02 March, 1989 (02.03.89), Full text; all drawings (Family: none)	1, 5 3, 4 2
X Y A	JP 61-272967 A (Fuji Electric Co., Ltd.), 03 December, 1986 (03.12.86), Full text; all drawings (Family: none)	1, 5 3, 4 2

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
15 May, 2006 (15.05.06)Date of mailing of the international search report
23 May, 2006 (23.05.06)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/304065

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-140497 A (Sony Corp.), 13 May, 2004 (13.05.04), Full text; all drawings (Family: none)	3, 4
Y	JP 5-227368 A (KANEKA Corp.), 03 September, 1993 (03.09.93), Full text; all drawings (Family: none)	3
Y	JP 11-177075 A (NEC Corp.), 02 July, 1999 (02.07.99), Full text; all drawings & CN 1219776 A & KR 312087 B & US 6618087 B1	3

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/14(2006. 01), H04N5/335(2006. 01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/14(2006. 01), H04N5/335(2006. 01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 5 - 9 5 0 9 9 A (富士電機株式会社)	1, 5
Y	1 9 9 3. 0 4. 1 6, 全文, 全図 (ファミリーなし)	3, 4
A		2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

1 5. 0 5. 2 0 0 6

国際調査報告の発送日

2 3. 0 5. 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4M

3 0 3 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 6 4 - 5 4 7 5 8 A (富士電機株式会社) 1 9 8 9 . 0 3 . 0 2 , 全文, 全図 (ファミリーなし)	1 , 5
Y		3 , 4
A		2
X	J P 6 1 - 2 7 2 9 6 7 A (富士電機株式会社) 1 9 8 6 . 1 2 . 0 3 , 全文, 全図 (ファミリーなし)	1 , 5
Y		3 , 4
A		2
Y	J P 2 0 0 4 - 1 4 0 4 9 7 A (ソニー株式会社) 2 0 0 4 . 0 5 . 1 3 , 全文, 全図 (ファミリーなし)	3 , 4
Y	J P 5 - 2 2 7 3 6 8 A (鐘淵化学工業株式会社) 1 9 9 3 . 0 9 . 0 3 , 全文, 全図 (ファミリーなし)	3
Y	J P 1 1 - 1 7 7 0 7 5 A (日本電気株式会社) 1 9 9 9 . 0 7 . 0 2 , 全文, 全図 & C N 1 2 1 9 7 7 6 A & K R 3 1 2 0 8 7 B & U S 6 6 1 8 0 8 7 B 1	3