

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4779853号
(P4779853)

(45) 発行日 平成23年9月28日 (2011.9.28)

(24) 登録日 平成23年7月15日 (2011.7.15)

(51) Int.Cl.

F I

H03M 1/68 (2006.01)

H03M 1/68

H03M 1/76 (2006.01)

H03M 1/76

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 623F

G02F 1/133 (2006.01)

G09G 3/20 612E

請求項の数 11 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2006-203553 (P2006-203553)
 (22) 出願日 平成18年7月26日 (2006.7.26)
 (65) 公開番号 特開2008-34955 (P2008-34955A)
 (43) 公開日 平成20年2月14日 (2008.2.14)
 審査請求日 平成21年1月27日 (2009.1.27)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 吉岡 雅樹
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 大賀 玄一郎
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 北村 健
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 デジタルーアナログ変換器および映像表示装置

(57) 【特許請求の範囲】

【請求項1】

入力するデジタル信号の上位ビットに対応する複数の上位電圧値が発生する上位レジスタストリングと、

前記デジタル信号の下位ビットに対応する複数の下位電圧値が発生する下位レジスタストリングと、

演算増幅器と、

前記上位レジスタストリングで発生する前記複数の上位電圧値から、前記上位ビットに対応する一の上位電圧値を選択し、前記演算増幅器の一方入力に出力する上位セクタと、

前記下位レジスタストリングで発生する前記複数の下位電圧値から、前記下位ビットに対応する一の下位電圧値を選択し、前記演算増幅器の他方入力に出力する下位セクタと、

前記上位セクタの出力に接続されている第1スイッチと、

前記第1スイッチと前記演算増幅器の一方入力との間に接続されている上位キャパシタと、

前記上位キャパシタの一方電極と前記演算増幅器の出力との間に接続されている第2スイッチと、

前記上位キャパシタの他方電極と前記演算増幅器の出力との間に接続されている第3スイッチと、

10

20

前記第 1 ～ 第 3 スイッチを制御する制御回路と、
を有するデジタル - アナログ変換器。

【請求項 2】

前記下位セレクトと前記演算増幅器の前記他方入力との間に下位キャパシタが接続され、

前記下位キャパシタと前記演算増幅器との接続ノードに、前記制御回路の制御により、
前記演算増幅器の前記他方入力に対し初期直流電圧を設定するときにオンする第 4 スイッチが接続されている

請求項 1 に記載のデジタル - アナログ変換器。

【請求項 3】

前記上位キャパシタと前記下位キャパシタの各容量値が、キャパシタと前記演算増幅器との接続ノードからみた容量値が等しくなるように設定されている

請求項 2 に記載のデジタル - アナログ変換器。

【請求項 4】

前記上位レジスタストリングが、最大電圧と最小電圧が両端に印加される、複数の上位レジスタ素子の直列接続体を含み、

前記下位レジスタストリングが、前記上位レジスタ素子の両端に現出する区間電圧と等価な電圧が両端に印加される、複数の下位レジスタ素子の直列接続体を含み、

前記上位セレクトが、前記上位レジスタ素子間の全ての接続ノードと、前記最大電圧あるいは前記最小電圧の供給ノードに対し、ノードごとに 1 つずつ接続されている複数の上位セレクトスイッチを有し、

前記下位セレクトが、前記下位レジスタ素子同士の全ての接続ノードと、前記区間電圧と等価な前記電圧の供給ノードに対し、ノードごとに 1 つずつ接続されている複数の下位セレクトスイッチを有し、

前記上位セレクトスイッチが前記最大電圧を取り扱い可能な耐圧を有し、

前記下位セレクトスイッチが前記区間電圧値の最大電位を取り扱い可能な範囲で前記上位セレクトスイッチの耐圧より小さい耐圧を有する

請求項 1 に記載のデジタル - アナログ変換器。

【請求項 5】

前記上位レジスタストリングが、最大電圧と最小電圧が両端に印加される、複数の上位レジスタ素子の直列接続体を含み、

前記下位レジスタストリングが、前記上位レジスタ素子の両端に現出する区間電圧と等価な電圧が両端に印加される、複数の下位レジスタ素子の直列接続体を含み、

前記複数の上位レジスタ素子のうち任意の 2 つの上位レジスタ素子間に前記下位レジスタストリングが挿入され、前記上位レジスタストリングと前記下位レジスタストリングが 1 つの直列接続体を形成している

請求項 1 に記載のデジタル - アナログ変換器。

【請求項 6】

前記下位レジスタストリングの挿入位置が、前記上位レジスタストリングの何れか一端の前記上位レジスタ素子と、次の上位レジスタ素子との間である

請求項 5 に記載のデジタル - アナログ変換器。

【請求項 7】

前記上位セレクトが、前記上位レジスタ素子間の全ての接続ノードと、前記最大電圧あるいは前記最小電圧の供給ノードに対し、ノードごとに 1 つずつ接続されている複数の上位セレクトスイッチを有し、

前記下位セレクトが、前記下位レジスタ素子同士の全ての接続ノードと、前記区間電圧と等価な前記電圧の供給ノードに対し、ノードごとに 1 つずつ接続されている複数の下位セレクトスイッチを有し、

前記上位セレクトスイッチが前記最大電圧を取り扱い可能な耐圧を有し、

前記下位セレクトスイッチが、前記上位レジスタストリングに対する前記下位レジスタ

10

20

30

40

50

ストリングの挿入位置での最大電位を取り扱い可能な範囲で前記上位セレクトスイッチの耐圧より小さい耐圧を有する

請求項 5 または 6 に記載のデジタル - アナログ変換器。

【請求項 8】

所定ビットのデジタル信号が順次入力される複数のユニットごとに、前記演算増幅器と前記第 1 ~ 第 3 スイッチを含むサンプルホールド加算器と、前記上位セクタと、前記下位セクタとが設けられ、

前記上位レジスタストリングと前記下位レジスタストリングが、複数の前記ユニットに共通に設けられている

請求項 1 ~ 3 の何れかに記載のデジタル - アナログ変換器。

10

【請求項 9】

電圧駆動の画素がマトリクス状に多数配列されている画素部と、

前記画素部の画素列ごとに設けられている複数の信号線と、

前記複数の信号線ごとに 1 つずつ設けられている複数の駆動ユニットと、

前記複数の駆動ユニットに共通に設けられ、入力するデジタル映像信号の上位ビットに対応する複数の上位電圧値が発生する上位レジスタストリングと、

前記複数の駆動ユニットに共通に設けられ、前記デジタル映像信号の下位ビットに対応する複数の下位電圧値が発生する下位レジスタストリングと、

を備え、

前記複数の駆動ユニットの各々が、

20

演算増幅器と、

前記上位レジスタストリングで発生する前記複数の上位電圧値から、前記上位ビットに対応する一の上位電圧値を選択し、前記演算増幅器の一方入力に出力する上位セクタと、

前記下位レジスタストリングで発生する前記複数の下位電圧値から、前記下位ビットに対応する一の下位電圧値を選択し、前記演算増幅器の他方入力に出力する下位セクタと、

前記上位セクタの出力に接続されている第 1 スイッチと、

前記第 1 スイッチと前記演算増幅器の一方入力との間に接続されている上位キャパシタと、

30

前記上位キャパシタの一方電極と前記演算増幅器の出力との間に接続されている第 2 スイッチと、

前記上位キャパシタの他方電極と前記演算増幅器の出力との間に接続されている第 3 スイッチと、

を含み、

前記第 1 ~ 第 3 スイッチを制御する制御回路をさらに備える

映像表示装置。

【請求項 10】

前記各駆動ユニットにおいて、前記下位セクタと前記演算増幅器の前記他方入力との間に下位キャパシタが接続され、

40

前記各駆動ユニットにおいて、前記下位キャパシタと前記演算増幅器との接続ノードに、前記制御回路の制御により、前記演算増幅器の前記他方入力に対し初期直流電圧を設定するときにオンする第 4 スイッチが接続されている

請求項 9 に記載の映像表示装置。

【請求項 11】

前記上位キャパシタと前記下位キャパシタの各容量値が、キャパシタと前記演算増幅器との接続ノードからみた容量値が等しくなるように設定されている

請求項 10 に記載の映像表示装置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、入力するデジタル（映像）信号の上位ビットと下位ビットごとにレジスタストリングを備え、上位レジスタストリングで発生する上位電圧値をサンプルホールドし、これに、下位レジスタストリングで発生する下位電圧を加算するデジタル - アナログ変換器と、当該デジタル - アナログ変換器の機能を画素部の信号線をそれぞれ駆動する駆動ユニット内に備える映像表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

例えば液晶ディスプレイ等の表示パネルには、その画素列ごとの信号線を駆動する水平ドライバを駆動 IC として有する。

10

水平ドライバにデジタルの映像信号が入力されるが、それをアナログの画素駆動信号に変換する必要がある。そのため、水平ドライバには信号線ごとに、映像信号ビット数（例えば 8 ビットまたはそれ以上）に応じた性能のデジタル - アナログ変換器（以下、DAC (digital to analog converter) または D / A コンバータという）が内蔵される。

【 0 0 0 3 】

DAC は種々の方式が提案されているが、とくに映像ディスプレイ等の用途では、数百から数千の映像信号線ごとに DAC が必要であり、その配置スペース削減の要請から高い性能（高精度変換）と小さい占有面積の両立が要求される。

【 0 0 0 4 】

高精度変換のためにはできるだけシンプルな回路構成が必要であり、その要請を満たす方式としてレジスタストリング型の DAC（D / A コンバータ）が知られている（例えば、特許文献 1 参照）。

20

【 0 0 0 5 】

図 1 に、レジスタストリング型の D / A コンバータの基本構成を示す。

出力すべきアナログ電圧の最小電圧（アナログ下限値） V_b の入力端子 T_b と、上記アナログ電圧の最大電圧（アナログ上限値） V_t の入力端子 T_t との間に、複数 2^N 個のレジスタ素子 $RE_0, RE_1, \dots, RE_{(2^N-2)}, RE_{(2^N-1)}$ の直列接続体からなるレジスタストリング RS が接続されている。

各レジスタ素子間のノードおよび末端のレジスタ素子と入力端子 T_b または入力端子 T_t との接続ノード（ここでは入力端子 T_b 側の接続ノード）に、各々スイッチ（以下、セレクトスイッチという）が接続されている。図 1 の例では、レジスタ素子 RE_0 と RE_1 との接続ノードにセレクト上位セレクトスイッチ S_0 が接続され、同様に、レジスタ素子 RE_1 と RE_2 との接続ノードにセレクトスイッチ S_1 が接続され、この接続関係がレジスタ素子を 1 つずつシフトしながら他のセレクトスイッチ $S_3 \sim S_{(2^N-1)}$ でも繰り返されている。

30

2^N 個のセレクトスイッチ $S_0 \sim S_{(2^N-1)}$ のレジスタ素子と反対の側が短絡され出力端子 T_o に接続されている。

【 0 0 0 6 】

この D / A コンバータは、入力される N ビットのデジタル信号に応じて一のセレクトスイッチを選択すると、 $(V_t - V_b)$ を 2^N に等分割した所望のアナログ DC 電圧が出力電圧 V_o として出力端子 T_o から得られる。

40

【特許文献 1】特開 2 0 0 2 - 1 7 5 0 2 1 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

この方式の D / A コンバータは、ビット数を N とすると必要なアナログスイッチ（セレクトスイッチ）の数が 2^N 個となり、多ビットの変換の場合はスイッチが膨大な数になってしまう不利益がある。

とくに映像表示装置の信号線駆動に、この方式の D / A コンバータを用いる場合、スイッチが多いため配置が困難であり、また駆動 IC のコスト増を招く。

50

【 0 0 0 8 】

本発明が解決しようとする課題は、高い変換精度を維持したままセレクトスイッチの数を簡単な構成で減らしたデジタル - アナログ変換器と、当該デジタル - アナログ変換器を信号線駆動に用いる映像表示装置を提供することである。

【課題を解決するための手段】

【 0 0 0 9 】

本発明に係るデジタル - アナログ変換器は、入力するデジタル信号の上位ビットに対応する複数の上位電圧値が発生する上位レジスタストリングと、前記デジタル信号の下位ビットに対応する複数の下位電圧値が発生する下位レジスタストリングと、演算増幅器と、前記上位レジスタストリングで発生する前記複数の上位電圧値から、前記上位ビットに対応する一の上位電圧値を選択し、前記演算増幅器の一方入力に出力する上位セクタと、前記下位レジスタストリングで発生する前記複数の下位電圧値から、前記下位ビットに対応する一の下位電圧値を選択し、前記演算増幅器の他方入力に出力する下位セクタと、前記上位セクタの出力に接続されている第 1 スイッチと、前記第 1 スイッチと前記演算増幅器の一方入力との間に接続されている上位キャパシタと、前記上位キャパシタの一方電極と前記演算増幅器の出力との間に接続されている第 2 スイッチと、前記上位キャパシタの他方電極と前記演算増幅器の出力との間に接続されている第 3 スイッチと、前記第 1 ~ 第 3 スイッチを制御する制御回路と、を有する。

本発明では好適に、前記下位セクタと前記演算増幅器の前記他方入力との間に下位キャパシタが接続され、前記下位キャパシタと前記演算増幅器との接続ノードに、前記制御回路の制御により、前記演算増幅器の前記他方入力に対し初期直流電圧を設定するときにオンする第 4 スイッチが接続されている。

さらに好適に、前記上位キャパシタと前記下位キャパシタの各容量値が、キャパシタと前記演算増幅器との接続ノードからみた容量値が等しくなるように設定されている。

【 0 0 1 0 】

本発明に係る映像表示装置は、電圧駆動の画素がマトリクス状に多数配列されている画素部と、前記画素部の画素列ごとに設けられている複数の信号線と、前記複数の信号線ごとに 1 つずつ設けられている複数の駆動ユニットと、前記複数の駆動ユニットに共通に設けられ、入力するデジタル映像信号の上位ビットに対応する複数の上位電圧値が発生する上位レジスタストリングと、前記複数の駆動ユニットに共通に設けられ、前記デジタル映像信号の下位ビットに対応する複数の下位電圧値が発生する下位レジスタストリングと、制御回路とを備える。また、前記複数の駆動ユニットの各々が、演算増幅器と、前記上位レジスタストリングで発生する前記複数の上位電圧値から、前記上位ビットに対応する一の上位電圧値を選択し、前記演算増幅器の一方入力に出力する上位セクタと、前記下位レジスタストリングで発生する前記複数の下位電圧値から、前記下位ビットに対応する一の下位電圧値を選択し、前記演算増幅器の他方入力に出力する下位セクタと、前記上位セクタの出力に接続されている第 1 スイッチと、前記第 1 スイッチと前記演算増幅器の一方入力との間に接続されている上位キャパシタと、前記上位キャパシタの一方電極と前記演算増幅器の出力との間に接続されている第 2 スイッチと、前記上位キャパシタの他方電極と前記演算増幅器の出力との間に接続されている第 3 スイッチと、を含む。前記制御回路は、上記第 1 ~ 第 3 スイッチを制御する制御回路である。

本発明では好適に、前記各駆動ユニットにおいて、前記下位セクタと前記演算増幅器の前記他方入力との間に下位キャパシタが接続され、前記各駆動ユニットにおいて、前記下位キャパシタと前記演算増幅器との接続ノードに、前記制御回路の制御により、前記演算増幅器の前記他方入力に対し初期直流電圧を設定するときにオンする第 4 スイッチが接続されている。

さらに好適に、前記上位キャパシタと前記下位キャパシタの各容量値が、キャパシタと前記演算増幅器との接続ノードからみた容量値が等しくなるように設定されている。

【 0 0 1 1 】

上記構成によれば、上位セクタに、入力されるデジタル信号の上位ビット（ビット

10

20

30

40

50

数はデジタル信号のビット数より小さければ任意)が入力され、残りの下位ビットが下位セクタに入力される。

上位セクタは、レジスタストリングのレジスタ素子間の接続ノード(ただしストリング末端ではレジスタ素子の最大電圧または最小電圧の印加ノード)に発生している複数の上位電圧値の何れかーを選択して、演算増幅器の一方入力に出力する。この上位セクタの出力と演算増幅器の一方入力との間には、第1スイッチと上位キャパシタが、上位セクタの出力側からこの順で直列接続されている。また、上位キャパシタの一方電極(例えば演算増幅器側の電極)が第2スイッチを介して演算増幅器の出力と短絡可能になっている。さらに、上位キャパシタの他方電極(例えば上位セクタ側の電極)が第3スイッチを介して演算増幅器の出力と短絡可能になっている。

10

下位セクタからの出力は、演算増幅器の他方入力に入力可能に接続されている。

【0012】

制御回路が、これらの第1～第3スイッチがオンするタイミングを制御することにより、上位ビットに応じた上位電圧値に、下位ビットに応じた下位電圧値を高精度で加算された出力が演算増幅器から得られる。

【発明の効果】

【0013】

本発明によれば、高い変換精度を維持したままセレクトスイッチの数を簡単な構成で減らすことができるという利点がある。

【発明を実施するための最良の形態】

20

【0014】

以下、本発明の実施形態を、デジタル-アナログ変換器を信号線駆動ユニットごとに内蔵する映像表示装置を例として図面を参照して説明する。

【0015】

〔第1実施形態〕

図2は、本発明の実施形態に関わる映像表示装置として液晶表示パネルの構成例を示す回路図である。図2は、簡略化のために、4行×4列分の画素配列を例に示している。

図示の液晶表示パネル1において、行列状に配置された4行×4列分の画素11の各々は、薄膜トランジスタTFTと、薄膜トランジスタTFTのソースとドレインの一方に、画素電極が接続された液晶セルLCと、当該ソースまたはドレインに一方の電極が接続された保持容量Csとから構成されている。これら画素11の各々に対して、信号線(データ線)12-1～12-4が列ごとにその画素配列方向に沿って配線され、ゲート線13-1～13-4が行ごとにその画素配列方向に沿って配線されている。

30

【0016】

画素11の各々において、薄膜トランジスタTFTのソース(または、ドレイン)は、対応するデータ線12-1～12-4に各々接続されている。薄膜トランジスタTFTのゲートは、ゲート線13-1～13-4に各々接続されている。液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsライン14に接続されている。このCsライン14に、所定の直流電圧がコモン電圧Vcomとして与えられる。

【0017】

40

以上により、画素11が行列状に配置され、これら画素11に対してデータ線12-1～12-4が列ごとに配線され、かつゲート線13-1～13-4が行ごとに配線される画素部2が構成されている。画素部2において、ゲート線13-1～13-4の各一端は、垂直ドライバ(V・DRV)3の各行の出力端に接続されている。

【0018】

垂直ドライバ3は、1画面の表示期間ごとに垂直方向(列方向)に走査してゲート線13-1～13-4に接続された各画素11を行単位で順次選択する。すなわち、垂直ドライバ3からゲート線13-1に対して垂直走査パルスが与えられたときには1行目の各列の画素が選択され、ゲート線13-2に対して垂直走査パルスが与えられたときには2行目の各列の画素が選択される。以下同様にして、ゲート線13-3, 13-4に対して垂

50

直走査パルスが順に与えられる。

【0019】

画素部2の列方向の一方に、水平ドライバ(H・DRV)4が配置されている。また、垂直ドライバ3や水平ドライバ4に対して各種のクロック信号や制御信号を与えるタイミングジェネレータ(TG)5が設けられている。

【0020】

水平ドライバ4は、半導体多チャンネル・ディスプレイドライバであり、データ線12-1, 12-2, ...ごとに駆動ユニットを有する。

【0021】

図3に、水平ドライバ4のブロック図を示す。

水平ドライバ4は、データ線ごとに駆動ユニット4Aを有する(図では5ユニットまで表示)。データ入力端子41は、ディジタル(映像)信号としてのディジタルデータを入力する端子であり、全ての駆動ユニット4Aに共通に設けられている。データ出力端子49は駆動ユニット4Aごとに設けられている。

【0022】

駆動ユニット4Aは、データの入力側から順に設けられている、シフトレジスタ42、ラッチ43、上位セクタ44、下位セクタ47、および、サンプルホールド加算器としてのサンプルホールドアンプ48を含む。

このうちサンプルホールドアンプ48には、図2に示すタイミングジェネレータ5からの制御信号CS1, CS2, CS3, CS4が、CS入力端子を経由して入力される。また、特に図示しないがタイミングジェネレータ5からのクロック信号がシフトレジスタ42やラッチ43に入力される。制御信号CS1, CS2, CS3, CS4もクロック信号に同期した信号であり、そのため全ての駆動ユニット4Aが同期して動作する。

【0023】

データ入力端子41から(N+M)ビットのディジタルデータが入力される。このディジタルデータは上位Nビットと下位Mビットにより構成される。ディジタルデータは、端に位置する駆動ユニット4Aのシフトレジスタ42に入力され、駆動ユニット4A(チャンネル)の配列方向にシフトレジスタ42内を順次転送される。

点順次駆動の場合は転送されたデータは順次(一定の時間間隔で次々に)各チャンネル内のラッチ43に出力されて一時保持され、順次次段に送られる。一方、線順次駆動の場合は全てのシフトレジスタ42にデータが揃った時点で一斉にラッチ43に1表示ライン分のデータが出力され、一斉に次段に送られる。

【0024】

ラッチ43の出力は2系統に分けられている。すなわち、ラッチ43に保持される上位Nビットが上位セクタ44に出力され、下位Mビットが下位セクタ47に出力される。

上位セクタ44は、図1に示すセレクトスイッチS0~S(2^N-1)と同様に、2^N個のセレクトスイッチを有する。ただし、本実施形態で上位セクタ44に対応するビット数Nは上位ビット数であるため、図1における全ビット数Nより小さく、その分、セレクトスイッチの数も少ない。2^N個のセレクトスイッチの何れかが選択されてオンすることにより上位セクタ44が動作する。

同様に、下位セクタ47は、2^M個のセレクトスイッチを有し、その何れかが選択されてオンすることにより動作する。

なお、図3には、上位セクタ44と下位セクタ47のそれぞれでセレクトスイッチを選択するための構成が省略されている。この構成は、入力するディジタルデータをNビット、Mビットの繰り返しを単位にデコードするデコーダから構成される。

【0025】

図3に示す水平ドライバ4は、全ての上位セクタ44に共通な上位レジスタストリング45と、全ての下位セクタ47に共通な下位レジスタストリング46とを、それぞれ1つつ有する。

上位レジスタストリング 4 5 は、図 1 に示す抵抗ストリング R S と同様、上位ビット数 N に対応した数、すなわち 2^N 個の上位レジスタ素子（図 1 に示すレジスタ素子 R E 0 ~ R E (2^N-1) に相当）の直列接続体である。また、下位レジスタストリング 4 6 は下位ビット数 M に対応した数、すなわち 2^M 個の下位レジスタ素子の直列接続体である。

【 0 0 2 6 】

上位レジスタストリング 4 5 の一方端に、 V_t 入力端子を介してアナログ上限電圧 V_t が印加され、その他方端に、 V_b 入力端子を介してアナログ下限電圧 V_b が印加される。この電圧印加時に、レジスタ素子の抵抗値が “ R ” で等しい場合、レジスタ素子間に $(V_t - V_b)$ を等間隔に分割した上位電圧値が、レジスタ素子同士の接続ノードに発生する。このレジスタ素子間の上位電圧値は全ての上位セクタ 4 4 に供給される。また、図 1 と同様な接続関係の場合、アナログ上限値 V_t も上位セクタ 4 4 に供給される。

10

【 0 0 2 7 】

なお、図 1 とは異なり、アナログ下限値 V_b を上位セクタ 4 4 に供給する構成でもよい。また、レジスタ素子の数を 1 つ減らしてアナログ上限値 V_t とアナログ下限値 V_b の双方を上位セクタ 4 4 に供給する構成でもよい。

【 0 0 2 8 】

図 1 と同じこの上位セクタ 4 4 の各レジスタ素子に印加される電圧は $(V_t - V_b) / 2^N$ または $(V_t - V_b) / (2^N + 1)$ で表され、以下、この電圧を “ 区間電圧 ” という。

下位レジスタストリング 4 6 の一方端に、区間トップ電圧 V_{Lt} が V_{Lt} 入力端子を介して印加される。下位レジスタストリング 4 6 の他方端に区間ボトム電圧 V_{Lb} が、 V_{Lb} 入力端子を介して印加される。この区間トップ電圧 V_{Lt} と区間ボトム電圧 V_{Lb} との差が、上記で定義した “ 区間電圧 ” と等しい電圧に設定されている。これは上位ビットで “ 区間電圧 ” を単位として粗く変化する出力電圧の変化ステップをさらに下位ビットで細かく 2^M 分割するためである。

20

【 0 0 2 9 】

上位セクタ 4 4 と下位セクタ 4 7 の出力はサンプルホールドアンプ 4 8 の入力となり、この入力された 2 つのセクタ出力がサンプルホールドアンプ 4 8 内で加算され、 $(N + M)$ ビットの D / A コンバータ出力として出力端子 4 9 に出力され、液晶表示パネル 1 の対応する信号線を駆動する。

30

このとき、CS 入力端子から入力される制御信号によりサンプルホールドアンプ 4 8 のサンプルホールド動作および加算出力動作が制御される。

【 0 0 3 0 】

図 4 に、図 3 の上位セクタ 4 4、下位セクタ 4 7、サンプルホールドアンプ 4 8 により構成される駆動ユニット 4 A の一部を詳示する。

サンプルホールドアンプ 4 8 は、オペアンプ（演算増幅器）OA、上位キャパシタ C、第 1 スイッチ SW 1、第 2 スイッチ SW 2 および第 3 スイッチ SW 3 を有する。

上位セクタ 4 4 の出力とオペアンプ OA の反転入力「 - 」との間には、第 1 スイッチ SW 1 と上位キャパシタ C が、上位セクタ 4 4 の出力側からこの順で直列接続されている。また、上位キャパシタ C の一方電極（本例ではオペアンプ OA 側の電極）と、オペアンプ OA の出力との間に第 2 スイッチ SW 2 が接続されている。さらに、上位キャパシタ C の他方電極（本例では上位セクタ 4 4 側の電極）と、オペアンプ OA の出力との間に第 3 スイッチ SW 3 が接続されている。これら第 1 スイッチ SW 1 ~ 第 3 スイッチの 3 つのスイッチは、図 3 の CS 入力端子から入力される制御信号により、適切なタイミングで導通が制御される。

40

【 0 0 3 1 】

上位セクタ 4 4 は 2^N 個の上位セレクトスイッチ $S_0 \sim S_{(2^N-1)}$ を有し、それぞれの出力ノードが共通接続されて第 1 スイッチ SW 1 の入力ノードに接続されている。

2^N 個の上位セレクトスイッチ $S_0 \sim S_{(2^N-1)}$ の各入力ノードには、図 2 の上位レジスタストリング 4 5 で発生した上位電圧値 $V_{R0} \sim V_{R(2^N-1)}$ が供給可能となっている。こ

50

の上位電圧値 $V_{R0} \sim V_{R(2^N-1)}$ は、その隣り合う電圧差が、前述した一定の区間電圧となる。上位電圧値 $V_{R0} \sim V_{R(2^N-1)}$ は、上位レジスタ素子間の接続ノード、または、アナログ上限値 V_t またはアナログ下限値 V_b の印加ノードに発生する電圧である。

2^N 個の上位セレクトスイッチ $S_0 \sim S_{(2^N-1)}$ は、当該 D/A コンバータに入力されるデジタル信号の上位 N ビットに応じて、その 1 つだけ導通するように（例えば不図示のデコーダにより）制御される。

【0032】

下位セレクト 47 は 2^M 個の下位セレクトスイッチ $S_{L0} \sim S_{L(2^M-1)}$ を有し、それぞれの出力ノードが共通接続されて、オペアンプ O A の非反転入力「+」に接続されている。

2^M 個の下位セレクトスイッチ $S_{L0} \sim S_{L(2^M-1)}$ の各入力ノードには、図 2 に示す下位レジスタストリング 46 で発生した下位電圧値 $V_{RL0} \sim V_{RL(2^M-1)}$ が供給可能となっている。この下位電圧値 $V_{RL0} \sim V_{RL(2^M-1)}$ は、前述した一定の区間電圧と等価な電圧を 2^M または $(2^M + 1)$ で等分した電圧である。下位電圧値 $V_{RL0} \sim V_{RL(2^M-1)}$ は、下位レジスタ素子間の接続ノードに発生する電圧、または、区間トップ電圧 V_{Lt} または区間ボトム電圧 V_{Lb} である。

2^M 個の下位電圧値 $V_{RL0} \sim V_{RL(2^M-1)}$ は、当該 D/A コンバータに入力されるデジタル信号の下位 M ビットに応じて、その 1 つだけ導通するように（例えば不図示のデコーダにより）制御される。

【0033】

次に、図 5 のタイミングチャートを用いて動作を説明する。

ここで第 1 スイッチ SW_1 、第 2 スイッチ SW_2 および第 3 スイッチ SW_3 は、デジタルの制御信号の“H”レベルでオンし、“L”レベルでオフする。

【0034】

図 5 (A) ~ 図 5 (C) に示すように、初期状態では第 1 スイッチ SW_1 と第 2 スイッチ SW_2 はオン、第 3 スイッチ SW_3 はオフしている。また、図 5 (D) に示すように、上位セレクトスイッチ $S_0 \sim S_{(2^N-1)}$ のうち、入力されるデジタル信号の上位ビットに対応した 1 つの上位セレクトスイッチ S_x がオンしている。さらに、初期状態では、図 5 (E) に示すように、下位セレクトスイッチ $S_{L0} \sim S_{L(2^M-1)}$ のうち、区間ボトム電圧 V_{Lb} に最も近い下位セレクトスイッチ S_{L0} だけがオンしている。

この初期状態では、図 4 において、第 1 スイッチ SW_1 がオンしているため、オン状態の上位セレクトスイッチ S_x を介して上位電圧値 V_{Rx} が上位キャパシタ C の上位セクタ側電極に入力されている。また、オペアンプ O A の反転入力「-」と出力が接続され、その非反転入力「+」には下位電圧値 V_{RL0} が入力される。このため、オペアンプ O A の出力電圧 V_o は最も低い下位電圧値 V_{RL0} と等しい電圧となる。

【0035】

次に、図 5 (A) に示すように、時間 t_1 にて第 2 スイッチ SW_2 をオフにする。これにより、オペアンプ O A の出力が上位セクタ 44 から切断されるが、このとき上位キャパシタ C の両端には、最も低い下位電圧値 V_{RL0} を基準として上位電圧値 V_{Rx} が印加されている。

【0036】

次に、図 5 (B) に示すように、時間 t_2 にて第 1 スイッチ SW_1 をオフして、上位キャパシタ C を上位セクタ 44 から切り離す。これにより、最も低い下位電圧値 V_{RL0} を基準とする上位電圧値 V_{Rx} が上位キャパシタ C に保持される。

【0037】

次に、図 5 (C) に示すように、時間 t_3 にて第 3 スイッチ SW_3 をオンする。これにより、第 3 スイッチ SW_3 と上位キャパシタ C を介してオペアンプ O A に帰還がかかり、図 5 (G) に示すように、オペアンプ O A の出力電圧 V_o は上位電圧値 V_{Rx} と等しい電圧になる。ここまでの動作で上位セクタ 44 により選択された上位電圧値 V_{Rx} がオペアンプ O A から出力されたことになる。

10

20

30

40

50

【 0 0 3 8 】

図 5 (E) に示すように、時間 t_4 にて、下位セクタ 4 7 の下位セレクトスイッチ S_{L0} をオフする。続いて、図 5 (F) に示すように、時間 t_5 にて、 2^M 個の下位セレクトスイッチ $S_{L0} \sim S_{L(2^M-1)}$ のうち、入力されるデジタル信号の下位 M ビットに対応する下位セレクトスイッチ S_{Lx} をオンする。これによりオペアンプ O A の非反転入力「+」端子の電圧は、初期設定された最も低い下位電圧値 V_{RL0} から、下位セレクトスイッチ S_{Lx} に対応した下位電圧値 V_{RLx} に変化する。

【 0 0 3 9 】

このようにオペアンプ O A に帰還がかかった状態で非反転入力「+」の電圧を変化させると、出力電圧 V_o も同じ電圧分だけ変化する。したがって非反転入力「+」の電圧が、最も低い下位電圧値 V_{RL0} から下位電圧値 V_{RLx} に変化すると、図 5 (G) に示すように、オペアンプ O A の出力電圧 V_o は上位電圧値 V_{Rx} から、より高い電圧 ($V_{Rx} + V_{RLx} - V_{RL0}$) に変化する。上位電圧値 V_{Rx} に加算される電圧 ($V_{RLx} - V_{RL0}$) は、最も低い下位電圧値 V_{RL0} と、入力されるデジタル信号の下位 M ビットに応じて下位セクタ 4 7 により選択された下位電圧値 V_{RLx} との差電圧である。したがって、時間 t_5 以後にオペアンプ O A から出力される電圧 ($V_{Rx} + V_{RLx} - V_{RL0}$) は、入力されるデジタル信号の上位ビット数を N 、下位ビット数を M とすると ($N + M$) ビットの D / A 変換されたアナログ電圧となる。

【 0 0 4 0 】

この D / A コンバータ出力で、液晶表示パネル 1 の、対応する信号線が駆動される。より詳細には、入力デジタル信号のビット値に応じたアナログ電圧が図 4 の水平ドライバ 4 から出力され、垂直ドライバ 3 の走査によるオン状態の薄膜トランジスタ T F T を介して液晶セル L C の画素電極に印加される。このときの液晶セル L C の電界は、信号線から供給されるアナログ電圧の値に応じて決まるため、入力されるデジタル信号に応じた階調で画素の明るさが変化する。

【 0 0 4 1 】

〔 第 2 実施形態 〕

本実施形態は、サンプルホールドアンプ 4 8 の非反転入力「+」側の構成を、より高精度な変換を実現するために改善したものである。

図 4 の構成を有する第 1 実施形態では、下位セクタ 4 7 の出力を、直接オペアンプ O A の非反転入力「+」に入力している。この場合、以下の改善点が存在する。

【 0 0 4 2 】

図 4 のオペアンプ O A の反転入力「-」には上位キャパシタ C が接続されているが、上位キャパシタ C と反転入力「-」との接続ノードには多少なりとも寄生容量が存在する。この寄生容量は半導体デバイスにおける導電層と他の導電層の結合容量、T F T 薄膜の半導体不純物領域のジャンクション容量等である。

この寄生容量が上位キャパシタ C の容量値に比べ無視できないと、両者の電荷配分により、その容量比に応じた量だけ、前述した電圧差分が減衰し、出力電圧 ($V_{Rx} + V_{RLx} - V_{RL0}$) が設計値から微妙に大きくなるという不都合がある。

第 2 実施形態は、この点を改善し、より高精度は D / A (digital to analog) 変換を実現するための構成を示すものである。

【 0 0 4 3 】

図 6 は、オペアンプの非反転入力「+」に接続される部分の変形例を示す。

オペアンプ O A の非反転入力「+」と下位セクタ 4 7 との間に下位キャパシタ C L を挿入し、さらに非反転入力「+」と D C 電圧 V_{op} を接続する第 4 スイッチ S W 4 が追加されている。第 4 スイッチ S W 4 は、オペアンプ O A の非反転入力「+」と下位キャパシタ C L との接続ノードと、D C 電圧 V_{op} の供給端子との間に接続され、他の第 1 ~ 第 3 スイッチ S W 1 , S W 2 , S W 3 と同様、図 3 の C S 入力端子からの制御信号により制御される。

【 0 0 4 4 】

10

20

30

40

50

ここで第4スイッチSW4が接続される上記接続ノードから見た容量値と、第2スイッチSW2が接続されているオペアンプOAの反転入力「-」側の接続ノードから見た容量値を揃える（等しいか変換精度に影響がでない程度までほぼ等しくする）ことが望ましい。最も簡単な方法としては、下位キャパシタCLと上位キャパシタCの容量値をほぼ等しくし、かつ、第4スイッチSW4と第2スイッチSW2のサイズをほぼ等しくするとよい。

なお、DC電圧Vopは、オペアンプOAが動作する範囲内で任意に設定可能である。

【0045】

次に、図7のタイミングチャートを用いて動作を説明する。

ここで第1スイッチSW1、第2スイッチSW2、第3スイッチSW3および第4スイッチSW4は、デジタルの制御信号の“H”レベルでオンし、“L”レベルでオフする。

以下、第1実施形態との相違点を中心に説明し、第1実施形態と共通な動作は説明を簡略化する。

【0046】

図7(A)～図7(D)に示すように、初期状態では第1スイッチSW1と第2スイッチSW2はオン、第3スイッチSW3はオフし、さらに本実施形態で新たに設けた第4スイッチSW4はオンしている。

初期状態では、第1実施形態と同様、上位ビットに対応した1つの上位セレクトスイッチSxがオンし（図7(E)）、区間ボトム電圧VLbに最も近い下位セレクトスイッチSL0がオンしている（図7(F)）。

この状態では、第1実施形態と同様、上位電圧値VRxが上位キャパシタCの上位セクタ側電極に入力され、オペアンプOAの反転入力「-」と出力が接続されている。一方、オペアンプOAの非反転入力「+」にはDC電圧Vopが接続されるため、出力電圧VoはDC電圧Vopと等しい電圧となっている。

【0047】

次に、時間t1にて第2スイッチSW2をオフする（図7(A)）。このとき、上位キャパシタCの両端には、DC電圧Vopを基準として上位電圧値VRxが印加されている。

【0048】

続いて時間t12にて、第4スイッチSW4をオフする（図7(D)）。ここで非反転入力「+」の電位は上位キャパシタCLでホールドされるためDC電圧Vopのまま変化しない。従ってオペアンプOAの出力電圧Voに変化はない（図7(H)参照）。

【0049】

次に、時間t2にて第1スイッチSW1をオフし（図7(B)）、上位キャパシタCを上位セクタ44から切り離す。これにより、DC電圧Vopを基準とする上位電圧値VRxが上位キャパシタCに保持される。

【0050】

次に、時間t3にて第3スイッチSW3をオンし（図7(C)）、オペアンプOAに帰還をかけてオペアンプOAの出力電圧Voを上位電圧値VRxと等しい電圧にする（図7(H)参照）。

その後、時間t4にて、下位セクタ47の下位セレクトスイッチSL0をオフさせ（図7(F)）、時間t5にて下位Mビットに対応する下位セレクトスイッチSLxをオンする（図7(G)）。これにより、非反転入力「+」には下位キャパシタCLを介して（VRLx - VRL0）の電圧変化が印加されるため、オペアンプOAからは図5(G)と同様な出力電圧（VRx + VRLx - VRL0）が得られる。

【0051】

[第3実施形態]

本実施形態は、レジスタストリングに関するものであり、上記第1実施形態、第2実施形態のいずれに対しても重複適用できる。

図 8 に、本実施形態のレジスタストリングを示す。

図 3 のブロック図では、上位レジスタストリング 4 5 と下位レジスタストリング 4 6 を別に設けているが、図 8 のレジスタストリング 5 0 は、上位レジスタストリング 4 5 と下位レジスタストリング 4 6 を一本化したものである。なお、ここで図 1 のレジスタストリングと比較すると、上位電圧値 $V_{R0} \sim V_{R(2^N-1)}$ の出力ノードをアナログ下限値 V_b 側に 1 レジスタ素子分だけシフトさせている。この変形は、第 1 実施形態でも可能である。

【 0 0 5 2 】

図 8 のレジスタストリング 5 0 は、上位 N ビット、下位 M ビットに共用のレジスタストリングであり、その一方端にアナログ上限値 V_t が印加され、他方端にアナログ下限値 V_b が印加される。

レジスタストリング 5 0 は、抵抗値 R が等しい 2^N 個のレジスタ素子 $R_{E0} \sim R_{E(2^N-1)}$ からなる。ただし、本実施形態では、そのうちの一つ、ここではレジスタ素子 R_{E3} が、さらに小さい 2^M 個のレジスタ素子 $r_{e0} \sim r_{e(2^M-1)}$ の直列接続体からなる。この 2^M 個のレジスタ素子 $r_{e0} \sim r_{e(2^M-1)}$ は下位 M ビットを表現するためのものであり、各レジスタ素子 r_e の抵抗値は $R / 2^M$ となる。

【 0 0 5 3 】

図示例の場合、 2^M 個のレジスタ素子 $r_{e0} \sim r_{e(2^M-1)}$ 全体で一つのレジスタ素子 R_{E3} と同じ機能があるので、この小さいレジスタ素子の挿入が上位 N ビットの上位電圧値 V_{Rx} の設定には影響しない。

一方、上位電圧値 V_{R3} と、最も小さい下位電圧値 V_{RL0} との電位差は一定であり、図 4 または図 6 の回路構成では、差電圧 ($V_{RLx} - V_{RL0}$) のみオペアンプ O A の出力に加算される。よって、上位電圧値 V_{R3} と、最も小さい下位電圧値 V_{RL0} との電位差があっても、それが一定である限り回路動作に影響しない。このことは、 2^M 個のレジスタ素子 $r_{e0} \sim r_{e(2^M-1)}$ と置き換え可能な抵抗値 R のレジスタ素子は、 2^N 個のレジスタ素子 $R_{E0} \sim R_{E(2^N-1)}$ の何れであってもよいことを意味する。

ただし、直列抵抗体内で抵抗値 R に僅かにばらつきがあると、その影響は 2^N 個のレジスタ素子 $R_{E0} \sim R_{E(2^N-1)}$ の中央ほど大きくなる。よって、 2^M 個のレジスタ素子 $r_{e0} \sim r_{e(2^M-1)}$ と置き換え可能な抵抗値 R のレジスタ素子は、アナログ上限値 V_t 側またはアナログ下限値 V_b の端に近いほど望ましい。

【 0 0 5 4 】

[第 4 実施形態]

本実施形態は、例えば図 4 または図 6 に示す下位セクタスイッチ $S_{L0} \sim S_{L(2^M-1)}$ を低耐圧のスイッチに置き換える。

図 2 の液晶表示パネル 1 を駆動する水平ドライバ 4 は、一般に、10 数 [V] 程の電圧が必要となり、この電圧は一般的なロジック IC の電圧比べて高いため、ロジック用のトランジスタとは別に高耐圧のトランジスタ (高耐圧 FET) を作り、D/A コンバータでは高耐圧 FET を使用しなければならない。

しかし、D/A コンバータ内のトランジスタを一律に、高耐圧 FET とするとエリアペナルティが大きく、水平ドライバ 4 内の配置設計が困難になる。

【 0 0 5 5 】

下位セクタ 4 7 は、その取り扱うアナログ電圧の範囲が “ 区間電圧 ” に等しい。つまり、下位セクタ 4 7 が取り扱う電圧範囲は、上位セクタ 4 4 が取り扱う電圧範囲 ($V_t - V_b$) の 2^N 分の 1 と小さい。本実施形態は、この点に着目して、下位セクタ 4 7 のセクタスイッチの耐圧を、上位セクタ 4 4 のセクタスイッチの耐圧より動作上支障のない範囲内で低減して、これにより個々のスイッチサイズを小さくしている。下位セクタスイッチは 2^M 個存在し、これがチャネル (駆動ユニット 4 A) ごとに存在するため、1 つのスイッチサイズ縮小効果は小さくても、全体としては大きな面積削減、配置の自由度の向上が得られる。

【 0 0 5 6 】

以上の第 1 ～ 第 4 実施形態では、下記に示す種々の利点がある。

【 0 0 5 7 】

本発明の第 1 ～ 第 4 実施形態では、セレクトスイッチ群を上位ビット用と下位ビット用に分けるため、レジスタストリング型 D / A コンバータのセクタスイッチ数を大幅に削減することが可能になる。

すなわち、N ビットのレジスタストリング型 D / A コンバータでは 2^N 個のスイッチが必要となるが、本発明によると $2^J + 2^K$ 個、但し ($J + K = N$) でよい。例えば $N = 8$ 、 $J = K = 4$ とすると従来 256 個必要であるスイッチが 32 個で済む。

このようにスイッチの数が削減できるため多ビットの D / A コンバータでも面積の増大を抑えることが可能となる。

また、面積の増大を抑えることにより各配線ノードに付く寄生容量の増大を抑えることができ、変換スピードの劣化を抑える、あるいはレジスタストリングの抵抗値を上げることが可能になり、より消費電力を低減できる。

さらに、サンプルホールドアンプ 48 は、比較的簡単な構成であっても精度よい電圧加算が可能である。

【 0 0 5 8 】

本発明の第 2 実施形態によれば、オペアンプ O A の非反転入力「+」の電圧を変化させて出力電圧を変化させる時に、反転入力「-」のノードの寄生容量と上位キャパシタ C の容量比だけ出力電圧に誤差が生じるのを抑えることが可能になる。これにより、エラーの少ない高精度の D / A コンバータが実現できる。

また、図 4 の構成では、第 2 スイッチ S W 2 を切断するときのスイッチングノイズにより誤差が発生するが、図 6 の構成では、第 2 スイッチ S W 2 で発生する誤差を、第 4 スイッチ S W 4 を切断するとき発生する誤差成分とで相殺することができるため、エラーの少ない高精度の D / A コンバータが実現可能となる。

さらに、オペアンプ O A の非反転入力「+」を容量結合しているため、D C 電圧 V_{op} を基準として下位電圧値 $V_{RL0} \sim V_{RL}(2^M - 1)$ の値をそれぞれ独立に設定できるため、D C 電圧 V_{op} を最適化することによって、さらに高い精度の出力が得られる制御が可能である。

【 0 0 5 9 】

本発明の第 3 実施形態によれば、区間トップ電圧 V_{Lt} と区間ボトム電圧 V_{Lb} の供給が不要になり、図 3 の V_{Lt} 端子、 V_{Lb} 端子を削減できる。

また、下位レジスタストリング 46 を別に設けなくてすむため、面積の増大が抑えられる。

面積の増大を抑えることにより各配線ノードに付く寄生容量の増大を抑えることができ、変換スピードの劣化を抑える、あるいはレジスタストリングの抵抗値を上げることが可能になり、より消費電力を削減できる。また、下位レジスタストリング 46 を別に設ける必要がなくなる分、抵抗を流れる電流が削減され、より消費電流が削減される。

【 0 0 6 0 】

本発明の第 4 実施形態によれば、小さい面積のトランジスタと置き換えられるため、性能に影響を与えることなく D / A コンバータの占有面積が削減できる。

また、低耐圧のトランジスタは小面積のため寄生容量が小さく、またゲート酸化膜圧も薄いためスイッチのオン抵抗が小さくなるため、小寄生容量で、かつ、低抵抗のスイッチとなり変換スピード低下しないばかりでなく、むしろ向上できるという利点がある。

【 図面の簡単な説明 】

【 0 0 6 1 】

【図 1】レジスタストリング型の D / A コンバータの基本構成図である。

【図 2】本発明の実施形態に関わる液晶表示パネルの回路ブロック図である。

【図 3】水平ドライバのブロック図である。

【図 4】第 1 実施形態に関わり、駆動ユニットの一部を詳細に示す回路図である。

【図 5】図 4 の回路の動作タイミングチャートである。

【図 6】第 2 実施形態に関わり、駆動ユニットの一部を詳細に示す回路図である。

10

20

30

40

50

【図 7】図 6 の回路の動作タイミングチャートである。

【図 8】第 3 実施形態のレジスタストリングを示す図である。

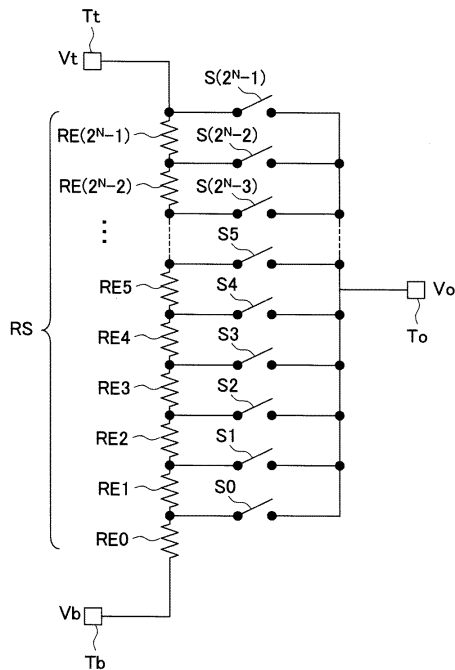
【符号の説明】

【 0 0 6 2 】

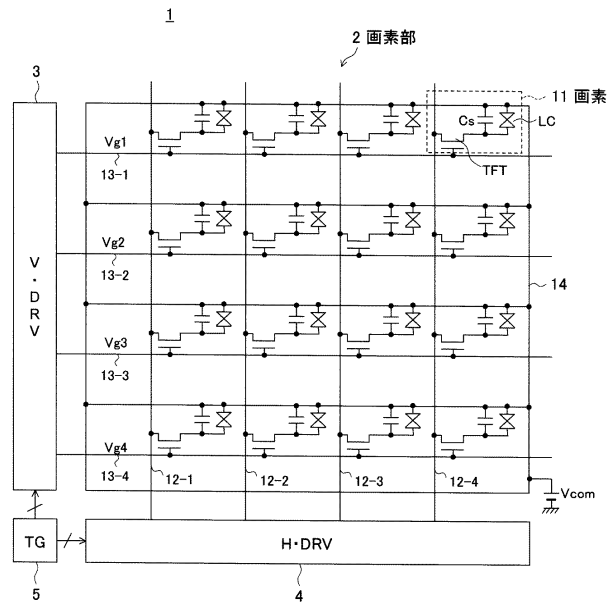
1 ... 液晶表示パネル、2 ... 画素部、3 ... 垂直ドライバ、4 ... 水平ドライバ、4 A ... 駆動ユニット、4 1 ... データ入力端子、4 2 ... シフトレジスタ、4 3 ... ラッチ、4 4 ... 上位セクタ、4 5 ... 上位レジスタストリング、4 6 ... 下位レジスタストリング、4 7 ... 下位セクタ、4 8 ... サンプルホールドアンプ、4 9 ... データ出力端子、5 ... タイミングジェネレータ、1 2 - 1 ~ 1 2 - 4 ... データ線、R E ... レジスタ素子、V R x ($x=0 \sim 2^N-1$) ... 上位電圧値、V R L x ($x=0 \sim 2^M-1$) ... 下位電圧値、V t ... アナログ上限値、V b ... アナログ下限値

10

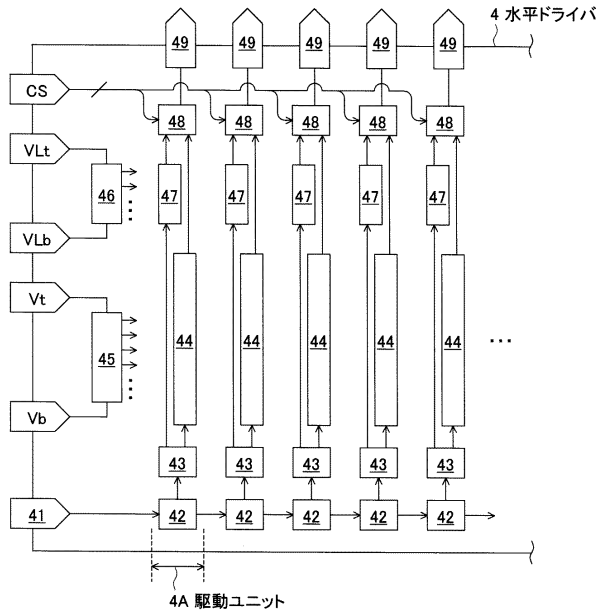
【図 1】



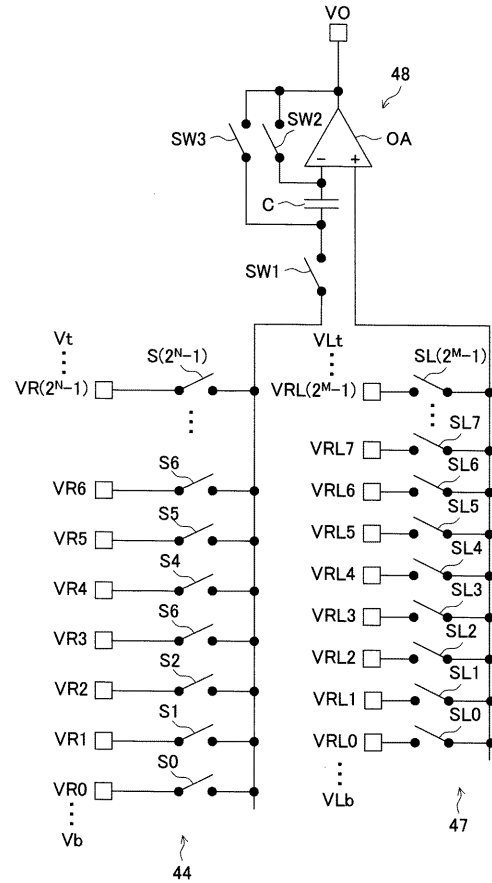
【図 2】



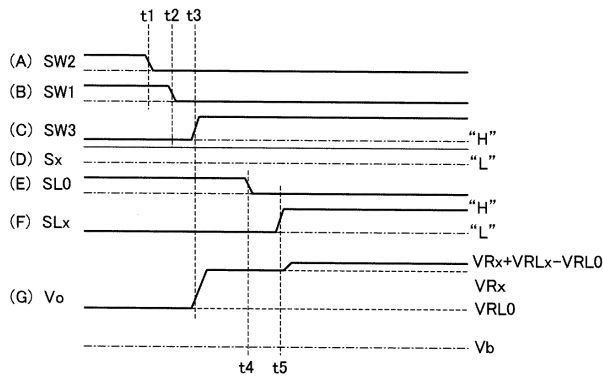
【図 3】



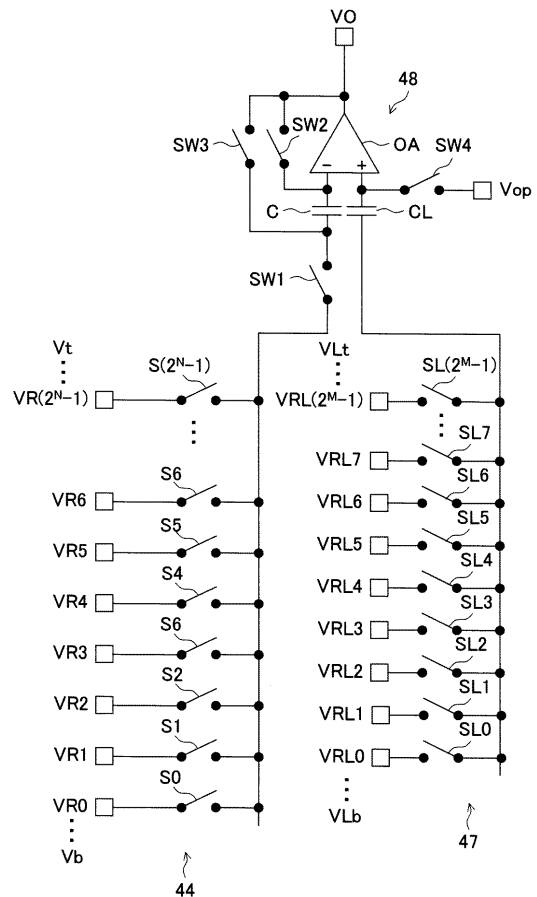
【図 4】



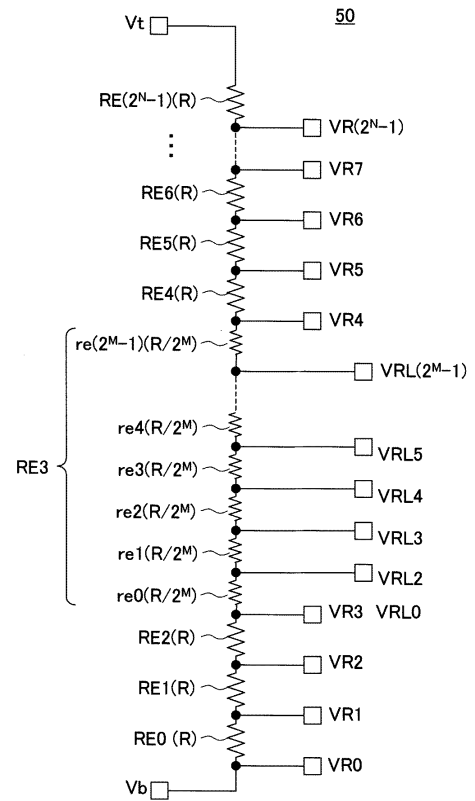
【図 5】



【図 6】



【 図 8 】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0

(72)発明者 杉山 高明
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 矢野 元康
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 柳下 勝幸

(56)参考文献 特開昭59-161916(JP,A)
特開昭62-298230(JP,A)
特開平6-120832(JP,A)
特開2000-151407(JP,A)
特開平4-81130(JP,A)
特開平10-65543(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 3 M 1 / 0 0 - 1 / 8 8
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6