

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6690708号  
(P6690708)

(45) 発行日 令和2年4月28日(2020.4.28)

(24) 登録日 令和2年4月13日(2020.4.13)

(51) Int.Cl. F I  
H04B 3/06 (2006.01) H04B 3/06 A

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2018-523272 (P2018-523272)	(73) 特許権者	514315159 株式会社ソシオネクスト 神奈川県横浜市港北区新横浜2丁目10番 23
(86) (22) 出願日	平成28年6月24日(2016.6.24)	(74) 代理人	100099759 弁理士 青木 篤
(86) 国際出願番号	PCT/JP2016/068926	(74) 代理人	100119987 弁理士 伊坪 公一
(87) 国際公開番号	W02017/221427	(74) 代理人	100133835 弁理士 河野 努
(87) 国際公開日	平成29年12月28日(2017.12.28)	(74) 代理人	100135976 弁理士 宮本 哲夫
審査請求日	令和1年5月22日(2019.5.22)	(72) 発明者	工藤 真大 神奈川県横浜市港北区新横浜二丁目10番 23 株式会社ソシオネクスト内 最終頁に続く

(54) 【発明の名称】 等化回路、受信回路および集積回路装置

(57) 【特許請求の範囲】

【請求項1】

加算端子および減算端子を有し、入力信号の加算を行う第1加算回路と、  
前記第1加算回路の出力信号を所定のしきい値と比較する比較回路と、  
前記比較回路の出力データを保持するラッチ回路と、  
等化係数が正の値のときに前記等化係数の絶対値に対応する第1信号を出力する第1デジタル/アナログ変換回路と、  
前記等化係数が負の値のときに前記等化係数の絶対値に対応する第2信号を出力する第2デジタル/アナログ変換回路と、  
前記ラッチ回路に保持されたデータに基づいて、前記第1デジタル/アナログ変換回路の出力端子および前記第2デジタル/アナログ変換回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替えるスイッチ回路と、を有し、  
前記第1デジタル/アナログ変換回路は、前記等化係数が負の値のときに前記等化係数が零である場合に対応する信号を出力し、  
前記第2デジタル/アナログ変換回路は、前記等化係数が正の値のときに前記等化係数が零である場合に対応する信号を出力することを特徴とする等化回路。

【請求項2】

前記第1信号および前記第2信号は、第1電流信号および第2電流信号であり、  
前記第1デジタル/アナログ変換回路および前記第2デジタル/アナログ変換回路は、

10

20

第 1 電流 D A C および第 2 電流 D A C である、  
 ことを特徴とする請求項 1 に記載の等化回路。

【請求項 3】

前記等化回路は、 $n$  を 2 以上の整数として、過去の  $n$  個のデータによるシンボル間干渉を除去するための  $n$  個のシンボル間干渉除去ユニットを含み、

それぞれの前記シンボル間干渉除去ユニットは、前記ラッチ回路、前記第 1 デジタル / アナログ変換回路、前記第 2 デジタル / アナログ変換回路、および、前記スイッチ回路を含み、

前記  $n$  個の前記シンボル間干渉除去ユニットにおける前記ラッチ回路は、縦列接続されて過去の  $n$  個前までのシンボルのデータを保持するシフトレジスタを形成する、

ことを特徴とする請求項 1 または請求項 2 に記載の等化回路。

10

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項に記載の等化回路と、

前記等化回路の出力データを受け取ってシリアル / パラレル変換し、受信パラレルデータを受信クロックと共に出力するデマルチプレクサと、

前記デマルチプレクサの出力に基づいて、前記等化回路で使用するデータ取り込みクロックを生成するデータ取り込みクロック生成回路と、を有する、

ことを特徴とする受信回路。

【請求項 5】

請求項 4 に記載の受信回路と、

前記受信回路から前記受信パラレルデータおよび前記受信クロックを受け取って処理を行う内部回路と、

前記内部回路から送信パラレルデータおよび送信クロックを受け取ってパラレル / シリアル変換し、シリアル変換された送信信号を出力する送信回路と、を有する、

ことを特徴とする集積回路装置。

20

【請求項 6】

加算端子および減算端子を有し、入力信号の加算を行う第 1 加算回路と、

前記第 1 加算回路の出力信号を所定のしきい値と比較する比較回路と、

前記比較回路の出力データを保持するラッチ回路と、

等化係数の絶対値に対応する第 3 信号を出力するデジタル / アナログ変換回路と、

前記ラッチ回路に保持されたデータおよび前記等化係数の符号情報に基づいて、前記デジタル / アナログ変換回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替えるスイッチ回路と、を有し、

30

前記スイッチ回路は、

前記ラッチ回路に保持されたデータに基づいて、前記デジタル / アナログ変換回路の出力端子と、自身の出力端子の間の接続を切り替える第 1 スwitch回路と、

前記等化係数の符号情報に基づいて、前記第 1 スwitch回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替える第 2 スwitch回路と、を有する

ことを特徴とする等化回路。

【請求項 7】

前記第 3 信号は、第 3 電流信号であり、

前記デジタル / アナログ変換回路は、電流 D A C である、

ことを特徴とする請求項 6 に記載の等化回路。

40

【請求項 8】

前記等化回路は、 $n$  を 2 以上の整数として、過去の  $n$  個のデータによるシンボル間干渉を除去するための  $n$  個のシンボル間干渉除去ユニットを含み、

それぞれの前記シンボル間干渉除去ユニットは、前記ラッチ回路、前記デジタル / アナログ変換回路、および、前記スイッチ回路を含み、

前記  $n$  個のシンボル間干渉除去ユニットにおける前記ラッチ回路は、縦列接続されて過去の  $n$  個前までのシンボルのデータを保持するシフトレジスタを形成する、

50

ことを特徴とする請求項 6 または請求項 7 に記載の等化回路。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか 1 項に記載の等化回路と、  
前記等化回路の出力データを受け取ってシリアル/パラレル変換し、受信パラレルデータを受信クロックと共に出力するデマルチプレクサと、  
前記デマルチプレクサの出力に基づいて、前記等化回路で使用するデータ取り込みクロックを生成するデータ取り込みクロック生成回路と、を有する、  
ことを特徴とする受信回路。

【請求項 10】

請求項 9 に記載の受信回路と、  
前記受信回路から前記受信パラレルデータおよび前記受信クロックを受け取って処理を行う内部回路と、  
前記内部回路から送信パラレルデータおよび送信クロックを受け取ってパラレル/シリアル変換し、シリアル変換された送信信号を出力する送信回路と、を有する、  
ことを特徴とする集積回路装置。

10

【請求項 11】

加算端子および減算端子を有し、入力信号の加算を行う第 1 加算回路と、  
前記第 1 加算回路の出力信号を所定のしきい値と比較する比較回路と、  
前記比較回路の出力データに基づく第 1 の値を保持するラッチ回路と、  
等化係数の絶対値に対応する第 4 信号を出力するデジタル/アナログ変換回路と、  
前記ラッチ回路に保持されたデータに基づいて、前記デジタル/アナログ変換回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替えるスイッチ回路と、を有し、  
前記第 1 の値は、前記比較回路の出力データと、前記等化係数の符号情報を乗算した値である  
ことを特徴とする等化回路。

20

【請求項 12】

前記等化回路は、 $n$  を 2 以上の整数として、過去の  $n$  個のデータによるシンボル間干渉を除去するための  $n$  個のシンボル間干渉除去ユニットを含み、  
それぞれの前記シンボル間干渉除去ユニットは、前記ラッチ回路、前記デジタル/アナログ変換回路、および、前記スイッチ回路を含み、  
前記  $n$  個のシンボル間干渉除去ユニットにおける前記ラッチ回路は、縦列接続されて過去の  $n$  個前までのシンボルのデータを保持するシフトレジスタを形成する、  
ことを特徴とする請求項 11 に記載の等化回路。

30

【請求項 13】

前記第 4 信号は、第 4 電流信号であり、  
前記デジタル/アナログ変換回路は、電流 DAC である、  
ことを特徴とする請求項 11 または請求項 12 に記載の等化回路。

【請求項 14】

請求項 11 乃至請求項 13 のいずれか 1 項に記載の等化回路と、  
前記等化回路の出力データを受け取ってシリアル/パラレル変換し、受信パラレルデータを受信クロックと共に出力するデマルチプレクサと、  
前記デマルチプレクサの出力に基づいて、前記等化回路で使用するデータ取り込みクロックを生成するデータ取り込みクロック生成回路と、を有する、  
ことを特徴とする受信回路。

40

【請求項 15】

請求項 14 に記載の受信回路と、  
前記受信回路から前記受信パラレルデータおよび前記受信クロックを受け取って処理を行う内部回路と、  
前記内部回路からの送信パラレルデータおよび送信クロックを受け取ってパラレル/シ

50

リアル変換し、シリアル変換された送信信号を出力する送信回路と、を有する、  
ことを特徴とする集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

この出願で言及する実施形態は、等化回路，受信回路および集積回路装置に関する。

【背景技術】

【0002】

近年、ボード(プリント基板)における集積回路装置(L S I)間の信号伝送、或いは、ネットワークを介したボード間の信号伝送、さらには、筐体やシステム間の信号伝送として、例えば、ギガビット S e r D e s (Serializer/Deserializer)が利用されている。この S e r D e s は、例えば、送信側において、低速なパラレルデータを高速なシリアルデータに変換し、信号線を介して受信側に伝送し、受信側において、高速なシリアルデータを低速なパラレルデータに変換して使用する場合等において利用される。

10

【0003】

例えば、基板配線や通信ケーブル等の伝送線路を介してシリアル信号を受信する場合、その伝送線路で受ける帯域制限により、符号(シンボル)の周期の長さをもつパルスが時間的に分散される。すなわち、例えば、数 G B p s (Giga Bit per second)を超えるような高速な信号伝送では、伝送線路の帯域制限により、シンボル周期をもつパルスが時間的に分散され、後続のシンボルに干渉を与える。これは、シンボル間干渉(I S I : Inter Symbol Interference)として知られており、この I S I を低減(除去)して信号の伝送(受信)精度を高めるために判定帰還型等化回路(D F E : Decision Feedback Equalizer circuit)が利用されている。

20

【0004】

ところで、従来、シンボル間干渉(符号間干渉)の影響を低減して高速な信号伝送を可能とする技術として様々な提案がなされている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2015-192200号公報

30

【特許文献2】国際公開第2015/125282号公報

【特許文献3】特開2001-044895号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来、シンボル間干渉の影響を低減して高速な信号伝送を可能とする技術として様々な提案がなされている。しかしながら、例えば、D F E におけるシンボル間干渉除去ユニットには、遅延の生じる要因が残存しており、近年、求められているさらなるデータレート的高速化には、十分に対応することが困難になってきている。

【0007】

40

この出願で言及する実施形態は、シンボル間干渉の影響を低減しつつデータレートを高速化することができる等化回路，受信回路および集積回路装置の提供を目的とする。

【課題を解決するための手段】

【0008】

一実施形態によれば、加算端子および減算端子を有し、入力信号の加算を行う第1加算回路と、前記第1加算回路の出力信号を所定のしきい値と比較する比較回路と、前記比較回路の出力データを保持するラッチ回路と、第1および第2デジタル/アナログ変換回路と、スイッチ回路と、を有する等化回路が提供される。

【0009】

前記第1デジタル/アナログ変換回路は、等化係数が正の値のときに前記等化係数の絶

50

対値に対応する第 1 信号を出力し、前記第 2 デジタル / アナログ変換回路は、前記等化係数が負の値のときに前記等化係数の絶対値に対応する第 2 信号を出力する。

【 0 0 1 0 】

前記スイッチ回路は、前記ラッチ回路に保持されたデータに基づいて、前記第 1 デジタル / アナログ変換回路の出力端子および前記第 2 デジタル / アナログ変換回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替える。前記第 1 デジタル / アナログ変換回路は、前記等化係数が負の値のときに前記等化係数が零である場合に対応する信号を出力し、前記第 2 デジタル / アナログ変換回路は、前記等化係数が正の値のときに前記等化係数が零である場合に対応する信号を出力する。

【発明の効果】

10

【 0 0 1 1 】

開示の等化回路，受信回路および集積回路装置は、シンボル間干渉の影響を低減しつつデータレートを高速化することができるという効果を奏する。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】図 1 は、SerDes を適用した受信回路の一例を示すブロック図である。

【図 2】図 2 は、図 1 に示す受信回路を適用した集積回路装置の一例を示すブロック図である。

【図 3】図 3 は、図 1 に示す受信回路における DFE の一例を示すブロック図である。

【図 4】図 4 は、図 1 に示す受信回路における DFE の他の例を示すブロック図である。

20

【図 5】図 5 は、図 4 に示す DFE におけるシンボル間干渉除去ユニットの一例を示すブロック図である。

【図 6】図 6 は、本実施形態の DFE におけるシンボル間干渉除去ユニットの第 1 実施例を示すブロック図である。

【図 7】図 7 は、本実施形態の DFE におけるシンボル間干渉除去ユニットの第 2 実施例を示すブロック図である。

【図 8】図 8 は、本実施形態の DFE におけるシンボル間干渉除去ユニットの第 3 実施例を示すブロック図である。

【図 9】図 9 は、図 8 に示す第 3 実施例のシンボル間干渉除去ユニットを適用した DFE の一例を示すブロック図である。

30

【発明を実施するための形態】

【 0 0 1 3 】

まず、等化回路，受信回路および集積回路装置の実施形態を詳述する前に、図 1 ~ 図 5 を参照して、等化回路，受信回路および集積回路装置の例およびその問題点を説明する。図 1 は、SerDes (Serializer/Deserializer) を適用した受信回路の一例を示すブロック図である。

【 0 0 1 4 】

図 1 に示されるように、SerDes を適用した受信回路 100 は、例えば、伝送線を介して入力されるシリアル信号(シリアルデータ)RXINを受け取って処理し、パラレルデータRXDATAおよびクロックRXCLKを出力する。受信回路 100 は、フロントエンド回路 101，論理回路 102 およびクロック生成回路 103 を含む。

40

【 0 0 1 5 】

フロントエンド回路 101 は、増幅回路 111，判定帰還型等化回路(DFE: Decision Feedback Equalizer) 112 およびデマルチプレクサ(DMUX: Demultiplexer) 113 を含む。増幅回路 111 は、入力されたシリアル信号RXINを増幅し、DFE(等化回路) 112 に出力する。DFE 112 は、増幅されたシリアル信号(Vin, Vin-p, Vin-n)を受け取って、データの『0』および『1』の判定を行い、そのデータ(Dout)をクロックと共に後段のDMUX 113 に出力する。

【 0 0 1 6 】

DMUX 113 は、DFE 112 からのデータおよびクロックを受け取ってシリアル /

50

パラレル変換を行い、分周した受信クロック R X C L K およびこの受信クロック R X C L K に同期した受信パラレルデータ R X D A T A を出力する。また、フロントエンド回路 1 0 1 の出力は、論理回路 1 0 2 のクロックデータリカバリ ( C D R : Clock Data Recovery ) 部 1 2 1 に入力される。

**【 0 0 1 7 】**

C D R 部 ( C D R 論理回路 ) 1 2 1 は、フロントエンド回路 1 0 1 の出力 ( 受信データ ) に基づいてクロックのタイミング制御を行い、クロック生成回路 1 0 3 を介して生成したデータ取り込みクロックを生成して、 D F E 1 1 2 に出力する。 D F E 1 1 2 は、データ取り込みクロックに基づいて、入力されたシリアル信号を適切なタイミングでサンプリングし、上述したデータの『 0 』および『 1 』の判定を行う。ここで、 D F E 1 1 2 が等化回路として動作するための制御信号 ( 等化係数 K 1 ~ K n 等 ) は、論理回路 1 0 2 における制御回路 1 2 2 が生成してもよいが、外部から与えることも可能である。

10

**【 0 0 1 8 】**

図 2 は、図 1 に示す受信回路を適用した集積回路装置の一例を示すブロック図である。図 2 に示されるように、集積回路装置 ( 半導体チップ ) 1 は、受信回路 1 0 0 , 送信回路 2 0 0 および内部回路 ( ユーザ回路 ) 3 0 0 を含む。受信回路 1 0 0 は、図 1 を参照して説明したのと同様のもので、シリアル信号 R X I N を受け取ってシリアル / パラレル変換し、受信パラレルデータ R X D A T A および受信クロック R X C L K を内部回路 3 0 0 に出力する。送信回路 2 0 0 は、内部回路 3 0 0 からの送信パラレルデータ T X D A T A および送信クロック T X C L K を受け取ってパラレル / シリアル変換し、シリアル信号 T X O U T を出力する。

20

**【 0 0 1 9 】**

すなわち、受信回路 1 0 0 は、入力された高速 ( 例えば、数十 G H z 以上 ) のシリアルデータ R X I N を、内部回路 3 0 0 が処理可能な低速 ( 例えば、 1 G H z 未満 ) のパラレルデータ R X D A T A に変換して伝送線路に出力する。また、送信回路 2 0 0 は、内部回路 3 0 0 からの低速 ( 例えば、 1 G H z 未満 ) のパラレルデータ T X D A T A を高速 ( 例えば、数十 G H z 以上 ) のシリアルデータ T X O U T に変換して伝送線路に出力する。

**【 0 0 2 0 】**

ここで、集積回路装置は、例えば、同じ基板上に搭載された他の集積回路装置との間で基板配線を介して高速シリアルデータの送受信を行う。若しくは、例えば、集積回路装置が搭載された第 1 システム ( 匡体 ) は、所定の距離 ( 例えば、数 c m ~ 数 k m ) だけ離間され、他の集積回路装置が搭載された第 2 システムとの間で通信ケーブルを介して高速シリアルデータの送受信を行う。なお、集積回路装置の適用は、これらに限定されるものではないのもちろんである。

30

**【 0 0 2 1 】**

また、図 2 において、集積回路装置 1 は、受信回路 1 0 0 および送信回路 2 0 0 と共に、内部回路 3 0 0 を含むようになっていたが、例えば、受信回路 1 0 0 および送信回路 2 0 0 を含む I / O ( Input / Output ) チップとして提供することもできる。また、受信回路 1 0 0 のみ、送信回路 2 0 0 のみ、或いは、複数の受信回路 1 0 0 および送信回路 2 0 0 による I P ( Intellectual Property ) マクロとして提供するといった様々な形態も可能である。

40

**【 0 0 2 2 】**

ところで、シリアル信号は、例えば、或る集積回路装置 1 の送信回路 2 0 0 から他の集積回路装置 1 の受信回路 1 0 0 に伝送される伝送線路 ( 基板配線や通信ケーブル等 ) で受ける帯域制限により、シンボル ( 符号 ) の周期の長さをもつパルスが時間的に分散される。すなわち、高速の信号伝送では、伝送線路の帯域制限により、シンボル周期をもつパルスが時間的に分散され、後続のシンボルに干渉を与える。これは、シンボル間干渉 ( I S I : I n t e r S y m b o l I n t e r f e r e n c e : 符号間干渉 ) として知られている。ここで、 I S I を除去 ( 低減 ) することで信号の伝送 ( 受信 ) 精度を高める機能を持つ回路を等化回路と呼び、前述した D F E 1 1 2 は、等化回路の 1 つである。

50

## 【 0 0 2 3 】

すなわち、ある(現時点の)シンボルに加えられる I S I は、それ以前(過去)のシンボル列により決定される。ここで、過去のシンボル列の判定結果を過去のシンボルそれぞれの影響の大きさと重みづけして加算し、それを除去する I S I の推定値とし、その推定値を、入力信号から減算して比較回路で判定を行う回路が D F E (判定帰還型等化回路)である。

## 【 0 0 2 4 】

図 3 は、図 1 に示す受信回路における D F E の一例を示すブロック図であり、シングルエンドの二値のシリアル信号(例えば、N R Z (Non-Return-to-Zero)信号)を扱うものである。図 3 に示す D F E 2 0 (1 1 2)は、現時点のシンボルに対して、過去の n 個のシンボル列による I S I の影響を除去(補償)する、n タップ(n - t a p) D F E と呼ばれるものである。ここで、n は、1 以上の整数であり、等化係数  $K_1 \sim K_n$  は、例えば、入力シリアル信号  $V_{in}$  が伝送される信号線路の特性等に基づいて、様々な値に設定される。なお、等化係数  $K_1 \sim K_n$  は、例えば、前述したシリアル信号 R X I N が伝送される信号線路の特性に基づいて、予め固定の値として決めておくか、または、定期的に信号線路の特性を測定して固定の値として決めておくことができる。或いは、例えば、直前のシンボルを受信するまでの特性をリアルタイムに測定し、係数  $K_1 \sim K_n$  を動的に決めることも可能である。

## 【 0 0 2 5 】

図 3 に示されるように、D F E 2 0 は、比較回路 2 2、出力データ(現時点のシンボル)を保持するフリップフロップ 2 3、過去の n 個のシンボルを保持する n 個のフリップフロップ 2 4 -1 ~ 2 4 -n、および、乗算回路 2 5 -1 ~ 2 5 -n を含む。さらに、D F E 2 0 は、n 個の加算回路(summer) 2 1 -1 ~ 2 1 -n を含む。ここで、各段において、それぞれのフリップフロップ 2 4 -1 ~ 2 4 -n および乗算回路 2 5 -1 ~ 2 5 -n を含む構成を、シンボル間干渉除去ユニット(ラッチ回路 + D A C (デジタル / アナログ変換回路)) 2 6 とする。従って、n タップ D F E 2 0 では、シンボル間干渉除去ユニット 2 6 が n 個含まれることになる。なお、それぞれのシンボル間干渉除去ユニット 2 6 におけるフリップフロップ(ラッチ回路) 2 4 -1 ~ 2 4 -n は、縦列接続されて過去の n 個前までのシンボルのデータを保持するシフトレジスタとして機能する。また、フリップフロップ(ラッチ回路) 2 3 は、比較回路 2 2 の出力を保持し、外部(例えば、図 1 における D M U X 1 1 3)にデータ  $D_{out}$  として出力する。

## 【 0 0 2 6 】

加算回路 2 1 -1 は、入力信号  $V_{in}$  に対して、n 個のシンボル間干渉除去ユニット 2 6 による過去の n 個のデータによるシンボル間干渉をまとめて加算(推定値  $E V$  を減算)し、過去の n 個のデータによるシンボル間干渉の影響を除去するためのものである。なお、図 3 では、それぞれのシンボル間干渉除去ユニット 2 6 の出力を、それぞれ前段の加算回路 2 1 -2, 2 1 -3, ... により順番に加算するようになっているが、このような構成に限定されるものではない。

## 【 0 0 2 7 】

すなわち、図 3 に示されるように、D F E 2 0 において、外部から入力されたシリアル信号  $V_{in}$  から、I S I の推定値  $E V$  (n 個のシンボル間干渉除去ユニット 2 6 による過去の n 個のデータによるシンボル間干渉をまとめたもの)が加算回路 2 1 -1 で減算される。そして、I S I の影響が除去(低減)された加算回路 2 1 -1 の出力は、比較回路 2 2 により標本化および量子化が行われ、フリップフロップ 2 3 を介して出力データ(デジタルデータ)  $D_{out}$  として出力される。なお、図 1 を参照して説明したように、D F E 2 0 (1 1 2) の出力データ  $D_{out}$  は、後段の D M U X (1 1 3) に入力され、シリアル / パラレル変換等が行われる。

## 【 0 0 2 8 】

さらに、図 3 に示されるように、比較回路 2 2 の出力は、直列接続された n 個のフリップフロップ 2 4 -1 ~ 2 4 -n における初段のフリップフロップ 2 4 -1 に入力される。ここで、フリップフロップ 2 4 -1 ~ 2 4 -n は、例えば、シンボルを判定するクロック(データ取

10

20

30

40

50

り込みクロック)に同期してデータを取り込むようになっており、 $n$ ビットのシフトレジスタを形成している。従って、フリップフロップ $24-1 \sim 24-n$ には、過去 $n$ シンボル分のデータが保持されている。すなわち、図3に示す $n$ タップDFE20は、ISI推定に用いるデータの数(過去のシンボル数)が $n$ 個で、 $n$ ユニットインターバル(U I : Unit Interval : ボーレートの逆数で定義される1シンボルの時間)分のISIを除去できるようになっている。

#### 【0029】

図4は、図1に示す受信回路におけるDFEの他の例を示すブロック図であり、図3に示すシングルエンド信号を扱うDFE20を、差動(相補)信号を扱うDFE30としたものに相当する。すなわち、図4と、上述した図3の比較から明らかなように、図4に示すDFE30(112)も、 $n$ タップDFEであり、実質的に同等の構成を有している。

10

#### 【0030】

次に、ISIの推定値の計算に関して説明する。まず、NRZ信号の場合、比較回路22(32)の判定結果は『0』または『1』の二値であり、通例、それぞれシリアル信号 $V_{in}$ の電圧がマイナス(-)またはプラス(+ )の状態に対応する。この符号としては、例えば、図3に示すシングルエンド信号を扱うDFE20においては、シグナルグラウンドに対する入力信号の符号を考え、また、図4に示す差動信号を扱うDFE30においては、差動信号としての符号を考える。

#### 【0031】

また、過去のシンボルが現時点のシンボルの判定に及ぼすISIの大きさを見積もるために、 $n$ タップDFE20(30)において、過去のデータの影響を表す各係数 $K1 \dots Kn$ について、例えば、データ『0』には「-1」、データ『1』には「+1」を対応させる。乗算回路 $25-1 \sim 25-n$ ( $35-1 \sim 35-n$ )において、入力される係数 $K1 \dots Kn$ に対して、『0』のデータには「-1」(マイナス)の符号を、『1』のデータには「+1」(プラス)の符号を乗算し、加算回路 $21-1 \sim 21-n$ ( $31-1 \sim 31-n$ )によりすべて積算する。すなわち、それぞれのシンボル間干渉除去ユニット26(36)の出力は、まとめられて加算回路 $21-1$ ( $31-1$ )により入力信号 $V_{in}(V_{in-p}, V_{in-n})$ に加算される。なお、乗算回路 $25-1 \sim 25-n$ ( $35-1 \sim 35-n$ )の出力が電流信号の場合、例えば、電圧信号のような専用の加算回路を設けずに、乗算回路 $25-1 \sim 25-n$ ( $35-1 \sim 35-n$ )の各出力端子からの出力配線を、加算回路 $21-1$ ( $31-1$ )の対応する端子への入力配線に物理的に接続させること

20

30

#### 【0032】

このようにして、等化係数 $K1 \dots Kn$ により重み付けされた過去のシンボルによるISIを、入力されたシリアル信号 $V_{in}(V_{in-p}, V_{in-n})$ から差し引くことにより、過去のシンボルによるISIの影響を除去(低減)することが可能になる。ここで、加算回路 $21-1 \sim 21-n$ ( $31-1 \sim 31-n$ )に対する入力は、通常、電流信号または電圧信号であるアナログ信号が用いられ、係数 $K1, K2, \dots, Kn$ に基づいてアナログ信号を出力するDAC(乗算回路 $25-1 \sim 25-n$ ( $35-1 \sim 35-n$ ))が用いられる。なお、図4に示すDFE30において、加算回路 $31-1, 31-2, \dots$ およびDAC $35-1, 35-2, \dots$ の出力は、差動信号となっており、この差動信号の振幅(信号振幅)は、一対の信号の差分で表現される。すなわち、差動信号の符号の切り替えは、その差動信号を互いに入れ替えることで実現できるため、電子回路では、このような差動信号を適用することも多い。

40

#### 【0033】

図5は、図4に示すDFEにおけるシンボル間干渉除去ユニットの一例を示すブロック図である。図5に示されるように、シンボル間干渉除去ユニット5(36)は、ラッチ回路(フリップフロップ)51, DAC(デジタル/アナログ変換回路)52, スイッチ回路53およびエクスクルーシブオア回路(XORゲート)54を含む。なお、以下の説明において、DACとしては電流DACを想定し、アナログ信号としては差動の電流信号(例えば、スイッチ回路の出力は差動の電流出力信号 $I_{out}, I_{outx}$ )を想定して説明するが、電圧信号およびシングルエンドの信号を適用することもできる。

50

## 【0034】

フリップフロップ51は、前段のデータDn-1を遅延(および、保持)し、出力データDnとして出力する遅延回路であり、XORゲート54は、出力データDnと等化係数Knの符号情報 $sign(Kn)$ の排他的論理和を取って出力する。なお、等化係数Knの符号情報 $sign(Kn)$ は、例えば、データ『0』がその符号が正であることを示し、データ『1』がその符号が負であることを示すものとするができる。電流DAC52は、等化係数Knの絶対値情報 $mag(Kn)$ を受け取って対応する信号をスイッチ回路53に出力する。スイッチ回路53は、XORゲート54の出力に基づいて、電流DAC52の出力を選択し、電流出力信号IoutまたはIoutxとして出力する。

## 【0035】

このように、図5に示すシンボル間干渉除去ユニット5(36)は、出力データDnと係数Knの符号情報 $sign(Kn)$ をXORゲート54で処理することでそれらの符号としての乗算結果を得るようになっていいる。さらに、係数Knの絶対値情報 $mag(Kn)$ を電流信号として出力する電流DAC52の出力は、2つの出力端子のどちらかを選択するスイッチ回路53に接続され、XORゲート54の出力がスイッチ回路53の制御信号として用いられている。スイッチ回路53の2つの出力端子(電流信号Iout, Ioutx)は、例えば、前述した図4の加算回路31-2, 31-3, ...の加算端子(+)と減算端子(-)に接続される。すなわち、スイッチ回路53は、電流DAC52からの電流信号が加算回路31-2, 31-3, ...のどちらの端子(+, -)に出力するかを切り替えることで、加算回路31-2, 31-3, ...に対する電流出力の符号を切り替えるようになっていいる。

## 【0036】

従って、電流信号Ioutは、例えば、他のシンボル間干渉除去ユニット36(5)における電流信号Ioutとまとめられて、加算回路31-1の加算端子(+)に与えられる。同様に、電流信号Ioutxは、例えば、他のシンボル間干渉除去ユニット36における電流信号Ioutxとまとめられて、加算回路31-1の減算端子(-)に与えられる。なお、遅延回路(ラッチ回路)51としては、フリップフロップ(D型フリップフロップ)を例として示したが、同等の機能を持つ回路であれば置き替えることが可能である。

## 【0037】

ところで、DFE(判定帰還型等化回路)30は、各シンボル間干渉除去ユニット36の出力(Iout, Ioutx)が加算回路31-1に到達し、入力信号Vin-p, Vin-nから過去のシンボルによるISIの影響を除去(低減)して比較回路32が量子化を行うものである。そのため、比較回路32が過去に判定したデータを保持するラッチ回路51の出力に基づく信号が加算回路31-1(31-2, 31-3, ...)に到達するまでの遅延は、比較回路32が加算回路31-1の出力を判定するまでの時間(1UI)に収めることが求められる。すなわち、この遅延によって処理可能なデータレートの上限が制限されることになる。

## 【0038】

しかしながら、図5に示すシンボル間干渉除去ユニット5(36)において、スイッチ回路53は、出力データDnと係数Knの符号情報 $sign(Kn)$ の排他的論理和を取るXORゲート54の出力により制御されている。すなわち、シンボル間干渉除去ユニット5では、データDnが出力されてから電流信号Iout, Ioutxが出力されるまで、XORゲート54の動作遅延が含まれるため、回路の動作速度が制限されることになる。その結果、例えば、数十Gbpsといったデータレートの高速な信号伝送に対応することが困難になってきている。

## 【0039】

以下、等化回路, 受信回路および集積回路装置の実施形態を、添付図面を参照して詳述する。図6は、本実施形態のDFEにおけるシンボル間干渉除去ユニットの第1実施例を示すブロック図である。ここで、図6に示すシンボル間干渉除去ユニット6は、例えば、前述した図4におけるシンボル間干渉除去ユニット36として適用することができる。これは、後述する第2および第3実施例のシンボル間干渉除去ユニット7および8も同様である。

10

20

30

40

50

## 【 0 0 4 0 】

さらに、前述したように、以下の説明でも、D A Cとしては電流 D A Cを想定し、アナログ信号としては差動の電流信号を想定して説明するが、電圧信号およびシングルエンドの信号を適用してもよいのはいうまでもない。なお、電圧信号を適用する場合には、例えば、各加算回路(3 1-2, 3 1-3, ...)の構成等は、知られている回路構成を適用して実現することができる。また、本実施形態の等化回路、受信回路および集積回路装置は、後述する第 1 ~ 第 3 実施例のシンボル間干渉除去ユニットを適用することにより実現される。

## 【 0 0 4 1 】

図 6 に示されるように、シンボル間干渉除去ユニット 6 (3 6) は、フリップフロップ(ラッチ回路) 6 1, 電流 D A C (デジタル/アナログ変換回路) 6 2, 6 3 およびスイッチ回路 6 4 を含む。フリップフロップ 6 1 は、前段のデータ  $D_{n-1}$  を遅延(および、保持)し、出力データ  $D_n$  として出力する遅延回路であり、スイッチ回路 6 4 は、その出力データ  $D_n$  に基づいて、電流 D A C 6 2, 6 3 の出力を選択し、電流出力信号  $I_{out}$  または  $I_{outx}$  として出力する。

10

## 【 0 0 4 2 】

電流 D A C (第 1 D A C) 6 2 は、等化係数  $K_n$  が零よりも大きい ( $K_n > 0$ ) とき、すなわち、正の値のときには、その  $K_n$  ( $K_n$  の絶対値) を示す情報を受け取り、 $K_n$  が零以下 ( $K_n < 0$ ) とき、すなわち、零または負の値のときには、係数が零(「0」)であることを示す情報を受け取り、それぞれ対応する電流信号(第 1 信号)を出力する。一方、電流 D A C (第 2 D A C) 6 3 は、等化係数  $K_n$  が零以上 ( $K_n \geq 0$ ) とき、すなわち、零または正の値のときは、係数が零(「0」)であることを示す情報を受け取り、 $K_n$  が零よりも小さい ( $K_n < 0$ ) とき、すなわち、負の値のときには、 $-K_n$  ( $K_n$  の絶対値) を示す情報を受け取り、それぞれ対応する電流信号(第 2 信号)を出力する。このように、2 つの電流 D A C 6 2, 6 3 は、等化係数  $K_n$  の符号に応じて一方の電流 D A C のみに  $K_n$  の絶対値情報が与えられ、他方の電流 D A C には、等化係数が零(「0」)であることを示す情報が与えられるようになっている。

20

## 【 0 0 4 3 】

スイッチ回路 6 4 は、電流 D A C 6 2 および 6 3 の出力(第 1 信号および第 2 信号)を受け取り、フリップフロップ 6 1 の出力 ( $D_n$ ) に基づいて、電流出力信号  $I_{out}$  および  $I_{outx}$  として出力する信号を選択する。ここで、スイッチ回路 6 4 の 2 つの出力端子(電流信号  $I_{out}$ ,  $I_{outx}$ ) は、例えば、前述した図 4 の加算回路 3 1-2, 3 1-3, ... の加算端子(+) と減算端子(-) に接続される。すなわち、スイッチ回路 6 4 は、電流 D A C 6 2 および 6 3 からの電流信号を加算回路 3 1-2, 3 1-3, ... のどちらの端子(+, -) に出力するかを切り替えるようになっている。

30

## 【 0 0 4 4 】

従って、電流信号  $I_{out}$  は、例えば、他のシンボル間干渉除去ユニット 3 6 (6) における電流信号  $I_{out}$  とまとめられて、加算回路 3 1-1 の加算端子(+) に与えられる。同様に、電流信号  $I_{outx}$  は、例えば、他のシンボル間干渉除去ユニット 3 6 における電流信号  $I_{outx}$  とまとめられて、加算回路 3 1-1 の減算端子(-) に与えられる。なお、遅延回路(ラッチ回路) 6 1 としては、フリップフロップを例として示したが、同等の機能を持つ回路であれば置き替えることが可能である。

40

## 【 0 0 4 5 】

ここで、電流 D A C 6 2, 6 3 は、例えば、予め決められた係数  $K_n$  の符号情報  $sign(K_n)$  に対して所定の電流値(電流信号)を出力することになり、また、スイッチ回路 6 4 は、フリップフロップ 6 1 の出力 ( $D_n$ ) により直接制御される。これにより、例えば、前述した図 5 のシンボル間干渉除去ユニット 5 における X O R ゲート 5 4 による遅延を省くことができ、回路動作の高速化(データレートの高速化)を図ることが可能になる。ただし、本第 1 実施例のシンボル間干渉除去ユニット 6 では、出力データ  $D_n$  により 2 つの信号選択を行うため、図 6 におけるスイッチ回路の回路規模は、例えば、図 5 におけるスイッチ回路 5 3 の 2 倍になり、その分、消費電力が増大することになるが、実用上、問題と

50

はならないと考えられる。

【0046】

図7は、本実施形態のDFEにおけるシンボル間干渉除去ユニットの第2実施例を示すブロック図である。図7に示されるように、シンボル間干渉除去ユニット7(36)は、フリップフロップ71、電流DAC72およびスイッチ回路73、74を含む。フリップフロップ71は、上述した第1実施例におけるフリップフロップ61と同様のものであり、出力データDnは、スイッチ回路(第1スイッチ回路)73を制御する。なお、第2スイッチ回路74は、等化係数Knの符号情報 $sign(Kn)$ に基づいて制御される。

【0047】

電流DAC72は、等化係数Knの絶対値情報 $mag(Kn)$ を受け取って、対応する電流信号(第3信号)を出力する。第1スイッチ回路73は、フリップフロップ71からの出力データDnに基づいて制御され、その出力は、第2スイッチ回路74に入力される。第2スイッチ回路74は、等化係数Knの符号情報 $sign(Kn)$ に基づいて、第1スイッチ回路73の出力を選択し、電流出力信号IoutまたはIoutxとして出力する。

【0048】

本第2実施例のシンボル間干渉除去ユニット7においても、電流DAC72は、例えば、予め決められた係数Knの絶対値情報 $mag(Kn)$ に対して所定の電流信号を出力する。さらに、第1スイッチ回路73は、フリップフロップ71からの出力データDnにより直接制御され、また、第2スイッチ回路74は、予め決められた係数Knの符号情報 $sign(Kn)$ により制御される。これにより、上述した第1実施例と同様に、例えば、前述した図5のシンボル間干渉除去ユニット5におけるXORゲート54による遅延を省くことができ、回路動作の高速化を図ることが可能になる。ただし、本第2実施例のシンボル間干渉除去ユニット7では、電流DAC72を選択するスイッチ回路が2段直列に入るため、電流DAC72の出力レベルの低減および出力速度の低下が生じることになるが、これも、実用上、問題とはならないと考えられる。

【0049】

図8は、本実施形態のDFEにおけるシンボル間干渉除去ユニットの第3実施例を示すブロック図である。図8に示されるように、シンボル間干渉除去ユニット8(36)は、フリップフロップ81、電流DAC82、スイッチ回路83およびXORゲート84、85を含む。XORゲート(第2エクスクルーシブオア回路)85は、現時点のシンボル(データDn)に対する等化係数の符号情報 $sign(Kn)$ と、その1つ前のシンボル(Dn-1)に対する等化係数の符号情報 $sign(Kn-1)$ を受け取り、それらの排他的論理和を取る。XORゲート(第1エクスクルーシブオア回路)84は、XORゲート85の出力(第2の値)と、1つ前のシンボルのデータDn-1とその等化係数Kn-1の符号情報 $sign(Kn-1)$ を乗算した値(第1の値)の排他的論理和を取る。

【0050】

すなわち、XORゲート84は、比較回路32の出力における1つ前のシンボルのデータとその等化係数の符号情報を乗算した第1の値( $sign(Kn-1) \times Dn-1$ )と、XORゲート85からの第2の値の排他的論理和を取って、フリップフロップ81に出力する。ここで、XORゲート85は、例えば、予め決められた係数Knの符号情報 $sign(Kn)$ と係数Kn-1の符号情報 $sign(Kn-1)$ の排他的論理和を取るようになるため、遅延を生じることはない。また、このXORゲート85は、シンボル間干渉除去ユニット8に内蔵せずに、外部で予め排他的論理和の処理を行い、その処理された値(第2の値)をXORゲート84に入力するようにしてもよい。さらに、XORゲート84に入力される第1の値( $sign(Kn-1) \times Dn-1$ )は、1つ前のシンボルに関するものであるため、XORゲート85と同様に、XORゲート84による遅延は生じない。

【0051】

フリップフロップ81は、入力された信号(XORゲート84の出力)を受け取って遅延(および、保持)し、 $sign(Kn) \times Dn$ を出力する。すなわち、本第3実施例では、前述した第1および第2実施例とは異なり、フリップフロップ(遅延回路)81には、1つ前の

10

20

30

40

50

シンボルのデータ  $D_{n-1}$ ではなく、上述したような処理を行った XORゲート 84 の出力が入力される。そして、スイッチ回路 83 は、フリップフロップ 81 の出力 ( $sign(K_n) \times D_n$ ) に基づいて、電流 DAC 82 の出力(第 4 信号)を選択し、電流出力信号  $I_{out}$  または  $I_{outx}$  として出力する。

【 0052 】

このように、本第 3 実施例においても、スイッチ回路 83 は、フリップフロップ 81 の出力により直接制御され、前述した図 5 のシンボル間干渉除去ユニット 5 における XORゲート 54 による遅延を無くすることができる。なお、上述したように、本第 3 実施例のシンボル間干渉除去ユニット 8 では、例えば、2 つの XORゲート 84, 85 が使用されるが、これらは、回路動作に遅延を与えることがない。なお、本第 3 実施例では、スイッチ回路 83 は、2 つの出力端子 ( $I_{out}$ ,  $I_{outx}$ ) のどちらかを選択するだけなので、例えば、第 1 実施例における消費電力の増大等の問題も生じることがない。

【 0053 】

図 9 は、図 8 に示す第 3 実施例のシンボル間干渉除去ユニットを適用した DFE の一例を示すブロック図であり、前述した図 4 に示す DFE 30(112) のシンボル間干渉除去ユニット 36 として、図 8 に示すシンボル間干渉除去ユニット 8 を適用したものである。図 9 に示されるように、それぞれのシンボル間干渉除去ユニット 36(8) において、電流 DAC 82, XORゲート 84 および 85 に入力される信号、並びに、スイッチ回路 83 の制御信号は、対応するシンボルに応じて順にシフトしている。また、図 9 では、DAC 82 を電流 DAC とし、それぞれのシンボル間干渉除去ユニット 36(8) からの差動の電流出力信号  $I_{out}$ ,  $I_{outx}$  は、それぞれのシンボル間干渉除去ユニット 36(8) のスイッチ回路 83 の各出力端子 ( $I_{out}$ ,  $I_{outx}$ ) からの出力配線を、加算回路 31-1 の加算端子 (+) および減算端子 (-) の対応する端子への入力配線に、物理的に接続させる回路構成により、まとめて加算回路 31-1 の加算端子 (+) および減算端子 (-) に与えられるようになっている。すなわち、図 9 において、上述した物理的接続の回路構成は、加算回路として機能する。なお、前述したように、各実施例 1 ~ 3 は、例えば、図 3 に示すようなシングルエンドの信号を扱う DFE 20、或いは、電圧信号を用いて SIS を補償する DFE 等に対しても適用可能なのはいうまでもない。

【 0054 】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではない。また、明細書のそのような記載は、発明の利点および欠点を示すものでもない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

【 0055 】

以上の実施例を含む実施形態に関し、さらに、以下の付記を開示する。

(付記 1)

加算端子および減算端子を有し、入力信号の加算を行う第 1 加算回路と、  
前記第 1 加算回路の出力信号を比較する比較回路と、  
前記比較回路の出力データを保持するラッチ回路と、  
等化係数が正の値のときに前記等化係数の絶対値に対応する第 1 信号を出力する第 1 デジタル/アナログ変換回路と、  
前記等化係数が負の値のときに前記等化係数の絶対値に対応する第 2 信号を出力する第 2 デジタル/アナログ変換回路と、  
前記ラッチ回路に保持されたデータに基づいて、前記第 1 デジタル/アナログ変換回路の出力端子および前記第 2 デジタル/アナログ変換回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替えるスイッチ回路と、を有することを特徴とする等化回路。

【 0056 】

10

20

30

40

50

- (付記2)  
前記第1デジタル/アナログ変換回路は、前記等化係数が負の値のときに前記等化係数が零である場合に対応する信号を出力し、  
前記第2デジタル/アナログ変換回路は、前記等化係数が正の値のときに前記等化係数が零である場合に対応する信号を出力することを特徴とする付記1に記載の等化回路。
- 【0057】  
(付記3)  
さらに、  
前記比較回路の出力データを保持して外部に出力する出力ラッチ回路を有する、  
ことを特徴とする付記1または付記2に記載の等化回路。 10
- 【0058】  
(付記4)  
前記第1信号および前記第2信号は、第1電流信号および第2電流信号であり、  
前記第1デジタル/アナログ変換回路および前記第2デジタル/アナログ変換回路は、第1電流DACおよび第2電流DACである、  
ことを特徴とする付記1乃至付記3のいずれか1項に記載の等化回路。
- 【0059】  
(付記5)  
前記入力信号は、差動のシリアル信号である、  
ことを特徴とする付記1乃至付記4のいずれか1項に記載の等化回路。 20
- 【0060】  
(付記6)  
前記等化回路は、 $n$ を2以上の整数として、過去の $n$ 個のデータによるシンボル間干渉を除去するための $n$ 個のシンボル間干渉除去ユニットを含み、  
それぞれの前記シンボル間干渉除去ユニットは、前記ラッチ回路、前記第1デジタル/アナログ変換回路、前記第2デジタル/アナログ変換回路、および、前記スイッチ回路を含み、  
前記 $n$ 個の前記シンボル間干渉除去ユニットにおける前記ラッチ回路は、縦列接続されて過去の $n$ 個前までのシンボルのデータを保持するシフトレジスタを形成する、  
ことを特徴とする付記1乃至付記5のいずれか1項に記載の等化回路。 30
- 【0061】  
(付記7)  
さらに、  
前記 $n$ 個のシンボル間干渉除去ユニットにおける前記スイッチ回路の出力を加算する第2加算回路を有し、  
前記第1加算回路は、前記入力信号に前記第2加算回路の出力を加算する、  
ことを特徴とする付記6に記載の等化回路。
- 【0062】  
(付記8) 40  
それぞれの前記シンボル間干渉除去ユニットにおける前記等化係数は、前記入力信号が伝送される信号伝送路の特性に基づいて決められる、  
ことを特徴とする付記6または付記7に記載の等化回路。
- 【0063】  
(付記9)  
付記1乃至付記8のいずれか1項に記載の等化回路と、  
前記等化回路の出力データを受け取ってシリアル/パラレル変換し、受信パラレルデータを受信クロックと共に出力するデマルチプレクサと、  
前記デマルチプレクサの出力に基づいて、前記等化回路で使用するデータ取り込みクロックを生成するデータ取り込みクロック生成回路と、を有する、 50

ことを特徴とする受信回路。

【 0 0 6 4 】

( 付記 1 0 )

さらに、

受信信号を受け取って増幅し、増幅された前記入力信号を前記等化回路に出力する増幅回路と、

前記等化回路で使用する前記等化係数の情報を前記等化回路に供給する制御回路と、を有する、

ことを特徴とする付記 9 に記載の受信回路。

【 0 0 6 5 】

10

( 付記 1 1 )

付記 9 または付記 1 0 に記載の受信回路と、

前記受信回路から前記受信パラレルデータおよび前記受信クロックを受け取って処理を行う内部回路と、

前記内部回路から送信パラレルデータおよび送信クロックを受け取ってパラレル/シリアル変換し、シリアル変換された送信信号を出力する送信回路と、を有する、

ことを特徴とする集積回路装置。

【 0 0 6 6 】

( 付記 1 2 )

加算端子および減算端子を有し、入力信号の加算を行う第 1 加算回路と、

20

前記第 1 加算回路の出力信号を比較する比較回路と、

前記比較回路の出力データを保持するラッチ回路と、

等化係数の絶対値に対応する第 3 信号を出力するデジタル/アナログ変換回路と、

前記ラッチ回路に保持されたデータおよび前記等化係数の符号情報に基づいて、前記デジタル/アナログ変換回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替えるスイッチ回路と、を有する

ことを特徴とする等化回路。

【 0 0 6 7 】

( 付記 1 3 )

前記スイッチ回路は、

30

前記ラッチ回路に保持されたデータに基づいて、前記デジタル/アナログ変換回路の出力端子と、自身の出力端子の間の接続を切り替える第 1 スイッチ回路と、

前記等化係数の符号情報に基づいて、前記第 1 スイッチ回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替える第 2 スイッチ回路と、を有する、

ことを特徴とする付記 1 2 に記載の等化回路。

【 0 0 6 8 】

( 付記 1 4 )

さらに、

前記比較回路の出力データを保持して外部に出力する出力ラッチ回路を有する、

ことを特徴とする付記 1 2 または付記 1 3 に記載の等化回路。

40

【 0 0 6 9 】

( 付記 1 5 )

前記第 3 信号は、第 3 電流信号であり、

前記デジタル/アナログ変換回路は、電流 D A C である、

ことを特徴とする付記 1 2 乃至付記 1 4 のいずれか 1 項に記載の等化回路。

【 0 0 7 0 】

( 付記 1 6 )

前記入力信号は、差動のシリアル信号である、

ことを特徴とする付記 1 2 乃至付記 1 5 のいずれか 1 項に記載の等化回路。

【 0 0 7 1 】

50

(付記 17)

前記等化回路は、 $n$  を 2 以上の整数として、過去の  $n$  個のデータによるシンボル間干渉を除去するための  $n$  個のシンボル間干渉除去ユニットを含み、

それぞれの前記シンボル間干渉除去ユニットは、前記ラッチ回路、前記デジタル/アナログ変換回路、および、前記スイッチ回路を含み、

前記  $n$  個のシンボル間干渉除去ユニットにおける前記ラッチ回路は、縦列接続されて過去の  $n$  個前までのシンボルのデータを保持するシフトレジスタを形成する、

ことを特徴とする付記 12 乃至付記 16 のいずれか 1 項に記載の等化回路。

【0072】

(付記 18)

10

さらに、

前記  $n$  個のシンボル間干渉除去ユニットにおける前記スイッチ回路の出力を加算する第 2 加算回路を有し、

前記第 1 加算回路は、前記入力信号に前記第 2 加算回路の出力を加算する、

ことを特徴とする付記 17 に記載の等化回路。

【0073】

(付記 19)

それぞれの前記シンボル間干渉除去ユニットにおける前記等化係数は、前記入力信号が伝送される信号伝送路の特性に基づいて決められる、

ことを特徴とする付記 17 または付記 18 に記載の等化回路。

20

【0074】

(付記 20)

付記 12 乃至付記 19 のいずれか 1 項に記載の等化回路と、

前記等化回路の出力データを受け取ってシリアル/パラレル変換し、受信パラレルデータを受信クロックと共に出力するデマルチプレクサと、

前記デマルチプレクサの出力に基づいて、前記等化回路で使用するデータ取り込みクロックを生成するデータ取り込みクロック生成回路と、を有する、

ことを特徴とする受信回路。

【0075】

(付記 21)

30

さらに、

受信信号を受け取って増幅し、増幅された前記入力信号を前記等化回路に出力する増幅回路と、

前記等化回路で使用する前記等化係数の情報を前記等化回路に供給する制御回路と、を有する、

ことを特徴とする付記 20 に記載の受信回路。

【0076】

(付記 22)

付記 20 または付記 21 に記載の受信回路と、

前記受信回路から前記受信パラレルデータおよび前記受信クロックを受け取って処理を行う内部回路と、

前記内部回路から送信パラレルデータおよび送信クロックを受け取ってパラレル/シリアル変換し、シリアル変換された送信信号を出力する送信回路と、を有する、

ことを特徴とする集積回路装置。

40

【0077】

(付記 23)

加算端子および減算端子を有し、入力信号の加算を行う第 1 加算回路と、

前記第 1 加算回路の出力信号を比較する比較回路と、

前記比較回路の出力データに基づく第 1 の値を保持するラッチ回路と、

等化係数の絶対値に対応する第 4 信号を出力するデジタル/アナログ変換回路と、

50

前記ラッチ回路に保持されたデータに基づいて、前記デジタル/アナログ変換回路の出力端子と、前記加算端子および前記減算端子の間の接続を切り替えるスイッチ回路と、を有し、

前記第 1 の値は、前記比較回路の出力データと、前記等化係数の符号情報を乗算した値である

ことを特徴とする等化回路。

【0078】

(付記 24)

前記等化回路は、 $n$  を 2 以上の整数として、過去の  $n$  個のデータによるシンボル間干渉を除去するための  $n$  個のシンボル間干渉除去ユニットを含み、

それぞれの前記シンボル間干渉除去ユニットは、前記ラッチ回路、前記デジタル/アナログ変換回路、および、前記スイッチ回路を含み、

前記  $n$  個のシンボル間干渉除去ユニットにおける前記ラッチ回路は、縦列接続されて過去の  $n$  個前までのシンボルのデータを保持するシフトレジスタを形成する、

ことを特徴とする付記 23 に記載の等化回路。

【0079】

(付記 25)

それぞれの前記シンボル間干渉除去ユニットは、さらに、

前記比較回路の出力データの 1 つである、1 つ前のシンボルのデータと前記 1 つ前のシンボルに対する等化係数の符号情報を乗算した第 2 の値と、現時点のシンボルに対する等化係数の符号情報と前記 1 つ前のシンボルに対する等化係数の符号情報の排他的論理和である第 3 の値との排他的論理和を取って前記第 1 の値を出力する第 1 エクスクルーシブオア回路を有し、

それぞれの前記シンボル間干渉除去ユニットにおいて、

前記ラッチ回路は、前記第 1 エクスクルーシブオア回路によって出力される前記第 1 の値を保持し、

前記デジタル/アナログ変換回路は、前記現時点のシンボルに対する等化係数の絶対値情報に対応する前記第 4 信号を出力する、

ことを特徴とする付記 24 に記載の等化回路。

【0080】

(付記 26)

さらに、

前記第 3 の値を出力する第 2 エクスクルーシブオア回路を有する、

ことを特徴とする付記 25 に記載の等化回路。

【0081】

(付記 27)

さらに、

前記  $n$  個のシンボル間干渉除去ユニットにおける前記スイッチ回路の出力を加算する第 2 加算回路を有し、

前記第 1 加算回路は、前記入力信号に前記第 2 加算回路の出力を加算する、

ことを特徴とする付記 24 乃至付記 26 のいずれか 1 項に記載の等化回路。

【0082】

(付記 28)

それぞれの前記シンボル間干渉除去ユニットにおける前記等化係数は、前記入力信号が伝送される信号伝送路の特性に基づいて決められる、

ことを特徴とする付記 24 乃至付記 27 のいずれか 1 項に記載の等化回路。

【0083】

(付記 29)

さらに、

前記比較回路の出力データを保持して外部に出力する出力ラッチ回路を有する、

10

20

30

40

50

ことを特徴とする付記 2 3 乃至付記 2 8 のいずれか 1 項に記載の等化回路。

【 0 0 8 4 】

( 付記 3 0 )

前記第 4 信号は、第 4 電流信号であり、

前記デジタル/アナログ変換回路は、電流 D A C である、

ことを特徴とする付記 2 3 乃至付記 2 9 のいずれか 1 項に記載の等化回路。

【 0 0 8 5 】

( 付記 3 1 )

前記入力信号は、差動のシリアル信号である、

ことを特徴とする付記 2 3 乃至付記 3 0 のいずれか 1 項に記載の等化回路。

10

【 0 0 8 6 】

( 付記 3 2 )

付記 2 3 乃至付記 3 1 のいずれか 1 項に記載の等化回路と、

前記等化回路の出力データを受け取ってシリアル/パラレル変換し、受信パラレルデータを受信クロックと共に出力するデマルチプレクサと、

前記デマルチプレクサの出力に基づいて、前記等化回路で使用するデータ取り込みクロックを生成するデータ取り込みクロック生成回路と、を有する、

ことを特徴とする受信回路。

【 0 0 8 7 】

( 付記 3 3 )

さらに、

受信信号を受け取って増幅し、増幅された前記入力信号を前記等化回路に出力する増幅回路と、

前記等化回路で使用する前記等化係数の情報を前記等化回路に供給する制御回路と、を有する、

ことを特徴とする付記 3 2 に記載の受信回路。

20

【 0 0 8 8 】

( 付記 3 4 )

付記 3 2 または付記 3 3 に記載の受信回路と、

前記受信回路から前記受信パラレルデータおよび前記受信クロックを受け取って処理を行う内部回路と、

前記内部回路からの送信パラレルデータおよび送信クロックを受け取ってパラレル/シリアル変換し、シリアル変換された送信信号を出力する送信回路と、を有する、

ことを特徴とする集積回路装置。

30

【 符号の説明 】

【 0 0 8 9 】

1 集積回路装置(半導体チップ)

2 1 -1, 2 1 -2, ... , 3 1 -1, 3 1 -2, ... 加算回路

2 2, 3 2 比較回路

2 3, 2 4 -1 ~ 2 4 -n, 3 3, 3 4 -1 ~ 3 4 -n, 5 1, 6 1, 7 1, 8 1 ラッチ回路(フリップフロップ)

40

2 5 -1 ~ 2 5 -n, 3 5 -1 ~ 3 5 -n 乗算回路

2 6, 3 6 シンボル間干渉除去ユニット

5 2, 6 2, 6 3, 7 2, 8 2 D A C (デジタル/アナログ変換回路: 電流 D A C)

5 3, 6 4, 7 3, 7 4, 8 3 スイッチ

5 4, 8 4, 8 5 エクスクルーシブオア回路(排他的論理和回路: X O R ゲート)

1 0 0 受信回路

1 0 1 フロントエンド回路

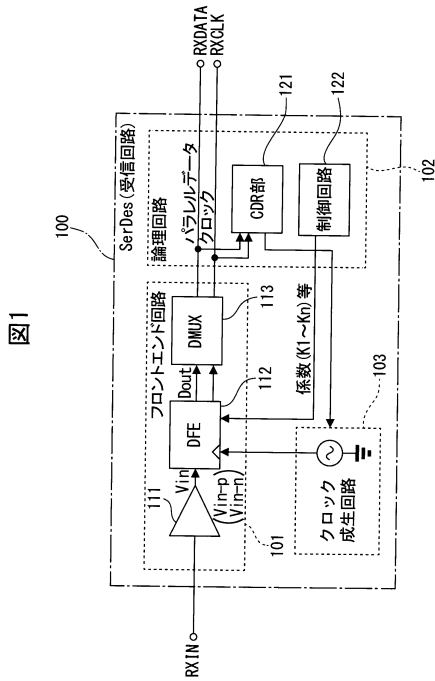
1 0 2 論理回路

1 0 3 クロック生成回路

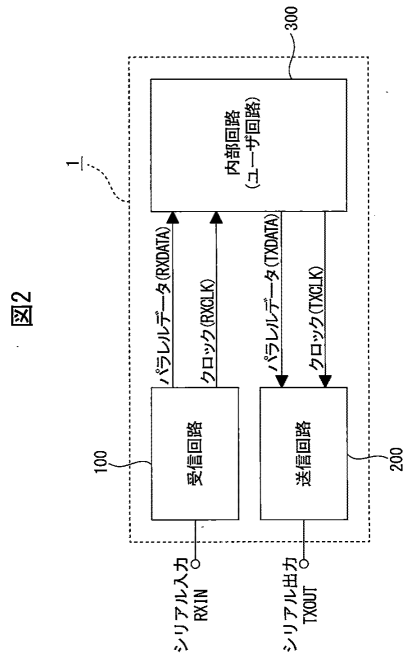
50

- 1 1 1 増幅回路
- 1 1 2 等化回路(判定帰還型等化回路: DFE)
- 1 1 3 デマルチプレクサ(DMUX)
- 1 2 1 クロックデータリカバリ(CDR)部
- 1 2 2 制御回路
- 2 0 0 送信回路
- 3 0 0 内部回路(ユーザ回路)

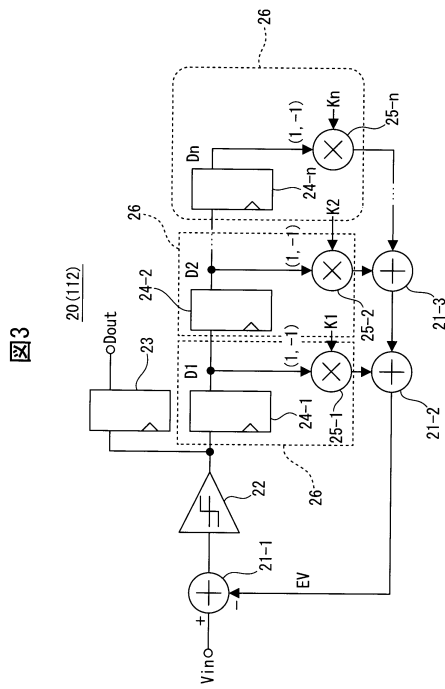
【 図 1 】



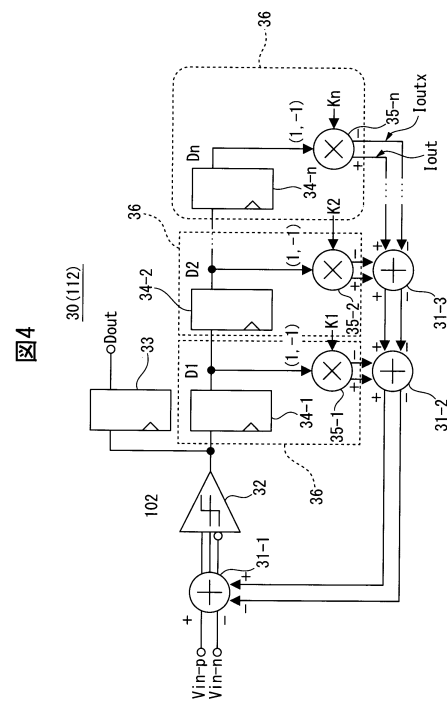
【 図 2 】



【 図 3 】



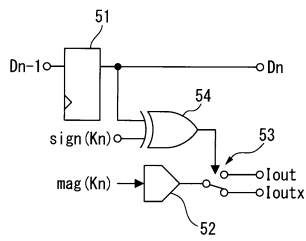
【 図 4 】



【 図 5 】

図 5

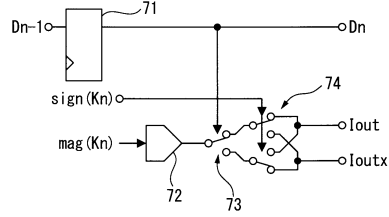
5 (36)



【 図 7 】

図 7

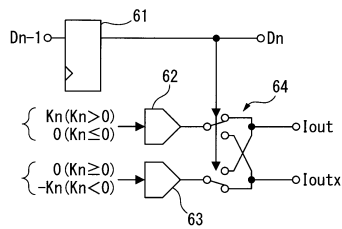
7 (36)



【 図 6 】

図 6

6 (36)



【 図 8 】

図 8

8 (36)

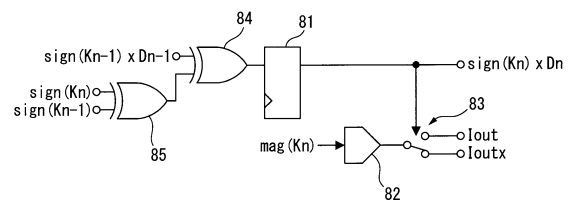
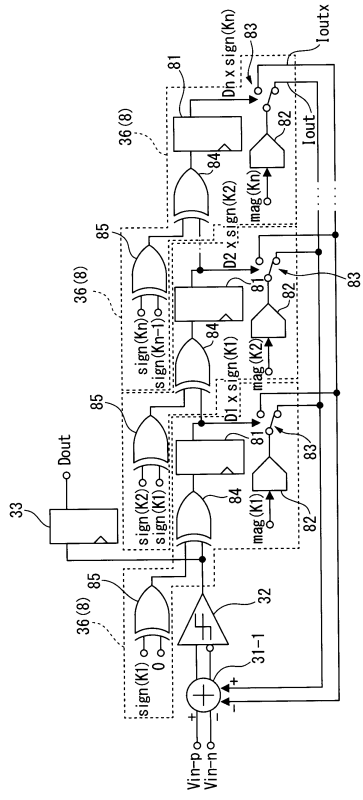


図 9

30 (112)



---

フロントページの続き

(72)発明者 鈴木 大輔

神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内

審査官 川口 貴裕

(56)参考文献 米国特許第07564900(US, B1)

特開2009-225018(JP, A)

特表2007-515130(JP, A)

特開2015-192200(JP, A)

米国特許出願公開第2011/0121867(US, A1)

(58)調査した分野(Int.Cl., DB名)

H04B 3/04 - 3/06

H03H 15/00

H04L 25/03