(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2007-531446
(P2007-531446A)
(43)公表日　平成19年11月1日(2007.11.1)

(51)Int.Cl.		F I			テーマコード（参考）
H03M 7/32	***(2006.01)***	H03M	7/32		5J022
H03M 1/10	***(2006.01)***	H03M	1/10	B	5J064

審査請求 未請求　予備審査請求 未請求　（全 13 頁）

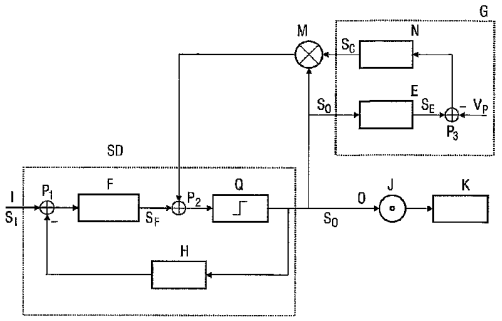
(21)出願番号　特願2007-505695 (P2007-505695)
(86)(22)出願日　平成17年3月23日 (2005.3.23)
(85)翻訳文提出日　平成18年11月28日 (2006.11.28)
(86)国際出願番号　PCT/IB2005/050990
(87)国際公開番号　WO2005/093959
(87)国際公開日　平成17年10月6日 (2005.10.6)
(31)優先権主張番号　04101293.1
(32)優先日　平成16年3月29日 (2004.3.29)
(33)優先権主張国　欧州特許庁 (EP)

(71)出願人　590000248
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１
(74)代理人　100072051
弁理士　杉村　興作
(74)代理人　100107227
弁理士　藤谷　史朗
(74)代理人　100114292
弁理士　来間　清志
(74)代理人　100086645
弁理士　岩佐　義幸

最終頁に続く

(54)【発明の名称】シンボル間干渉を減少する方法、この方法を実行するシグマ・デルタコンバータ及びこの方法によって発生した情報を具える記憶媒体

(57)【要約】
１ビットデジタル信号のデジタル－アナログ変換の際に生じるシンボル間干渉を減少する方法及び装置を提供する。シグマ・デルタコンバータに１ビットデジタル信号が生じる間、デジタル信号のエッジ密度が測定され、測定の結果がデジタル信号に乗算され、乗算の結果が、デジタル信号を発生する量子化器の入力部に加算される。本発明は、本発明によって生じた１ビットデジタル信号を具える記憶媒体もカバーする。



【特許請求の範囲】
【請求項１】
１ビットデジタル信号ストリームのデジタル－アナログ変換の際に生じるシンボル間干渉を減少する方法であって、前記１ビットデジタル信号ストリームの発生が、ローパスフィルタのシグマ・デルタ形態によって入力信号を前記１ビットデジタル信号ストリームに変換するステップを具え、前記ローパスフィルタが、量子化器の入力部に結合された出力部を有し、前記量子化器の出力が前記ローパスフィルタの入力部にフィードバックされる方法において、前記１ビットデジタル信号ストリームのエッジ密度を表す制御信号を前記量子化器の出力部に発生するステップと、前記制御信号を前記１ビットデジタル信号ストリームに乗算するステップと、乗算結果を、前記ローパスフィルタの出力とともに前記量子化器の入力部に供給するステップとを更に具えることを特徴とする方法。
【請求項２】
入力信号を１ビットデジタル信号ストリームに変換する１ビットシグマ・デルタコンバータであって、前記コンバータが、入力部及び出力部を有する量子化器と、出力部を前記量子化器の入力部に結合するとともに入力部を前記量子化器の出力部に結合して前記量子化器とともにフィードバック配置を構成するローパスフィルタと、前記入力信号を前記フィードバック配置に供給する手段と、前記１ビットデジタル信号ストリームを前記量子化器の出力部から取得する手段とを具える１ビットシグマ・デルタコンバータにおいて、前記量子化器の出力部に接続され、前記１ビットデジタル信号ストリームのエッジの密度を表す制御信号を発生するエッジ密度コントローラと、前記制御信号を前記量子化器の１ビットデジタル信号ストリームに乗算する乗算器と、前記乗算器の出力を前記量子化器の入力部に供給する手段とを更に具えることを特徴とする１ビットシグマ・デルタコンバータ。
【請求項３】
前記エッジ密度コントローラが、前記量子化器の１ビットデジタル信号ストリームを受信するように接続されたエッジ抽出器と、前記エッジ抽出器の出力信号を受信するとともに前記制御信号を発生する第２のローパスフィルタとを具えることを特徴とする請求項２記載の１ビットシグマ・デルタコンバータ。
【請求項４】
前記第２のローパスフィルタに接続され、前記制御信号のレベルの基準を設定する基準信号源を更に具えることを特徴とする請求項３記載の１ビットシグマ・デルタコンバータ。
【請求項５】
前記第２のローパスフィルタを積分器とし、基準信号が前記エッジ抽出器のパルスの極と逆の極で前記積分器の入力部に供給されることを特徴とする請求項３記載の１ビットシグマ・デルタコンバータ。
【請求項６】
入力信号を多ビットデジタル信号に変換する多ビットシグマ・デルタコンバータであって、前記コンバータが、相互接続された複数の量子化手段の一つを有するフィードバック配置のローパスフィルタをそれぞれ有する相互接続された複数の１ビットシグマ・デルタコンバータと、入力信号を前記複数の量子化手段に供給する手段と、前記多ビットデジタル信号を前記複数の量子化手段の出力部から取得する手段とを具える多ビットシグマ・デルタコンバータにおいて、前記複数の量子化手段の出力部の各々が、１ビットデジタルストリームのエッジを表す制御信号を前記出力部で発生するエッジ密度コントローラと、前記制御信号を前記出力部の１ビットデジタルストリームに乗算する乗算器と、乗算の結果を前記量子化手段の各入力部に供給する手段とに接続されたことを特徴とする多ビットシグマ・デルタコンバータ。
【請求項７】
少なくとも一つの信号トラックを１ビットデジタルストリームフォーマットで記憶する記憶媒体において、前記信号トラックの１ビットデジタルストリームにエッジを具えるク

ロック周期数を、前記信号トラックの１ビットデジタルストリームのクロック周期の総数の４０％未満としたことを特徴とする記憶媒体。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、１ビットデジタル信号ストリームのデジタル－アナログ変換の際に生じるシンボル間干渉を減少する方法に関する。

【背景技術】

【０００２】

１ビットＤＡコンバータを用いると、ＤＡコンバータによって歪みを生じるシンボル間干渉（ＩＳＩ）のない場合には、良好な線形性のデジタル－アナログ変換を行うことができる。シンボル間干渉は、ＤＡコンバータの実際のアナログ出力が実際のデジタル入力コードだけでなく以前のデジタル入力コードにも依存するときに生じる。この「メモリ」効果の結果、デジタル入力コードに存在しない成分がＤＡコンバータのアナログ出力に生じる。

【０００３】

シンボル間干渉は、例えば、ＤＡコンバータの切り替えられた基準（例えば、電流源）の寄生容量及び切り替えられた基準が供給される演算増幅器の直流オフセットによって生じることがあり、その結果、ＤＡコンバータが切り替わる度に、回避することができない余分な電荷パケットによって出力が減衰される。デジタル信号が１ビットデジタル信号ストリームであるとき、信号をアナログ形態に戻すＤＡコンバータは、信号の零交差中に多くの切替動作を行い、信号ピークにおいて切替動作が少なくなる。正弦波の１周期が二つの零交差を有するとともに二つのピークを有するので、余分な電荷パケットは、偶数（２）次の歪みを表す。

【０００４】

一部のケースにおいて、ＤＡコンバータはその基準をロードし、その結果、基準それ自体が偶数（２）次の成分を含む。ＤＡ基準のこのような２次の信号は、入力コードに乗算され、その結果、ＤＡコンバータの出力部に奇数（３）次の高調波歪みが生じる。

【０００５】

シンボル間干渉を減少する従来の方法は、ＤＡ基準をクロック周期のある部分の間にオンにするとともにクロック周期の他の部分の間にオフにするように切替を行う。この場合、余分な電荷パケットが各クロック周期中に存在し、ＤＡコンバータの出力部の直流信号への寄与を行う。この方法の欠点は、ＤＡコンバータの出力信号が小さくなり、その結果、同一の出力レベルを得るために出力信号を増大する必要があり、切替によって電力を要し、その結果、追加の切替は追加の電力を意味し、かつ、ＤＡコンバータに続く回路が「変わりやすい」(choppy)入力信号を処理できるようにする必要があることである。また、タイミングジッタの影響を受けやすくなる。

【発明の開示】

【０００６】

本発明は、これらの欠点を示さない方法を提供し、本発明によるシンボル間干渉を減少する方法は、前記１ビットデジタル信号ストリームの発生が、ローパスフィルタのシグマ・デルタ形態によって入力信号を前記１ビットデジタル信号ストリームに変換するステップを具え、前記ローパスフィルタが、量子化器の入力部に結合された出力部を有し、前記量子化器の出力が前記ローパスフィルタの入力部にフィードバックされる方法において、前記１ビットデジタル信号ストリームのエッジ密度を表す制御信号を前記量子化器の出力部に発生するステップと、前記制御信号を前記１ビットデジタル信号ストリームに乗算するステップと、乗算結果を、前記ローパスフィルタの出力とともに前記量子化器の入力部に供給するステップとを更に具えることを特徴とする。本発明は、信号の零交差中に１ビットデジタル信号ストリームのエッジを十分に減少する方法を提供し、これによって、エッジを更に均等に分布させ、したがって、シンボル間干渉の信号成分を減少する。上記従

来の方法において、シンボル間干渉の減少がＤＡ変換中すなわち１ビットデジタル信号ストリームの発生後に行われ、既に説明した全ての欠点を伴う。それに対して、本発明によれば、１ビットデジタルストリームの発生それ自体を制御することによって、シンボル間干渉を減少する。

【０００７】

米国特許第６，３５１，２２９号は、信号依存性擬似的ランダムシーケンスを量子化器の入力部に付加するシグマ・デルタコンバータを示す。この方法は、コンバータによって発生したビットストリームの規則的なキャラクタに起因して生じる干渉トーンを回避しようとするものであり、このシーケンス中のエッジの密度を十分に減少しない。

【０００８】

Ｄ級電力増幅器に供給するようにしたパルス幅変調信号のエッジを減少することも知られている。Ｄ級増幅器において、各エッジが所定の量のエネルギーを消失するので、エッジ数をできるだけ少なくすることが重要である。しかしながら、この既知の方法によって相当なオーディオ歪みが生じ又は複雑なデジタル回路を必要とする。

【０００９】

本発明による方法及び装置は、十分小さいオーディオ歪みを生じ、及び／又は、実現が容易である。さらに、本発明による方法及び装置は、デジタルトラジェクトリー(digital traject)の開始時すなわち信号のアナログ－デジタル変換中にエッジを減少するのに特に有用である。これらのエッジが減少した信号を、単一のビットデジタルフォーマットで記憶媒体上に簡単に記録することができる。

【００１０】

さらに、本発明は、入力信号を１ビットデジタル信号ストリームに変換する１ビットシグマ・デルタコンバータであって、前記コンバータが、入力部及び出力部を有する量子化器と、出力部を前記量子化器の入力部に結合するとともに入力部を前記量子化器の出力部に結合して前記量子化器とともにフィードバック配置を構成するローパスフィルタと、前記入力信号を前記フィードバック配置に供給する手段と、前記１ビットデジタル信号ストリームを前記量子化器の出力部から取得する手段とを具える１ビットシグマ・デルタコンバータにおいて、前記量子化器の出力部に接続され、前記１ビットデジタル信号ストリームのエッジの密度を表す制御信号を発生するエッジ密度コントローラと、前記制御信号を前記量子化器の１ビットデジタル信号ストリームに乗算する乗算器と、前記乗算器の出力を前記量子化器の入力部に供給する手段とを更に具えることを特徴とする１ビットシグマ・デルタコンバータを提供する。

【００１１】

さらに、本発明による１ビットシグマ・デルタコンバータは、前記エッジ密度コントローラが、前記量子化器の１ビットデジタル信号ストリームを受信するように接続されたエッジ抽出器と、前記エッジ抽出器の出力信号を受信するとともに前記制御信号を発生する第２のローパスフィルタとを具えることを特徴とする。シグマ・デルタ変調器の通常のローパスフィルタが関心のある周波数帯域の量子化ノイズを抑制するとともにこのノイズを更に高い周波数に整形するように、第２のローパスフィルタは、関心のある周波数帯域のシンボル間干渉を抑制するとともに、この干渉を更に高い周波数に整形する。シグマ・デルタ変調器のローパスフィルタの場合、第２のローパスフィルタは、フィルタの次数が高い場合には干渉を更に抑制する。

【００１２】

さらに、本発明による１ビットシグマ・デルタコンバータは、前記第２のローパスフィルタに接続され、前記制御信号のレベルの基準を設定する基準信号源を更に具えることを特徴とする。基準信号によって、達成されるシンボル間干渉の減少を制御することができる。基準信号を、正又は負の値の直流値とすることができる。基準信号は、時間依存性成分を含むこともできる。基準信号を、第２のローパスフィルタの入力部、出力部又は入力部と出力部との間の所定の場所に付加することができる。

【００１３】

本発明による１ビットシグマ・デルタコンバータの簡単な実現は、前記第２のローパスフィルタを積分器とし、基準信号が前記エッジ抽出器のパルスの極と逆の極で前記積分器の入力部に供給されることを特徴とする。この形態において、量子化器のデジタルビットストリームのエッジによって制御信号が増大し、エッジが存在しないことによって制御信号が減少する。最終的には、エッジ抽出器パルスの振幅と基準信号の振幅との間の比が、コンバータに対する入力信号がピーク値であるか零交差であるかに依存して、エッジのないクロック周期とエッジのあるクロック周期との間の比を決定する。

【００１４】

好適には、エッジ抽出器は、デジタルビットストリームの全てのエッジを抽出する。しかしながら、抽出器は、エッジの一部のみ、例えば、立ち上がりエッジ又は立ち下りエッジのみを抽出することもできる。この場合、基準信号をそれに応じて適合させることができる。

【００１５】

既に説明したように、本発明の主な利点は、デジタル出力信号のクロック周期に亘ってエッジが更に均等に分布されることである。この結果、関心のある周波数帯域のシンボル間干渉を大幅に減少する。考慮される必要がある観点は、これによって生じたコンバータの最大入力信号レベルの固有の減少である。信号の極値の間でエッジがデジタル信号に付加されるので、全スケールに対する最大入力信号レベルが減少される。このような最大入力信号レベルの減少を制限するために、好適には、エッジを含むクロック周期の平均数が４０％未満となるように、本発明によるコンバータ、特に、上記基準信号を設定する。従来のシグマ・デルタコンバータによって生じた１ビットデジタル信号は、通常、クロック周期の約６５％にエッジを含み、それに対して、本発明によって生じたデジタル出力信号は、好適には、クロック周期の約２０％にエッジを有する。本発明は、少なくとも一つの信号トラックを１ビットデジタルストリームフォーマットで記憶する記憶媒体において、前記信号トラックの１ビットデジタルストリームにエッジを具えるクロック周期数を、前記信号トラックの１ビットデジタルストリームのクロック周期の総数の４０％未満としたことを特徴とする記憶媒体もカバーする。この用途において、用語「信号トラック」は、少なくとも１分の持続時間のオーディオ又はビデオ信号を意味する。プログラムがこの記憶媒体から読み出されると、１ビットデジタルストリームのデジタル－アナログ変換中に生じるシンボル間干渉は、従来の記憶媒体からの１ビットデジタルストリームのデジタル－アナログ変換中に生じるシンボル間干渉より著しく小さい。

【００１６】

１ビットデジタルストリームは、信号を書込みステップに良好に適合するために、記憶媒体への書込み前に符号化ステップを課す。対応する復号化は、記憶媒体が読み出される間で信号のＤＡ変換の前に行われる。この場合、本発明の利点を維持することができる。その理由は、記憶媒体のエッジではなくＤＡコンバータに供給されるエッジがシンボル間干渉の原因となるからである。さらに、上記符号化ステップが、記憶媒体に記憶された信号を圧縮するのに役立つ場合、圧縮それ自体は、圧縮すべき信号のエッジを減少することによって向上される。

【００１７】

１ビットデジタル信号は、最も望ましい線形性の利点を有する。その理由は、一つの基準（電流源）のみがそのような信号のＤＡ変換に伴うからである。しかしながら、１ビットデジタル信号の主な不都合は、信号の発生に伴う大量の量子化ノイズである。量子化ノイズの量は、多ビットデジタル信号が用いられる場合に十分に低減される。多ビットデジタル信号の問題は、ＤＡ変換に複数の基準を必要とするとともにこれら基準間の不均一によってアナログ信号の非線形的な歪みが生じることである。

【００１８】

信号の値の各々のＤＡ変換に対して複数の基準の各々を用いる既知のアルゴリズムであるダイナミックエレメントマッチングによって、非線形的な歪みが十分に減少される。そのようなアルゴリズムの実現の際に、入力信号を多ビットデジタル信号に変換する多ビッ

トシグマ・デルタコンバータであって、前記コンバータが、相互接続された複数の量子化手段の一つを有するフィードバック配置のローパスフィルタをそれぞれ有する相互接続された複数の１ビットシグマ・デルタコンバータと、入力信号を前記複数の量子化手段に供給する手段と、前記多ビットデジタル信号を前記複数の量子化手段の出力部から取得する手段とを具える多ビットシグマ・デルタコンバータを用いることができることが、Norsworthy S.R. and Schreier R. and Temes G.C. Detlta-Sigma Converters, Theory, Design and Simulation. IEEE Press, New York, 1997 pp 260-264から知られている。本発明の他の態様によれば、そのような多ビットシグマ・デルタコンバータは、前記複数の量子化手段の出力部の各々が、１ビットデジタルストリームのエッジを表す制御信号を前記出力部で発生するエッジ密度コントローラと、前記制御信号を前記出力部の１ビットデジタルストリームに乗算する乗算器と、乗算の結果を前記量子化手段の各入力部に供給する手段とに接続されたことを特徴とする。

【発明を実施するための最良の形態】

【００１９】

本発明を、添付図面を参照して説明する。

図１の１ビットシグマ・デルタコンバータは、アナログ信号入力部Ｉ及びアナログ信号出力部Ｏを有するシグマ・デルタ変調器ＳＤを具える。入力部Ｉのアナログ信号S_Iは、加算器P_1を通じてアナログローパスフィルタＦに供給され、フィルタ処理された信号S_Fは、加算器P_2を通じて、この場合には簡単なクロック制御型コンパレータとすることができる１ビットクロック制御型量子化器Ｑに供給される。クロックパルス中に量子化器に対する入力信号が予め決定された基準レベル（“０”）を超える度に、量子化器は＋１パルスを発生し、この信号が上記予め決定された基準レベルより下のままであるときには、量子化器は－１パルスを発生する。量子化器Ｑからの１ビットデジタル出力パルスS_Oは、ＤＡコンバータＨにおいてアナログパルスに変換され、加算器P_1においてアナログ入力信号S_Iから減算される。このシグマ・デルタ形態の周知の結果は、入力信号S_Iが正の最大値であるときに出力信号S_Oに多量の＋パルスが存在し、入力信号S_Iが負の最大値であるときに出力信号S_Oに多量の－パルスが存在し、入力信号S_Iが零又は零付近であるときに出力信号S_Oに＋パルス及び－パルスが交互に存在する。シグマ・デルタ変調器が適切に設計される場合、量子化器によって発生した量子化ノイズは、入力信号の周波数帯域とクロック周波数の半分との間の周波数帯域に整形される。量子化ノイズに対して十分なスペースを有するために、クロック周波数を十分高く選択する必要がある。

【００２０】

特に、入力信号の零交差中における出力信号S_Oの多量のエッジは、シグマ・デルタ変調器のフィードバック経路のＤＡコンバータＨだけでなくデジタル出力信号S_Oをアナログフォーマットに戻すＤＡコンバータにおいて、シンボル間干渉の重大な原因となる。特に、入力信号の零交差中に多量のエッジを減少するために、図１の配置は、入力部がシグマ・デルタ変調器の出力信号S_Oを受信するエッジ抽出器Ｅを具える。エッジ抽出器は、以前のクロック周期中に信号S_Oが変化したときには「ハイ」になるとともに以前のクロック周期中に信号S_Oが変化しないときには「ロー」になる信号S_Eを１クロック周期の間に生成する。エッジ抽出器Ｅは、例えば、二つの入力部を有するＸＯＲゲートを具え、その一方が、信号S_Oを直接受信し、他方は、クロック制御型Ｄフリップ－フロップを通じて信号S_Oを受信する。その後、アナログ信号として取り扱うことができる例えば「ハイ」＝１Ｖ及び「ロー」＝０Ｖの信号S_Eは、加算器P_3に加算され、この場合、例えば０．２Ｖの基準電圧V_Pが信号S_Eから減算される。減算$S_E - V_P$の結果は、以前のクロック周期中にエッジが生じたときには０．８Ｖとなり、以前のクロック周期中にエッジが生じないときには－０．２Ｖとなる。すなわち、信号$S_E - V_P$の平均値は、クロック周期の２０％でエッジが生じるときには零となり、クロック周期の２０％を超えてエッジが生じるときには正となり、クロック周期の２０％未満でエッジが生じるときには負となる。

【００２１】

積分器Ｎは、信号$S_E - V_P$を受信し、クロック周期の２０％を超えて出力信号S_Oにエッジが生じるときに値が上昇するとともにクロック周期の２０％未満で出力信号S_Oにエッジが生じるときに値が下降する制御信号S_Cを生成する。制御信号S_Cは、乗算器Ｍにおいて、シグマ・デルタ変調器からの１ビット信号S_Oに乗算され、乗算器の出力信号$S_O \times S_C$が、第２の加算器P_2においてフィルタＦの出力に加算される。

【００２２】

量子化器Ｑ、乗算器Ｍ及び加算器P_2の組合せの動作を、図２のグラフを参照して説明する。このグラフは、垂直軸上に量子化器の出力値S_O（＋１又は－１）を示し、水平軸上にローパスフィルタＦの出力信号S_Fの値を示す。以下に与える値は、例示であり、出力パルスの値に対応する。

【００２３】

制御信号S_Cが零である場合、乗算器Ｍの出力も零となり、量子化器出力S_Oは、フィルタ出力信号ＳＦの小さい変動の制御下で図２の点Ａと点Ｃとの間で切り替わる。これを、図２において太線で示す。

【００２４】

しかしながら、ここでは、エッジ密度コントローラＧが値０．３の制御信号S_Cを発生すると仮定する。

【００２５】

ａ．量子化器出力信号$S_O = -1$である（とともにフィルタ出力信号S_Fがほぼ零である）とき、乗算器Ｍは、信号$S_O \times S_C = -0.3$を量子化器に供給し、（図２の点Ａにおいて）量子化器状態は変わらないままである。フィルタ出力信号S_Fが少量だけ変化するときでも、－０．３の乗算器出力はP_2の出力を負に保持し、その結果、量子化器の状態は変化しないままである。

【００２６】

ｂ．フィルタ信号S_Fが$S_F = +0.3$まで増大したときのみ、加算器P_2の出力が０まで増大し、量子化器出力が＋１に切り替わる。乗算器出力は$S_O \times S_C = 0.3$となり、P_2の出力は、$S_F + S_O \times S_C = 0.3 + 0.3 = 0.6$まで増大する（点Ｂ）。

【００２７】

ｃ．この量子化器状態は、フィルタ信号S_Fが例えば零（図２のポイントＣ）まで減少するとき又はフィルタ信号が－０．２５まで減少するときでさえも維持される。

【００２８】

ｄ．フィルタ信号S_Fが－０．３まで減少するときのみ、加算器P_2の出力が０まで減少するとともに量子化器Ｑが$S_O = -1$まで切り替わり、乗算器出力が$S_O \times S_C = -0.3$となり、P_2の出力は０．６まで更に減少する（点Ｄ）。

【００２９】

既に説明したように、量子化器の切替動作は、ヒステリシスに支配されるとともに制御信号S_Cの正の値によって大幅に減少する。フィルタ信号S_Fの値が値０．３より上又は値－０．３より下になるときのみ、量子化器は切替動作を行い、エッジが量子化器の出力に生じる。制御信号S_Cの値が大きくなるに従って、量子化器の切替動作を行うためにフィルタ信号S_Fの値を大きくする必要がある。

【００３０】

それに対して、制御信号S_Cが負である場合、量子化器Ｑは、フィルタ信号S_Fが零のときでさえもクロック周波数の半分で容易に切替を行うことができる。この場合、量子化器Ｑ、乗算器Ｍ及び加算器P_2は、協働して発振器を構成し、その発振器は、各クロックパルスでエッジを生じる。しかしながら、このような多量のエッジによって正の値の制御信号S_Cをすぐに構成し、その結果、上記機構によってエッジ数が大幅に減少される。

【００３１】

エッジ密度コントローラＧ及び乗算器Ｍを有する制御回路は、デジタル出力信号S_Oのエッジ数を所定の平均値に制限する。図１の配置において、この平均値を容易に見つけることができる。その理由は、積分器Ｎに対する入力信号の平均値を零にする必要があるか

らである（そうでない場合、積分器の出力信号S_Cが段々上昇し又は降下する。）。例えば、信号S_Eの値が、エッジがある場合に１になるとともにエッジがない場合に０になり、基準電圧V_Pの値が０，２であるとき、積分器Ｎに対する信号$S_E - V_P$が必然的に零の直流成分を有するので、信号S_Eは、$S_E = 1$のクロック周期を２０％有し、$S_E = 0$のクロック周期を８０％有する。その結果、制御回路はエッジ数を減少して、エッジがクロック周期の２０％のみで生じる。更に多いエッジに対して、基準電圧V_Pを増大する必要があり、更に少ないエッジに対して、この電圧を低くなるように選択する必要がある。

【００３２】

コンバータの最大入力信号レベルへの制御回路の影響を、以下説明する。

コンバータの出力信号がクロック周期の２０％でエッジを有するように基準電圧V_Pを設定すると仮定する。この場合、この信号は、１０クロック周期の以下のサイクルを有することができる。

【００３３】

ａ．コンバータに対する入力信号が正の最大値であるとき、＋１，＋１，＋１，－１，＋１，＋１，＋１，＋１，＋１，＋１となる。このサイクルは、１０クロック周期中に２個のエッジを有し、その結果、エッジを有するクロック周期の数は２０％となる。出力信号の値は、$9^{*} + 1 + 1^{*} - 1 = 8$すなわち最大の８／１０＝８０％となり、その結果、最大入力信号レベルは、全スケールの８０％まで減少する。

【００３４】

ｂ．コンパレータに対する入力信号が零のとき、－１，－１，＋１，＋１，＋１，＋１，＋１，－１，－１，－１となる。このサイクルも、１０クロック周期中に２個のエッジを有し、その結果、エッジを有するクロック周期の数は２０％となる。出力は、$5^{*} + 1 + 5^{*} - 1 = 0$となる。

【００３５】

ｃ．入力信号が負の最大値であるとき、－１，－１，＋１，－１，－１，－１，－１，－１，－１，－１となる。このサイクルも、１０クロック周期中に２個のエッジを有し、その結果、エッジを有するクロック周期の数は２０％となる。出力信号の値は$9^{*} - 1 + 1^{*} + 1 = -8$、したがって、負の最大値の８０％となり、その結果、最大入力信号レベルは、全スケールの８０％まで減少する。

【００３６】

比較として、エッジがクロック周期の５０％で生じるようにコンバータを設定すると仮定する。この場合、以下のサイクルが生じる。

ａ．コンバータに対する入力信号が正の最大値であるとき、＋１，－１，＋１，＋１となる。このサイクルは、４クロック周期中に２個のエッジを有し、その結果、エッジを有するクロック周期の数は５０％となる。出力信号の値は、$3^{*} 1 + 1^{*} - 1 = 2$すなわち２／４＝５０％となり、その結果、最大入力信号レベルは、全スケールの５０％まで減少する。

【００３７】

ｂ．コンパレータに対する入力信号が零のとき、－１，＋１，＋１，－１となる。このサイクルも、４クロック周期中に２個のエッジを有し、その結果、エッジを有するクロック周期の数は５０％となる。出力は、$2^{*} + 1 + 2^{*} - 1 = 0$となる。

【００３８】

ｃ．入力信号が負の最大値であるとき、－１，－１，＋１，－１となる。このサイクルも、４クロック周期中に２個のエッジを有し、その結果、エッジを有するクロック周期の割合は５０％となる。出力信号の値は$3^{*} - 1 + 1^{*} + 1 = -2$、したがって、負の最大値の５０％となり、その結果、最大入力信号レベルは、全スケールの５０％まで減少する。

【００３９】

これらの例は、エッジが減少した結果、出力信号に含まれる最大信号レベルが増大することを明確に示す。このような減少によって、信号のデジタル－アナログ変換中に発生し

たシンボル間干渉も更に減少する。

【００４０】

エッジが減少したデジタル信号ストリームS_Oは、コンパクトディスクＪによって図１に示した記憶媒体のような任意の適切なデジタルプロセッサに供給される。この記憶媒体から読み出されたデジタル信号は、デジタル－アナログコンバータＫに供給される。ＤＡコンバータＫに生じるあらゆるシンボル間干渉は、デジタル信号のエッジを更に均等に分布させることによって、関心のある周波数帯域の外側に十分にシフトされ、この信号の平均エッジ数を減少することによって相当減少される。

【００４１】

エッジ密度コントローラＧの構成の多数の変形を、本発明の範囲を逸脱することなく行うことができる。例えば、エッジ抽出器Ｅから供給されたパルスが零より下であり、かつ、エッジが生じないとき、基準電源V_Pを時々省略することができる。さらに、ループフィルタＮは積分器を有する必要がない。２次のローパスフィルタを試みると、１次のローパスフィルタより優れたＩＳＩ抑制パフォーマンスで機能することが確認された。１次又は２次のローパスフィルタの場合、基準信号V_Pを、ローパスフィルタの入力信号の代わりにローパスフィルタの出力信号から減算することができる。基準信号V_Pを直流値のみとする必要がない。この基準信号に時間依存成分を加算することによって、素子Ｑ，Ｍ，P_2及びＧによって構成された発振器のスペクトル出力成分を増減することができる。

【００４２】

図１において、本発明を、アナログシグマ・デルタ変調器及びアナログ制御回路によって説明した。本発明を、デジタルシグマ・デルタ変調器及び／又はデジタル制御回路に適用することもできる。その場合、加算や、乗算や、ローパスフィルタ処理や、エッジ抽出のような動作を、適切なデジタルコードを用いて行うことができる。

【００４３】

図３の多ビットシグマ・デルタコンバータにおいて、図１の素子に対応する素子に同一符号を付す。図３のコンバータは、複数の１ビットＤＡコンバータを直接駆動するためのものである。ＤＡコンバータ（図示せず）は、多ビットコンバータの出力部O_1，O_2，O_3の１ビット出力信号によって切り替えられる。コンバータに対する入力S_Iは、あり得る四つの値０，１，２，３を有する２ビットデジタル信号となる。これらの値を、三つの１ビットＤＡコンバータによりアナログフォーマットで復元することができる。これらＤＡコンバータの基準（電流源）が通常互いに正確に等しくないので、非線形的な歪みがデジタル－アナログ変換中に生じる。これらのエラーを、「ダイナミックエレメントマッチング」として知られている方法によって減少することができる。この方法によって、アナログ基準の各々は、アナログ値の各々を構成する動作に交互に切り替えられる。

【００４４】

このために、図３の多ビットコンバータは、三つの１ビットシグマ・デルタコンバータを具え、その各々は、ローパスフィルタＦと、ローパスフィルタを有するフィードバック配置の量子化器とを有する。三つの量子化器が組み合わされてベクトル量子化器ＶＱとなる。ベクトル量子化器は、入力信号S_Iによって駆動されるとともに所望のＤＥＭアルゴリズムに従って量子化器の各々を制御するコントローラを具える。

【００４５】

本発明によれば、ベクトル量子化器に対する１ビット入力部の各々は、図１を参照して説明したように接続した加算器P_2、エッジ抽出器Ｅ、基準値V_Pに対する加算器P_3、積分器Ｎ及び乗算器Ｍを具える。このようにして、ＤＡコンバータの等しくない基準に対処するために「ダイナミックエレメントマッチング」を実行するだけでなくこれらＤＡコンバータに固有のメモリ効果によって生じたシンボル間干渉を減少する多ビットコンバータが提供される。

【００４６】

図３の多ビットコンバータを、２ビット入力信号及び３ビット出力信号を有する簡単化した例によってのみ与える。通常、入力信号及び出力信号のビット数は、相互接続した１

ビットシグマ・デルタコンバータの数が増大するに従って大きくなる。

【図面の簡単な説明】

【００４７】

【図１】本発明による１ビットシグマ・デルタコンバータである。

【図２】本発明による１ビットシグマ・デルタコンバータの動作を説明するグラフである。

【図３】本発明によるマルチビットシグマ・デルタコンバータである。

【図１】

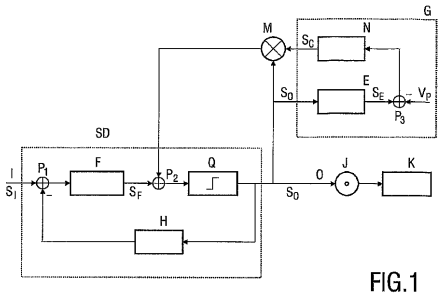


FIG.1

【図２】

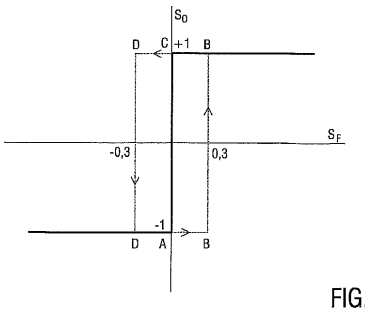


FIG.2

【図３】

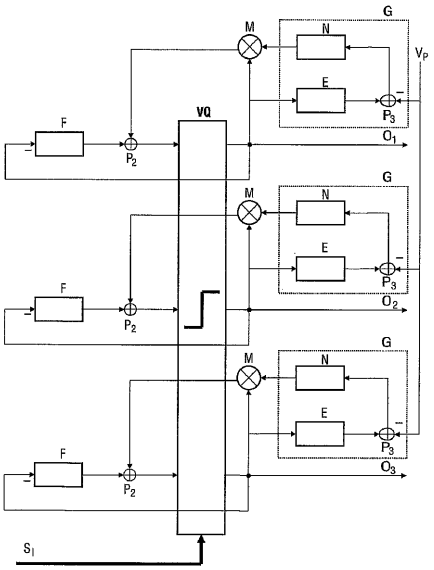


FIG.3

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB2005/050990

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03M3/02 G06F1/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03M G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 351 229 B1 (WANG BINAN) 26 February 2002 (2002-02-26)	7
A	column 1, line 5 - column 7, line 39; figures 3a,3b	1-6
A	EP 0 682 265 A (AT&T CORP) 15 November 1995 (1995-11-15) figures 1,5	1,2,6
A	EP 0 756 384 A (AT&T IPM CORP) 29 January 1997 (1997-01-29) the whole document	1-6

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 April 2005	06/05/2005

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Henderson, R

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

Int nal Application No
PCT/IB2005/050990

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 6351229	B1	26-02-2002	EP	1417764 A1	12-05-2004
			WO	0221698 A1	14-03-2002
EP 0682265	A	15-11-1995	US	5530442 A	25-06-1996
			EP	0682265 A1	15-11-1995
			JP	7321653 A	08-12-1995
EP 0756384	A	29-01-1997	US	5745061 A	28-04-1998
			EP	0756384 A2	29-01-1997
			JP	9121161 A	06-05-1997

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 バス エム プッター
オランダ国 ５６５６ アーアー アインドーフェン プロフ ホルストラーン ６

Ｆターム(参考) 5J022 BA03
5J064 AA01 BC06 BC07 BC08 BC09 BC10 BC12 BC16 BD01