

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7121236号
(P7121236)

(45)発行日 令和4年8月18日(2022.8.18)

(24)登録日 令和4年8月9日(2022.8.9)

(51)国際特許分類	F I		
H 0 3 K 17/082 (2006.01)	H 0 3 K	17/082	
H 0 3 K 17/08 (2006.01)	H 0 3 K	17/08	C
H 0 3 K 17/687 (2006.01)	H 0 3 K	17/687	A

請求項の数 10 (全24頁)

(21)出願番号	特願2019-523750(P2019-523750)	(73)特許権者	507107291
(86)(22)出願日	平成29年11月2日(2017.11.2)		テキサス インスツルメンツ インコーポ
(65)公表番号	特表2019-533961(P2019-533961)		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和1年11月21日(2019.11.21)		- 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2017/059801		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2018/085596	(74)代理人	230129078
(87)国際公開日	平成30年5月11日(2018.5.11)		弁護士 佐藤 仁
審査請求日	令和2年10月31日(2020.10.31)	(72)発明者	アングル チャウハン
(31)優先権主張番号	15/341,205		インド 5 6 0 0 7 5 バンガロール,
(32)優先日	平成28年11月2日(2016.11.2)		ニュー ティッパサンドラ ポスト, ジ
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	ャガディシュ ナガル, フィフス メイ
			ン, ファースト クロス, リシカ パラ
			ダイス, フラット ナンバー 2 0 1
			サドヘール ブラサド

最終頁に続く

(54)【発明の名称】 トランジスタ電力スイッチのための電流感知及び制御

(57)【特許請求の範囲】

【請求項1】

装置であって、

第1の電流導通端子と第2の電流導通端子との間に第1の電流導通経路を有する第1の電力トランジスタであって、前記第1の電流導通経路が、供給電圧を受け取るための入力とノードとの間に結合され、前記第1の電力トランジスタが、第1のゲート制御信号に結合される前記第1の電力トランジスタを制御するための第1のゲート端子を更に有する、前記第1の電力トランジスタと、

第3の電流導通端子と第4の電流導通端子との間に第2の電流導通経路を有する第2の電力トランジスタであって、前記第2の電流導通経路が、前記ノードと負荷に負荷電流を供給するための出力端子との間に結合され、前記第2の電力トランジスタが第2のゲート制御信号に結合される第2のゲート端子を有する、前記第2の電力トランジスタと、

電流感知トランジスタであって、前記ノードと前記第1の電力トランジスタとに結合される1つの電流導通端子と、前記第1のゲート制御信号に結合される第3のゲート端子とを有し、別の電流導通端子において感知電流を出力する、前記電流感知トランジスタと、

差動増幅器であって、前記第1の電力トランジスタの前記第1及び第2の電流導通端子の一方に結合される第1の入力と、前記第1及び第2の電流導通端子の他方に結合される第2の入力と、前記第1の入力と前記第2の入力との間の電圧差に応答して出力信号を出力する出力とを有する、前記差動増幅器と、

前記入力と前記差動増幅器の第1及び第2の入力の一方との間に結合される第1の抵抗

要素と、

前記差動増幅器の第 1 及び第 2 の入力の前記一方と前記電流感知トランジスタの別の電流導通端子との間に結合される第 2 の抵抗要素と、

フィードバックトランジスタであって、前記電流感知トランジスタと監視ノードとの間に直列に結合される別の電流導通経路と、前記差動増幅器の出力に結合されるフィードバックトランジスタゲート端子とを有する、前記フィードバックトランジスタと、

前記監視ノードと接地との間に結合される抵抗器であって、前記感知電流が前記抵抗器を介して流れ、前記感知電流が前記第 2 の電力トランジスタを介して流れる前記負荷電流に比例する、前記抵抗器と、

を含む、装置。

10

【請求項 2】

請求項 1 に記載の装置であって、

前記電流感知トランジスタが前記第 1 の電力トランジスタと共に半導体基板上に形成され、前記電流感知トランジスタのデバイスエリアが前記第 1 の電力トランジスタのデバイスエリアより小さい、装置。

【請求項 3】

請求項 1 に記載の装置であって、

前記電流感知トランジスタを介して流れる前記感知電流が前記負荷電流に比例する、装置。

【請求項 4】

20

請求項 1 に記載の装置であって、

前記第 1 の電力トランジスタと前記第 2 の電力トランジスタと前記電流感知トランジスタとが、単一の集積回路上に形成される F E T デバイスである、装置。

【請求項 5】

請求項 4 に記載の装置であって、

前記 F E T デバイスが、垂直 F E T デバイスと非垂直 F E T デバイスとから選択される、装置。

【請求項 6】

請求項 4 に記載の装置であって、

前記ノードが、前記単一の集積回路の半導体基板において形成される、装置。

30

【請求項 7】

請求項 1 に記載の装置であって、

前記感知された電流が電流制限を超えるとときに前記第 2 のゲート制御信号の前記電圧を制限するために、前記第 2 の電力トランジスタの前記第 2 のゲート端子に結合される電流制限回路を更に含む、装置。

【請求項 8】

請求項 1 に記載の装置であって、

前記第 1 の電力トランジスタの前記第 1 の電流導通端子が第 1 のソース端子であり、
前記第 1 の電力トランジスタの前記第 2 の電流導通端子が第 1 のドレイン端子であり、
前記第 2 の電力トランジスタの前記第 3 の電流導通端子が第 2 のドレイン端子であり、
前記第 2 の電力トランジスタの前記第 4 の電流導通端子が第 2 のソース端子であり、
前記電流感知トランジスタが、前記ノードにおける前記第 1 の電力トランジスタの前記第 1 のドレイン端子と前記第 2 の電力トランジスタの前記第 2 のドレイン端子とに結合される前記電流導通端子としての第 3 のドレイン端子を有する、装置。

40

【請求項 9】

請求項 1 に記載の装置であって、

前記差動増幅器が演算増幅器である、装置。

【請求項 10】

請求項 9 に記載の装置であって、

前記演算増幅器が前記フィードバックトランジスタを備える閉ループにおいて接続され

50

る、装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概して、電力スイッチ及び対応する制御回路に関し、より具体的には、負荷に電流を供給するトランジスタ電力スイッチを含む回路を制御するための回路に関する。

【背景技術】

【0002】

Eヒューズ(「電子ヒューズ」)回路は、入力電圧源と、出力端子において結合される負荷との間の接続を制御する。Eヒューズは、負荷を入力電源に接続する直列電力トランジスタを含み得る。例えば、回路基板がその電力をバスから取得し得る。回路基板がバスソケットに挿入されるとき、バスソケットにおけるコンタクトは、回路基板を電力に接続する。Eヒューズはしばしば、電流限度超過制御、短絡保護、突入電流制限、 dv/dt 又は始動電圧ランプ制御、及び、逆電流保護を提供する。Eヒューズは、負荷が利用可能な電流を低減し得、或いは、過電流が存在するとき、負荷への電源接続を完全に遮断することも可能である。

10

【0003】

例示の適用例において、電力トランジスタが、電圧源に結合されるドレイン端子と、出力端子において負荷に結合されるソース端子とを有する。出力端子において負荷に電力を提供するとき、電力トランジスタのゲートは、負荷を電源に結合するために電力トランジスタをターンオンするのに十分な電圧である必要がある。負荷への電流は、感知回路要素を用いて監視される。直列電力トランジスタを介して流れる電流が電流制限を超えると、負荷電流を制限するために電力トランジスタのゲート電圧が低減され得、又は、電力トランジスタを切断するようにゲート電圧が変更され得る。電力トランジスタに対する何らかの物理的損傷が生じ得る前に、ターンオフを起こす必要がある。出力端子において接地への短絡が生じる場合、又は、負荷回路において短絡が生じる場合、負荷電流は電流制限を超える可能性がある。

20

【発明の概要】

【0004】

説明する例において、装置が、第1の電流導通端子と第2の電流導通端子との間に第1の電流導通経路を有する第1の電力トランジスタであって、第1の電力トランジスタの第1の電流導通経路が、供給電圧を受け取るための入力とノードとの間に結合され、第1の電力トランジスタが第1のゲート制御信号に結合される第1の電力トランジスタを制御するための第1のゲート端子を有する、第1の電力トランジスタと、第3の電流導通端子と第4の電流導通端子との間に第2の電流導通経路を有する第2の電力トランジスタであって、第2の電力トランジスタの第2の電流導通経路が、ノードと負荷に負荷電流を供給するための出力端子との間に結合され、第2の電力トランジスタが、第2のゲート制御信号に結合される第2のゲート端子を有する、第2の電力トランジスタと、電流感知トランジスタであって、ノード及び第1の電力トランジスタに結合される1つの電流導通端子を有し、第1のゲート制御信号に結合される第3のゲート端子を有し、別の電流導通端子において感知電流を出力する電流感知トランジスタとを含む。この装置は更に、差動増幅器であって、第1の電力トランジスタの第1及び第2の電流導通端子の一方に結合される第1の入力を有し、第1及び第2の電流導通端子の他方に結合される第2の入力を有し、第1の入力と第2の入力との間の電圧差に応答する出力信号を有する、差動増幅器と、フィードバックトランジスタであって、電流感知トランジスタと監視ノードとの間に直列に結合される別の電流導通経路を有し、差動増幅器の出力に結合されるフィードバックトランジスタゲート端子を有する、フィードバックトランジスタと、監視ノードと接地との間に結合される抵抗器であって、感知電流が抵抗器を介して流れ、感知電流が、第2の電力トランジスタを介して流れる負荷電流に比例する、抵抗器とを含む。

30

40

【図面の簡単な説明】

50

【 0 0 0 5 】

【 図 1 】 電力トランジスタ回路の回路図である。

【 0 0 0 6 】

【 図 2 】 電流監視及び電流制限回路を含む、従来の電力トランジスタ回路の回路図である。

【 0 0 0 7 】

【 図 3 】 電流監視を備える代替の従来の電力トランジスタ回路の別の回路図である。

【 0 0 0 8 】

【 図 4 】 従来のハイサイド電流感知回路についての回路図である。

【 0 0 0 9 】

【 図 5 】 電流監視を含む e ヒューズ回路において用いるための実施形態についての回路図である。

10

【 0 0 1 0 】

【 図 6 】 図 5 の電流監視実施形態を組み込む実施形態の回路図である。

【 0 0 1 1 】

【 図 7 】 電流監視回路を備えるハイサイドトランジスタ実施形態の回路図である。

【 0 0 1 2 】

【 図 8 】 高速トリップコンパレータ及び電流制限を有する実施形態回路の回路図である。

【 0 0 1 3 】

【 図 9 】 実施形態と共に用いるための高速トリップコンパレータの一部の動作を図示する回路図である。

20

【 0 0 1 4 】

【 図 1 0 】 2 方向に流れる負荷電流のための電流監視を有する電力トランジスタ回路における双方向電流経路についての実施形態の回路図である。

【 0 0 1 5 】

【 図 1 1 A 】 図 1 0 の実施形態と共に用いるための回路についての回路図である。

【 図 1 1 B 】 図 1 0 の実施形態と共に用いるための回路についての回路図である。

【 0 0 1 6 】

【 図 1 2 】 コントローラ集積回路に結合される電力トランジスタ集積回路を含む実施形態の e ヒューズシステムについてのシステムブロック図である。

【 発明を実施するための形態 】

30

【 0 0 1 7 】

図面において、対応する数字及び記号は、特に示されない限り、概して対応する部分を指す。図面は必ずしも一定の縮尺で描かれてはいない。

【 0 0 1 8 】

本明細書において、「結合される」という用語は、介在要素を用いて成される接続を含み得、「結合される」任意の要素間に付加要素及び様々な接続が存在し得る。

【 0 0 1 9 】

図 1 は電力回路 1 0 0 の図である。電力回路 1 0 0 は、電源端子 V I N と出力端子 V O U T との間に結合される回路 1 0 1 を含む。回路 1 0 1 は、E ヒューズ回路の一部を形成し得る電力トランジスタ回路である。電流を引き込む負荷（図 1 には図示せず）が、V O U T 端子に結合されることになる。ハイサイドトランジスタ H S - F E T は、電源 V I N と端子 V O U T に結合される負荷との間のスイッチとして働く。制御回路（図示せず）が、ハイサイドトランジスタ H S - F E T のゲート端子に結合され、ゲート制御電圧 H G A T E を供給する。回路 1 0 1 において、ノード V M I D と入力電圧 V I N との間にブロッキングトランジスタ B - F E T が結合される。ブロッキングトランジスタは、ノード V M I D に結合されるソースと V I N に結合されるドレインとの間にボディダイオード（ボディダイオードが固有デバイスであることを示すために、破線で示される）を有し、「逆」電流と見なすことが可能な、電流が出力端子 V O U T から入力端子 V I N へと流れるのを防止する。ブロッキング F E T B - F E T のゲートは、ゲート制御電圧 B G A T E に結合される。B G A T E は制御回路（図示せず）から供給される。

40

50

【 0 0 2 0 】

入力電圧から出力電圧を供給するための応用において、回路 1 0 0 を含む E ヒューズ回路が、入力電源、負荷デバイス、及び費用のかかる F E T デバイスを、過電流状態に起因する破損から保護するように配される。H S - F E T を介して流れる電流を感知することによって、E ヒューズにおける制御回路は、ゲート制御信号 H G A T E を用いてトランジスタ H S - F E T を遮断することが可能である。電流を制限すること又は電流を遮断することは、H S - F E T 及び負荷を保護するために行われる。

【 0 0 2 1 】

図 1 において、回路 1 0 1 は電流感知デバイス S E N S E F E T を含む。電流感知デバイスは、ブロッキングデバイス B - F E T と同じゲート電圧 B G A T E と、及び、ドレイン端子において同じ電圧 V M I D と結合される。感知 F E T は同じ基板上にあり、ブロッキングデバイス B - F E T と同じ半導体プロセスを用いて構築されるため、S E N S E - F E T を介して流れる電流は、ブロッキングデバイス B - F E T を介して流れる負荷電流 I L に比例するはずである。しかしながら、実際には、図 1 に示されるような従来の構成において、感知電流「I s e n s e」は、特にソース電圧 (V g s) へのゲートが小さいとき、精度が不足する。S E N S E F E T (これは、H S - F E T 及びブロッキングデバイス B - F E T よりもデバイスサイズがかなり小さくされている) についての閾値電圧は、すべての条件下で、ブロッキングトランジスタ B - F E T についての閾値電圧に合致しないため、精度の不足が生じる。

【 0 0 2 2 】

回路 1 0 1 の重要な態様が、現在の電力 F E T 技術によって決定される。近年、垂直 F E T プロセスを用いて作られる低抵抗 M O S F E T デバイスの開発により、回路性能が向上してきている。電力応用において、従来のデバイスタイプ (例えば、バイポーラトランジスタ、D M O S F E T などの横方向 F E T、及び従来のトレンチ F E T) が、こういったデバイスに急速に置換されてきている。例示の改良型 F E T デバイスは、テキサス・インスツルメンツ・インコーポレーテッドによって提供される N e x F E T (商標) 技術デバイスである。「N e x F E T」は電力 M O S F E T に対してテキサス・インスツルメンツ・インコーポレーテッドが所有する商標である。N e x F E T (商標) デバイスは、超低オン抵抗 R d s o n を有し、高デバイス性能を有し、ロバストであり、相対的に小さいシリコンエリアを備えるデバイスであり、これらのデバイスは、例えば 1 0 0 ボルトまでの電圧など、非常に高い電圧及び電流を搬送し得る。実施形態は、N e x F E T (商標) デバイスを用いて、他の電力 F E T 技術を用いて、垂直 F E T を用いて、及び他の F E T 配置を用いて実装され得る。

【 0 0 2 3 】

図 1 において、電力トランジスタ回路 1 0 1 は、F E T デバイスのすべてを含む単一の半導体基板上に実装され得る。しかしながら、垂直 F E T を用いて効率的に図 1 におけるデバイスを形成するために、F E T トランジスタの 1 つの端子に共通基板ノード V M I D が結合される。図 1 において、e ヒューズ 1 0 1 における 3 つのデバイス B - F E T、H S - F E T、及び S E N S E F E T のドレインはすべて、ノード V M I D において基板に結合される。ドレインは垂直 F E T 構造の底部において基板に結合されるため、「ドレインダウン」構成と呼ばれる。この共通ドレイン構成は、用いることのできる電流感知回路配置を制限する。したがって、感知された電流 I s e n s e の精度を広い範囲の状態にわたって向上させるために、付加的な改良が必要である。実施形態は、垂直 F E T デバイスと共に形成される配置に適用可能である。

【 0 0 2 4 】

次に、従来の F E T 電流感知手法の検討を示す。図 2 は、電流感知及び電流制限を備える従来の電源回路 2 0 0 を示す。図 2 において同様に示されている構成要素は、電力回路 1 0 0 (図 1) の要素と同様の機能を行う。例えば、図 1 において H S - F E T と示されるハイサイドデバイスは、図 2 のハイサイドトランジスタ H S - F E T と同様に動作する。

【 0 0 2 5 】

図2において、201と番号付けされた電流感知経路（SENSE PATHと示される）が、203と番号付けされた電流経路（POWER PATHと示される）と並列に結合されて示されている。感知経路201において、入力電圧VINは、感知トランジスタSENSE FETのソース端子に結合され、感知トランジスタSENSE FETは、（デバイスW/Lエリアを用いて）電力FETより小さくスケールされ得る。様々なスケールファクタが用いられ得る。SENSE FETのドレインは、電流IMON（監視電流）をフィードバックトランジスタ209に供給するように結合される。演算増幅器（オペアンプ）207がコンパレータとして結合される。演算増幅器207の出力は、正端子及び負端子における電圧の差にตอบสนองして変化する。感知トランジスタSENSE FETのソースは、オペアンプ207の正の入力端子（図2では「+」符号として示される）に結合される。オペアンプ207の負端子（図2では「-」符号として示される）は、ブロッキングトランジスタB-FETとハイサイドトランジスタHS-FETとの間の共通ドレイン端子VMIDに結合される。ハイサイドトランジスタHS-FETは、ノードVINにおいて結合される入力電圧源から、出力端子VOUTに、及びVOUTに結合される負荷（明確にするために図示せず）に、負荷電流ILを搬送する。

10

【0026】

オペアンプ207は、フィードバック構成でフィードバックトランジスタ209を用いて結合される。演算増幅器207への入力において仮想接地状態が存在する。動作において、オペアンプ207は、正及び負の端子（図2において「+」及び「-」と示される）における電圧を等しく維持するために、フィードバックトランジスタ209のゲートにおいて電圧を調節する。電流IMONは負荷電流ILに比例することになる。こういった比例は、感知トランジスタSENSE-FETと、HS-FETなどの電力トランジスタとの間のスケールリングによって決定される。一例において、スケールリングは、感知電流が負荷電流ILの1/1000であるようにされるが、他のスケールファクタも用いられ得、負荷電流に対する感知電流の大きさは、そのスケールファクタに対応して変化する。

20

【0027】

動作において、電流制限ブロック211は、ハイサイドトランジスタHS-FETを制御する。ハイサイドトランジスタHS-FETが電流ILを負荷へと送達しているとき、電力経路203におけるブロッキングトランジスタB-FETのドレインソース間電圧は、感知トランジスタSENSE FETのドレインソース間電圧に等しくなる。これらのドレイン電圧が等しくない場合、演算増幅器207は、ドレイン電圧が等しくなるまでフィードバックトランジスタ209のゲートにおける電圧を変更する。デバイスSENSE FET及びB-FETをマッチさせることにより、デバイスを通して流れる電流をデバイスのサイズ比に比例させることができる。これが真であるのは、デバイスがマッチされ、両方のデバイスのソース端子が同じ電位（VIN、入力供給電圧）にあり、ゲート端子がどちらも同じゲート制御電圧BGATEに連結されているためである。これら2つのデバイスが同じ（比例する）電流を搬送しているとき、ドレイン電圧も等しくなる。

30

【0028】

図2において、電流IMONは、電力トランジスタ回路を制御し、電流制限を提供するために用いられ得る出力電圧を端子VMONにおいて提供する。出力端子VMONは、抵抗器RMONに対しユーザ決定値を提供することによって電流制限を制御するために用いられ得る。抵抗器RMONをサイジングすることによって、電流IMONに比例する監視電圧VMONが展開され得る。監視電圧VMONは、電流制限制御ブロック211によって観察され得る。ハイサイドトランジスタHS-FETに結合されるゲート電圧信号HGATEは、電流制限ブロック211によって出力される。電圧VMONが閾値又は基準電圧を超えると、電流制限ブロック211は、ゲート電圧HGATEを制限又は低減することが可能であり、ハイサイドトランジスタHS-FETを介して負荷へと流れる負荷電流ILを低減すること、或いは停止することが可能な場合もある。ユーザ、又はシステム内のコントローラが用いるために、電力制限状況が発生している旨の指示を与えるための付加的な任意出力が作られ得る。電圧VMONは、負荷電流ILに比例する、システム内

40

50

を流れる電流 I_{MON} を観察するために結合され得る。

【0029】

回路200における接続は、感知トランジスタ $SENSE\ FET$ のドレイン端子及び電力トランジスタ $B\ FET$ 及び $HS\ FET$ のドレイン端子が物理的に分離していることを必要とする。しかしながら、電力応用のためにつくられている垂直 FET デバイス ($Nex\ FET$ (商標) デバイスなど) において、電力集積回路上のトランジスタは、図1に示されるノード $VMID$ などの共通基板ノードに結合される、1つの電流搬送端子 (ソース又はドレインのいずれか) を有する。したがって、従来の回路200は、これらの改良型電力デバイスにおける電流を感知するために用いることができない。

【0030】

図3は、別の従来の電力回路300の図である。図3において同様に示される構成要素は、電力回路200 (図2) の要素と同様の機能を行う。例えば、図3におけるトランジスタ $HS\ FET$ は、図2のトランジスタ $HS\ FET$ と同じ機能を行う。電力回路300が電力回路200 (図2を参照) と異なるのは、感知トランジスタ $SENSE\ FET$ 、ブロッキングトランジスタ $B\ FET$ 、及びハイサイドトランジスタ $HS\ FET$ が、ノード $VMID$ において共通ドレイン接続を有するという点である。この共通ドレイン接続のため、これらのトランジスタはドレインダウン垂直 FET デバイスにおいて実装され得る。

【0031】

回路300は、感知経路301及び電力経路303を含む。感知経路301において、オペアンプ307が仮想接地コンパレータ構成内にある。 $SENSE\ FET$ のソース電圧は、演算増幅器307への正の入力端子におけるものであり、入力供給電圧 V_{IN} に結合されるブロッキングトランジスタ $B\ FET$ のソース電圧は、負の入力端子におけるものである。 $SENSE\ FET$ 及び $B\ FET$ の両方に対するゲート電圧は、制御電圧 $B\ GATE$ に結合される。そのため、 $SENSE\ FET$ 及び $B\ FET$ はマッチされ、 $SENSE\ PATH$ において $SENSE\ FET$ を介して流れる電流 I_{SENSE} は、ブロッキングトランジスタ $B\ FET$ を介して流れる負荷電流 I_L に比例することになる。

【0032】

動作において、電流感知は、オペアンプ307の出力がフィードバック FET 309のゲートを制御する際に生じ、これは、電流 I_{SENSE} をレギュレートして負荷電流 I_L をマッチさせる。ミラートランジスタ310が感知電流を監視電流 I_{MON} として出力し、電流 I_{MON} に比例する出力電圧が出力端子 V_{MON} において利用可能である。電圧 V_{MON} は、抵抗器 R_{MON} の値を選択することによって制御可能である。ユーザが、制限電圧を設定し、電流制限回路 (図3では図示せず) を用いて電流を制限することが可能である。ハイサイドトランジスタ $HS\ FET$ へのゲート信号は、電流制限回路によって制御可能であり、したがって、電流制限機能を提供することが可能である。

【0033】

図3における従来の回路300は、電圧 V_{CP} を提供するためにチャージポンプ (明確にするために図示せず) を必要とする。演算増幅器307は入力電圧 V_{IN} に結合される入力を有し、演算増幅器307への供給は V_{IN} より高い電圧である必要がある。このより高い電圧を供給するためにチャージポンプが必要とされ、これは、感知経路内を流れる電流 I_{SENSE} 、及び監視電流 I_{MON} を提供するためにも用いられる。電圧 V_{CP} 並びに電流 I_{SENSE} 及び I_{MON} を提供するためにチャージポンプを用いることは、望ましくない。チャージポンプは大きな電力及びシリコンエリアを必要とし、相対的に非効率であり、製造に費用がかかる。

【0034】

図4は、電流感知及び電流制限を含む電力回路400についての回路図である。同様に、図4に示される構成要素は、電力回路300 (図3) の要素と同様の機能を行う。例えば、図4におけるハイサイドトランジスタ $HS\ FET$ は、図3におけるハイサイドトランジスタ $HS\ FET$ と同様に動作する。

10

20

30

40

50

【 0 0 3 5 】

図 4 において、POWER PATH 4 0 1 は、入力端子 V I N における入力電圧を、負荷（図示せず）が負荷電流 I_L を受け取る出力端子 V O U T に結合するための、ハイサイドトランジスタ H S - F E T を含む。図 4 において、電力経路は、ゲート制御電圧 B - G A T E によって制御されるブロッキングトランジスタ B - F E T を含む。B - F E T トランジスタの固有ボディダイオード（図を簡略にするために図示せず）は、出力端子における電圧が入力端子 V I N における電圧を超えるとき、出力端子 V O U T から入力端子 V I N へと電流が流れるのを防止する。

【 0 0 3 6 】

図 4 において、SENSE PATH 4 0 3 は感知回路要素を含む。この従来の回路において、電流感知は、ハイサイドトランジスタ H S - F E T をマッチさせるために結合されるトランジスタ SENSE F E T によって成される。ハイサイドトランジスタ H S - F E T は、H S - F E T 及び感知トランジスタ SENSE F E T の両方にゲート制御信号 H G A T E を提供する、4 1 3 と示される電流制限増幅器 A 2 によって制御される。

10

【 0 0 3 7 】

電流感知回路要素は、入力端子において仮想接地回路と結合されるオペアンプ 4 0 7 を含む。感知トランジスタ SENSE F E T のドレイン端子は正の入力端子に結合し、ハイサイドトランジスタ H S - F E T のドレイン端子は負の入力端子に結合される。オペアンプ 4 0 7 は、フィードバックトランジスタとしてのトランジスタ M 3 を備えるフィードバック構成内にある。

20

【 0 0 3 8 】

動作において、感知回路要素 4 0 3 は、ハイサイドトランジスタ H S - F E T 及び感知トランジスタ SENSE F E T についてのドレインソース間電圧をマッチさせることによって、負荷電流 I_L を感知する。演算増幅器 4 0 7 は、フィードバックトランジスタ M 3 を介する電流を制御するために用いられる。電流 I_{SENSE} は、負荷電流 I_L に比例してマッチすることになる。

【 0 0 3 9 】

図 4 において、回路 4 0 0 は、ノード V M I D における共通ドレイン接続を備える、ブロッキングトランジスタ B - F E T、ハイサイドトランジスタ H S - F E T、及び電流感知トランジスタ SENSE F E T を用いる。ドレイン端子が結合されるため、これら 3 つの F E T デバイスは、N e x F E T（商標）デバイスなどにおけるドレインダウン構成における基板において共に結合されるドレインを備える垂直 F E T デバイスにおいて実装され得る。

30

【 0 0 4 0 】

しかしながら、図 4 の構成において、SENSE F E T トランジスタによって出力される電流 I_{sense} の精度は制限される。感知トランジスタ SENSE F E T は、H S - F E T のためにゲート接続 H G A T E に結合されるゲート端子を有する。電流制限状況において、ユーザ指定の抵抗器 R M O N の電圧は基準電圧 V_{ref} と比較される。抵抗器 R M O N を介する電流が電流制限を上回る場合、電圧 V_{MON} は基準電圧 V_{ref} を超え、電流制限増幅器 4 1 3 は、ゲート電圧 H G A T E を低減させることによって、H S - F E T を介する電流を制限する。H G A T E が低減されると、感知トランジスタ SENSE F E T におけるゲート電圧は低減され、感知トランジスタのゲートソース間電圧 (V_{gs}) を低下させる。ゲートソース間電圧が低い場合、感知トランジスタ SENSE F E T とハイサイドトランジスタ H S - F E T との閾値マッチングは不十分であり、したがって、感知される電流の精度は不十分である。特に電流制限状況において、感知される電流の精度が最も重要であるとき、図 4 における従来の回路は精度に欠けるものである。

40

【 0 0 4 1 】

図 5 は、ハイサイド電力応用に有用な実施形態の電力感知回路についての回路図である。同様に示される構成要素は、電力回路 4 0 0（図 4）の要素と同様の機能を行う。例えば、図 5 におけるブロッキングトランジスタ B - F E T は、図 4 における B - F E T デバ

50

イスと同様に動作する。図5において、感知経路503が示されている一方で、対応する電力経路501の一部が示されている。図5において完全な電力経路は示されていないが、以下で更に説明する。実施形態の特徴は、NexFET（商標）デバイス及び他のFETデバイスと共に形成される配置に適用可能であり、実施形態は如何なる特定タイプのFETデバイスにも限定されない。

【0042】

図5において、回路は、供給電圧VINを受け取るための入力端子と共通ノードVMIDとの間に直列に結合される、第1の電流導通端子と第2の電流導通端子との間に電流導通経路を備える、ブロッキングトランジスタB-FETを含む。図5において、第1の電流導通端子はトランジスタB-FETのソース端子であり、第2の電流導通端子はトランジスタB-FETのドレイン端子である。ブロッキングトランジスタは、信号BGATEに結合されるゲート制御端子を有する。感知トランジスタSENSE-FETは、共通ノードVMIDに結合される第1の電流導通端子と、感知電流出力Isenseを提供するために結合される第2の電流導通端子との間に電流導通経路を有する。感知トランジスタSENSE-FETのゲートは、ゲート制御電圧BGATEに結合される。

10

【0043】

図5において、電流感知はブロッキングトランジスタB-FETにわたる。感知トランジスタSENSE-FETはブロッキングトランジスタB-FETとマッチされる。演算増幅器507は、「-1」の利得を有するユニティゲイン増幅器として構成される。図5において「vd1」と示されるブロッキングトランジスタB-FETのドレインソース間電圧は、「vd2」と示されるSENSE-FETについてのドレインソース間電圧に付加される。演算増幅器507は、等式 $vd2 = vd1 \times (R2 / R1)$ が満たされるまで、フィードバックトランジスタFB-FETについてのゲート電圧を調節する。演算増幅器507について説明するユニティゲインは、抵抗器R1及びR2が同じ値を有するものと仮定するが、代替の実施形態において、抵抗器R1対抵抗器R2の比を変更することによって、等式によって示されるように、オペアンプ507についての利得に付加的な調節を提供し得る。1未満のR2対R1の比を用いることによって、付加的なスケールリングが達成され得、より小さな感知電流、及び対応する電力消費の削減が可能となる。

20

【0044】

動作において、感知トランジスタSENSE-FETを介して流れる電流は、負荷電流IL（1/1000スケールリングファクタなどの、デバイスサイズ比によってスケールリングされる）に比例する。感知電流は、演算増幅器507及びフィードバックトランジスタFB-FETの使用に起因して、より正確である。演算増幅器は、負荷電流ILを搬送するブロッキングトランジスタB-FETについてのドレインソース間電圧vd1と、その電流導通経路を介して感知電流を搬送する感知トランジスタSENSE-FETについてのドレインソース間電圧vd2との間の、任意の電圧差に応答して、フィードバックトランジスタFB-FETのゲート電圧を調節する。端子VMONにおける電圧は、感知電流に起因し、したがって負荷電流ILに比例する電圧を提供する。抵抗器RMONの値は、所与の監視電流IMONについての電圧を変更するように調節することが可能であり、電圧VMONを用いて、電流制限回路（図示せず）が用いるための制限電流を設定することが可能である。

30

40

【0045】

図5の実施形態は、ブロッキングトランジスタB-FET及び感知トランジスタSENSE-FETに対し共通ドレインノードVMIDを提供する。この共通接続は、ハイサイドFET（図5には図示していないが、下記で更に説明する）のドレインを含むように更に拡張可能である。ドレイン端子は共通ノードにおいて接続されるため、これら3つのFETは、NexFET（商標）デバイスなどの垂直FETデバイス上に実装され得る。図5の実施形態では、負荷電流を感知するためにブロッキングトランジスタB-FETが用いられるため、感知される電流Isenseの精度は高い。ブロッキングトランジスタB-FETは、ハイサイドトランジスタ（図示せず）へのゲート電圧とは無関係であるゲ-

50

ト電圧 B - G A T E を有する。電流制限状況が生じるとき、ゲート電圧 B - G A T E は変化しないため、負荷電流を制限するためにハイサイドゲート電圧が制御されているときであっても、感知トランジスタ及びブロッキングトランジスタ B - F E T 及び S E N S E F E T は、高ゲート電圧を有する。電流制御事象の間、B - F E T 及び感知トランジスタ S E N S E - F E T についてのゲートソース間電圧は高いままであるため、感知トランジスタ及びブロッキングトランジスタが良好にマッチされ、どちらもゲート端子における電圧 B G A T E による動作の線形領域に保たれるので、感知される電流は正確なままである。図 5 の実施形態は、垂直 F E T デバイスにおいて共通ドレインノードと共に用いられ得るが、実施形態は、横方向 F E T デバイスなどの非垂直 F E T デバイスと共に用いることも可能であり、演算増幅器及びフィードバックトランジスタの使用に起因して、部分的に正確な電流感知を提供する。

10

【 0 0 4 6 】

図 6 は、電源回路内に電流制限機能を提供するための、図 5 における電流感知配置の使用を示す、実施形態電力回路 6 0 0 についての回路図である。図 6 において同様に示される構成要素は、回路 5 0 3 (図 5) の対応する要素と同様の機能を行う。例えば、図 6 におけるブロッキングトランジスタ B - F E T は、図 5 におけるブロッキングトランジスタ B - F E T と同様に動作する。

【 0 0 4 7 】

図 6 において、POWER PATH 6 0 1 は、端子 V I N において出力端子 V O U T に結合される入力電圧源から電流及び電圧を供給するために結合される、ハイサイドトランジスタ H S - F E T 及びブロッキングトランジスタ B - F E T を含む。負荷電流 I L は出力端子 V O U T に結合される負荷 (図示せず) へと流れる。POWER PATH 6 0 1 は、図 5 の実施形態と同様に配される構成要素を含み、電流制限増幅器 6 1 3 を更に含む、SENSE PATH 6 0 3 に結合される。演算増幅器 6 0 7 は、図 5 に関連して上記で説明したように、抵抗器 R 1 及び R 2 が同じ値を有するとき、- 1 の利得を有するユニティゲイン構成で結合される。この利得は、R 2 / R 1 の比を変更し、付加的な調節を提供することによって、改変し得る。図 6 において、抵抗器 R M O N は、調節可能値抵抗器を用いて実装されるように示される。抵抗器 R M O N の値を調節することによって、端子 V M O N に現れる電圧を調節することが可能である。監視電圧 V M O N を、選択される制限電流について基準電圧 V r e f より大きい電圧に設定することによって、電流制限機能を実装することが可能である。代替の実施形態において、制限を調節するために、基準電圧 V r e f を調節することも可能である。

20

30

【 0 0 4 8 】

動作において、ハイサイドトランジスタ H S - F E T が、出力端子 V O U T に結合される負荷 (図示せず) へ電流 I L を送達しているとき、電流 I s e n s e は負荷電流 I L に比例する。その比率は、ブロッキングトランジスタ B - F E T と感知トランジスタ S E N S E - F E T との間のデバイスエリア (W / L) 比によって決定される。一例において、スケールは 1 0 0 0 であるため、電流 I s e n s e は負荷電流 I L の 1 / 1 0 0 0 となる。付加的な実施形態において、他のスケールファクタを用いられ得る。抵抗器 R 1 対 R 2 の比は、付加的なスケールを提供する。5 対 1 の比を用いられ得、又は、1 対 1 とは異なる他の比を用いられ得る。

40

【 0 0 4 9 】

電圧監視端子 V M O N における電圧が基準電圧 V r e f を超えると、電流制限増幅器 6 1 3 は、出力端子 V O U T において負荷に流れる電流を制限する。この制御は、ゲート電圧制御信号 H G A T E を改変することによって成される。ハイサイドトランジスタのゲート制御信号 H G A T E が制御されるため、電流制限事象の間、ゲート制御電圧 B G A T E は同じままである一方で、H G A T E 電圧が変化するとき、及びハイサイドトランジスタのゲートソース間電圧 H G A T E が閾値電圧 V t に近付いているときであっても、感知された電流 I s e n s e の精度には影響がない。

【 0 0 5 0 】

50

例示の実装において、ブロッキングトランジスタ B - F E T、ハイサイドトランジスタ H S - F E T、及び感知トランジスタ S E N S E - F E Tは、「ドレインダウン」構成を有する垂直 F E T 半導体デバイス上に形成され、そのため、ノード V M I D は半導体基板に結合される。演算増幅器 6 0 7 及び電流制限増幅器 6 1 3 は、別個の従来の C M O S 半導体デバイス上に実装可能である。抵抗器 R 1 及び R 2 は、C M O S デバイス上に形成され得、又は代替として、外部抵抗器を用いて提供され得る。調節可能抵抗器 R M O N は、特定の応用に対して設計者によって提供され得、固定、調節可能、又はプログラム可能な値を有し得る。基準電圧 V r e f も、固定又は調節可能な値であり得、代替として、この値は、事前にプログラムされた電圧レベルから選択され得る。

【 0 0 5 1 】

図 7 は、電流ブロッキングのない応用例に対して配される別の実施形態の回路 7 0 0 についての回路図である。図 7 はブロッキングトランジスタを有さない。一応用例において、電流は、或る状況において、出力端子 V O U T から入力端子 V I N へと流れ得るようにされ得る。図 7 の実施形態は、入力端子 V I N と出力端子 V O U T との間に結合される電流導通経路を備える、H - F E T と示されるハイサイドトランジスタを含む。図 7 において、H - F E T は、N e x F E T (商標) デバイスなどの「ソースダウン」垂直 F E T デバイスと互換性がある実施形態を提供する。他の電力 F E T デバイスも用いられ得る。図 7 において、ハイサイドトランジスタ H - F E T 及び感知トランジスタ S E N S E - F E T はどちらも第 1 の電流導通端子を有し、それぞれのソース端子は共通ソース回路において共に結合され、そのため、これらの F E T は、基板におけるソース端子を備える「ソースダウン」垂直 F E T デバイスにおいて実装され得る。

【 0 0 5 2 】

図 7 において、電力経路 7 0 1 は、供給電圧のための入力端子 V I N と、負荷を回路に結合するための出力端子 V O U T との間に結合される、ハイサイドトランジスタ H - F E T のみを含む。負荷電流 I L が、トランジスタ H - F E T を介して出力端子 V O U T へ流れる。

【 0 0 5 3 】

制御信号 H G A T E が、トランジスタ H - F E T についてゲート電圧を制御する。S E N S E P A T H 7 0 3 は、ユニティゲイン構成のオペアンプ 7 0 7、抵抗器 R 1 及び R 2、並びに、オペアンプ 7 0 7 の出力に結合されるゲート端子と結合されるフィードバックトランジスタ F B - F E T を含む。正端子及び負端子にわたる「v d 1」と示される、H - F E T トランジスタについてのドレインソース間電圧を有するオペアンプ 7 0 7 を備える閉ループが存在する。増幅器は、感知トランジスタ S E N S E - F E T のドレインソース間電圧「v d 2」を受け取るノードに対して、この電圧を反映する。オペアンプ 7 0 7 は、等式 $v d 2 = v d 1 \times R 2 / R 1$ を真にするために、フィードバックトランジスタ F B - F E T へのゲート電圧を調節する。S E N S E - F E T が H - F E T と同じドレインソース間電圧を有するとき、感知電流 I s e n s e は負荷電流 I L に比例する。この比率は、上記で説明する実施形態のように、H - F E T デバイス及び感知トランジスタ S E N S E - F E T のデバイスエリア比によって決定される。一例において、比率は 1 / 1 0 0 0 であり、そのため、感知電流 I s e n s e は、負荷電流 I L の 1 / 1 0 0 0 にスケールリングされる。

【 0 0 5 4 】

動作において、集積回路の外部にある監視抵抗器 R M O N の値が、電圧 V M O N を設定する。負荷電流を制御するために、V M O N 及び基準電圧と共に、ゲート電圧 H G A T E (図 7 には図示せず) を制御する電流制限回路が用いられ得る。

【 0 0 5 5 】

図 7 の実施形態の回路配置の利点は、感知トランジスタ及びハイサイドトランジスタ H - F E T が、例えば「ソースダウン」デバイスなど、基板において共通ソースノードを用いる垂直 F E T 技術において実装可能なことである。しかしながら、感知トランジスタ S E N S E - F E T のゲート電圧は、ハイサイドトランジスタ H - F E T のゲート電圧と同

10

20

30

40

50

じノードにあるため、低ゲート電圧条件で感知された電流の精度は、他の実施形態に比べて低減される。電流制限に達し、負荷電流 I_L を制限するために電圧 $HGATE$ が低減されると、2つのデバイス $SENSE-FET$ 及び $H-FET$ はもはや緊密してマッチされず、感知電流は負荷電流 I_L を正確に追跡しなくなる。

【0056】

実施形態は、電流を負荷に送達する FET に対して電流制限機能を提供するために用いられ得る電流監視出力を提供する。負荷電流が突然上昇する場合、上記で説明した回路は、損傷を防ぐために電力トランジスタ電流導通経路を遮断するために十分に高速ではない可能性がある。これは、出力が突然接地に短絡される場合、又は、負荷デバイスにおいて短絡が生じる場合に起こり得る。

10

【0057】

図8は、高速トリップコンパレータを備え、回路の電力経路を急速に遮断するために用いられ得る高速トリップ出力信号を有する、代替の実施形態800についての回路図である。高速トリップ出力信号は、負荷電流を安全レベルまで制限するために用いることもできる。高速トリップコンパレータ回路は、負荷電流が電流制限の値の倍数を超えるときトリガする。通常は、電流制限と共にスケールする短絡閾値（高速トリップコンパレータをトリガするために用いられる倍数）を有することが望ましい。一例として、短絡電流閾値は、電流制限の2倍となるように設定され得る。例示の実施形態において、電流制限が増加する場合、短絡電流は、電流制限の増加と同じスケールで増加し得る。

【0058】

20

図8において、 $POWER\ PATH\ 801$ は、入力電圧 V_{IN} のための端子と出力電圧 V_{OUT} を出力するための出力端子との間で直列に電流導通経路と結合される、ブロッキングトランジスタ $B-FET$ 及びハイサイドトランジスタ $HS-FET$ を含む。負荷（図示せず）が、トランジスタ $B-FET$ 及び $HS-FET$ を介して流れる負荷電流 I_L を受け取ることができる。 $SENSE\ PATH\ 803$ において、感知トランジスタ $SENSE-FET$ が、ブロッキングトランジスタ $B-FET$ とマッチするように結合され、共通ドレインノード $VMID$ におけるドレイン端子を有し、ブロッキングトランジスタ $B-FET$ のゲートと共にゲート制御信号 $BGATE$ に結合されるゲート端子を有する。

【0059】

電流制限増幅器811が、値 $3R$ を有する抵抗器 $R1$ を介してブロッキングトランジスタ $B-FET$ のソース端子にも結合されるノード（ B ）に結合される。電流制限増幅器811は、ノード（ A ）において、共通ドレインノード $VMID$ に、及びブロッキングトランジスタ $B-FET$ のドレインにも結合される。そのため、差動増幅器811へのこれら2つの入力、ブロッキングトランジスタ $B-FET$ のドレインソース間電圧を受け取るように結合される。感知トランジスタ $SENSE-FET$ は、電流 I_{Limit} を出力するように結合される。感知トランジスタのソース端子及びゲート端子は、同様に、ブロッキングトランジスタ $B-FET$ のソース端子及びゲート端子と結合されるので、上記で説明したように、感知電流 I_{Limit} は負荷電流 I_L に比例する。電流制限増幅器811の出力は、ハイサイドトランジスタ $HS-FET$ のゲート端子を制御する。

30

【0060】

図8の実施形態は、監視出力 $VMON$ を提供する代わりに、負荷電流 I_L を、演算増幅器815、基準電圧 V_{ref} 、トランジスタ817、及び制限抵抗器 R_{lim} によって設定される特定の制限電流 I_{Limit} に制限するように配される。この回路は、電圧電流コンバータとして働き、制限電流 I_{Limit} を電流レベル V_{ref}/R_{lim} に等しくなるように設定する。負荷電流が制限電流 I_{Limit} まで上昇すると、ハイサイドトランジスタ $HS-FET$ を介して電流制限増幅器811によって形成された制御ループはアクティブになり、制御信号 $HGATE$ を用いるハイサイド FET のゲートにおける電圧の低減を開始し、そのため負荷電流 I_L を制御し、それがそれ以上上昇しないようにする。

40

【0061】

動作において、電流制限増幅器811は、電流制限が満たされるととき $HS-FET$ のゲ

50

ート信号 H G A T E を変更することによって、電流 I_L を電流 I_{Limit} にマッチするように制御する。また、図 8 の実施形態は高速トリップ機能を提供する。高速トリップコンパレータ増幅器 813 は、トランジスタのためのドレイン端子である共通ノード (A) における電圧を、ノード (C) における電圧と比較する。ノード (C) は、抵抗器ダイバダを用いて作成される電圧である。図 8 において、抵抗器 R_1 は $3R$ の値を有し、抵抗器 R_2 は、 $R_{2A} (= R) + R_{2B} (= 2R)$ の直列抵抗を用いて実装される。図 8 に示されるように、抵抗器 R_1 及び R_2 は等しくされ得る。抵抗器 R_2 を形成するためのラダーにおける 2 つの抵抗 R_{2A} 及び R_{2B} の使用により、高速トリップコンパレータ増幅器 813 によって用いるためのノード (C) における電圧がつくられる。

【0062】

図 9 は、一実施形態において用いるための高速トリップコンパレータ回路についての動作を更に説明するための、簡略化された回路図を図示する。図 9 において、図 8 のものと同様の構成要素には同様の参照ラベルが用いられる。例えば、図 9 におけるコンパレータ 913 は、図 8 におけるコンパレータ 813 に対応する。

【0063】

図 9 において、値 $4R$ の抵抗器 (R_1 の直列抵抗 ($= 3R$)) 及び抵抗器 $R_{2A} (= R)$ を含む抵抗器ラダー、ブロッキングトランジスタ $B-FET$ 、並びに感知トランジスタ $SENSE-FET$ は、ホイートストンブリッジを形成する。コンパレータ 913 は、ノード (C) における電圧がノード (A) における電圧を超えるときトリガされる。通常、負荷電流 I_L は、ノード (A) における電圧がノード (C) における電圧を超えるものとなる。負荷電流 I_L が突然急増する事象では、ノード (A) における電圧は (ノード (C) における電圧と比較して) 急降下する。コンパレータ 913 は、出力信号 $FAST_TRIP_O/P$ における信号に応答し得る。図 9 において、抵抗器ラダーにわたる例示の電圧降下は 30 ミリボルトとして示され、ブロッキングトランジスタ $B-FET$ にわたる対応する電圧降下は 20 ミリボルトである一方で、感知トランジスタは 10 ミリボルトの降下を示す。負荷電流 I_L は、ブロッキングトランジスタ $B-FET$ を介して流れるが、感知トランジスタ $SENSE-FET$ は介さない。負荷電流 I_L が突然増加するとき、高速コンパレータ 913 は、ブロッキングトランジスタ $B-FET$ にわたるドレインソース間電圧が突然増加するとトリガし、ノード (A) における電圧を低下させる一方で、同時に、ノード (C) における電圧は、増加した負荷電流 I_L による影響を受けない。

【0064】

この特定の高速トリップ回路の例は、電流制限 I_{Limit} のものの 2 倍の短絡電流閾値 (すなわち、 $FAST_TRIP$ 出力信号がアクティブになる電流) を達成する。例えば、電流制限が 1 アンペアの場合、高速トリップ信号 $FAST_TRIP$ は、電流 I_L が突然 2 アンペアを超えたときにトリガされ得る。これは、負荷電流 I_L が、増幅器 811 を含む電流制限ループの応答時間より速く上昇し得るとき、図 8 における回路出力 V_{OUT} において突然の短絡が生じたときに起こり得る。抵抗器の配置及び値を変更することによって、異なる電流制限閾値が選択され得る。

【0065】

図 10 は、付加的な代替実施形態の回路 1000 についての回路図である。図 10 における参照ラベルは、同様の構成要素についての図 8 における参照ラベルと同様である。例えば、図 10 における増幅器 1007 は、図 8 における増幅器 807 と同様である。図 10 において、負荷電流は、供給電圧を受け取るための端子 V_{IN} から出力端子 V_{OUT} に、又は代替として、負荷電流が反対方向に流れ得る、いずれかの方向に流れ得る。或る応用において、 V_{IN} 及び V_{OUT} の端子は、電流を受け取り得るか又は供給し得る 2 つのデバイスを結合し得る。例えば、 $USB-C$ コネクタインターフェースが、2 つのバッテリー作動デバイス間にあり得、電流がいずれかの方向に流れ得る。図 10 の実施形態において、回路要素は、増幅器 1007 を共有するように配される。増幅器 1007 は、差動増幅器であり得、演算増幅器として実装され得る。回路のこの部分を共有することによって、シリコンエリア及び費用が低減される。しかしながら、下記で説明するように、電流の

10

20

30

40

50

流れる方向に応じて、必要とされる電圧を増幅器 1007 に結合するため付加的なトランジスタが用いられ得る。代替の実施形態において、付加的な増幅器を用いることが可能であるが、付加的なシリコンエリアが犠牲になる。

【0066】

図10において、ブロッキングトランジスタ B-FET 及びハイサイドトランジスタ HS-FET は、入力端子 VIN と出力端子 VOUT との間の電流導通経路と結合される。負荷電流 IL は、電力経路 1001 がアクティブであるとき、ブロッキングトランジスタ B-FET 及びハイサイドトランジスタ HS-FET の両方を介して流れ得る。システム 1000 は、感知トランジスタ SENSE-FET B 及び感知トランジスタ SENSE-FET H である、2つの電流感知トランジスタを有する。各感知トランジスタは、ノード VMID において電力トランジスタを備える共通ノードを有する。図10の実施形態は「ドレインダウン」構成と互換性を有し、そのため、ブロッキングトランジスタ B-FET、ブロッキング感知トランジスタ SENSE-FET B、ハイサイドトランジスタ HS-FET、及びハイサイド電流感知トランジスタ SENSE-FET H のドレイン端子は、ノード VMID に結合されることになる。したがって、POWER PATH 1001 におけるデバイスは、NexFET (商標) などの垂直 FET 配置を備える半導体デバイスを用いて実装され得る。しかしながら、垂直 FET であるかどうかに関わらず、実施形態の電流感知回路要素と共に、他の電力 FET トランジスタを用いることもできる。離散的 FET デバイスも用いられ得る。

【0067】

端子 VIN における入力電圧が端子 VOUT における出力電圧より大きいとき、図10における実施形態は、図8における実施形態と同様に動作する。SENSE PATH 1003 における感知回路は、増幅器 1007 の1つの端子をブロッキングトランジスタ B-FET のソース端子に結合し、ブロッキングトランジスタ B-FET のソース端子は、抵抗器ネットワーク R1、R2、及びトランジスタ M5 を用いて、端子 VIN に結合される。回路が電流 IL が VIN から VOUT へと流れる順方向に動作しているとき、信号 RV はこの例では「低」電位にある。増幅器 1007 の反対側の端子は、トランジスタ M6 によって共通ドレインノード VMID に結合され、トランジスタ M6 も信号 RV によって制御される。図10の例示の実施形態において、トランジスタ M5、M6、M7、及び M8 は、Pチャネルトランジスタであり、「低」電位がゲート端子上にあるときアクティブである。これらのトランジスタは選択回路を形成し、選択回路は、制御信号 RV、RV_ によって示されるような電流の方向に従って、演算増幅器 1007 の正の端子への入力としての R1 と R2 の間のノードと、ハイサイド感知 FET SENSE FET-H の出力との間で選択する。選択回路は、演算増幅器 1007 の負の入力端子への入力について、電圧 VMID と出力電圧端子 VOUT との間で選択する。演算増幅器 1007 は、電流が負荷電流 IL に比例して監視抵抗器 RMON を介して流れるように維持するために、フィードバックトランジスタ FB-FET 内を流れる電流を制御し得る。例示の実施形態において、増幅器 1007 は、閉ループ構成で結合される演算増幅器である。

【0068】

図10の実施形態において、システム 1000 はまた、負荷電流 IL が、方向を転換し、出力端子 VOUT から入力端子 VIN に向かって流れるときに、電流を感知し得る。この構成において、電流 IL は、ハイサイドトランジスタ HS-FET 及びブロッキングトランジスタ B-FET を介して、端子 VIN に向かって流れる。この状況は、端子 VOUT における電圧が、端子 VIN における電圧より大きい間に生じる。感知トランジスタ SENSE FET H は、ハイサイドトランジスタのゲートにおける電圧と共通してそのゲートと結合され(信号 HGATE は両方のゲート端子に結合される)、両方のデバイスのドレインは、共通ドレインノード VMID に結合される。したがって、感知トランジスタ SENSE FET-H は、ハイサイドトランジスタ HS-FET とマッチされる。ハイサイド感知トランジスタ SENSE FET-H を介して流れる感知された電流は、ハイサイドトランジスタ HS-FET を介して流れる負荷電流に比例する。別の選択回路が、

トランジスタ M1、M2、及び M3、M5 から形成され、制御信号 R_{__} 及び R に従って、SENSE FET - B 出力と SENSE FET - H 出力との間で選択する。電流が、信号 R によって示されるように反対にされると、トランジスタ M3、M4 は、ハイサイド感知電流をフィードバックトランジスタ FB - FET に結合し、感知された電流は監視端子 V_{MON} における電圧として観察され得る。演算増幅器 1007 は、トランジスタ M8 によって（端子 V_{OUT} に結合される）ハイサイドトランジスタのソースに結合され、一方、ハイサイドトランジスタのドレイン端子は、トランジスタ M7 によって増幅器 1007 の反対側端子に結合される。トランジスタ M7 及び M8 のどちらも、ゲート端子に結合される方向信号 R_V を有する。トランジスタ M3 及び M4 は、ゲート端子に結合される方向信号 R を有する。

10

【0069】

信号 R_V 及び R_V_{__} は、電流 I_L が逆方向に流れているとき、V_{MID} ドメインの電圧にレベルシフトされることを示す方向信号である。信号 R 及び R_{__} は、V_{OUT} が V_{IN} より大きいとき、負荷電流 I_R が逆方向に流れることを示す方向信号である。信号 R_V 及び R_V_{__} は、演算増幅器 1007 の正及び負の入力端子への信号を選択する第 1 の選択回路に結合される。信号 R 及び R_{__} は、フィードバックトランジスタ FB - FET への入力である感知電流を選択する第 2 の選択回路に結合される。

【0070】

動作において、フィードバックトランジスタ FB - FET を介して流れる感知された電流は、上記で説明した負荷電流に比例し、その比率は、感知トランジスタ SENSE FET_{__}B、SENSE FET - H、及び電力トランジスタ B - FET 及び HS - FET の間のデバイスエリア比によって決定される。一例において、感知トランジスタは電力トランジスタの 1 / 1000 のデバイスサイズであり、したがって、感知電流は負荷電流 I_L の 1 / 1000 の大きさである。

20

【0071】

負荷電流の方向を検出すること、並びに、適切な感知電流経路及び感知デバイスをインバーブルにすることによって、図 10 の実施形態は、V_{IN} > V_{OUT} で負荷電流が V_{IN} から V_{OUT} に向かって流れる、及び、V_{OUT} > V_{IN} で負荷電流が V_{OUT} から V_{IN} に向かって逆方向に流れる、2 つの条件について感知電流を提供し得る。

【0072】

図 10 において、信号 R 及び R_{__}、並びに、対応するレベルシフトされた信号 R_V 及び R_V_{__} は、回路 1000 の動作に必要とされる。図 11 A は、方向信号 R 及び R_{__} を提供するための 1 つの配置についての回路図である。図 11 B は、信号 R_V 及び R_V_{__} を生成するレベルシフト回路についての回路図である。

30

【0073】

図 11 A において、電圧コンパレータ 1101 が、入力端子 V_{IN} における電圧を出力端子 V_{OUT} における電圧と比較し、V_{OUT} が V_{ON} より高い電圧であるときを決定する。出力電圧 V_{OUT} がより大きな電圧であるとき、信号 R がアクティブになり、電流が逆になっていることを示す。その後、反転信号である信号 R_{__} が、単にインバータ 1103 によって出力される。図 11 B は、電圧 V_{MID} によって供給されるバッファを用いて、信号 R を V_{MID} 電圧にシフトするレベルシフタのための回路である。バッファ 1107 は、信号 R、R_V のレベルシフトされたバージョンを出力する。インバータ 1109 は電圧 V_{MID} も受け取り、反転された信号 R_V_{__} を出力する。電流バイアス 1111 が、レベルシフト回路に電流を提供する。実施形態と共に用いるためのレベルシフト回路について、他の配置も成され得る。

40

【0074】

図 12 は、実施形態 E ヒューズシステムについてのブロック図である。図 12 において、第 1 の集積回路 1203 が、単一デバイス内に電力トランジスタ及び感知トランジスタを含む。図 12 の実施形態において、ブロッキングトランジスタ、ハイサイドトランジスタ、及び感知トランジスタを含む、E ヒューズシステムのための電力経路は、電力トラン

50

ジスタ技術を用いて単一の半導体基板上に実装され得る。一例において、垂直 F E T デバイスを用いられ得る。一例において、テキサス・インスツルメンツ・インコーポレーテッドからの N e x F E T (商標) を用いられ得る。しかしながら、上記で説明した電流感知及び電流制限の実施形態は、他の電力 F E T 技術と共に用いることもできる。実施形態を形成するために回路基板上の離散型 F E T デバイスを用いることもできる。

【 0 0 7 5 】

図 1 2 において、制御 I C 1 2 0 1 が、演算増幅器、抵抗器ディバイダ回路要素、及びフィードバック F E T デバイス、上記で説明した感知経路デバイスを含み得る。感知された電流は、負荷電流よりも大幅に小さくなるようにスケール可能であるため、及び、演算増幅器を含む制御 I C 1 2 0 1 における回路要素は、通常の高電圧低電流 C M O S 半導体デバイスが用いられ得る。低電流デバイスを用いることにより、システムコスト及び電力消費が低減される。

10

【 0 0 7 6 】

動作において、制御 I C 1 2 0 1 は、電力 I C 1 2 0 3 に、出力端子に結合される負荷 (図示せず) に電流を供給させるために、 B G A T E 及び H G A T E 信号を供給し得る。電力 I C 1 2 0 3 は、出力端子と入力端子 V I N における入力電圧との間に直列に結合される、電力トランジスタの電流導通経路を有し得る。負荷電流は電力 I C 上の感知トランジスタによって感知され得、感知された電流は I S E N S E 信号上に出力される。制御 I C における演算増幅器及びフィードバックトランジスタは、外部抵抗器 R M O N を用いて出力電圧 V M O N を提供するために用いられ得る。例示の実施形態において、電流制限回路も制御 I C 1 2 0 1 内に提供され得る。制限を超える負荷電流が生じたとき、負荷電流を制御するためにゲート電圧 H G A T E が低減され得る。これは、上記で説明するように、電圧 V M O N が基準電圧を超えたとき実施され得る。

20

【 0 0 7 7 】

実施形態において、一つまたは複数の電力トランジスタ、及び感知トランジスタは、共通ドレインノード又は共通ソースノードを共有し得る。基板に共有ドレイン又は共有ソースノードが形成された、単一の基板上に電力トランジスタ及び感知トランジスタを実装するために、垂直 F E T などの高度な F E T 半導体デバイスが用いられ得る。代替実施形態において、電力トランジスタに用いられる横方向 F E T デバイスが、上記で説明した電流感知及び電流制限の回路要素と共に用いられ得る。

30

【 0 0 7 8 】

付加的な実施形態を形成し得る代替の配置が、電流感知及び電力回路要素を含む単一の集積回路を形成するために、集積レベルを増大させることを含む。しかしながら、電力 F E T のための半導体プロセスは、高電圧高電流可能トランジスタに対して最適化され、従来の C M O S プロセスよりも費用がかかるため、図 1 2 に示されるような 2 つの集積回路として配置される実施形態を生成することは、より費用対効果が高い可能性がある。

【 0 0 7 9 】

一例において、装置が、第 1 の電流導通端子と第 2 の電流導通端子との間に第 1 の電流導通経路を有する第 1 の電力トランジスタであって、第 1 の電力トランジスタの第 1 の電流導通経路が、供給電圧を受け取るための入力とノードとの間に結合され、第 1 の電力トランジスタが、第 1 のゲート制御信号に結合される第 1 の電力トランジスタを制御するための第 1 のゲート端子を有する、第 1 の電力トランジスタと、第 3 の電流導通端子と第 4 の電流導通端子との間に第 2 の電流導通経路を有する第 2 の電力トランジスタであって、第 2 の電力トランジスタの第 2 の電流導通経路が、ノードと負荷に負荷電流を供給するための出力端子との間に結合され、第 2 の電力トランジスタが、第 2 のゲート制御信号に結合される第 2 のゲート端子を有する、第 2 の電力トランジスタと、電流感知トランジスタであって、ノード及び第 1 の電力トランジスタに結合される 1 つの電流導通端子を有し、第 1 のゲート制御信号に結合される第 3 のゲート端子を有し、別の電流導通端子において感知電流を出力する、電流感知トランジスタと、差動増幅器であって、第 1 の電力トラン

40

50

ジスタの第 1 及び第 2 の電流導通端子の一方に結合される第 1 の入力を有し、第 1 及び第 2 の電流導通端子の他方に結合される第 2 の入力を有し、第 1 の入力と第 2 の入力との間の電圧差に応答する出力信号を有する、差動増幅器と、フィードバックトランジスタであって、電流感知トランジスタと監視ノードとの間に直列に結合される別の電流導通経路を有し、差動増幅器の出力に結合されるフィードバックトランジスタゲート端子を有する、フィードバックトランジスタと、監視ノードと接地との間に結合される抵抗器であって、感知電流が抵抗器を介して流れ、感知電流が、第 2 の電力トランジスタを介して流れる負荷電流に比例する、抵抗器とを含む。

【 0 0 8 0 】

上記で説明した装置における更なる例において、電流感知トランジスタは、第 1 の電力トランジスタと共に半導体基板上に形成され、電流感知トランジスタのデバイスエリアは、第 1 の電力トランジスタのデバイスエリアよりも小さい。

10

【 0 0 8 1 】

上記で説明した装置における別の例において、電流感知トランジスタを介して流れる感知電流は負荷電流に比例する。付加的な例において、上記で説明した装置において、第 1 の電力トランジスタ、第 2 の電力トランジスタ、及び電流感知トランジスタは、単一の集積回路上に形成される F E T デバイスである。更なる例において、電力トランジスタを形成する F E T デバイスは、垂直 F E T デバイス及び非垂直 F E T デバイスから選択される F E T デバイスである。

【 0 0 8 2 】

上記で説明した装置における更に別の例において、ノードは単一の集積回路の半導体基板において形成される。

20

【 0 0 8 3 】

代替の配置において、上記で説明した装置は更に、負荷電流が急増するときノードにおける電圧の降下に応答して高速トリップ信号を出力するために、ノードと、入力に結合される電圧ディバイダとの間に結合される高速トリップコンパレータを含む。

【 0 0 8 4 】

更に別の例において、上記で説明した装置は更に、感知された電流が電流制限を超えるとき第 2 のゲート制御信号の電圧を制限するために、第 2 の電力トランジスタの第 2 のゲート端子に結合される電流制限回路を含む。

30

【 0 0 8 5 】

上記で説明した装置における更に別の例において、第 1 の電力トランジスタの第 1 の電流導通端子は第 1 のソース端子であり、第 1 の電力トランジスタの第 2 の電流導通端子は第 1 のドレイン端子であり、第 2 の電力トランジスタの第 3 の電流導通端子は第 2 のドレイン端子であり、第 2 の電力トランジスタの第 4 の電流導通端子は第 2 のソース端子であり、電流感知トランジスタは、ノードにおける第 1 の電力トランジスタの第 1 のドレイン端子及び第 2 の電力トランジスタの第 2 のドレイン端子に結合される電流導通端子として、第 3 のドレイン端子を有する。

【 0 0 8 6 】

上記で説明した例における更に別の例において、差動増幅器は演算増幅器である。更なる例において、演算増幅器はフィードバックトランジスタを備える閉ループにおいて結合される。

40

【 0 0 8 7 】

別の例において、回路要素が、第 1 の電界効果トランジスタであって、第 1 のソース端子及び第 1 のドレイン端子を有し、また、第 1 のゲート制御信号を受信するための第 1 のゲート端子を有し、第 1 のソース端子が電源を受け取るための入力端子に結合され、第 1 のドレイン端子がノードに結合される、第 1 の電界効果トランジスタと、第 2 の電界効果トランジスタであって、第 2 のドレイン端子及び第 2 のソース端子を有し、また、第 2 のゲート制御信号を受信するための第 2 のゲート端子を有し、第 2 のドレイン端子がノードに結合され、第 2 のソース端子が負荷電流を負荷に供給するために出力端子に結合される

50

、第2の電界効果トランジスタと、電流感知トランジスタであって、ノードに結合される第3のドレイン端子及び感知電流を出力するために結合される第3のソース端子を有し、また、第1のゲート制御信号に結合される第3のゲート制御端子を有する、電流感知トランジスタと、入力端子に結合される第1の入力及びノードに結合される第2の入力を有し、第2のゲート制御信号を出力する第1の電流制限増幅器と、フィードバックトランジスタと結合される演算増幅器であって、演算増幅器が、第1の入力における電圧基準及び第2の入力における電流制限出力端子を有し、フィードバックトランジスタのゲート端子に結合される出力を有し、フィードバックトランジスタが、電流感知トランジスタの感知電流出力と電流制限出力端子との間に結合される電流導通経路を有する、演算増幅器を含む。

10

【0088】

更に別の例において、上記で説明した回路要素は、入力端子と電流制限増幅器の第1の入力との間に結合される第1の抵抗器、及び、第1の抵抗器と電流感知トランジスタの第3のソース端子との間に結合される第2の抵抗器を更に含む。

【0089】

上記で説明した回路要素における、更に別の例において、第2の抵抗器は、抵抗器ラダー構成において第3の抵抗器及び第4の抵抗器を更に含む。

【0090】

更に別の例において、上記で説明した回路要素は、負荷電流における急増を示す、ノードにおける電圧が降下することに応答して高速トリップ出力信号を出力するために、第3の抵抗器と第4の抵抗器との間の電圧をノードにおける電圧と比較するために結合される高速トリップコンパレータ回路を更に含む。

20

【0091】

更に別の例において、上記で説明した回路要素は、電流制限出力と接地との間に結合される電流制限抵抗器を更に含む。上記で説明した例における付加的な例において、第1の電界効果トランジスタ、第2の電界効果トランジスタ、及び電流感知トランジスタは、集積回路上にある。

【0092】

更に別の例において、装置が、供給電圧を受け取るための電圧入力端子と、負荷に結合するための電圧出力端子と、電圧入力端子と共通ノードとの間に結合される第1の電流導通経路を有し、第1のゲート制御信号に結合される第1のゲート端子を有する、第1の電力トランジスタと、共通ノードと電圧出力端子との間に結合される第2の電流導通経路を有し、第2のゲート制御信号に結合される第2のゲート端子を有する、第2の電力トランジスタとを含む。この装置は、更に、第1の電流感知トランジスタであって、共通ノードに結合される第3の電流導通経路を有し、第1のゲート制御信号に結合される第3のゲート端子を有し、電圧入力端子から電圧出力端子に流れる負荷電流に比例する第1の感知電流を出力するための、第1の電流感知トランジスタと、第2の電流感知トランジスタであって、共通ノードに結合される第4の電流導通経路を有し、第2のゲート制御信号に結合される第4のゲート端子を有し、出力端子から入力端子に流れる負荷電流に比例する第2の感知電流を出力する、第2の電流感知トランジスタと、差動増幅器であって、第1の入力端子及び第2の入力端子を有し、第1の入力端子及び第2の入力端子における電圧間の差に対応する出力信号を有する、差動増幅器と、フィードバックトランジスタであって、監視ノードにおいて監視抵抗器に結合され、第1の感知電流及び第2の感知電流の一方に結合される電流導通経路を有し、差動増幅器の出力に結合されるゲート制御端子を有する、フィードバックトランジスタとを含む。

30

40

【0093】

更に別の例において、上記で説明した装置は、負荷電流方向を示す信号に応答して、入力電圧端子に結合される抵抗器と、第2の電流感知トランジスタとのうちの選択される一方に、差動増幅器の第1の入力端子を結合するための第1の選択回路を更に含む。

【0094】

50

更に別の例において、上記で説明した装置は、負荷電流方向を示す信号に応答して、第1の電流感知トランジスタからの第1の感知電流と、第2の電流感知トランジスタからの第2の感知電流とのうち的一方に、フィードバックトランジスタを結合するための第2の選択回路を更に含む。

【0095】

特許請求の範囲内で、説明した実施形態における改変が可能であり、他の実施形態が可能である。

10

20

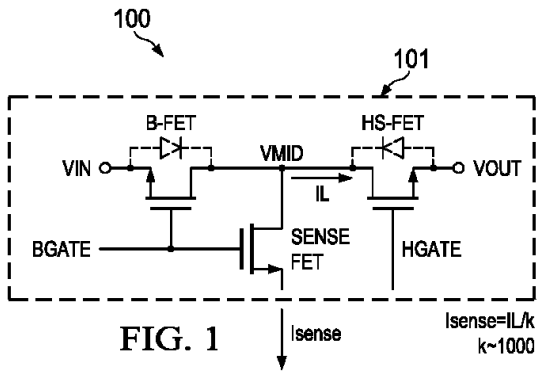
30

40

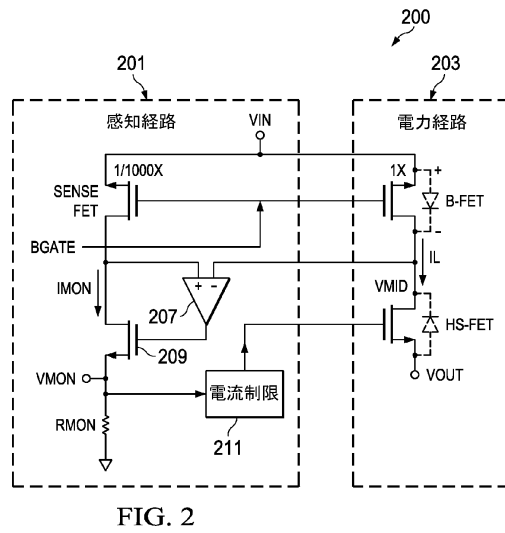
50

【 図面 】

【 図 1 】

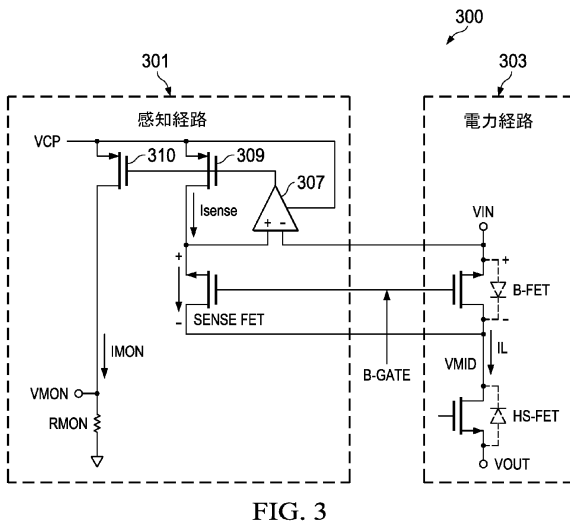


【 図 2 】

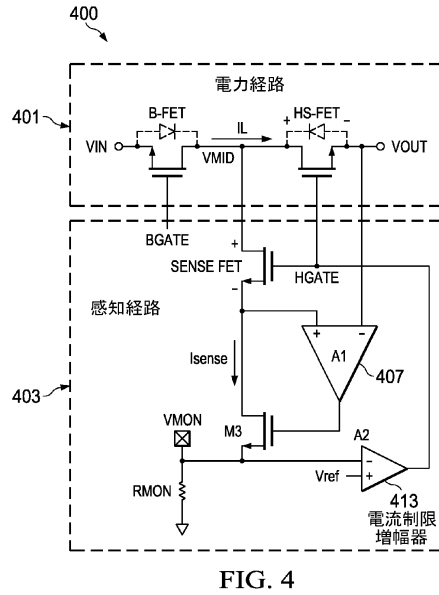


10

【 図 3 】



【 図 4 】



20

30

40

50

【図5】

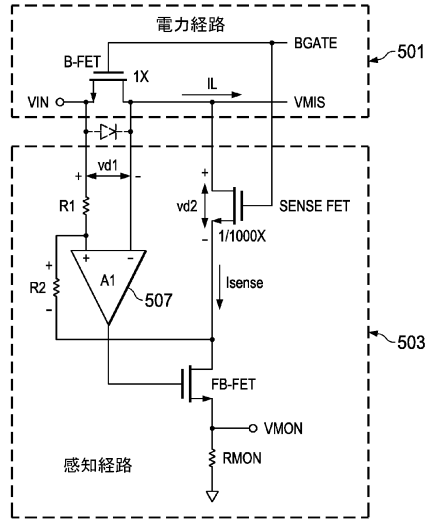


FIG. 5

【図6】

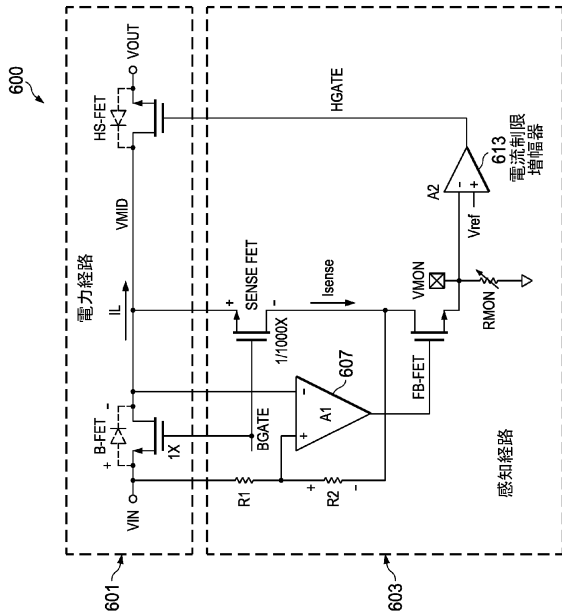


FIG. 6

【図7】

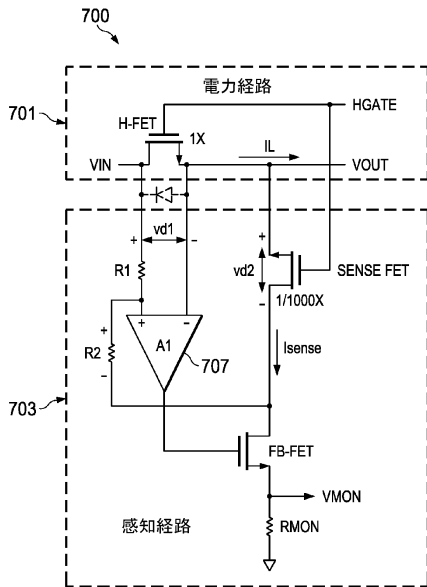


FIG. 7

【図8】

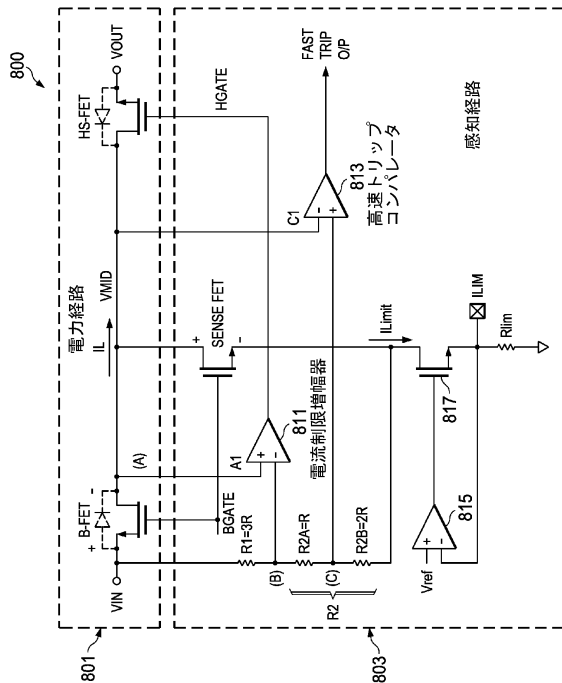


FIG. 8

10

20

30

40

50

【 図 9 】

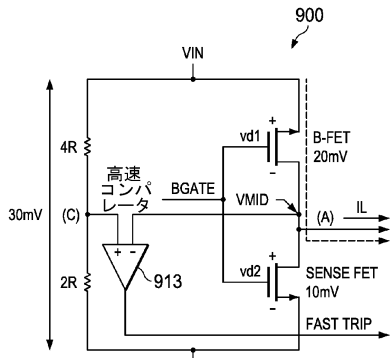


FIG. 9

【 図 10 】

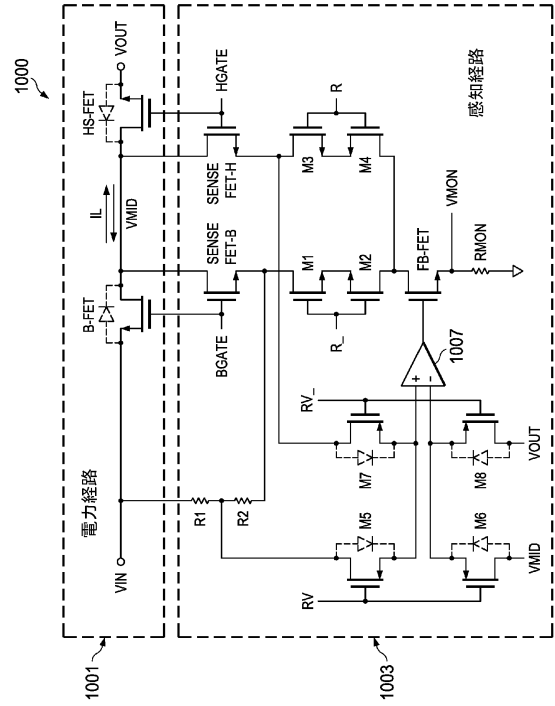


FIG. 10

【 図 11 A 】

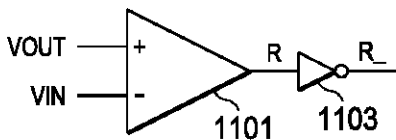


FIG. 11A

【 図 11 B 】

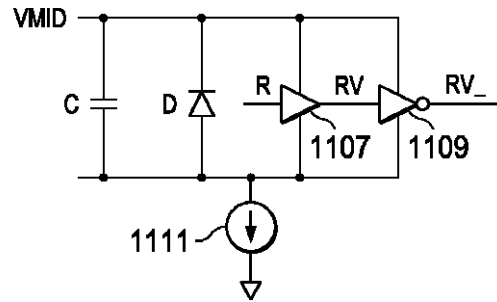


FIG. 11B

10

20

30

40

50

【 図 1 2 】

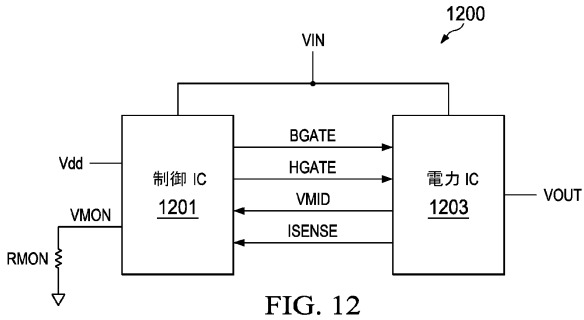


FIG. 12

10

20

30

40

50

フロントページの続き

インド 560043 バンガロール, バナスワディ, オー エム ビー アール レイアウト, フ
ォース エイ - クロス, 4 エイシー, 329

(72)発明者 エムディー アビドゥール ラーマン

アメリカ合衆国 75081 テキサス州 リチャードソン, カスケーダ ドライブ 445

(72)発明者 スプラト ロイ

インド 560016 バンガロール, ラママーティ ナガル, ホイサラ ナガル, メイン 3,
クロス 16, オーシアヌス グリーンデール ピーエイチ 2, フラット ナンバー トゥーリッ
プ - 802

審査官 及川 尚人

(56)参考文献 米国特許出願公開第2010/0066345 (US, A1)

米国特許第05977751 (US, A)

特表2010-536032 (JP, A)

特開2009-080036 (JP, A)

特開2005-304210 (JP, A)

特開2016-123220 (JP, A)

特開2014-128005 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H03K 17/082

H03K 17/08

H03K 17/687