

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04L 7/00	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0201329
(21) 출원번호 10-1996-0035243	(24) 등록일자 1999년03월 13일	(65) 공개번호 특 1998-0015805
(22) 출원일자 1996년08월 23일	(43) 공개일자 1998년05월 25일	

(73) 특허권자	대우통신주식회사 유기범
(72) 발명자	인천광역시 서구 가좌동 531-1 번지 곽경갑
(74) 대리인	경기도 시흥시 신천동 701-29 진천웅

심사관 : 임영희

(54) 동기식 다중화장치에서 위치맞춤에 따른 VC유료부하추출 클럭발생회로

요약

본 발명은 수신된 TUG2클럭과 위치맞춤여부에 따라 VC1유료부하 추출클럭을 발생하여 TUG2 데이터로부터 해당 VC1유료부하를 추출 버퍼(46)에 저장하고 송신클럭에 따라 버퍼(46)로부터 데이터를 읽어가도록 된 동기식 다중화장치에 있어서, TUG2클럭으로부터 TU포인트의 위치를 나타내는 TU포인트클럭과 VC1클럭을 발생하는 TU클럭 생성부(41); TU포인트클럭에 따라 수신된 TUG2데이터로부터 V1, V2벡터를 해석하여 위치맞춤 발생을 검출하는 포인터 해석부(42); 상기 포인터 해석부의 출력에 따라 새데이터플래그(NDF)와 크기(ss)가 정상일 경우에 1비트반전이면 포인터증가신호(ptrinc)를 출력하고, D비트반전이면 포인터감소신호(ptrdec)를 출력하는 위치맞춤 결정부(43); 상기 TU클럭 생성부(41)의 출력과 상기 위치맞춤 결정부의 출력을 입력받아 TUG2데이터로부터 해당 VC1유료부하를 추출하기 위한 라이트 클럭을 발생하는 유료부하추출 클럭생성부(44)가 구비되어 위치맞춤(justification)을 고려하여 순수한 유료부하를 추출할 수 있는 효과가 있다.

대표도

도4

명세서

도면의 간단한 설명

- 도 1a는 NAS DS1을 VC-11에 사상(mapping)한 구조도,
- 도 1b는 저위 경로 오버헤드인 V5의 포맷도,
- 도 2는 DS1E를 VC12에 사상(mapping)한 구조도,
- 도 3a는 VC-1으로부터 TU1을 형성하는 개념을 설명하기 위하여 도시한 도면,
- 도 3b는 일반적인 포인터의 구조를 도시한 포맷도,
- 도 4는 본 발명에 따라 수신된 TUG에서 유료부하를 추출하는 회로를 도시한 블럭도,
- 도 5는 도4에 도시한 위치맞춤 결정부의 세부 블럭도,
- 도 6은 도4에 도시한 유료부하 추출클럭 생성부의 세부블럭도,
- 도 7은 영위치맞춤시의 각 클럭들을 도시한 타이밍도,
- 도 8은 부위치맞춤시의 각 클럭들을 도시한 타이밍도,
- 도 9는 정위치맞춤시의 각 클럭들을 도시한 타이밍도이다.

* 도면의 주요부분에 대한 부호의 설명

- 41: TU클럭생성부 42: 포인터해석부
- 43: 위치맞춤 결정부 44: 유료부하추출 클럭생성부
- 45: 라이트 카운터 46: 버퍼
- 47: 리드 카운터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 동기식 다중화장치에 관한 것으로, 특히 상대측으로부터 수신된 TUG로부터 VC 유료부하(payload)를 추출한 후 다른 상대측으로 전송하기 위하여 위치맞춤(justification)을 고려한 VC 유료부하 추출클럭을 생성하는 회로에 관한 것이다.

일반적으로 동기식 광전송장치는 유사동기식으로 다중화된 신호(예컨대, DS1, DS1E)를 동기식 다중화하여 광송신기에서 광신호로 변환한 후 광케이블을 통해 상대국으로 전송하고, 상대국으로부터 수신된 광신호를 광수신기에서 전기적인 신호로 변환한 후 동기식 역다중화하여 유사동기식으로 다중화된 신호를 출력하는 장치이다. 이러한 동기식 광전송장치에서 유사동기식으로 다중화된 신호를 동기식으로 다중화하여 155.520 Mbps의 STM-1프레임을 형성하는 과정은 개략적으로 다음과 같다.

사용자측으로부터 입력된 DS1 프레임은 상자(C:Container)에 매핑되어 C-11이 되고, 여기에 경로 오버 헤드(POH:Path OverHead)가 추가되면 가상상자(Virtual Container) VC-11이 되며, 그위에 포인터(PTR)를 덧붙이면 계위 신호 단위(TU: Tributary Unit) TU-11이 된다. 또한 TU-11은 네개씩 그룹지어 계위 신호 단위그룹(TUG-2) 형태로 된 후 VC-3와 VC-4로 다중화되고, VC-3는 관리유닛(AU: Administrative Unit) AU-3를 거쳐 3개가 다중화되어 관리유닛그룹(AUG)이 되고 여기에 구간오버헤드(SOH: Section OverHead)가 추가되어 최종적으로 STM-1이 된다. 이때, 유럽방식의 DS1E는 C-12로 매핑된 후 경로 오버 헤드(POH)가 추가되어 가상상자 VC-12가 된다. 여기서, 상자(C:Container)는 동기식 다중화 구조를 구성하는 기본 단위(즉, VC의 유료부하이다)로서 기존의 비동기식 디지털 계위신호들은 해당 상자속에 매핑되어 동기식으로 다중화되는데, 비동기식 다중화계위와 대응되게 C-1, C-2, C-3, C-4가 있고, C-1은 다시 북미식 DS1E를 매핑시키기 위한 C-11, 유럽식 DS1EE를 매핑시키기 위한 C-12로 구분된다. 그리고, 가상상자(VC:Virtual Container)는 동기식 전송에 있어서 경로계층간의 연결을 지원하기 위한 신호단위로서 가상상자에 경로오버헤드(POH)가 추가되어 형성되고, 계위신호단위(TU)는 하위 경로계층(VC-1, VC-2)과 상위 경로계층(VC-3, VC-4)간을 적응시키기 위한 것으로 가상상자에 포인터가 추가되어 형성되며, 계위신호단위 그룹(TUG)은 계위단위신호(TU)를 한개 이상 결합하여 상위 VC 유료 부하공간내의 정해진 위치에 정렬시키는 것이고, 관리단위(AU)는 상위경로 계층과 다중화기 구간계층간의 적응기능을 제공하기 위한 신호단위로서 AU포인터가 사용되고, 관리단위그룹(AUG)은 관리단위(AU)신호들이 한개 이상 결합하여 STM 유료공간내의 정해진 위치에 정렬되어진 것을 말한다.

한편, 북미방식의 DS1을 매핑하여 형성된 VC11의 구조는 제1a도에 도시된 바와 같고, 저위경로 오버헤드(이를 V5라한다)의 포맷은 제1b도에 도시된 바와 같다.

도 1a에 있어서, VC11의 구조는 125 | Ls의 한 프레임에 26바이트씩으로 형성되고, 4개의 프레임이 모여 500 | Ls의 멀티 프레임을 형성한다. 따라서 VC-11의 전체는 104바이트로 이루어지고, 이중 첫번째 프레임의 첫번째 바이트는 저위 경로오버헤드(POH)로서 V5라고도 하며, 도 1b에 도시된 바와 같은 포맷을 이루고 있다. V5에 이어서 고정 비트(R,R,R,R,R,R,I,R)를 갖는 1바이트가 따르고, 이어서 DS1이 사상된 24바이트의 정보데이터가 따른다. 두번째 프레임은 J2바이트와 C1,C2,0,0, 0,0,I,R 포맷을 갖는 Y1 바이트, 및 24 바이트의 정보 데이터로 이루지고, 세번째 프레임은 Z6 바이트와 C1,C2,0,0, 0,0,I,R 포맷을 갖는 Y2 바이트, 및 24 바이트의 정보 데이터로 이루지고, 네번째 프레임은 Z7바이트와 C1,C2,R,R, R,S1,S2,R 포맷을 갖는 Y3 바이트, 및 24 바이트의 정보 데이터로 이루진다.

여기서, R은 고정 스템핑(stuffing) 비트를 나타내고, I는 정보 비트, C1,C2는 위치맞춤(justification) 제어비트, S1,S2는 위치맞춤 집행비트를 나타내며, 8개의 0비트와 Z6은 예비 오버헤드로 사용된다.

그리고 저위 경로오버헤드인 V5는 도 1b에 도시된 바와 같이, BIP-2, FEBE(REI), RFI, 신호레벨(L1, L2, L3), 원격경보(RDI)로 이루어지는데, 'BIP-2'는 바로 전의 VC11의 모든 바이트에 대해서 홀수번째 비트에 대한 짝수패리티의 결과를 1번에 표시하고, 짝수번째 비트에 대한 짝수 패리티의 결과를 2번비트에 삽입한다. 'REI'는 대국으로부터 받은 신호에 대해 BIP-2의 검사 결과 오류블럭의 갯수가 1개 이상일 경우 1로 되어 송신측으로 전송되고, 'RFI'는 대국으로부터 받은 신호에 대해 FAIL신호 입력시 절체완료 후까지 FAIL신호가 해제되지 않을 경우 1로 되고, 'RDI'는 대국으로부터 TU-1/TU-2 AIS 또는 FAIL시 1로 설정한다. 신호레벨(L1,L2,L3)은 0이면 미설정, 1 비특정 방식으로 설정된 것을 나타내고, 10이면 비동기 부동형(Asynchronous floating), 11이면 비트 동기식, 100이면 바이트 동기식임을 나타낸다.

도 2는 유럽방식의 DS1E를 매핑한 VC12의 구조를 도시한 도면으로서, VC-12의 구조는 125 | Ls의 한 프레임에 35바이트씩으로 형성되고, 4개의 프레임이 모여 500 | Ls의 멀티 프레임을 형성한다. 따라서 VC-12의 전체는 140바이트로 이루어지고, 이중 첫번째 프레임의 첫번째 바이트는 저위 경로오버헤드(POH)인 V5라 한다. V5에 이어서 고정 비트를 갖는 R*바이트가 따르고, 이어서 DS1E가 사상된 32바이트의 정보 데이터가 따른다. 두번째 프레임은 J2바이트와 C1,C2,0,0, 0,0,R,R 포맷을 갖는 Y1 바이트 및 32 바이트의 정보 데이터로 이루지고, 세번째 프레임은 Z6 바이트와 C1,C2,0,0, 0,0,R,R 포맷을 갖는 Y2 바이트 및 32 바이트의 정보 데이터로 이루지고, 네번째 프레임은 K4바이트와 C1,C2,R,R, R,R,S1,S2 포맷을 갖는 Y3 바이트 및 32 바이트의 정보 데이터로 이루진다.

여기서, R은 고정 스템핑(stuffing) 비트를 나타내고, I는 정보 비트, C1,C2는 위치맞춤(justification) 제어비트, S1,S2는 위치맞춤 기회비트를 나타내며, 8개의 0비트와 Z6, K4는 예비 오버헤드로 사용된다.

도 3a는 VC1의 포맷에 저위 포인터 V1, V2, V3, V4를 추가하여 TU1신호를 형성하는 것을 도시한 도면으로서, VC11은 포인터 V1, V2, V3, V4가 추가되어 TU11이 되고, VC12는 포인터 V1, V2, V3, V4가 추가되어 TU12가 된다. 그리고 이와 같은 TU11 4개가 정렬되면 TUG2가 되고, TU12 3개가 정렬되면 TUG2가 된다.

여기서 V1, V2, V3는 저위 포인터로 사용되며 그 구조는 도 2B에 도시된 바와 같고, V4는 용도가 유보되어 있다. 이때 AU-4, AU3, TU-3등에 사용되는 고위 포인터(H1, H2, H3)도 저위경로의 포인터(V1, V2, V3)와 유사한 구조로 구성되어 있다.

도 3b에 있어서, V1(H1)의 처음 4비트(NNNN)은 새 데이터 플래그(New Data Flag)비트로서 포인터가 정상적인 운용상태에서는 1100이고 포인터값이 새로운 값으로 바뀔 경우에는 1001로 반전된다. 이어서 ss는 신호 크기 비트로서 고위 포인터(H1,H2,H3)에서는 10이고, 저위 포인터(V1,V2,V3)에서 TU2이면 0, TU11이면 11, TU12이면 10으로 설정해 둔다. 그리고 V1의 2비트와 V2를 합해 10비트가 포인터값을 나타내는데, 이 포인터의 어드레스가 의미하는 것은 고위 포인터의 경우에는 포인터 H3로부터 VC의 시작점까지 어긋난 정도이며, 저위 포인터인 경우에는 포인터 V2로부터의 VC시작점까지 어긋난 정도를 나타낸다. 또한 10비트의 포인터는 5비트의 증가(I)비트와 5비트의 감소(D)비트로 구성되어 정 위치맞춤(positive justification)이 진행될 때는 1비트가 반전되고, 부 위치맞춤(negative justification)이 진행될 때는 0비트가 반전된다. 이러한 포인터의 주소 범위를 정리하면 다음 표1과 같다.

[표 1]

포인터별 주소범위

포인터	크기(ss)	주소범위	포인터	크기(ss)	주소범위
AU-4	10	0~782	TU-2	00	0~427
AU-3	10	0~782	TU-12	10	0~139
TU-3	10	0~764	TU-11	11	0~103

상기 표 1에서와 같이 TU11일 경우에 크기(ss)는 11이고, 주소범위는 0부터 103까지이다. 그리고 V3는 부 위치맞춤시에 유효데이터를 전달하기 위한 바이트(부 저스티피케이션 기회바이트)로 이용되고, V3 다음의 첫번째 바이트는 정 위치맞춤시에 무효데이터를 전달하는 바이트(정 저스티피케이션 기회바이트)로 이용된다.

이와 같이 동기식 전송방식을 이용하여 하위계위신호들이 VC로 매핑된 후 해당 TU의 유료부하 공간에서 자유롭게 부동(floating)하게 되는데, 이때 그 위치관계는 앞서 설명한 바와 같이 포인터(V1,V2,V3)에 의해 표시된다. 이와 같이 VC를 TU로 정렬할 경우에 그 위치가 고정되지 않고 포인터에 의해 가변되는 것을 플로팅 모드(floating)라 하고, 반대로 TU가 VC에 동기되어 있는 경우에 시작점의 위치를 고정시켜 사용하는 것을 고정 모드(locked mode)라 한다.

한편, 애드드롭(ADD/DROP)형으로 동기식 전송시스템을 운용할 경우에 상대측으로부터 수신된 하위계위신호를 VC단위로 수위칭하여 다시 다른 상대측으로 전송할 필요가 있는데, 이때 수신클럭으로부터 위치맞춤(justification)등을 고려하여 유료부하추출 클럭을 형성할 필요가 있다. 즉, 수신된 TUG2클럭 및 데이터는 위치맞춤에 따라 유료부하의 위치가 달라지므로 해석과정을 통해서 위치맞춤을 고려한 유료부하추출 클럭을 형성할 필요가 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명은 상기와 같은 필요성을 충족시키기 위하여 수신된 계위신호를 VC단위로 스위칭하여 다시 송신함에 있어서 위치맞춤을 고려하여 VC유료부하를 추출하기 위한 클럭을 발생시키는 회로를 제공하는데 그 목적이 있다.

상기와 같은 목적을 달성하기 위하여 본 발명은, 수신된 TUG2클럭과 위치맞춤여부에 따라 VC1유료부하 추출클럭을 발생하여 TUG2 데이터로부터 해당 VC1유료부하를 추출 버퍼에 저장하고 송신클럭에 따라 버퍼로부터 데이터를 읽어가도록 된 동기식 다중화장치에 있어서, TUG2클럭으로부터 TU포인터의 위치를 나타내는 TU포인터클럭과 VC1클럭을 발생하는 TU클럭생성부; TU포인터클럭에 따라 수신된 TUG2데이터로부터 V1,V2벡터를 해석하여 위치맞춤 발생을 검출하는 포인터 해석부; 상기 포인터 해석부의 출력에 따라 새 데이터플래그(NDF)와 크기(ss)가 정상일 경우에 1비트반전이면 포인터증가신호를 출력하고, 0비트반전이면 포인터감소신호를 출력하는 위치맞춤 결정부; 상기 TU클럭생성부의 출력과 상기 위치맞춤 결정부의 출력을 입력받아 TUG2데이터로부터 해당 VC유료부하를 추출하기 위한 라이트 클럭을 발생하는 유료부하 추출 클럭생성부로 구성된 것을 특징으로 한다.

이와 같이 위치맞춤(justification)에 따른 데이터의 변동을 고려하여 유료부하 추출 클럭을 발생하므로써 부동모드(floating mode)에서도 정확하게 유료부하만을 추출하여 처리할 수 있다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 자세히 설명하기로 한다.

도 4는 본 발명에 따라 상대측으로부터 수신된 TUG2로부터 VC유료부하 추출클럭을 생성하여 VC데이터를 추출한 후 다른 상대측으로 송신하는 부분을 도시한 도면이다. 도 4에 있어서, 수신된 TUG2에서 유료부하를 추출하는 회로는 TU클럭생성부(41), 포인터 해석부(42), 위치맞춤 결정부(43), 유료부하 추출 클럭생성부(44), 라이트 카운터(45), 버퍼(46), 리드 카운터(47)로 구성되어 있다.

TU클럭 생성부(41)는 TUG2클럭을 입력받아 TU 포인터 V1, V2, V3를 추출하기 위한 TU포인터클럭을 발생함과 아울러 VC1클럭, 및 수신TU클럭을 생성하여 포인터 해석부(42)로는 V1과 V2를 추출하기 위한 포인터클럭을 출력하고, 유료부하 추출 클럭생성부(44)로는 VC1클럭, V3클럭, 및 수신TU클럭(rx_tu_clk)을 출력한다. 여기서 TUG2클럭은 도 7D에 도시된 바와 같이 약 6048Kbps의 TUG2데이터를 전송하기 위한 클럭이고, 수신TU클럭은 TU포인터와 VC1유료부하를 포함하는 클럭이고, VC1클럭은 VC1일 경우에는 수신TU클럭에서

26비트마다 한비트씩 포인터 V1, V2, V3, V4 클럭이 갱신된 위치맞춤이 고려되지 않은 VC 유료부하 클럭이다.

포인터 해석부(42)는 수신된 TUG2데이터로부터 TU포인터클럭에 따라 V1 포인터와 V2 포인터를 래치한 후 이를 해석하여 새데이터플래그(NDF)가 정상인지를 나타내는 신호(ndfnorm), 크기(ss)가 정상인지를 나타내는 신호(ssnorm), 및 증가비트반전(linv) 혹은 감소비트반전(Dinv)을 나타내는 신호를 각각 출력한다. 즉, 포인터에서 앞서 설명한 바와 같이, V1의 처음 4비트(NNNN)는 새 데이터 플래그(New Data Flag)비트로서 포인터가 정상적인 운용상태에서는 110이고, 포인터값이 새로운 값으로 바뀔 경우에는 1001로 반전된다. 따라서 새데이터플래그(NDF)가 110일 경우에는 ndfnorm 신호는 1이 되고, 반전되어 새데이터를 나타낼 경우에는 0이 된다. 또한 크기(ss)는 유료부하의 크기를 구분하기 위한 비트로서 TU20이면 0, TU11이면 11, TU12이면 10으로 설정한다. 따라서 수신된 데이터와 설정된 크기가 일치할 경우에는 ssnorm신호는 1이 되고 일치하지 않을 경우에는 0이 된다. 그리고 V1의 2비트와 V2를 합해 10비트가 포인터값을 나타내거나 5비트의 증가(I)비트와 5비트의 감소(O)비트를 나타내는데, 1비트가 반전되어 정 위치맞춤(positive justification)이 진행될 때면 linv가 1이 되고, 0비트가 반전되어 부 위치맞춤(negative justification)이 진행될 때는 Dinv가 1이 된다.

위치맞춤 결정부(43)는 도 5에 도시된 바와 같이 논리적으로 3개의 엔트게이트로 구현될 수 있는데, 포인터 해석부(42)로부터 입력되는 ndfnorm신호와 ssnorm신호가 모두 1로서 정상일 경우에 증가반전신호(linv)가 1이면 포인터 증가신호(ptrinc)를 1로 하여 출력하고, 포인터 해석부(42)로부터 입력되는 ndfnorm신호와 ssnorm신호가 모두 1로서 정상일 경우에 감소반전신호(Dinv)가 1이면 포인터 감소신호(ptrdec)를 1로 하여 출력한다.

유료부하 추출 클럭생성부(44)는 도 6에 도시된 바와 같이 TU클럭 생성부(41)로부터 VC1클럭, V3클럭, 수신TU클럭(rxtu_clk)을 수신하고, 위치맞춤 결정부(43)로부터 포인터증가신호(ptrinc)와 포인터감소신호(ptrdec)를 수신하여 위치맞춤을 고려한 VC유료부하 추출 클럭(라이트 클럭)을 생성한다. 이 클럭은 라이트 카운터(45)에 의해 분주되어 버퍼의 라이트 어드레스를 생성하므로 라이트 클럭이라한다. 제6도를 참조하면, 멀티플렉서(65)의 d0입력단으로는 VC1클럭이 입력되고, d1입력단으로는 지연부(63)에서 소정 클럭 지연된 V3클럭과 포인터증가신호(ptrinc)와 VC1클럭이 앤드게이트(64)에서 논리곱 연산된 클럭이 입력되고, d3입력단으로는 V3클럭과 포인터감소신호(ptrdec)가 앤드게이트(61)에서 논리곱 연산된 후 오아게이트(62)에서 VC1클럭과 논리합 연산된 클럭이 입력된다. 또한 멀티플렉서(65)의 선택단(s1,s2)으로는 포인터증가신호(ptrinc)와 포인터감소신호(ptrdec)가 입력되어 3개의 입력중 하나를 다음 표2와 같이 선택하도록 한다.

[표 2]

멀티플렉서의 선택신호

S2(ptrdec)	S1(ptrinc)	출력	동작상태
0	0	d0	영 위치맞춤(정상)
0	1	d1	정 위치맞춤
1	0	d2	부 위치맞춤

상기 표 2에서와 같이, 포인터 증가신호(ptrinc)가 0이고, 포인터 감소신호(ptrdec)도 0일 경우에는 영위치맞춤 진행상태(zero justification)로서 VC1클럭(d0입력)을 선택하여 출력하는데, 이때는 도 7A 내지 도 7E에서와 같이 V3클럭이 갱신된다. 만일 포인터감소신호(ptrdec)가 1이고 포인터증가신호(ptrinc)가 0일 경우에는 부 위치맞춤진행상태(negative justification)로서 d2입력을 선택하여 출력하는데, 도 8A 내지 도 8E에서와 같이 V3자리에 유효데이터가 전송되므로 V3클럭이 존재한다. 반대로 포인터증가신호(ptrinc)가 1이고 포인터감소신호(ptrdec)가 0일 경우에는 정 위치맞춤진행 상태(positive justification)로서 d1입력을 선택하여 출력하는데, 도 9A 내지 도 9E에서와 같이 V3자리 다음 클럭에 무효데이터가 전송되므로 V3자리와 그 다음 클럭이 갱신된다.

라이트 카운터(45)는 유료부하추출 클럭 생성부(44)가 출력하는 라이트 클럭에 따라 라이트 어드레스를 발생하고, 리드 카운터(47)는 리드 클럭에 따라 리드 어드레스를 발생한다. 버퍼(46)는 라이트 어드레스가 지정하는 어드레스에 TUG2데이터로부터 유료부하를 추출하여 저장하고, 리드 어드레스가 지정하는 데이터를 송신유료부하로서 출력한다.

도 7A~7E는 영위치맞춤시의 각 클럭들을 도시한 타이밍도로서, 도 7A는 포인터감소신호(ptrdec)를 나타내고, 도 7B는 포인터증가신호(ptrinc)를 나타낸다. 도 7C는 리셋(reset)신호를 나타내고, 도 7D는 TUG2클럭을 나타내며, 도 7E는 TU클럭을 나타낸 것이다. 도 7F는 VC1클럭을 나타내고, 도 7G는 V3클럭을 나타내며, 도 7H는 VC유료부하 추출클럭(라이트 클럭)을 나타낸다. 즉, 도 7A 내지 도 7H를 참조하면 포인터증가신호(ptrinc)와 포인터감소신호(ptrdec)가 모두 0으로서 영위치맞춤(정상)상태를 나타내므로 VC유료부하 추출클럭(7H)은 V3벡터 클럭이 갱신된 클럭인 것을 알 수 있다.

도 8A~8H는 부위치맞춤시의 각 클럭들을 도시한 타이밍도로서, 도 8A는 포인터감소신호(ptrdec)를 나타내고, 도 8B는 포인터증가신호(ptrinc)를 나타낸다. 도 8C는 리셋(reset)신호를 나타내고, 도 8D는 TUG2클럭을 나타내며, 도 8E는 TU클럭을 나타낸 것이다. 도 8F는 VC1클럭을 나타내고, 도 8G는 V3클럭을 나타내며, 도 8H는 VC유료부하 추출클럭(라이트 클럭)을 나타낸다. 즉, 도 8A 내지 도 8H를 참조하면 포인터감소신호(ptrdec)가 1이고 포인터증가신호(ptrinc)가 0으로서 부위치맞춤 진행상태를 나타내므로 VC유료부하 추출클럭에는 V3벡터클럭도 포함되어 V3를 통해 전달되는 유료부하를 추출할 수 있게 한다.

도 9A~9E는 정위치맞춤시의 각 클럭들을 도시한 타이밍도로서, 도 9A는 포인터감소(ptrdec)신호를 나타내고, 도 9B는 포인터증가(ptrinc)신호를 나타낸다. 도 9C는 리셋신호를 나타내고, 도 9D는 TUG2클럭을 나타내며, 도 9E는 TU클럭을 나타낸 것이다. 도 9F는 VC1클럭을 나타내고, 도 9G는 V3클럭을 나타내며, 도

9H는 VC유료부하 추출클럭(라이트 클럭)을 나타낸다. 즉, 도 9A 내지 도 9H를 참조하면 포인터증가신호(ptrinc)가 1이고 포인터감소신호(ptrdec)가 0으로서 정위치맞춤 진행상태를 나타내므로, VC유료부하 추출클럭은 V3백트 다음 바이트에 무효데이터가 전달되므로 V3클럭과 바로 다음 클럭이 갱신된 클럭인 것을 알 수 있다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 따라 수신된 TUG2신호에서 포인터를 추출하여 해석한 포인터증가 및 포인터감소신호에 따라 유료부하 추출클럭을 생성한 후 이에 따라 TUG2데이터로부터 VC1유료부하를 추출하므로써 위치맞춤(justification)을 고려하여 순수한 유료부하를 추출할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

수신된 TUG2클럭과 위치맞춤여부에 따라 VC1유료부하 추출클럭을 발생하여 TUG2 데이터로부터 해당 VC1유료부하를 추출 버퍼(46)에 저장하고 송신클럭에 따라 버퍼(46)로부터 데이터를 읽어가도록 된 동기식 다중화장치에 있어서,

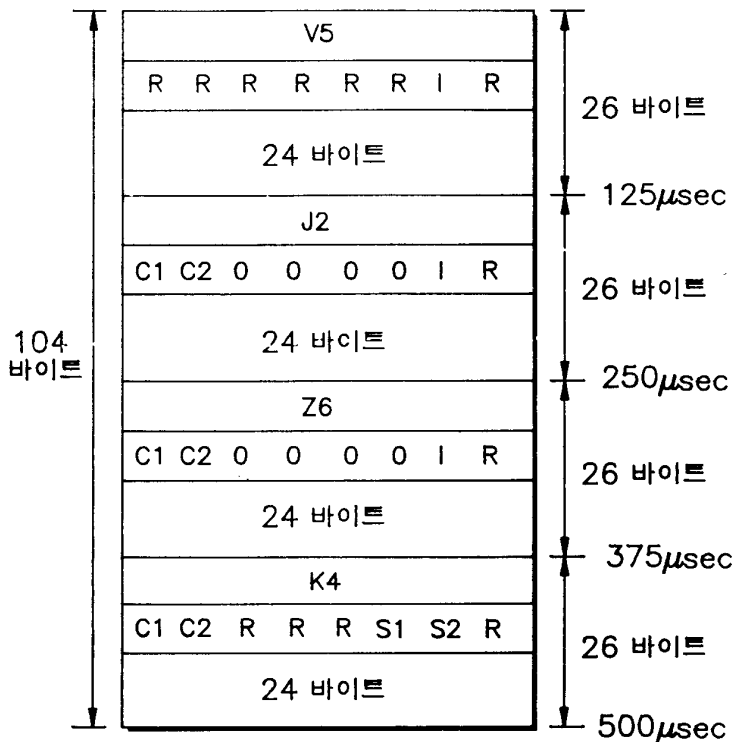
TUG2클럭으로부터 TU포인터의 위치를 나타내는 TU포인터클럭과 VC1클럭을 발생하는 TU클럭 생성부(41); TU포인터클럭에 따라 수신된 TUG2데이터로부터 V1, V2백터를 해석하여 위치맞춤 발생을 검출하는 포인터 해석부(42); 상기 포인터 해석부의 출력에 따라 새데이터플래그(NDF)와 크기(ss)가 정상일 경우에 1비트 반전이면 포인터증가신호(ptrinc)를 출력하고, 0비트반전이면 포인터감소신호(ptrdec)를 출력하는 위치맞춤 결정부(43); 상기 TU클럭 생성부(41)의 출력과 상기 위치맞춤 결정부의 출력을 입력받아 TUG2데이터로부터 해당 VC1유료부하를 추출하기 위한 라이트 클럭을 발생하는 유료부하 추출 클럭생성부(44)가 구비된 동기식 다중화장치에서 위치맞춤에 따른 VC1유료부하 추출 클럭발생회로.

청구항 2

제1항에 있어서, 상기 유료부하 추출 클럭생성부(44)는 d0입력단으로 상기 VC1클럭이 입력되고, d1입력단으로는 지연부(63)에서 소정 클럭지연된 V3클럭과 포인터증가신호와 VC1클럭이 앤드게이트(64)에서 논리곱 연산된 클럭이 입력되고, d3입력단으로는 V3클럭과 포인터감소신호가 앤드게이트(61)에서 논리곱 연산된 후 오아게이트(62)에서 VC1클럭과 논리합 연산된 클럭이 입력되어 포인터증가신호와 포인터감소신호에 따라 3개의 입력중 하나를 선택하여 출력하는 멀티플렉서(65)가 구비된 것을 특징으로 하는 동기식 다중화장치에서 위치맞춤에 따른 VC1유료부하추출 클럭발생회로.

도면

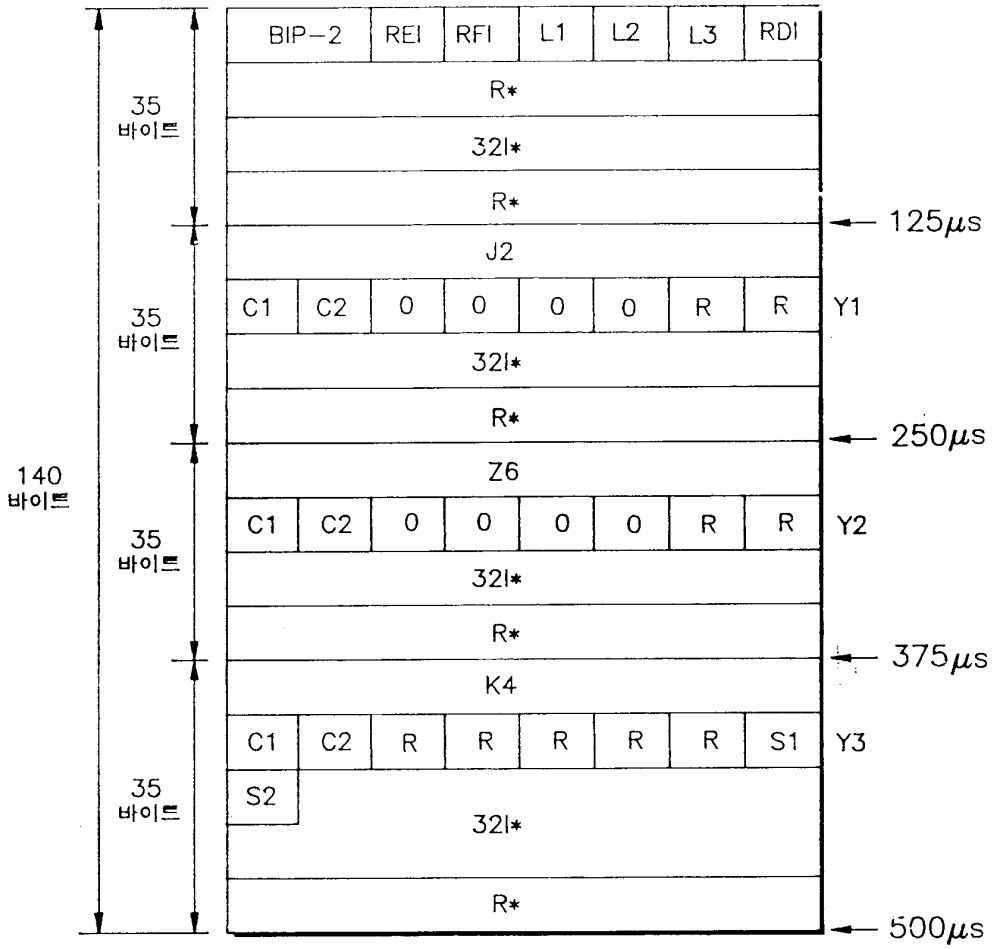
도면 1a



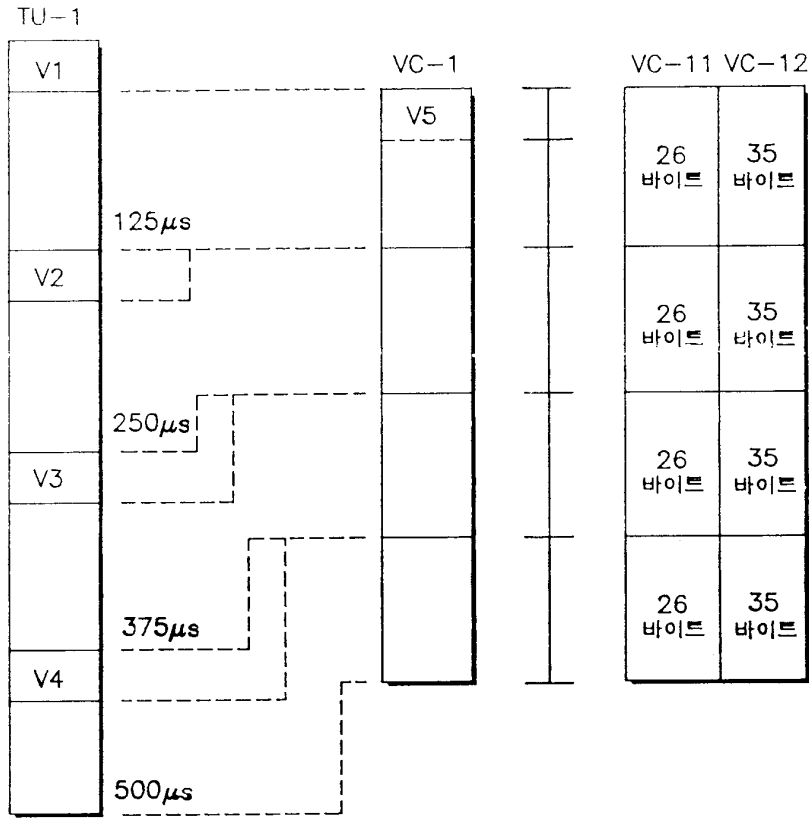
도면 1b

BIP-2		REI	RFI	L1	L2	L3	LDI
1	2	3	4	신호 레벨			8
				5	6	7	

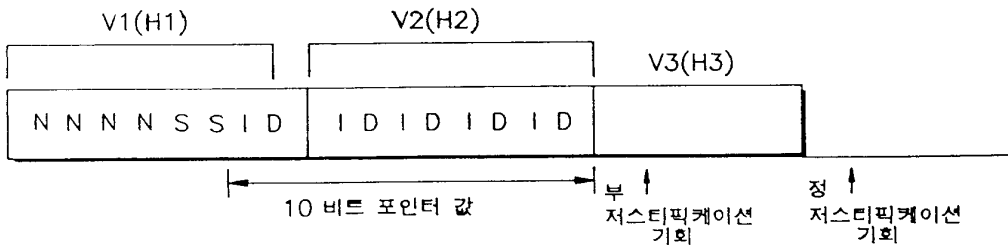
도면 2



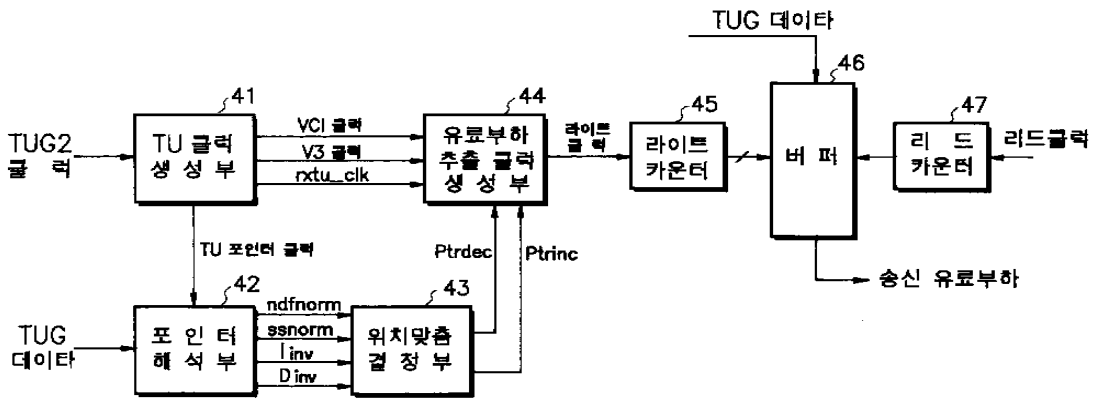
도면3a



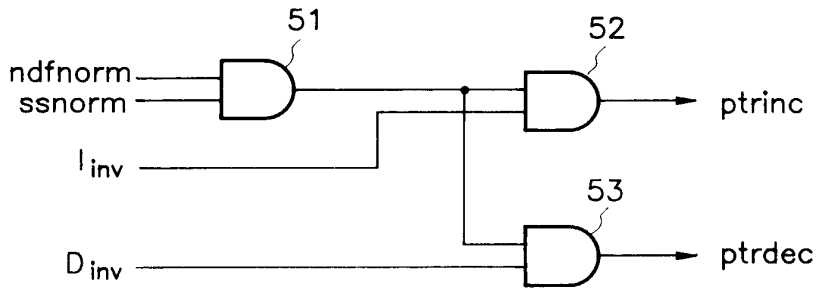
도면3b



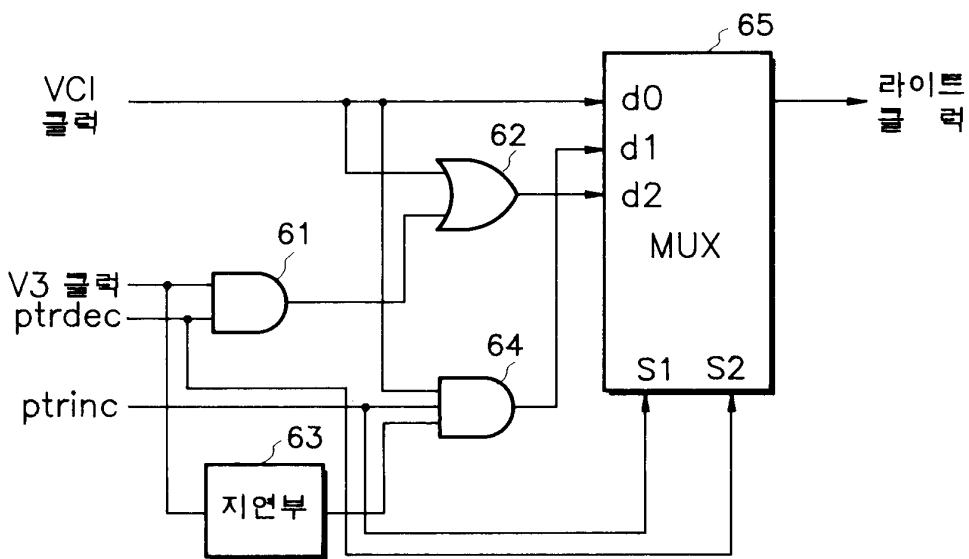
도면4



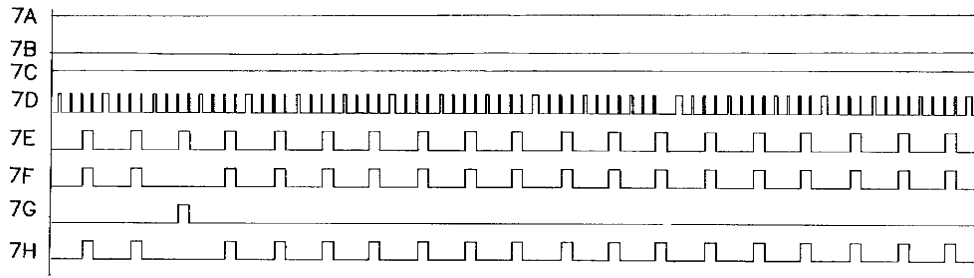
도면5



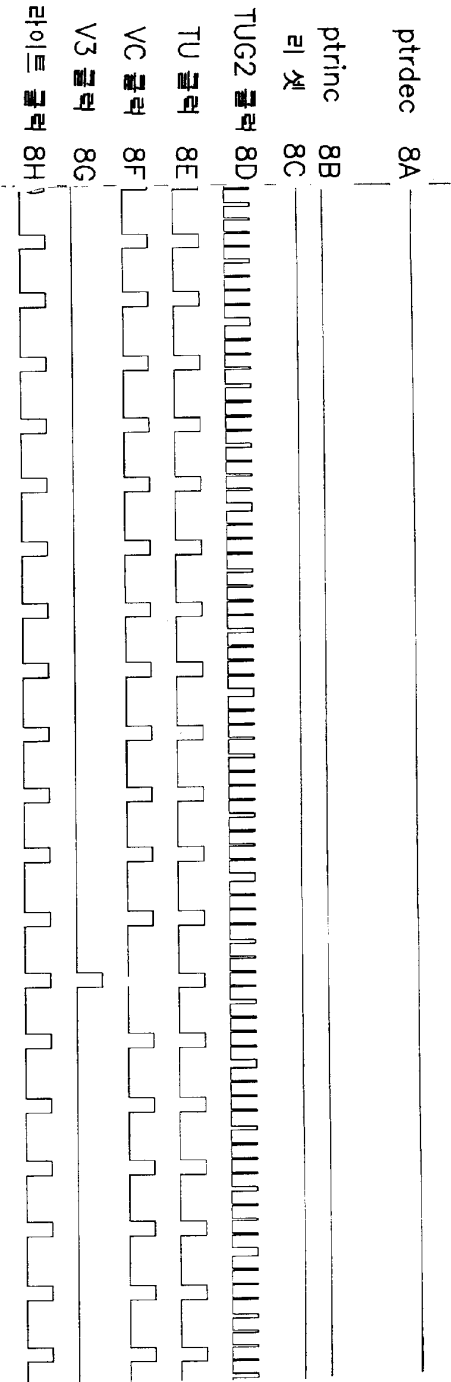
도면6



도면7



도면 8



도면 9

