

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月8日(08.09.2017)



(10) 国際公開番号

WO 2017/150146 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 23/12 (2006.01)
H01L 21/768 (2006.01) H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2017/004961
- (22) 国際出願日: 2017年2月10日(10.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-036622 2016年2月29日(29.02.2016) JP
- (71) 出願人: パナソニック・タワージャズセミコンダクター株式会社 (TOWERJAZZ PANASONIC SEMICONDUCTOR CO., LTD.) [JP/JP]; 〒9378585 富山県魚津市東山800番地 Toyama (JP).
- (72) 発明者: 井上 由佳(INOUE Yuka); 〒9378585 富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内 Toyama (JP). 福羅 満徳(FUKURA Mitsunori); 〒9378585 富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内 Toyama (JP). 高橋 信義(TAKAHASHI Nobuyoshi); 〒9378585 富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内 Toyama (JP). 小田 真弘(ODA

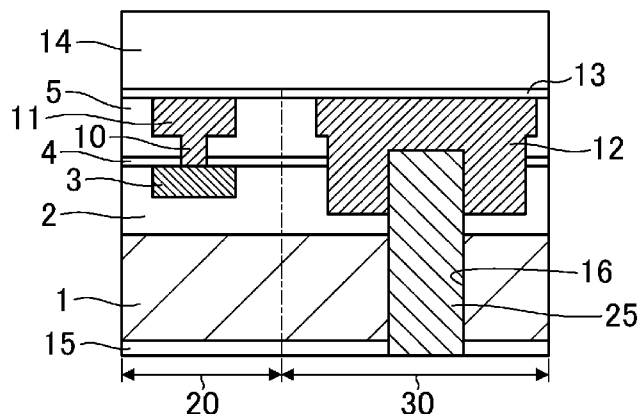
Masahiro); 〒9378585 富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内 Toyama (JP). 矢野 尚(YANO Hisashi); 〒9378585 富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内 Toyama (JP). 伊藤 豊(ITO Yutaka); 〒9378585 富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内 Toyama (JP). 森永 泰規(MORINAGA Yasunori); 〒9378585 富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内 Toyama (JP).

- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: This semiconductor device is provided with: a first interlayer film 2 that is formed on the upper surface of a substrate 1; a first metal wiring line 3; a second interlayer film 5; a second metal wiring line 11; a first via 10 that electrically connects the first metal wiring line 3 and the second metal wiring line 11 to each other; a landing pad 12 that penetrates through the second interlayer film 5 and is buried in the upper part of the first interlayer film 2; and a second via 25 that penetrates through the substrate 1 and the first interlayer film 2 from the back surface side of the substrate 1 and is connected to the landing pad 12. In this connection, the position of the lower surface of the landing pad 12 is different from the position of the lower surface of the first metal wiring line 3.

(57) 要約: 半導体装置は、基板1の上面上に形成された第1の層間膜2と、第1の金属配線3と、第2の層間膜5と、第2の金属配線11と、第1の金属配線3と第2の金属配線11とを電気的に接続する第1のビア10と、第1の層間膜2の上部に埋め込まれるとともに、第2の層間膜5を貫通するランディングパッド12と、基板1の裏面側から基板1及び第1の層間膜2を貫通し、ランディングパッド12に接続する第2のビア25とを備え、ランディングパッド12の下面位置は、第1の金属配線3の下面位置と異なっている。



WO 2017/150146 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、through-silicon-via (TSV) 用のランディングパッドを備えた半導体装置及びその製造方法に関するものである。

背景技術

[0002] 近年、デバイスの微細化及び高集積化に伴い、チップを縦方向に積層する三次元実装技術の開発が進み、基板を貫通して垂直方向に電氣的接続を形成するTSV技術が重要になってきている。

[0003] このようなTSV構造において、TSVと接続するTSV用ランディングパッドの厚さを厚くすることにより、TSVを形成する際のパッドの突き抜けを防ぐ要求がある。この要求に対して、特許文献1には、2層もしくはそれ以上の金属膜を積層することによって厚いTSV用ランディングパッドを形成する技術が記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-79961号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、TSV構造において、2層もしくはそれ以上の金属層を積層することによってTSV用ランディングパッドを形成する従来の技術では、ランディングパッドとTSVとの間で接続不良が生じる場合がある。

[0006] 具体的に、従来の技術では、1層目の金属膜を形成後、2層目以降の金属膜を形成するためのエッチング工程によって1層目の金属膜がダメージを受けやすくなっている。そのため、エッチング工程後の洗浄工程によって1層目の金属膜のうちダメージを受けた部分が流失し、2層目の金属膜を形成する際に空洞が生じる可能性がある。このように、1層目の金属膜と2層目の

金属膜との間に空洞が生じると、TSV用ランディングパッドのTSVとの接続部において電気特性が悪くなり、信頼性が低下する可能性がある。

[0007] 本発明の目的は、TSVの形成時にランディングパッドの突き抜けが防がれるとともに、TSVとランディングパッドとの良好な電氣的接続を確保できる半導体装置を提供することにある。

課題を解決するための手段

[0008] 本明細書に開示された半導体装置は、第1の領域と、第2の領域とが形成された基板と、前記基板の上面上に形成された第1の層間膜と、前記第1の領域において、前記第1の層間膜の上部に埋め込まれた第1の金属配線と、前記第1の層間膜上及び前記第1の金属配線上に形成された第2の層間膜と、前記第1の領域において、前記第2の層間膜の上部に埋め込まれた第2の金属配線と、前記第2の層間膜を貫通し、前記第1の金属配線と前記第2の金属配線とを電氣的に接続する第1のビアと、前記第2の領域において、前記第1の層間膜の上部に埋め込まれるとともに、前記第2の層間膜を貫通するランディングパッドと、前記第2の領域において、前記基板の裏面側から前記基板及び前記第1の層間膜を貫通し、前記ランディングパッドに接続する第2のビアとを備えている。前記ランディングパッドの下面位置は、前記第1の金属配線の下面位置と異なっている。

発明の効果

[0009] 本明細書に開示された半導体装置及びその製造方法によれば、TSVの形成時にランディングパッドの突き抜けが防がれるとともに、TSVとランディングパッドとの良好な電氣的接続を実現しうる。

図面の簡単な説明

[0010] [図1A]図1Aは、第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図1B]図1Bは、第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図1C]図1Cは、第1の実施形態に係る半導体装置の製造方法を説明するた

めの断面図である。

[図2A]図 2 A は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図2B]図 2 B は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図2C]図 2 C は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図3A]図 3 A は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図3B]図 3 B は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図3C]図 3 C は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図4A]図 4 A は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図4B]図 4 B は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図4C]図 4 C は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図4D]図 4 D は、第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図5A]図 5 A は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図5B]図 5 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図5C]図 5 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図6A]図 6 A は、参考例に係る半導体装置の製造方法を説明する断面図であ

る。

[図6B]図 6 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図6C]図 6 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図7A]図 7 A は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図7B]図 7 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図7C]図 7 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図8A]図 8 A は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図8B]図 8 B は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図8C]図 8 C は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図8D]図 8 D は、参考例に係る半導体装置の製造方法を説明する断面図である。

[図9A]図 9 A は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図9B]図 9 B は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図9C]図 9 C は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図10A]図 1 0 A は、第 2 の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図10B]図 1 0 B は、第 2 の実施形態に係る半導体装置の製造方法を説明する

断面図である。

[図10C]図 1 0 Cは、第2の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図11A]図 1 1 Aは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図11B]図 1 1 Bは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図11C]図 1 1 Cは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図12A]図 1 2 Aは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図12B]図 1 2 Bは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図12C]図 1 2 Cは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図13A]図 1 3 Aは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図13B]図 1 3 Bは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図13C]図 1 3 Cは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図14A]図 1 4 Aは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[図14B]図 1 4 Bは、他の実施形態に係る半導体装置の製造方法を説明する断面図である。

発明を実施するための形態

[0011] 以下、本発明の実施形態を図面に基づいて詳細に説明する。

[0012] (第1の実施形態)

－半導体装置の製造方法－

図1 A～C、図2 A～C、図3 A～C及び図4 A～Dは、第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。これらの図では、左側が素子形成領域20（第1の領域）、右側がパッド形成領域30（第2の領域）となっている。以下、半導体装置の製造方法を説明する。

[0013] まず、図1 Aに示すように、素子形成領域20とパッド形成領域30とが形成された基板1の上面上にchemical vapor deposition(CVD)法等により酸化ケイ素(SiO_2)等の絶縁体からなる第1の層間膜2を形成する。次いで、第2の層間膜2の上部に公知のリソグラフィ及びエッチングによって配線溝を形成する。次に、めっき法により当該配線溝内に銅等の金属を埋め込んだ後、chemical mechanical polishing(CMP)法等により余剰の金属を除去することにより、配線溝内に埋め込まれた厚さ約120nm程度の第1の金属配線3を形成する。この際の第1の層間膜2の厚さは、例えば400nmである。

[0014] 一方、パッド形成領域30では、第1の金属配線3に相当する金属層を形成しない。

[0015] 続いて、第1の金属配線3の上及び第1の層間膜2の上に、公知の方法により、例えば炭化ケイ素(SiC)からなる厚さ60nmの第1のライナー膜4を形成する。

[0016] 次に、図1 Bに示すように、第1の層間膜2上及び第1の金属配線3上に第1のライナー膜4を挟んで酸化ケイ素からなる厚さ300nmの第2の層間膜5を形成する。

[0017] 次いで、図1 Cに示すように、リソグラフィ及びエッチングによって、素子形成領域20における第1の金属配線3の上方に、第2の層間膜5を貫通するビアホール6を形成する。ビアホール6の形成と同時に、パッド形成領域30において第2の層間膜5を貫通するパッド用孔6Aを形成する。ビアホール6の直径は約100nmであり、パッド用孔6Aの直径は約70 μm である。ビアホール6とパッド用孔6Aとは、同一のマスク（図示せず）を用いたエッチングにより形成できる。このエッチングは、第1のライナー膜

4で止める。

[0018] 次に、図2Aに示すように、基板上に厚さ約300nmのレジスト7を形成する。素子形成領域20におけるビアホール6の開口面積は小さいため、レジスト7はビアホール6内に完全に埋め込まれ、ビアホール6内のレジストも含めほぼ600nmの厚さに形成される。一方、パッド形成領域30に形成されたパッド用孔6Aの平面面積はビアホール6よりも広いので、パッド用孔6A上ではレジスト7の厚さは約300nmとなり、ビアホール6上でのレジスト7の厚さに比べて薄くなっている。

[0019] 次に、図2Bに示すように、レジスト7をエッチバックすることにより、レジスト7のうち第2の層間膜5上及びパッド用孔6A内に形成された部分を除去する。この工程では、ビアホール6内にレジスト7が残るが、パッド用孔6A内にはほとんどレジスト7が残らない。

[0020] 次に、図2Cに示すように、リソグラフィにより素子形成領域20では配線形成領域が開口し、パッド形成領域30ではパッド用孔6Aの上方を開口するレジスト8を形成する。パッド用孔6Aの上方に設けられた開口は、パッド用孔6Aよりも大きい平面面積を有していてもよい。

[0021] 次いで、図3Aに示すように、レジスト8を用いて第2の層間膜5をエッチングすることにより、素子形成領域20に配線溝9を形成する。配線溝9の深さは約180nmである。ビアホール6内にはレジスト7が残っているため、ビアホール6が形成された領域では第1のライナー膜4はエッチングされない。

[0022] また、配線溝9と同時にパッド形成領域30では第1のライナー膜4及び第1の層間膜2の上部が除去されてパッド用凹部9Aが形成される。パッド用凹部9Aでのエッチング量は約120～150nmである。

[0023] 次に、図3Bに示すように、洗浄によりレジスト7、8を除去する。

[0024] 続いて、図3Cに示すように、エッチングにより第1のライナー膜4のうちビアホール6内に露出する部分を除去する。また、第1のライナー膜4の除去と同時にパッド形成領域30において第1の層間膜2の一部が除去され

、パッド用凹部 9 B が形成される。パッド用凹部 9 B の深さは約 70 nm である。

[0025] 次に、図 4 A に示すように、エッチングによる反応生成物を洗浄により除去する。本工程の洗浄により、半導体装置の形状は変わらない。

[0026] 次に、図 4 B に示すように、めっき法により、素子形成領域 20 におけるビアホール 6 内及び配線溝 9 内、パッド形成領域 30 におけるパッド用孔 6 A 内、パッド用凹部 9 A、9 B 内に銅を埋め込んだ後、CMP 法により余剰の銅を除去する。これにより、ビアホール 6 内に第 1 のビア 10 を形成し、配線溝 9 内に第 2 の金属配線 11 を形成する。また、パッド用凹部 9 A、9 B 内及びパッド用孔 6 A 内にランディングパッド 12 を形成する。この際に、ランディングパッド 12 の下面位置は、第 1 の金属配線 3 の下面位置よりも深くなっている。

[0027] 第 1 のビア 10 の高さは約 110 nm であり、第 2 の金属配線 11 の高さは約 120 nm である。また、ランディングパッド 12 の高さ（厚さ）は約 360 nm～390 nm である。その後、第 2 の層間膜 5 上、第 2 の金属配線 11 上及びランディングパッド 12 上に厚さ 60 nm の炭化ケイ素からなる第 2 のライナー膜 13 を形成する。

[0028] 次に、図 4 C に示すように、第 2 のライナー膜 13 上に、公知の CVD 法等により窒化ケイ素からなる厚さ 1000 nm のパッシベーション膜 14 を形成する。以上で、基板 1 の上面側の加工は一旦完了する。

[0029] 次に、図 4 D に示すように、基板 1 を裏面側から削って基板 1 の厚さを約 300～400 μ m にする。次いで、基板 1 の裏面上に、素子形成領域 20 を覆い、例えば、酸化ケイ素膜等からなる絶縁膜 15 を形成する。その後、リソグラフィとエッチング法とにより、絶縁膜 15 と基板 1 とを裏面側からエッチングする。この際には、ランディングパッド 12 の一部までエッチングを行い、ビアホール 16 を形成する。次いで、公知のめっき法等によりビアホール 16 内に銅を埋め込んだ後、CMP により余剰の銅を除去することにより、基板 1 を貫通し、ランディングパッド 12 に接続する TSV（第 2 のビア）

25を形成する。ビアホール16内に形成する金属は、タングステン(W)やアルミニウム(Al)等であってもよいし、ビアホール16内が完全に金属で埋め込まれていなくてもよい。以上の工程により、本実施形態の半導体装置を作製することができる。

[0030] 次に、上述の方法によってランディングパッド12を形成した理由を、参考例に係る製造方法と比較しながら説明する。

[0031] 図5A～C、図6A～C、図7A～C及び図8A～Dは、参考例に係る半導体装置の製造方法を説明する断面図である。

[0032] 本参考例では、図5Aに示すように、素子形成領域20とパッド形成領域30とが形成された基板1の上面上に酸化ケイ素等の絶縁体からなる第1の層間膜2を形成する。次いで、第1の層間膜2の上部に公知のリソグラフィ及びエッチングによって配線溝を形成する。この際に、パッド形成領域30においても素子形成領域20内の配線溝と同じ深さの凹部を形成する。

[0033] 続いて、めっき法により基板上に銅を堆積し、その後CMP法により余剰の銅を除去することにより、素子形成領域20に第1の金属配線3を形成するとともに、パッド形成領域30に金属膜17を形成する。

[0034] 次に、図5Bに示すように、第1の層間膜2上及び第1の金属配線3上に第1のライナー膜4を挟んで酸化ケイ素からなる厚さ300nmの第2の層間膜5を形成する。次いで、図5Cに示すように、素子形成領域20においては第2の層間膜5を貫通するビアホール6を形成するとともに、パッド形成領域30においては金属膜17の上方にパッド用孔6Aを形成する。

[0035] 次に、図6Aに示すように、基板上に厚さ約300nmのレジスト7を形成する。レジスト7はビアホール6内及びパッド用孔6A内に埋め込まれる。次に、図6Bに示すように、レジスト7をエッチバックすることにより、レジスト7のうち第2の層間膜5上及びパッド用孔6A内に形成された部分を除去する。

[0036] 次に、図6Cに示すように、リソグラフィにより配線形成用のレジスト8を形成する。次いで、図7Aに示すように、素子形成領域20に配線溝9を

形成する。この際に、パッド形成領域 30 では、パッド用孔 6 A 内に露出する第 1 のライナー膜 4 が除去されるとともに、金属膜 17 の上部も除去されてパッド用凹部 9 D が形成される。金属膜 17 を構成する銅のエッチングレートは第 2 の層間膜 5 のエッチングレートよりも遅いため、パッド用凹部 9 D の深さは、本実施形態の半導体装置におけるパッド用凹部 9 A（図 3 A 参照）に比べて浅くなる。なお、本工程では、金属膜 17 がエッチングにより大きなダメージを受ける。

[0037] 次に、図 7 B に示すように、洗浄によりレジスト 7 を除去する際に、エッチングによるダメージを受けた金属膜 17 の一部から銅が流出し、欠陥 40 が形成される。

[0038] 次に、図 7 C に示すように、素子形成領域 20 においてビアホール 6 内に露出する第 1 のライナー膜 4 を除去する。本工程においても、金属膜 17 はダメージを受ける。続いて、図 8 A に示すように、エッチングによる反応生成物を洗浄により除去する。この際に、金属膜 17 がエッチングによって受けたダメージにより、金属膜 17 に欠陥 42 が生じる。

[0039] 次に、図 8 B に示すように、めっき法により、素子形成領域 20 におけるビアホール 6 内及び配線溝 9 内、パッド形成領域 30 におけるパッド用孔 6 A 内、パッド用凹部 9 D 内に銅を埋め込んだ後、CMP 法により余剰の銅を除去する。これにより、ビアホール 6 内に第 1 のビア 10 を形成し、配線溝 9 内に第 2 の金属配線 11 を形成する。本工程では、パッド用孔 6 A 内及びパッド用凹部 9 D 内に銅が埋め込まれることにより、これらの銅及び金属膜 17 を含むランディングパッド 12 B が形成される。従って、参考例に係る方法で作製されたランディングパッド 12 B の下面位置は、第 1 の金属配線 3 の下面位置と等しくなっている。

[0040] 参考例に係る方法では、製造工程中に金属膜 17 に生じた欠陥 40、42 が埋め込まれずに空洞として残る。

[0041] 次いで、第 2 の層間膜 5 上、第 2 の金属配線 11 上及びランディングパッド 12 B 上に厚さ 60 nm の炭化ケイ素からなる第 2 のライナー膜 13 を形

成する。

[0042] この後、図8Cに示すように、第2のライナー膜13上に、公知のCVD法等により窒化ケイ素からなる厚さ1000nmのパッシベーション膜14を形成する。次に、図8Dに示すように、基板1を裏面側から削って基板1の厚さを約300～400 μ mにする。次いで、基板1の裏面上に、絶縁膜15を形成する。続いて、リソグラフィとエッチング法とにより、絶縁膜15と基板1とを裏面側からエッチングする。この際には、ランディングパッド12Bの一部までエッチングを行い、ビアホール16を形成する。次いで、公知のめっき法等によりビアホール16内に銅を埋め込んだ後、CMPにより余剰の銅を除去することにより、基板1を貫通し、ランディングパッド12Bに接続するTSV（第2のビア）25を形成する。

[0043] 参考例に係る半導体装置では、ランディングパッド12B内に欠陥40、42が生じるので、ランディングパッド12BとTSV25との間で接続不良を起こす場合がある。

[0044] 一方、本実施形態の半導体装置では、ランディングパッド12内にエッチングによるダメージが入らないので、ランディングパッド12とTSV25との間に接続不良は起こらない。また、本実施形態の半導体装置では、ランディングパッド12の下面位置を第1の金属配線3よりも低い位置にすることができ、参考例に係る半導体装置よりもランディングパッド12を厚くすることができ、ビアホール16を形成する際にランディングパッド12の突き抜けが生じにくくなっている。

[0045] また、本実施形態の方法では、ランディングパッド12を形成するための凹部の形成は配線溝9やビアホール6を形成する工程と同時に行うことができ、ランディングパッド12用の銅膜の形成は第2の金属配線11及び第1のビア10の形成と同時に行うことができるので、工程を増やすことなくランディングパッド12を形成することができる。

[0046] ー半導体装置の構成ー

以上の方法によって作製される本実施形態実施形態の半導体装置は、図4

Dに示すように、素子形成領域（第1の領域）20と、パッド形成領域（第2の領域）30とが形成された基板1と、基板1の上面上に形成された第1の層間膜2と、素子形成領域20において、第1の層間膜2の上部に埋め込まれた第1の金属配線3と、第1の層間膜2上及び第1の金属配線3上に形成された第2の層間膜5と、素子形成領域20において、第2の層間膜5の上部に埋め込まれた第2の金属配線11と、第2の層間膜5を貫通し、第1の金属配線3と第2の金属配線11とを電氣的に接続する第1のビア10と、パッド形成領域30において、第1の層間膜2の上部に埋め込まれるとともに、第2の層間膜5を貫通するランディングパッド12と、パッド形成領域30において、基板1の裏面側から基板1及び第1の層間膜2を貫通し、ランディングパッド12に接続するTSV（第2のビア）25とを備えている。本実施形態の半導体装置はまた、第2の層間膜5上、第2の金属配線11上及びランディングパッド12上に形成された第2のライナー膜13と、第2のライナー膜13上に形成されたパッシベーション膜14とを備えている。

[0047] ランディングパッド12の下面位置は、第1の金属配線3の下面位置と異なり、第1の金属配線3の下面位置よりも低い位置にある。

[0048] 基板1は、シリコン等の半導体で構成されていてもよいが、これに限定されない。第1の層間膜2及び第2の層間膜5は、例えば酸化ケイ素等の絶縁膜で構成されている。第1の層間膜2及び第2の層間膜5は酸化ケイ素以外の絶縁体で構成されていてもよく、公知のLow-k膜であってもよい。

[0049] ランディングパッド12、第1の金属配線3及び第2の金属配線11は、銅又は銅を主成分とする合金等で構成されていてもよいし、銅以外の導電性物質で構成されていてもよい。ランディングパッド12は、第2の金属配線11及び第1のビア10と同じ材料で構成されていてもよい。

[0050] 第1の金属配線3、第2の金属配線11及び第1のビア、ランディングパッド12及びTSV25は、それぞれ銅等のみで構成されていてもよいが、配線溝又は凹部の内面に沿って薄く形成されたバリアメタル層と、銅等からなる金属層との二層で構成されていてもよく、これ以外の構成を有していてもよ

い。

[0051] 本実施形態の半導体装置では、ランディングパッド12の厚みは、第1の金属配線3の高さと、第1のビア10の高さと、第2の金属配線11の高さの合計値よりも厚くなっている。

[0052] また、本実施形態の半導体装置では、二層の金属配線層が設けられた例を示しているが、さらに多層の金属配線が設けられていてもよい。この場合、ランディングパッド12は、上下で隣り合う2層の金属配線を形成する工程を利用して設けられていればよく、少なくとも1層の金属配線とこれに接続されたビアの合計高さよりも厚く形成されていればよい。

[0053] 第1の層間膜2の厚さは例えば400nm程度であってもよい。また、ランディングパッド12の直径は約70 μ m程度であってもよく、厚さは約360nm～390nm程度であってもよい。

[0054] (第2の実施形態)

本発明の第2の実施形態に係る半導体装置の製造方法を説明する。

[0055] 図9A～C、図10A～Cは、第2の実施形態に係る半導体装置の製造方法を説明する断面図である。本実施形態の方法は、図2Bに示す工程まで第1の実施形態の方法と同じである。従って、図2Bに示す工程の後の工程について、以下に説明する。

[0056] 図9Aに示すように、素子形成領域20では配線形成領域が開口し、パッド形成領域30ではパッド用孔6Aを覆うレジスト8を形成する。

[0057] 次に、図9Bに示すように、レジスト8を用いて第2の層間膜5をエッチングすることにより、素子形成領域20に配線溝9を形成する。この際に、パッド形成領域30では第1のライナー膜4はエッチングされない。

[0058] 次に、図9Cに示すように、洗浄によりレジスト7、8を除去する。

[0059] 次に、図10Aに示すように、エッチングにより第1のライナー膜4のうちビアホール6内に露出する部分を除去する。また、第1のライナー膜4の除去と同時にパッド形成領域30において第1のライナー膜4の一部及び第1の層間膜2の一部が除去され、パッド用凹部9Cが形成される。

- [0060] 続いて、図10Bに示すように、基板を洗浄後、めっき法により、素子形成領域20内のビアホール6内及び配線溝9内、パッド形成領域30内のパッド用孔6A内及びパッド用凹部9C内に銅を埋め込んだ後、CMP法により余剰の銅を除去する。これにより、ビアホール6内に第1のビア10を形成し、配線溝9内に第2の金属配線11を形成する。また、パッド用凹部9C内及びパッド用孔6A内にランディングパッド12を形成する。この際に、ランディングパッド12の下面位置は、第1の金属配線3の下面位置よりも浅くなっている。ランディングパッド12の厚さは、約240nmである。
- [0061] その後、第2の層間膜5上、第2の金属配線11上及びランディングパッド12上に厚さ60nmの炭化ケイ素からなる第2のライナー膜13を形成する。
- [0062] 次に、図10Cに示すように、第2のライナー膜13上に、公知のCVD法等により窒化ケイ素からなる厚さ1000nmのパッシベーション膜14を形成する。次いで、基板1を裏面側から削って基板1の厚さを約300～400 μ mにする。続いて、基板1の裏面上に、絶縁膜15を形成する。その後、リソグラフィとエッチング法とにより絶縁膜15と基板1とを裏面側からエッチングする。この際には、ランディングパッド12の一部までエッチングを行い、ビアホール16を形成する。次いで、公知のめっき法等によりビアホール16内に銅を埋め込んだ後、CMPにより余剰の銅を除去することにより、基板1を貫通し、ランディングパッド12に接続するTSV（第2のビア）25を形成する。
- [0063] 以上の方法によっても、ランディングパッド12は一度に形成した金属膜で形成されるので、当該金属膜がエッチングによるダメージを受けることがない。このため、ランディングパッド12内に欠陥が生じることがないので、TSV25とランディングパッド12との間に接続不良が生じにくくなっている。
- [0064] また、本実施形態の方法によれば、ランディングパッド12の厚みを第1のビア10の高さと第2の金属配線11の高さとの合計値よりも厚くするこ

とができるので、TSV 2 5 の形成時にランディングパッド 1 2 の突き抜けが生じにくくなっている。

[0065] (その他の実施形態)

図 1 1 A ~ C、図 1 2 A ~ C、図 1 3 A ~ C、図 1 4 A、B は、本発明の他の実施形態に係る半導体装置の製造方法を説明する断面図である。

[0066] ここでは、パッド形成領域 3 0 内に素子形成領域 2 0 内と同じサイズのビアホール 6 B を形成する場合の半導体装置について説明する。

[0067] 図 1 1 A に示すように、パッド形成領域 3 0 内には、第 1 の金属配線 3 と同じ深さ位置に金属膜 1 7 が設けられている。第 1 の金属配線 3 上、金属膜 1 7 上及び第 1 の層間膜 2 上に第 1 のライナー膜 4 を形成する。次いで、第 1 のライナー膜 4 上に第 2 の層間膜 5 を形成した後、素子形成領域 2 0 にはビアホール 6 を形成し、パッド形成領域 3 0 にはビアホール 6 B を形成する。ここで、ビアホール 6 とビアホール 6 B の径は同じである。

[0068] 次に、図 1 1 B に示すように、基板上にレジスト 7 を形成する。本工程では、ビアホール 6、6 B 内にレジスト 7 が埋め込まれる。次いで、図 1 1 C に示すように、レジスト 7 をエッチバックすることにより、ビアホール 6、6 B 内にレジスト 7 を部分的に残す。

[0069] 次いで、図 1 2 A に示すように、配線溝を形成するためのレジスト 8 を第 2 の層間膜 5 上に形成する。この際に、レジスト 8 には、ビアホール 6 B が形成された領域に開口が形成される。

[0070] 次に、図 1 2 B に示すように、レジスト 8 をマスクとして第 2 の層間膜 5 をエッチングし、配線溝 9 を形成する。ビアホール 6 B 内にはレジスト 7 が残っているので、本工程において金属膜 1 7 が露出することはない。本工程により、パッド形成領域 3 0 では、パッド用孔 9 E が形成される。

[0071] 次いで、図 1 2 C に示すように、洗浄によりレジスト 7、8 を除去する。続いて、図 1 3 A に示すように、素子形成領域 2 0 内及びパッド形成領域 3 0 内で、第 1 のライナー膜 4 のうち露出している部分をエッチングにより除去する。次いで、図 1 3 B に示すように、基板を洗浄する。図 1 3 A に示す

工程では、素子形成領域 20 とパッド形成領域 30 とで同じ厚さの第 1 のライナー膜 4 を除去するので、金属膜 17 がエッチングによりダメージを受けにくくなっている。このため、図 13 B に示す工程では、金属膜 17 に欠陥が発生しにくくなっている。

[0072] 次に、図 13 C に示すように、めっき法によってビアホール 6、6 B、配線溝 9、パッド用孔 9 E 内に銅を埋め込んだ後、CMP 法によって余剰の銅を除去することにより、第 1 のビア 10 及び第 2 の金属配線 11、第 3 のビア 10 A 及び金属膜 11 A を形成する。ここで、金属膜 17、第 3 のビア 10 A 及び金属膜 11 A はランディングパッド 12 C を構成する。その後、第 2 の層間膜 5 上、第 2 の金属配線 11 上及びランディングパッド 12 上に厚さ 60 nm の炭化ケイ素からなる第 2 のライナー膜 13 を形成する。

[0073] 次に、図 14 A に示すように、第 2 のライナー膜 13 上に、公知の CVD 法等により窒化ケイ素からなる厚さ 1000 nm のパッシベーション膜 14 を形成する。次いで、図 14 B に示すように、基板 1 を裏面側から削って基板 1 の厚さを約 300 ~ 400 μ m にする。続いて、基板 1 の裏面上に絶縁膜 15 を形成する。その後、リソグラフィとエッチング法とにより絶縁膜 15 と基板 1 とを裏面側からエッチングする。この際には、第 1 のライナー膜 4 及び第 2 の層間膜 5 の一部を除去するとともに、ランディングパッド 12 C の一部までエッチングを行い、ビアホール 16 を形成する。次いで、公知のめっき法等によりビアホール 16 内に銅を埋め込んだ後、CMP により余剰の銅を除去することにより、基板 1 を貫通し、ランディングパッド 12 C に接続する TSV（第 2 のビア）25 を形成する。

[0074] 本実施形態の方法によっても、ランディングパッド 12 C の内部に欠陥が生じないので、ランディングパッド 12 C と TSV 25 との間の接続不良を抑えることができる。

[0075] ただし、本実施形態の方法によれば、パッド形成領域 30 において、ビアホール 6 B 間には第 1 のライナー膜 4 及び第 2 の層間膜 5 が存在しているので、ビアホール 16 を形成する際に、ランディングパッド 12 C 上で確実に

エッチングを停止しにくくなっている。

[0076] このため、パッド形成領域 30 に小さい径のビアを形成するのは好ましくない。従って、パッド形成領域 30 内では、素子形成領域 20 内の第 1 のビア 10 よりも径の大きいビアを形成することが好ましい。

[0077] なお、以上で説明した半導体装置及びその製造方法は、実施形態の一例であって、半導体装置の構成、各層の膜厚やサイズ、材質等は適宜変更可能である。例えば、パッド形成領域 30 におけるレジスト 8 の開口のサイズはパッド用孔 6 A よりも大きくてもよいが、パッド用孔 6 A と同じ又はパッド用孔 6 A 以下のサイズであってもよい。

産業上の利用可能性

[0078] 本発明に係る半導体装置及びその製造方法は、TSV構造を設けた様々な半導体装置に適用できる。

符号の説明

- [0079] 1 基板
2 第 1 の層間膜
3 第 1 の金属配線
4 第 1 のライナー膜
5 第 2 の層間膜
6、6 B ビアホール
6 A パッド用孔
7、8 レジスト
9 配線溝
9 A、9 B、9 C、9 D パッド用凹部
9 E パッド用孔
10 第 1 のビア
10 A 第 3 のビア
11 第 2 の金属配線
11 A 金属膜

- 1 2、1 2 B、1 2 C ランディングパッド
- 1 3 第2のライナー膜
- 1 4 パッシベーション膜
- 1 5 絶縁膜
- 1 6 ビアホール
- 1 7 金属膜
- 2 0 素子形成領域
- 2 5 TSV
- 3 0 パッド形成領域
- 4 0、4 2 欠陥

請求の範囲

[請求項1]

第1の領域と、第2の領域とが形成された基板と、
前記基板の上面上に形成された第1の層間膜と、
前記第1の領域において、前記第1の層間膜の上部に埋め込まれた第1の金属配線と、
前記第1の層間膜上及び前記第1の金属配線上に形成された第2の層間膜と、
前記第1の領域において、前記第2の層間膜の上部に埋め込まれた第2の金属配線と、
前記第2の層間膜を貫通し、前記第1の金属配線と前記第2の金属配線とを電氣的に接続する第1のビアと、
前記第2の領域において、前記第1の層間膜の上部に埋め込まれるとともに、前記第2の層間膜を貫通するランディングパッドと、
前記第2の領域において、前記基板の裏面側から前記基板及び前記第1の層間膜を貫通し、前記ランディングパッドに接続する第2のビアとを備え、
前記ランディングパッドの下面位置は、前記第1の金属配線の下面位置と異なっている半導体装置。

[請求項2]

請求項1において、
前記第1のビアと前記第2の金属配線とは同一の材料で構成されており、
前記ランディングパッドは、前記第1の層間膜の上部から前記第2の層間膜内に亘って設けられ、且つ前記第1のビア及び前記第2の金属配線と同一の材料で構成されている金属膜を有していることを特徴とする半導体装置。

[請求項3]

請求項1又は2において、
前記ランディングパッドの下面位置は、前記第1の金属配線の下面位置よりも低く、前記ランディングパッドの厚みは、前記第1の金属

配線の高さと、前記第1のビアの高さと、前記第2の金属配線の高さとの和よりも厚いことを特徴とする半導体装置。

[請求項4]

第1の領域と第2の領域とが形成された基板の上面上に第1の層間膜と、前記第1の層間膜の上部に埋め込まれた第1の金属配線とを形成する工程と、

前記第1の層間膜上及び前記第1の金属配線上に、第2の層間膜を形成する工程と、

前記第1の領域において、前記第2の層間膜内の配線溝と、前記第1の金属配線の上方で前記第2の層間膜を貫通する第1のビアホールとをそれぞれ形成する工程と、

前記配線溝及び前記第1のビアホールを形成する際に、前記第2の領域において、前記第1の層間膜の上部にパッド用凹部を形成するとともに、前記第2の層間膜を貫通するパッド用孔を形成する工程と、

前記第1のビアホール、前記配線溝、前記パッド用凹部及び前記パッド用孔内に金属を埋め込むことによって前記第1のビアホール内に第1のビアを形成するとともに、前記配線溝内に第2の金属配線を形成し、且つ前記パッド用凹部及び前記パッド用孔内にランディングパッドを形成する工程と、

前記第2の領域において、前記基板の裏面側から前記基板及び前記第1の層間膜を貫通し、前記ランディングパッドに接続する第2のビアを形成する工程とを備えている半導体装置の製造方法。

[請求項5]

請求項4において、

前記第1のビアホールを形成するのと同時に、前記パッド用孔を形成し、

前記配線溝を形成するのと同時に、前記パッド用凹部の少なくとも一部を形成することを特徴とする半導体装置の製造方法。

[請求項6]

請求項4において、

前記第1の金属配線を形成する工程の後、前記第2の層間膜を形成

する工程の前に、前記第1の金属配線上及び前記第1の層間膜上に絶縁体からなるライナー膜を形成する工程をさらに備えており、

前記第1のビアホールを形成するのと同時に、前記パッド用孔を形成し、

前記ライナー膜のうち前記第1のビアホールによって露出された部分を除去するのと同時に、前記第2の領域において前記パッド用凹部を形成することを特徴とする半導体装置の製造方法。

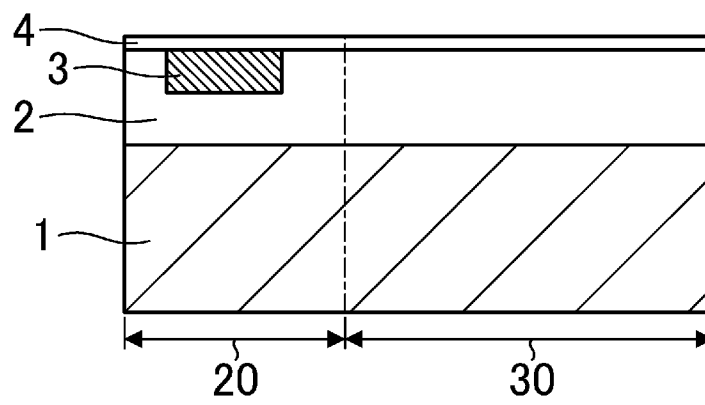
[請求項7] 請求項4～6のうちいずれか1つにおいて、

前記第1の金属配線の下面高さと前記ランディングパッドの下面高さとは互いに異なっていることを特徴とする半導体装置の製造方法。

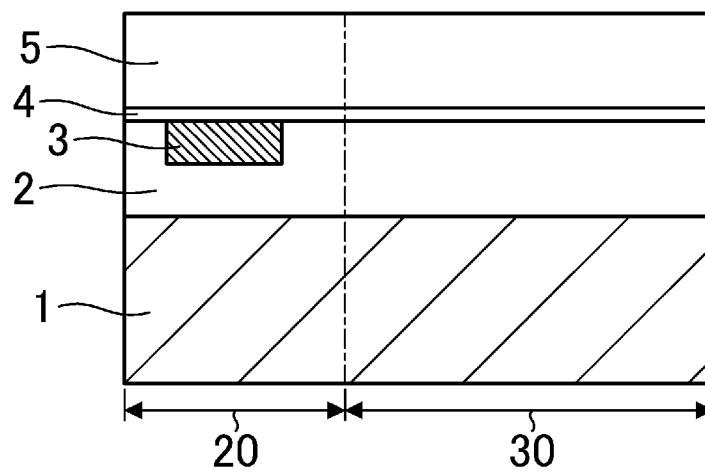
[請求項8] 請求項4～7のうちいずれか1つにおいて、

前記第1のビアホールを形成する工程では、前記第2の領域内の前記第2の層間膜に、前記第1のビアよりも大きい直径を有する第3のビアを形成することを特徴とする半導体装置の製造方法。

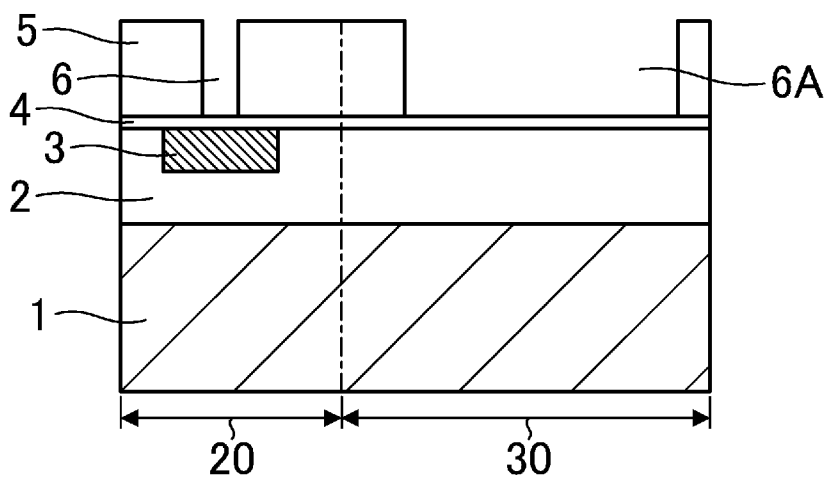
[図1A]



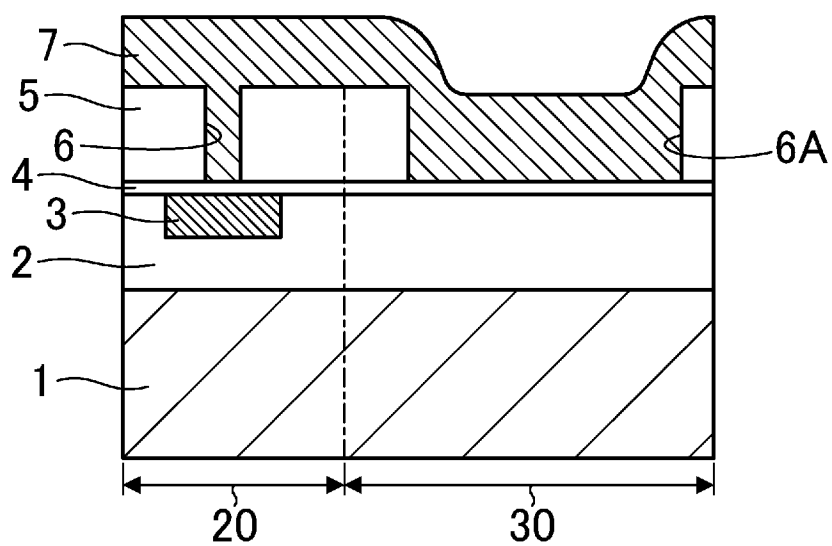
[図1B]



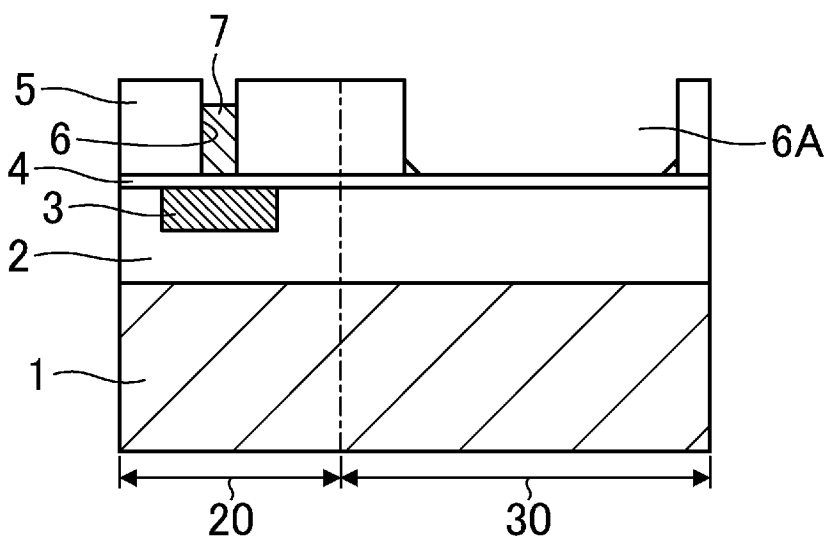
[図1C]



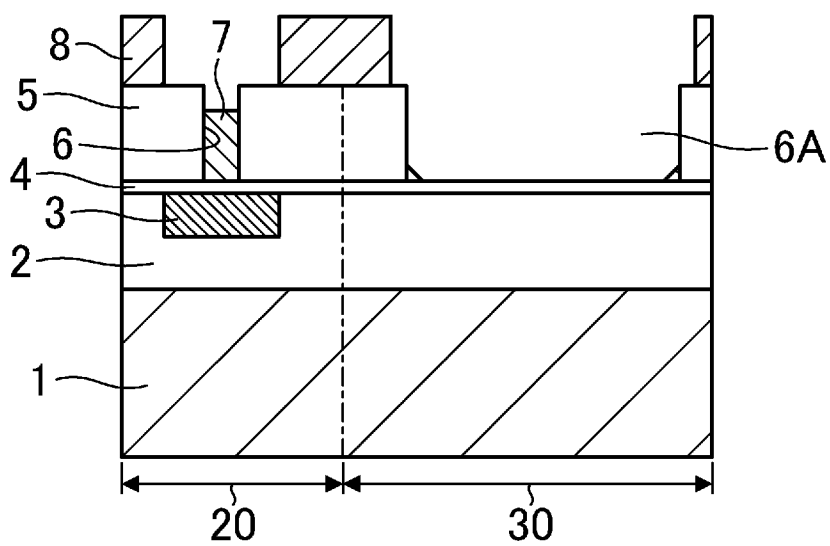
[図2A]



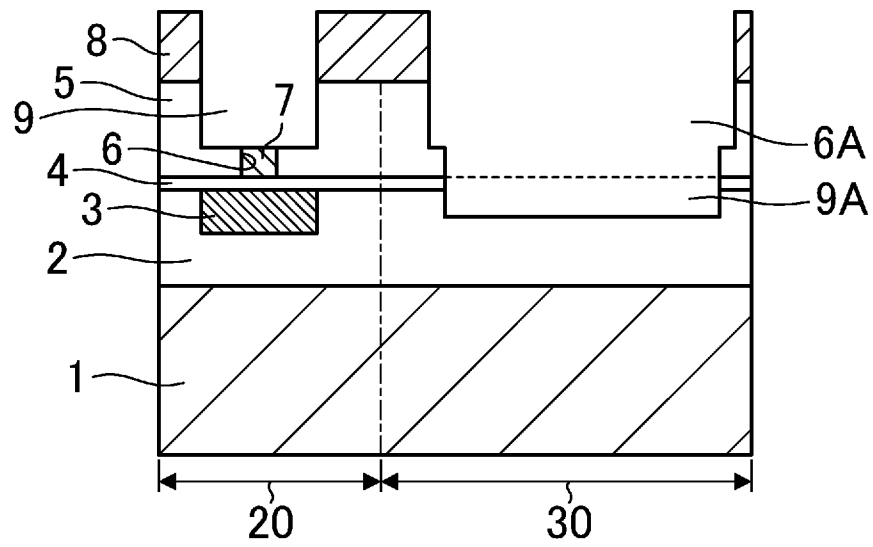
[図2B]



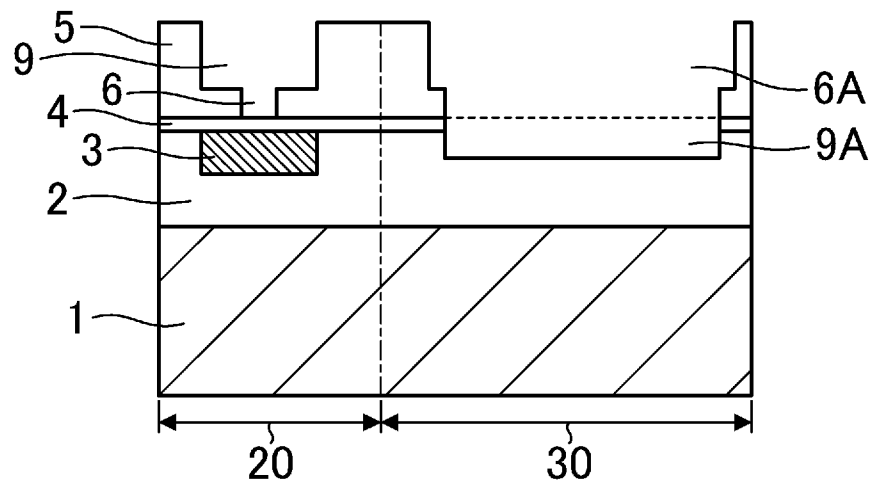
[図2C]



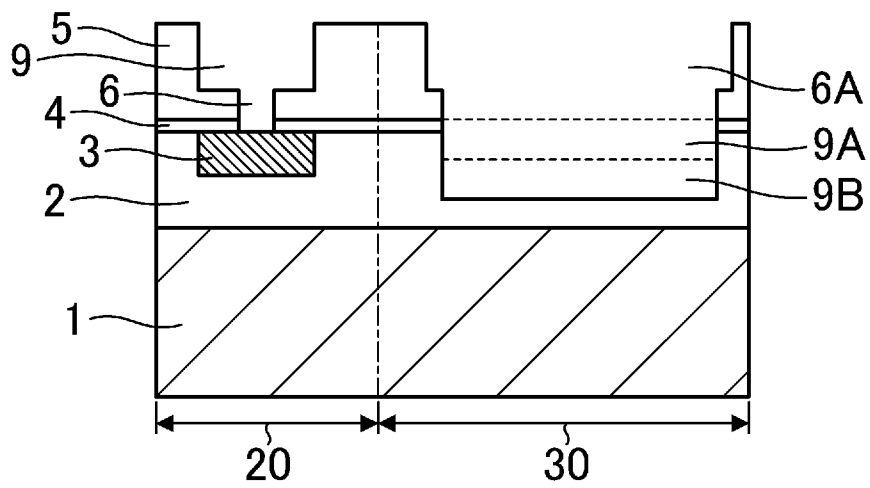
[図3A]



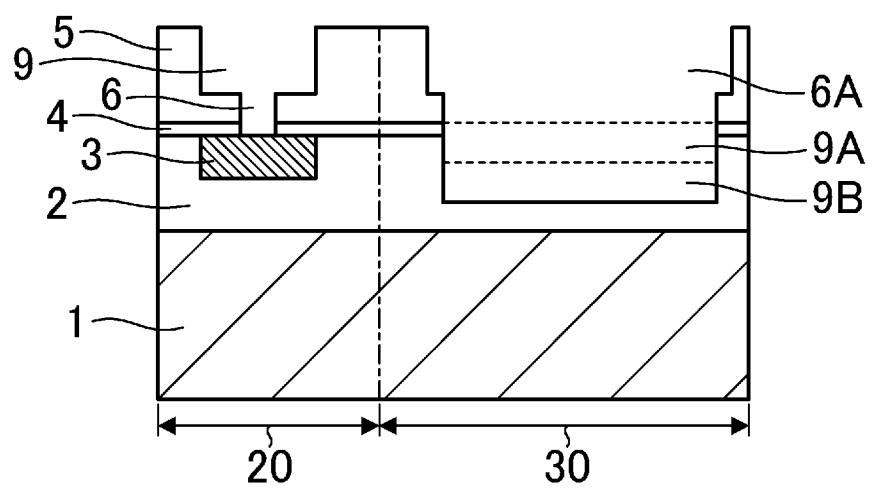
[図3B]



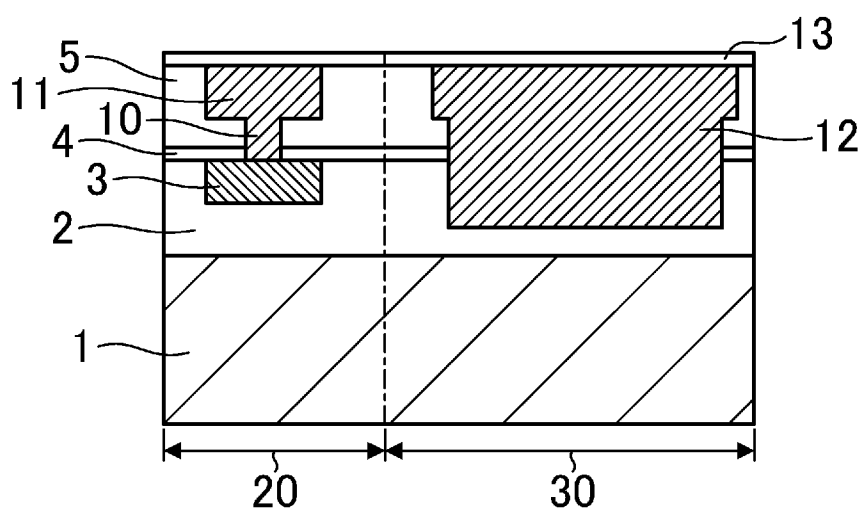
[図3C]



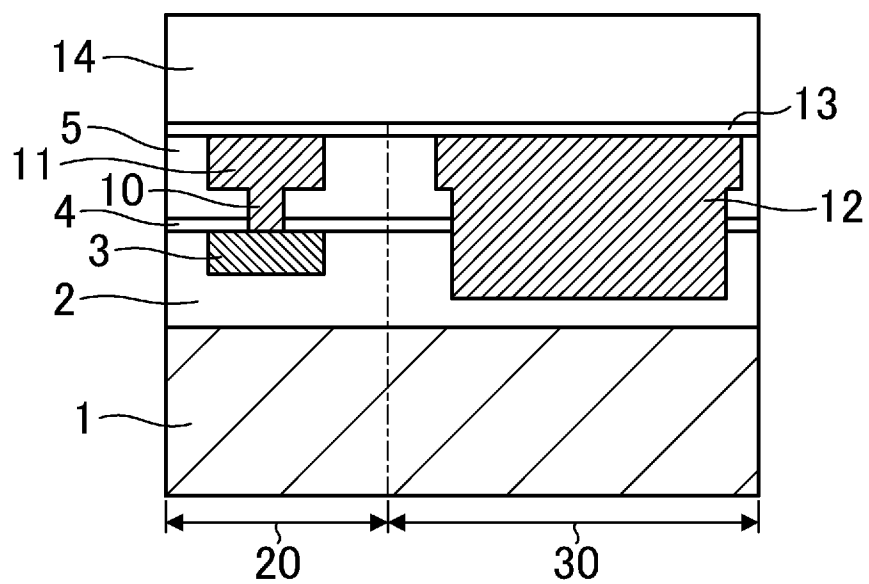
[図4A]



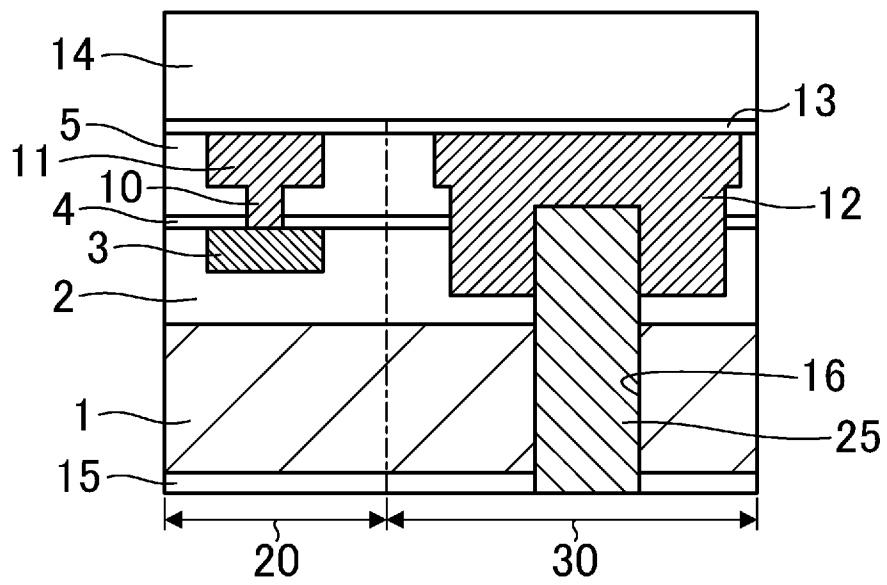
[図4B]



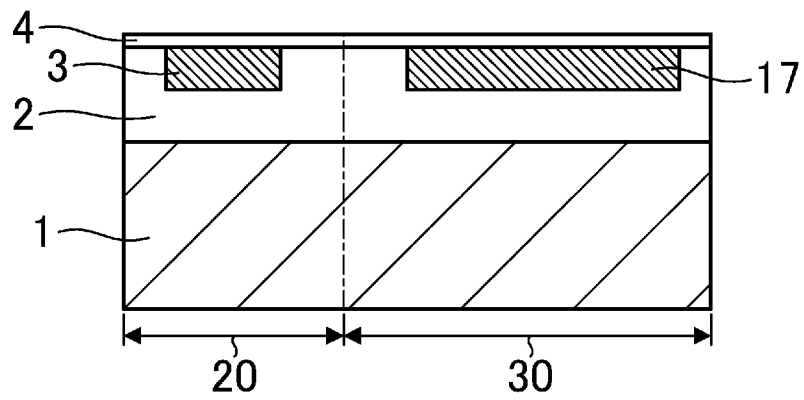
[図4C]



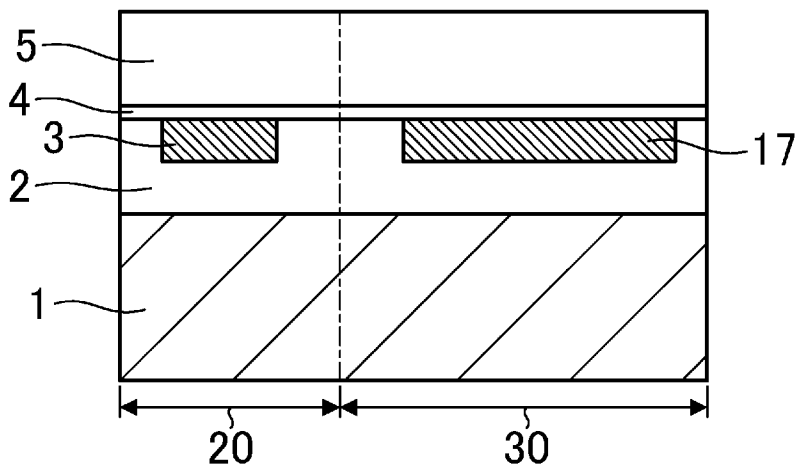
[図4D]



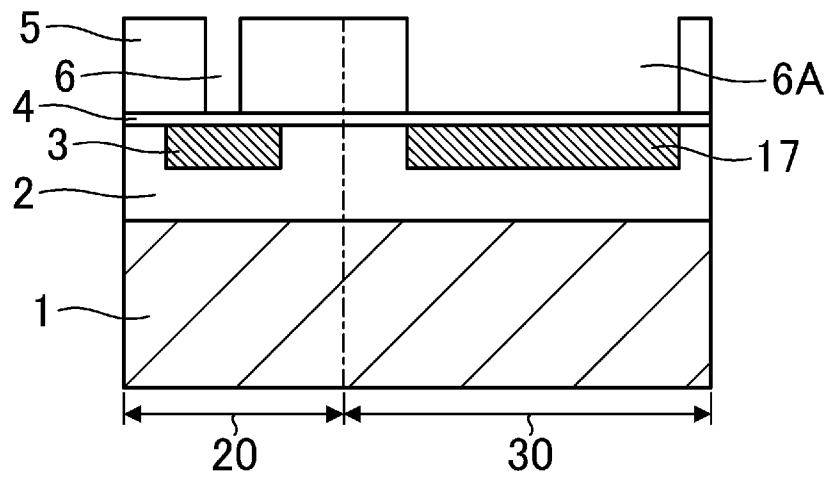
[図5A]



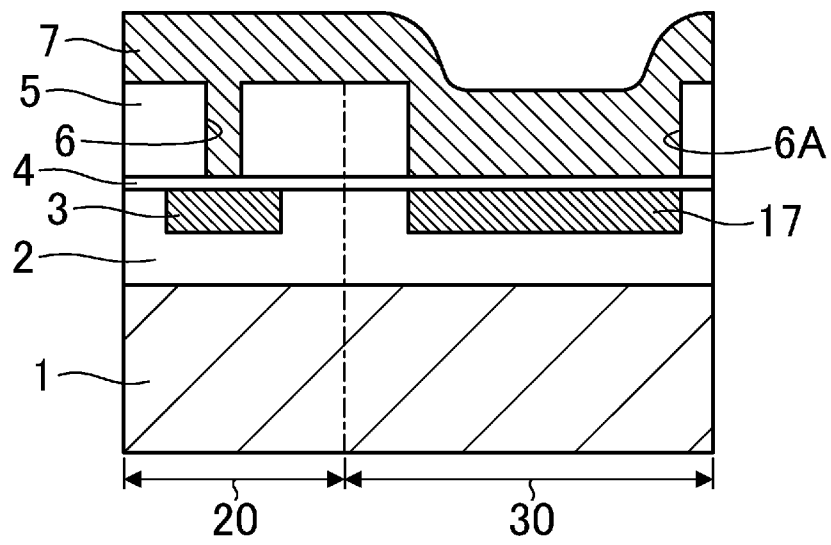
[図5B]



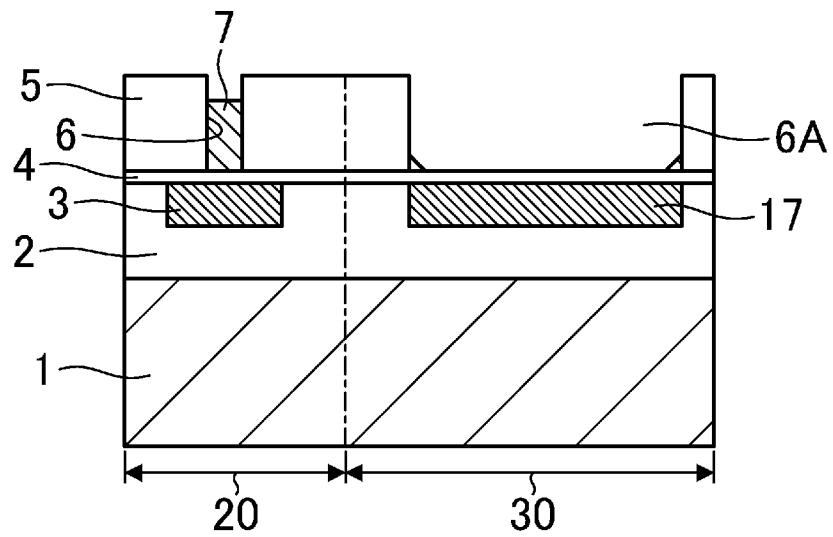
[図5C]



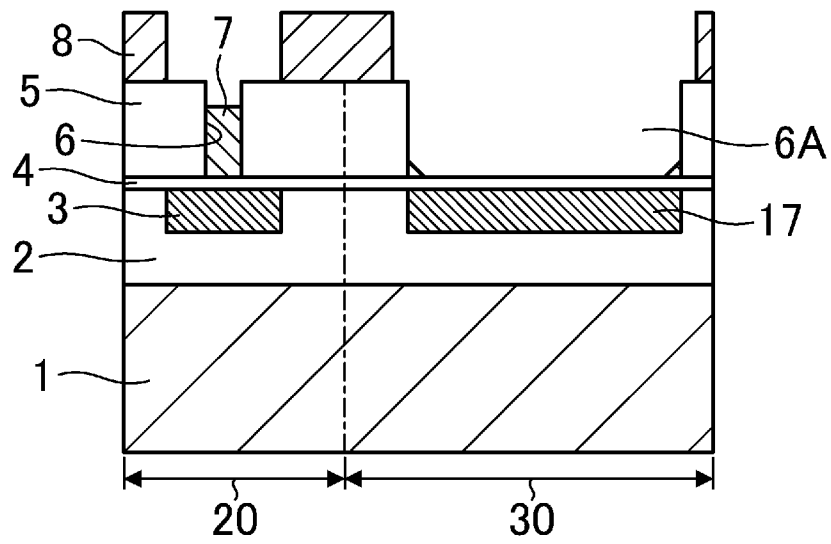
[図6A]



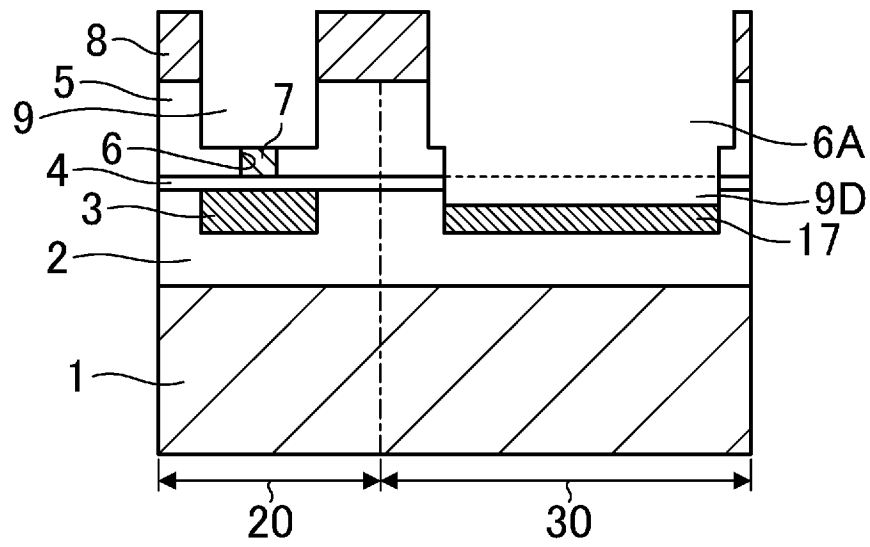
[図6B]



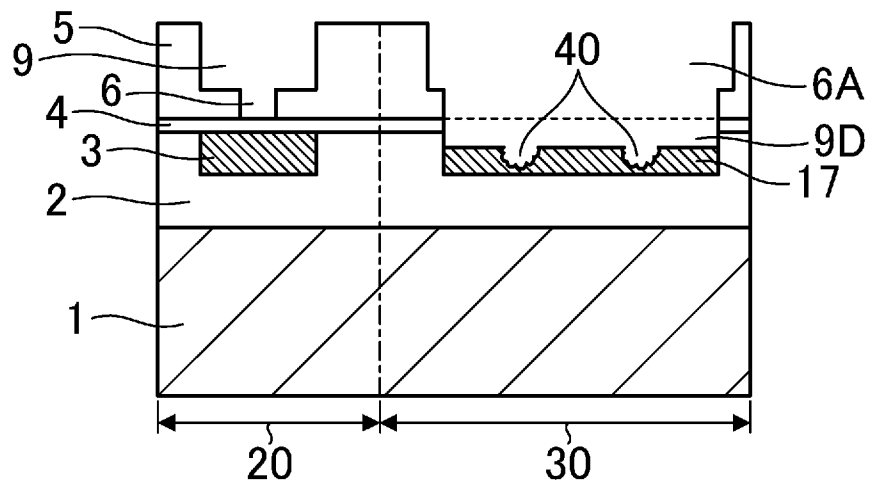
[図6C]



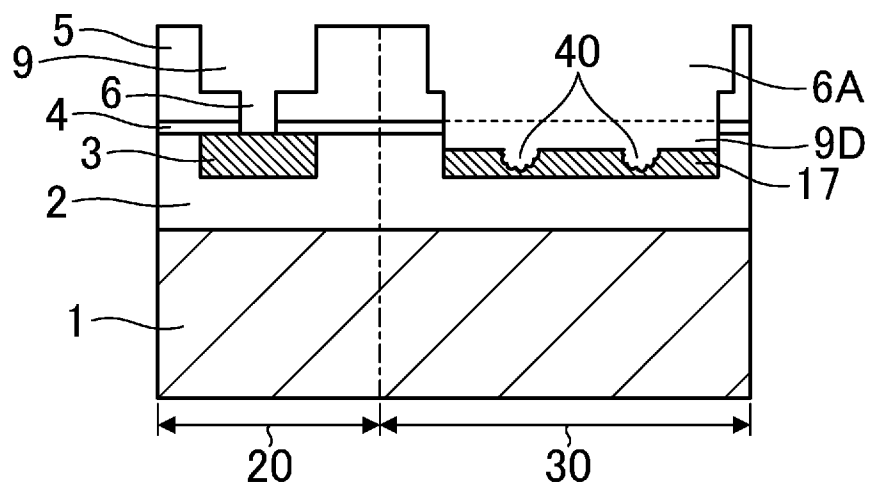
[図7A]



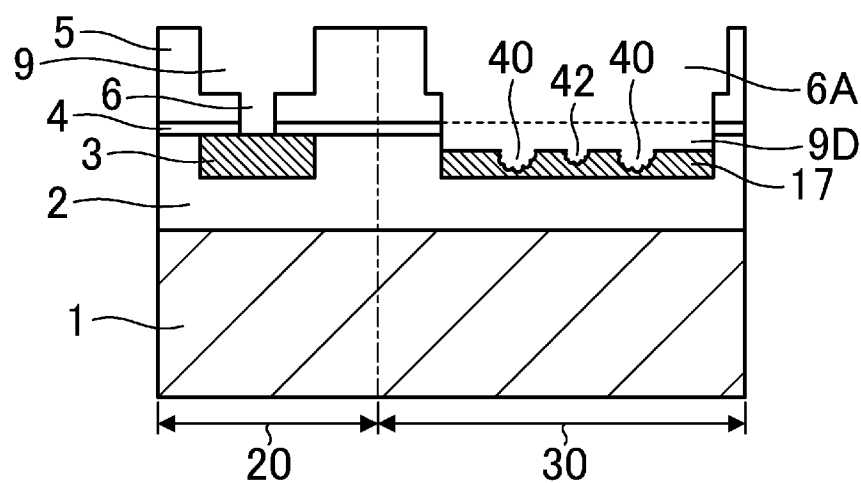
[図7B]



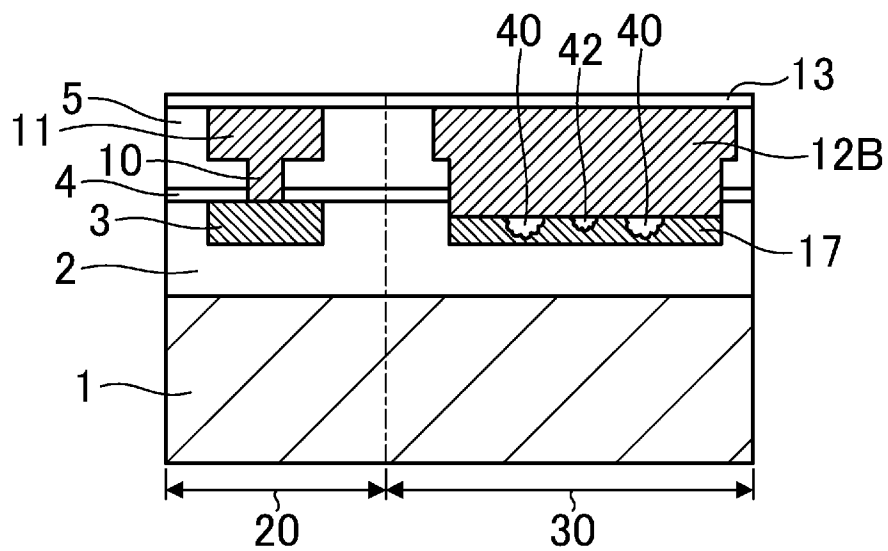
[図7C]



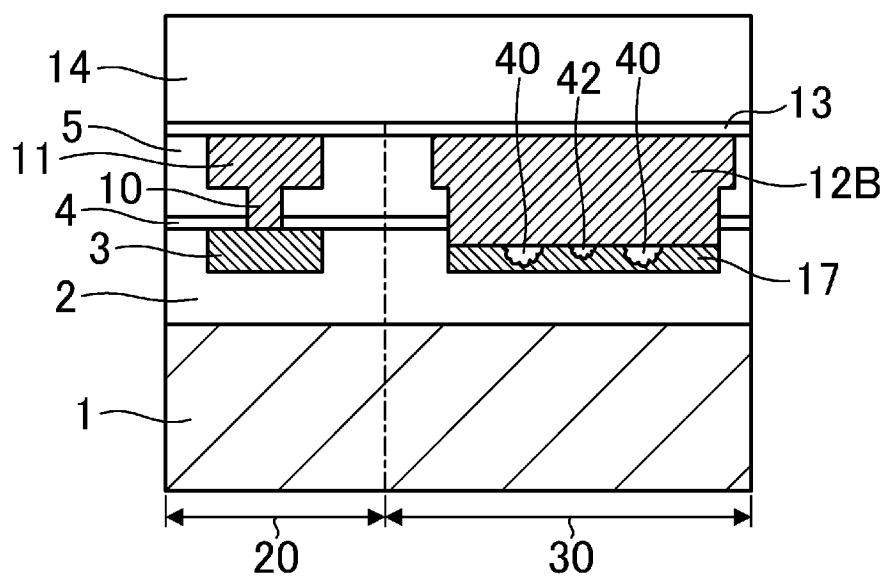
[図8A]



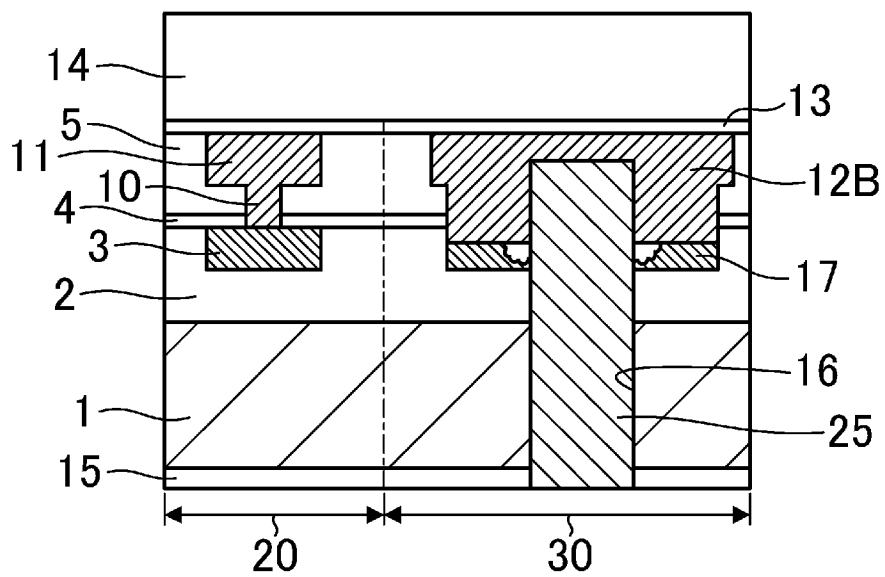
[図8B]



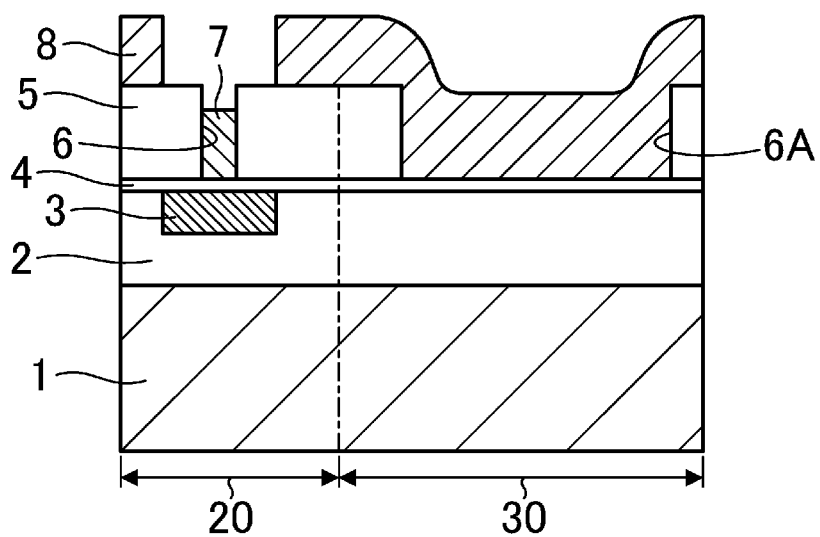
[図8C]



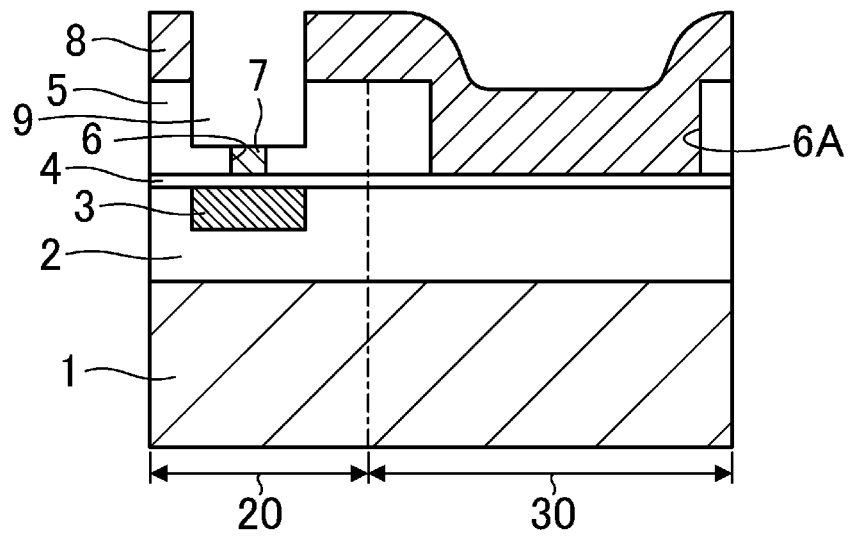
[図8D]



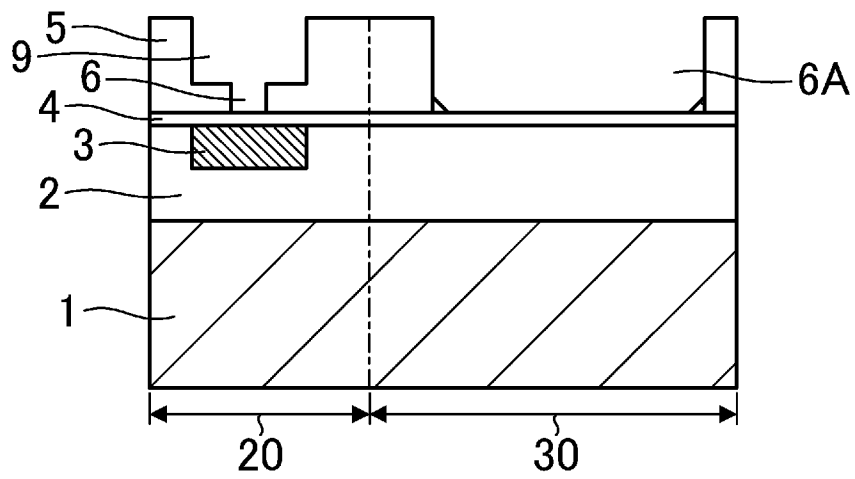
[図9A]



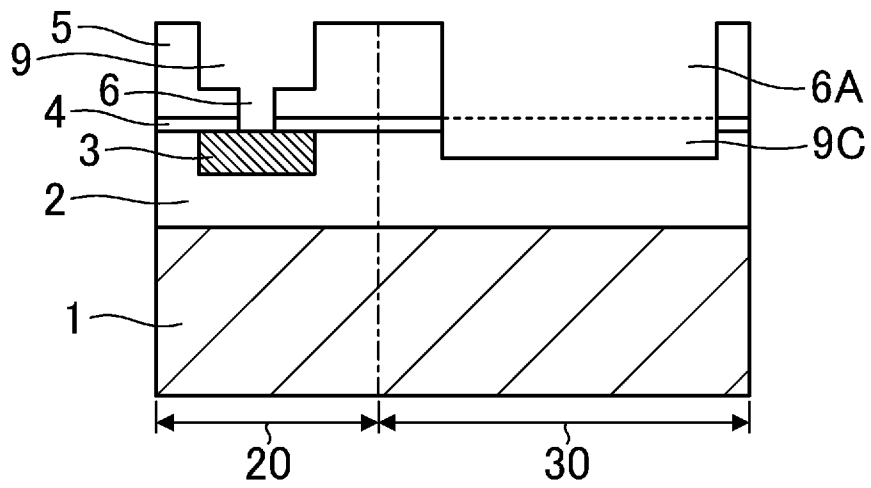
[図9B]



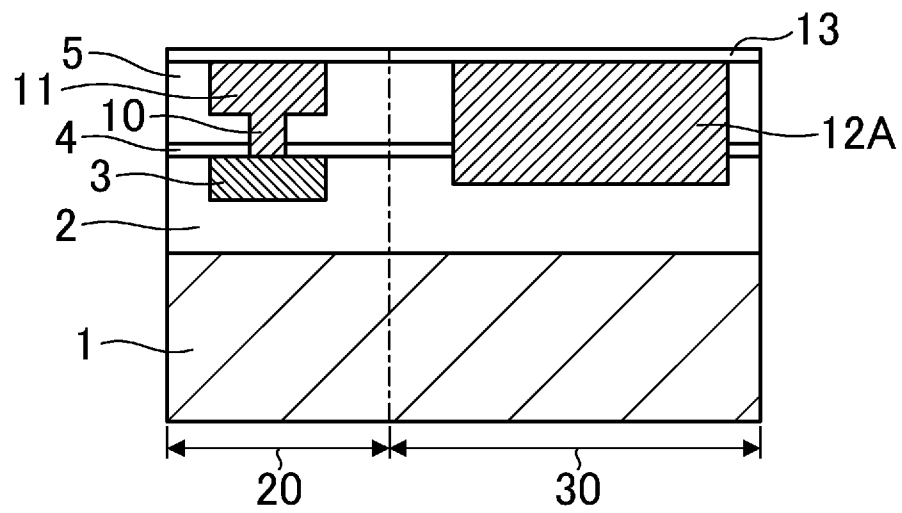
[図9C]



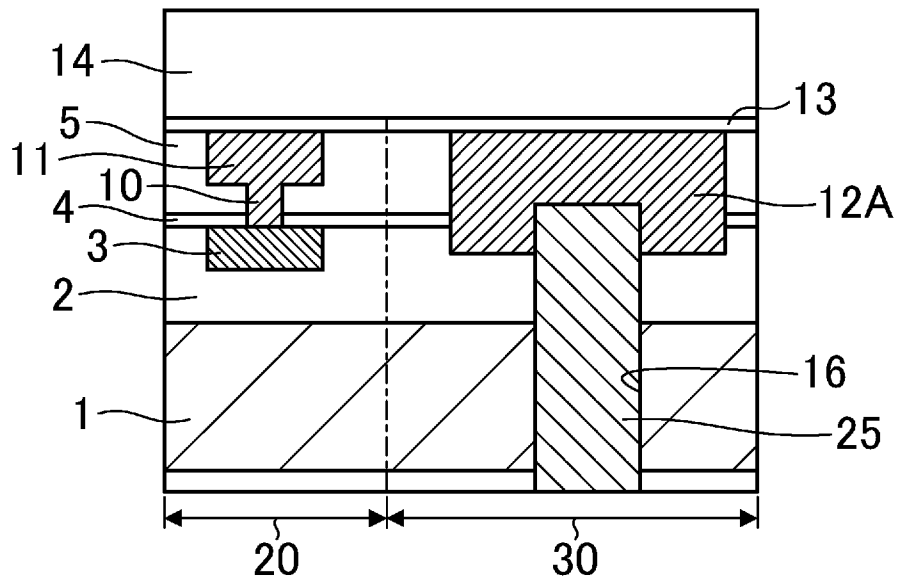
[図10A]



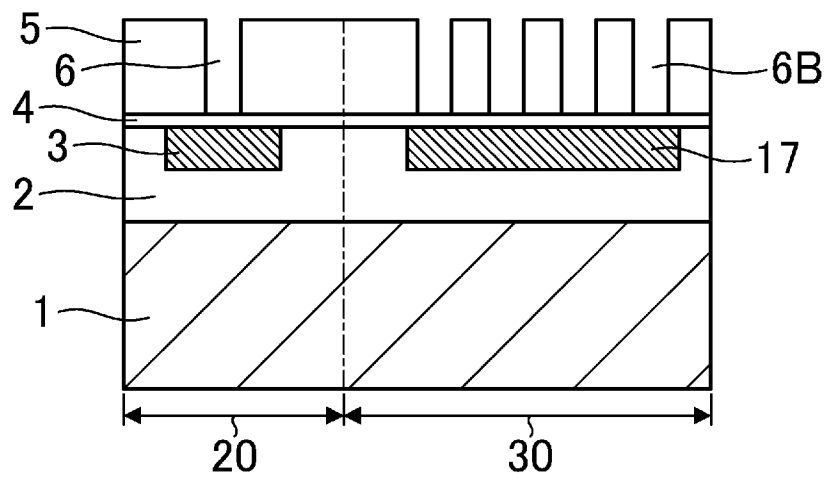
[図10B]



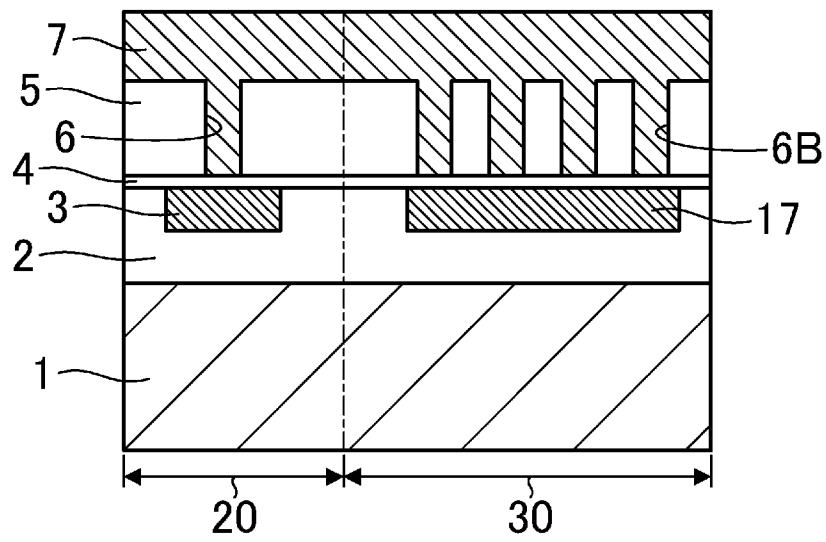
[図10C]



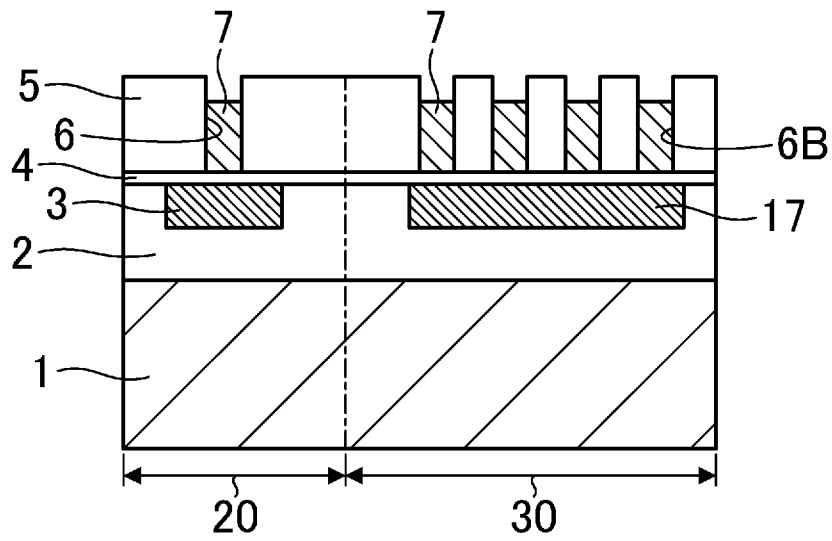
[図11A]



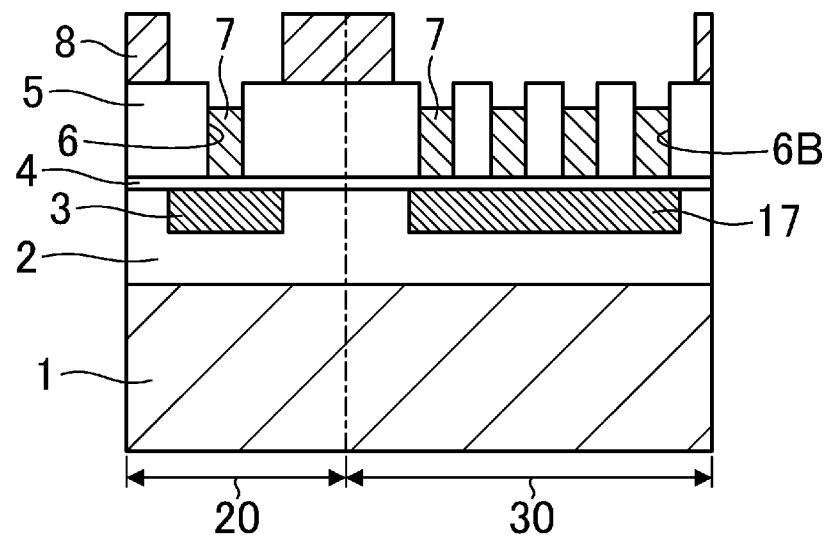
[図11B]



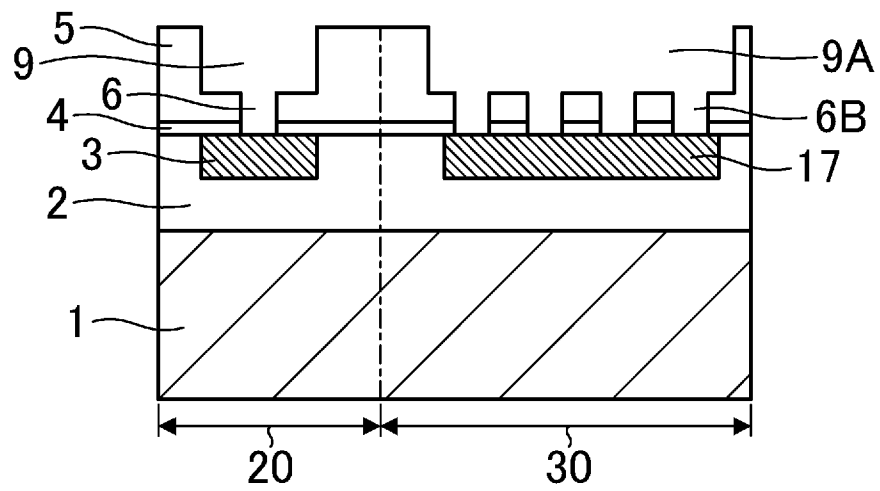
[図11C]



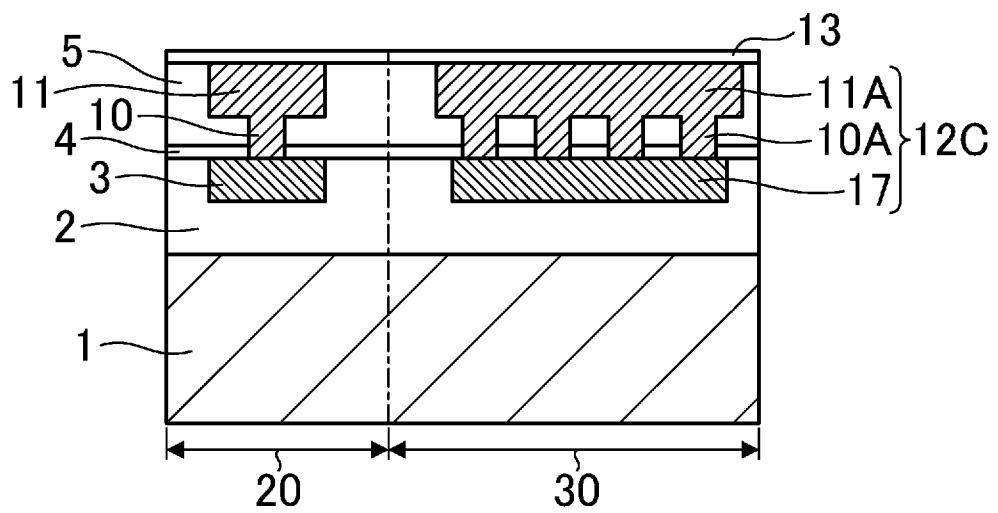
[図12A]



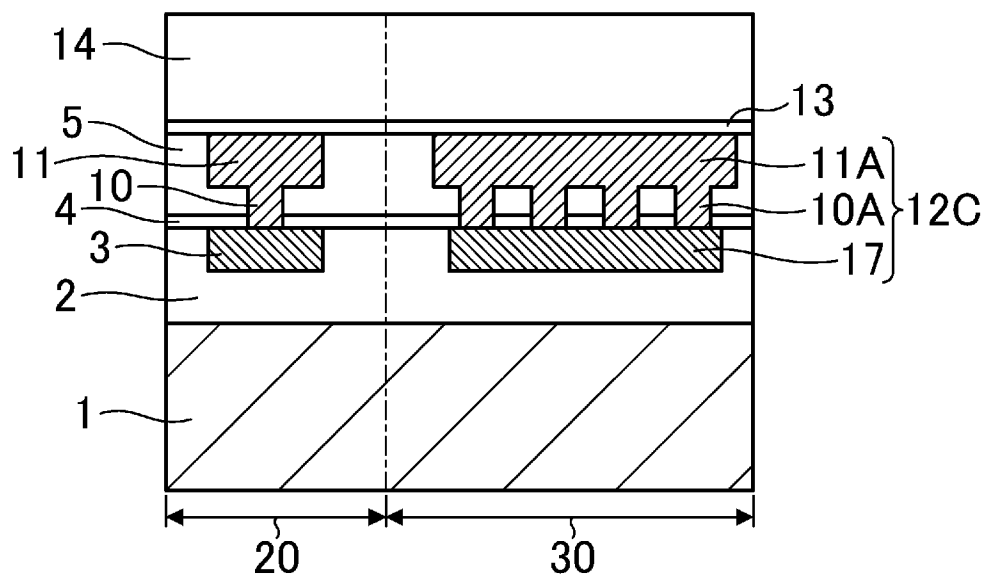
[図13B]



[図13C]



[図14A]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/004961

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/12(2006.01)i,
H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/768, H01L23/12, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-72296 A (Canon Inc.), 21 April 2014 (21.04.2014), & US 2014/0091414 A1	1-8
A	JP 2013-77711 A (Sony Corp.), 25 April 2013 (25.04.2013), & US 2013/0082341 A1 & EP 2575174 A2 & CN 103035660 A	1-8
A	JP 2015-79961 A (Samsung Electronics Co., Ltd.), 23 April 2015 (23.04.2015), & US 2015/0102497 A1 & KR 10-2015-0043933 A	1-8
A	WO 2009/107742 A1 (NEC Corp.), 03 September 2009 (03.09.2009), & US 2010/0320496 A1	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 March 2017 (07.03.17)

Date of mailing of the international search report
21 March 2017 (21.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/004961

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-28696 A (Fujitsu Semiconductor Ltd.), 09 February 2012 (09.02.2012), (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/12(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/3205, H01L21/768, H01L23/12, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-72296 A (キヤノン株式会社) 2014. 04. 21, & US 2014/0091414 A1	1-8
A	JP 2013-77711 A (ソニー株式会社) 2013. 04. 25, & US 2013/0082341 A1 & EP 2575174 A2 & CN 103035660 A	1-8
A	JP 2015-79961 A (三星電子株式会社) 2015. 04. 23, & US 2015/0102497 A1 & KR 10-2015-0043933 A	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

07. 03. 2017

国際調査報告の発送日

21. 03. 2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河合 俊英

50

3238

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/107742 A1 (日本電気株式会社) 2009. 09. 03, & US 2010/0320496 A1	1-8
A	JP 2012-28696 A (富士通セミコンダクター株式会社) 2012. 02. 09, (ファミリーなし)	1-8