

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月16日(16.02.2012)

PCT

(10) 国際公開番号
WO 2012/020498 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 21/02 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2010/063702
- (22) 国際出願日: 2010年8月12日(12.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 魯 鴻飛(LU, Hongfei) [CA/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号 富士電機ホールディングス株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

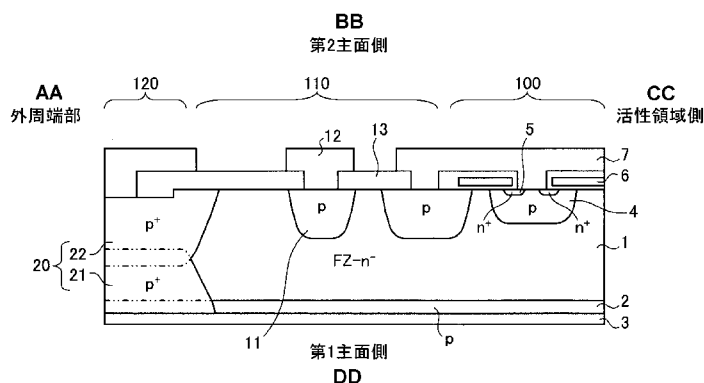
添付公開書類:

— 国際調査報告(条約第21条(3))

(54) Title: MANUFACTURING METHOD FOR SEMI-CONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図1]



AA OUTER-PERIPHERY END SECTION
BB SECOND MAIN SURFACE-SIDE
CC ACTIVE REGION-SIDE
DD FIRST MAIN SURFACE-SIDE

(57) Abstract: Prepare a mirror polished CZ wafer and FZ wafer (1). Form a first impurity region, which is a first isolation region section (21), on the surface layer of a first main surface of the CZ wafer. Adhere the first main surface of the CZ wafer and a first main surface of the FZ wafer (1) together. Bond the first main surface of the CZ wafer and the first main surface of the FZ wafer (1) by means of an intermolecular bond. Form a second impurity region, which is a second isolation region section (22), on the surface layer of a second main surface of the FZ wafer (1). Form a through-silicon isolation region (20) by diffusing the first impurity region and the second impurity region by means of heat treatment, making the first impurity region and the second impurity region into one connected region.

(57) 要約: 鏡面研磨されたCZウェハおよびFZウェハ(1)を用意する。ついで、CZウェハの第1主面の表面層に、第1分離領域部(21)となる第1不純物領域を形成する。ついで、CZウェハの第1主面とFZウェハ(1)の第1主面とを貼り合わせる。ついで、CZウェハの第1主面とFZウェハ(1)の第1主面を、分子間結合により結合す

る。ついで、FZウェハ(1)の第2主面の表面層に、第2分離領域部22となる第2不純物領域を形成する。ついで、熱処理により、第1不純物領域および第2不純物領域を拡散させ、第1不純物領域と第2不純物領域をひとつづきの領域とし、シリコン貫通分離領域(20)を形成する。

WO 2012/020498 A1

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] この発明は、半導体装置の製造方法に関する。

背景技術

[0002] 高耐圧を有するディスクリート半導体（Discrete Semiconductor）は、電力変換装置において重要な役割を担っている。ディスクリート半導体として、例えば、絶縁ゲートバイポーラートランジスタ（IGBT）や、絶縁ゲート型電解効果トランジスタ（MOSFET）などが公知である。特に、IGBTは、導電度変調によりオン電圧が低くなる特性を有するため、より高電圧での電力変換を要する場合に適用されている。

[0003] 近年、IGBTのコレクタ領域とドリフト領域からなるpn接合に、逆バイアス印加時に高い耐圧（以下、逆耐圧とする）を実現させる終端構造を設けた逆阻止型IGBT（RB-IGBT：Reverse Blocking IGBT）が開発され、例えばAC（交流）／AC直接変換装置に適用され始めている。

[0004] 図26は、従来の逆阻止型IGBTを示す断面図である。図26に示す逆阻止型IGBTは、 n^- ドリフト領域となる n^- 型のウェハ101に、IGBTの素子構造が形成された活性領域100と、活性領域100を囲む耐圧構造部110が設けられている。活性領域100には、ウェハ101の第1主面に、pベース領域や n^+ エミッタ領域、ゲート電極、エミッタ電極などからなる例えばプレーナゲート型IGBTのおもて面素子構造が形成されている。ウェハ101の第2主面の全面に、pコレクタ領域102が設けられている。コレクタ電極103は、pコレクタ領域102に接する。

[0005] 耐圧構造部110には、ウェハ101の第1主面に、複数のp型領域111と、p型領域111に接する複数の導電膜112が設けられている。ウェハ101の外周端部120には、ウェハ101の第1主面からドリフト領域

を貫通し、pコレクタ領域102に接するp型の分離領域（以下、シリコン貫通分離領域：Through Silicon 分離領域とする）121が設けられている。分離領域121は、耐圧構造部110を囲む。耐圧構造部110および外周端部120（終端構造）は、活性領域100を囲む。

[0006] 上述した逆阻止型IGBTの分離領域121は、例えば次のように形成される。まず、ウェハ101の第1主面から、p型不純物を注入する。そして、長時間の熱処理により、注入したp型不純物をウェハ101の第2主面側に深く拡散させる。これにより、p型不純物が拡散されてなる分離領域121が形成される。ついで、ウェハ101の第2主面側からウェハ101を研削し、分離領域121を露出する。これにより、ウェハ101の第1主面から第2主面に貫通する分離領域121が形成される。

[0007] 逆阻止型IGBTの分離領域の形成方法として、次のような方法が提案されている。n⁻型シリコン基板は、互いに対向する底面及び上面を有する。n⁻型シリコン基板の底面内には、p型不純物の拡散によって、高濃度のp型不純物拡散層が全面的に形成される。また、n⁻型シリコン基板の上面内には、p型不純物の拡散によって、p型分離領域が部分的に形成される。p型分離領域は、p型不純物拡散層の上面に達する底面を有する（例えば、下記特許文献1参照。）。

[0008] 図27は、従来の逆阻止型IGBTの別の一例を示す断面図である。図27に示す逆阻止型IGBTでは、p型の分離領域130は、ウェハ101の第1主面からpコレクタ領域102に達するトレンチの側壁に沿って設けられ、pコレクタ領域102と連結している。トレンチは、ウェハ101の活性領域100および耐圧構造部110を囲む。トレンチの内部には充填物131が埋め込まれている。

[0009] このようなトレンチ構造の分離領域を形成する方法として、第1主面及び前記第1主面に対向する第2主面とを有する第1導電型の半導体基板の前記第2主面側に第2導電型の第1不純物領域を形成する工程と、異方性エッチングによって前記半導体基板の周辺領域に前記第1主面から前記第1不純物

領域に達するようにトレンチを形成する工程と、イオン注入によってトレンチ側壁より第2導電型の不純物を前記半導体基板内に導入して第2不純物領域を形成する工程を順次行う方法が提案されている（例えば、下記特許文献2参照。）。

[0010] 図28は、従来の逆阻止型IGBTの別の一例を示す断面図である。図28に示す逆阻止型IGBTでは、ウェハ101には、活性領域100および耐圧構造部110が設けられている。ウェハ101の外周端部120の第1主面には、分離領域122が設けられている。また、ウェハ101の外周端部120には、第2主面から分離領域122を貫通して第1主面に達する凹部123が設けられている。

[0011] 凹部123の側壁は、ウェハ101の第2主面に対して例えば54.7°の角度をなす。つまり、ウェハ101の外周端部120は、活性領域100側に比べて薄くなっている。ウェハ101の第2主面および凹部123の側壁には、pコレクタ領域102およびp型領域124が設けられている。分離領域122は、p型領域124を介してpコレクタ領域102と連結している。

[0012] 図28に示す逆阻止型IGBTは、例えば次に示すように作製される。まず、ウェハ101の(100)面を第1主面とし、ウェハ101の第1主面に、分離領域122、逆阻止型IGBTのおもて面素子構造および耐圧構造を形成する。ついで、ウェハ101の第2主面から、ウェハ101を所定の厚さまで薄くする。

[0013] ついで、フォトリソグラフィにより、ウェハ101の第2主面から分離領域122に達する凹部123を形成する。例えば湿式エッチングによって凹部123を形成することで、凹部123の側壁は、ウェハ101の第2主面に対して例えば54.7°の角度を成す。ついで、凹部123を形成するためのレジストマスクを除去する。ついで、イオン注入およびレーザーアニーリングにより、ウェハ101の第2主面および凹部123の側壁に、pコレクタ領域102およびp型領域124を形成する。

[0014] このように活性領域側に比べて外周端部が薄い半導体ウェハに分離領域を形成する方法として、次のような方法が提案されている。半導体チップを構成する表面構造を形成した薄い半導体ウェハの表面を両面粘着テープで支持基板に貼り付ける。ついで、薄い半導体ウェハの裏面からスクライブラインとなるトレンチを湿式異方性エッチングで結晶面を出して形成する。ついで、結晶面が露出したトレンチの側面に逆耐圧を維持する分離層を裏面拡散層であるpコレクタ領域と同時にイオン注入と低温アニールまたはレーザーアニールで形成する（例えば、下記特許文献3，非特許文献1参照。）。

[0015] また、IGBTのコレクタ領域を形成する方法として、2枚のウェハを直接接合するSDB（Silicon Direct Bonding）によりコレクタ領域を形成する方法が提案されている（例えば、下記非特許文献2参照。）。

[0016] 図29～図31は、従来のIGBTの製造過程を示す断面図である。IGBTのコレクタ領域をSDBにより形成する方法について、図29～図31を参照して説明する。まず、n⁻型の第1ウェハ201およびp⁺型の第2ウェハ204を用意し、それぞれの表面を鏡面研磨する。ついで、図29に示すように、リン（P）などをイオン注入して熱活性化処理を行うことにより、第1ウェハ201の第1主面に、第1ウェハ201より低い抵抗率を有するn⁺領域202を形成する。ついで、図30に示すように、ボロン（B）などをイオン注入して熱活性化処理を行うことにより、n⁺領域202の表面層にp⁺領域203を形成する。

[0017] ついで、図31に示すように、第1ウェハ201のp⁺領域203側の主面と第2ウェハ204の第1主面を、親水化させて室温で直接貼り合わせる。つまり、ウェハ同士を貼り合せて形成される界面200は、p⁺領域203と第2ウェハ204との境界面となる。ついで、第1ウェハ201および第2ウェハ204を貼り合せてなるウェハを、窒素雰囲気中において1000℃以上の温度でアニールすることにより、ウェハ同士の結合強度を高くする。ついで、第1ウェハ201の第2主面を所望の厚さとなるまで研削して薄くす

る。これにより、第1ウェハ201および第2ウェハ204を貼り合せてなるウェハに、 p^+ 領域203および第2ウェハ204からなるコレクタ領域が形成される。

[0018] また、別の方法として、次のような方法が提案されている。上述した図29～図31に示す方法において、第1ウェハ201の第1主面側に p^+ 領域203を形成せずに、第1ウェハ201の n^+ 領域202の表面と第2ウェハ204の第1主面とを貼り合わせる。つまり、ウェハを貼り合せてなる界面は、 n^+ 領域202と第2ウェハ204との境界面となる。ついで、第1ウェハ201を第2主面側から薄板化することにより、 p^+ 型の第2ウェハ204のみからなるコレクタ領域を形成する方法が提案されている（例えば、下記特許文献4参照。）。特許文献4には、 n^+ 領域202の形成条件について開示されている。また、上述した図29～図31に示す方法において、 n^+ 領域202および p^+ 領域203の形成条件について開示されている。

[0019] また、別の方法として、次のような方法が提案されている。図32は、従来のウェハを貼り合せて形成された半導体装置を示す断面図である。第1主面に半導体装置のおもて面構造212、213が形成され、かつ第2主面側から薄板化された2枚のウェハ211、214の第2主面同士を直接接合して半導体装置を形成する方法が提案されている。つまり、ウェハ同士を貼り合せて形成される界面210は、第1ウェハ211と第2ウェハ214との境界面となる（例えば、下記特許文献5参照。）。

[0020] また、ウェハを貼り合わせる一般的な方法として、ウェハ同士を、互いの表面の「 $\text{Si}-\text{OH}$ 」に吸着される H_2O を介して一体する方法や、ウェハの表面に付着している面密度の高い「 $-\text{F}$ 」を「 $-\text{OH}$ 」に置換した後、ウェハを絶縁層が形成されたウェハと結合させる方法、SOI基板の絶縁層と活性層となる n^- 半導体層との間に、 n^- 半導体層よりも抵抗率の低い n^+ 半導体層を設けることによって、金属汚染に対するゲッタリング効果を得る方法が提案されている（例えば、下記特許文献6参照。）。

先行技術文献

特許文献

- [0021] 特許文献1：特開2004-165619号公報
特許文献2：特開2005-093972号公報
特許文献3：特開2006-303410号公報
特許文献4：米国特許第5541122号明細書
特許文献5：米国特許第6194290号明細書
特許文献6：特許第4232645号公報の段落[0016]～[0018]

非特許文献

- [0022] 非特許文献1：カズオ・シモヤマ（K. Shimoyama）、外5名、”ア
ニュー アイソレーション テクニック フォア リバース ブロッキン
グ IGBT ウェズ イオン インプランテーション アンド レーザー
アニーリング トゥ テーパード チップ エッジ サイドウォールズ（
A New Isolation Technique for Reverse Blocking IGBT with Ion Implant
ation and Laser Annealing to Taper
ed Chip Edge Sidewalls）”、（イタリア）、パワ
ー半導体デバイス国際シンポジウム2006（ISPSD’06：Proc
eedings of the 18th International
Symposium on Power Semiconductor D
evices & IC’s 2006）、2006年6月4日-8日、p
. 29-32
非特許文献2：アキオ・ナカガワ（A. Nakagawa）、外4名、”18
00Vバイポーラーモード MOSFETs：ア ファースト アプリケー
ション ウェハー ダイレクト ボンディング（SDB） テクニック ト
ゥ パワー デバイス（1800V Bipolar-Mode MOSF
ETs：A First Application Wafer Dire
ct Bonding（SDB） Technique to Power
Device）”、（米国）、国際電子デバイス会議（IEDM：198

6 International Electron Devices Meeting)、1986年、第32巻、p. 122-125

発明の概要

発明が解決しようとする課題

[0023] しかしながら、本発明者らが鋭意研究を重ねた結果、従来の分離領域の形成方法では、次のような問題が生じることが新たに判明した。図26に示す逆阻止型IGBTでは、ウェハ101の第1主面から第2主面に達する分離領域121を形成するために、長時間の熱拡散処理を行う必要がある。分離領域121を例えば100 μ m程度の拡散深さで形成する場合に、酸素雰囲気下において1200℃以上の温度で熱処理を行うと、拡散時間は100時間台となってしまう。

[0024] 拡散時間が長くなると、シリコン(Si)結晶格子の原子間に、その熱処理温度での固溶度まで酸素(O)原子が侵入し、ウェハ内にシリコン(Si)-酸素(O)系の結晶欠陥となる酸素析出物が析出する。このため、逆阻止型IGBTの作製にFZウェハを用いる場合、FZウェハの物性上の利点が低下してしまう。

[0025] また、その後、冷却過程において、ウェハの温度が300℃~500℃となったとき、ウェハ内の結晶欠陥はドナーとして振る舞い、ドリフト領域の不純物濃度に変動してしまう。このような問題は、高耐圧化を図った素子ほど顕著に現れる。それは、高耐圧化を図るほどドリフト領域が厚くなり、分離領域を形成するための拡散時間が増大するからである。これにより、耐圧不良や漏れ電流増大によって、逆阻止型IGBTの性能や信頼性が低下し、歩留まりが著しく低くなる虞が生じてしまう。

[0026] また、図26に示す逆阻止型IGBTでは、分離領域を形成する際の拡散時間が長いため、拡散工程で生じる金属汚染物を十分にゲッタリングする必要がある。拡散工程で生じる金属汚染物をゲッタリングする方法として、例えばウェハの裏面に、研磨により微小なキズを形成したり、Poly-Si Buffered Seal(PBS)を形成したり、高濃度拡散層を形

成する方法が公知である。しかし、高耐圧化を図るほど、ゲッタリング層の能力をさらに高める必要があり、その分、ウェハコストが高くなってしまふ。

[0027] また、図 27 に示す逆阻止型 IGBT では、素子の高耐圧化を図るにつれて、分離領域となるトレンチが深くなりアスペクト比が大きくなる。このため、トレンチ側壁にイオン注入を行う際に、イオン注入の入射角度によって余分にドーパントを注入する必要が生じたり（以下、ドーズロスとする）、イオン注入するトレンチ側壁に対向するトレンチ側壁によりイオン注入が遮られたりするため、所望の箇所に制御性よくイオン注入を行うことは難しい。また、トレンチ形成後に、素子構造形成に用いるレジストや薬液残渣による不良をトレンチ内に発生させないために、トレンチ内に半導体膜や絶縁膜などをボイドなく充填させる必要がある。しかしながら、この場合においても、トレンチのアスペクト比が大きいため、トレンチ内部を半導体膜や絶縁膜で充填することは難しくなっている。

[0028] また、図 28 に示す逆阻止型 IGBT では、一般的に、バルク MEMS (Micro Electro Mechanical Systems) プロセスにおける溝を形成する技術を用いて、ウェハ 101 に凹部 123 を形成する。しかしながら、凹部 123 の側壁に電氣的に活性な領域 (p 型領域 124) を形成する場合、バルク MEMS プロセスによる処理では、従来の半導体プロセスに比べて、ファセット結合部分の形状や、凹部を形成する際のエッチングレート等のプロセス制御性が劣ってしまう。凹部を形成するためのプロセスは良品率を律速するため、バルク MEMS プロセスによって、逆阻止型 IGBT を作成する場合、凹部を形成するためのプロセス制御が劣るため、良品率が低下してしまう。

[0029] また、図 28 に示す逆阻止型 IGBT では、凹部 123 の側壁とウェハ 101 の主面とのなす角度が 54.7° 前後となっている。このため、凹部 123 の側壁に p 型領域 124 を形成するイオン注入は、ウェハの主面にほぼ垂直な面に斜めの方向からイオン注入を行う場合に比べて（例えば、図 27

参照)、イオン注入の入射角度によるドーズロスは少なくなる。しかし、ウェハの主面に垂直な方向からイオン注入を行う場合に比べて、2倍程度のドーズ量を必要とする(下記特許文献3参照)。また、ファセット結合の角部に行うイオン注入では、凹部123の側壁に行うイオン注入に比べてさらに多量のドーズ量を必要とする。

[0030] 図28に示す逆阻止型IGBTにおいて、pコレクタ領域102およびp型領域124を形成するイオン注入を行った後に、レーザー照射によって活性化させる場合、凹部123の側壁にはウェハ主面に対して斜めの方向からレーザーが照射されるため、凹部123の側壁における活性化率が低くなってしまう。凹部123の側壁において所望の活性化率を得るためには、ウェハ主面に垂直にイオン注入を行う場合に比べて、数倍以上のドーズ量が必要になる。その場合、イオン注入が長時間になってしまったり、pコレクタ領域102が必要以上に高い不純物濃度になってしまったりするため、逆阻止型IGBTの各電気的特性のバランスが悪くなってしまう。

[0031] また、特許文献4、5や非特許文献2(図28、A5参照)のようにSDBにより逆阻止型IGBTの分離領域を形成する場合、例えばウェハ同士を貼り合せて形成される界面が、ドリフト領域内に形成されてしまう。この場合、ウェハ同士を貼り合せて形成される界面が電流経路を横切るため、この界面でのトラップ準位帯によるポテンシャルバリアにより、素子のオン電圧が大きくなってしまうという問題が生じる。

[0032] この発明は、上述した従来技術による問題点を解消するため、ウェハの第1主面から第2主面に達する拡散領域を短い拡散時間で形成することができる半導体装置の製造方法を提供することを目的とする。また、高い耐圧を有する半導体装置の製造方法を提供することを目的とする。また、コストを低減することができる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0033] 上述した課題を解決し、本発明の目的を達成するため、請求項1の発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、第1導電型の第

１ ウェハの第１主面の表面層に、第２導電型の第１半導体領域を選択的に形成する第１領域形成工程を行う。ついで、前記第１領域形成工程の後、前記第１ウェハの第１主面と、第１導電型の第２ウェハの第１主面とを貼り合わせる貼り合せ工程を行う。ついで、前記第２ウェハの第２主面の表面層の、前記第１ウェハの第１主面に形成された前記第１半導体領域に対応する位置に、第２導電型の第２半導体領域を選択的に形成する第２領域形成工程を行う。ついで、前記第１半導体領域および前記第２半導体領域を拡散させて、前記第１半導体領域と前記第２半導体領域をひとつづきの領域にする拡散工程を行う。

[0034] また、請求項２の発明にかかる半導体装置の製造方法は、請求項１に記載の発明において、前記第２領域形成工程では、前記第１ウェハと前記第２ウェハとを貼り合せたウェハの深さ方向に、前記第１半導体領域と重なるように、前記第２半導体領域を形成することを特徴とする。

[0035] また、請求項３の発明にかかる半導体装置の製造方法は、請求項１に記載の発明において、さらに、前記拡散工程の後、前記第１ウェハと前記第２ウェハとを貼り合せたウェハを、前記第１ウェハの第２主面側から除去して薄板化し、前記第２ウェハを露出する薄板化工程を行うことを特徴とする。

[0036] また、請求項４の発明にかかる半導体装置の製造方法は、請求項１に記載の発明において、さらに、前記拡散工程と前記薄板化工程との間に、前記第２ウェハの前記第２主面に、絶縁ゲートバイポーラートランジスタのおもて面素子構造を形成する素子構造形成工程を行うことを特徴とする。

[0037] また、請求項５の発明にかかる半導体装置の製造方法は、請求項４に記載の発明において、前記素子構造形成工程では、金属配線層を形成する前のおもて面素子構造のみを形成してもよい。そして、前記薄板化工程では、前記金属配線層を形成する前のおもて面素子構造の表面を保護膜で覆った後、前記第１ウェハと前記第２ウェハとを貼り合せたウェハを薄板化することを特徴とする。

[0038] また、請求項６の発明にかかる半導体装置の製造方法は、請求項４に記載

の発明において、前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0039] また、請求項 7 の発明にかかる半導体装置の製造方法は、請求項 4 に記載の発明において、前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と 300℃以上 400℃以下の温度で、30分以上 90分以下の熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0040] また、請求項 8 の発明にかかる半導体装置の製造方法は、請求項 1 に記載の発明において、さらに、前記薄板化工程の後に、前記第 2 ウェハの第 1 主面に、前記第 1 半導体領域に接する第 2 導電型の第 3 半導体領域を形成する第 3 領域形成工程を行うことを特徴とする。

[0041] また、請求項 9 の発明にかかる半導体装置の製造方法は、請求項 5 に記載の発明において、さらに、前記薄板化工程の後に、前記第 2 ウェハの第 1 主面に、前記第 1 半導体領域に接する第 2 導電型の第 3 半導体領域を形成する第 3 領域形成工程を行うことを特徴とする。

[0042] また、請求項 10 の発明にかかる半導体装置の製造方法は、請求項 8 に記載の発明において、前記第 3 領域形成工程の後に、軽イオン照射と熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0043] また、請求項 11 の発明にかかる半導体装置の製造方法は、請求項 8 に記載の発明において、前記第 3 領域形成工程の後に、軽イオン照射と 300℃以上 400℃以下の温度で、30分以上 90分以下の熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0044] また、請求項 12 の発明にかかる半導体装置の製造方法は、請求項 8 に記載の発明において、前記第 3 領域形成工程では、前記第 2 ウェハの第 1 主面

に第2導電型不純物をイオン注入した後、1000℃以下の温度で熱処理を行い、前記第3半導体領域を形成することを特徴とする。

[0045] また、請求項13の発明にかかる半導体装置の製造方法は、請求項9に記載の発明において、前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、1000℃以下の温度で熱処理を行い、前記第3半導体領域を形成することを特徴とする。

[0046] また、請求項14の発明にかかる半導体装置の製造方法は、請求項8に記載の発明において、前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、前記第2ウェハの第1主面に、照射エネルギー密度が $1.0 \times 10^{-3} \text{ J/cm}^2$ 以上 $2.0 \times 10^{-3} \text{ J/cm}^2$ 以下で、かつ1.1 eVより大きいフォトンエネルギーを有するレーザーを照射し、前記第3半導体領域を形成することを特徴とする。

[0047] また、請求項15の発明にかかる半導体装置の製造方法は、請求項1に記載の発明において、前記貼り合せ工程では、前記第1ウェハの第1主面および前記第2ウェハの第1主面のシリコン結合の終端をヒドロキシル基に置き換えた後、前記第1ウェハの第1主面と前記第2ウェハの第1主面とを貼り合わせることを特徴とする。

[0048] また、請求項16の発明にかかる半導体装置の製造方法は、請求項1に記載の発明において、前記貼り合せ工程では、前記第1ウェハの第1主面と前記第2ウェハの第1主面とを貼り合せた後、不活性ガス雰囲気下において900℃以上1200℃以下の温度で、30分以上120分以下の熱処理を行い、前記第1ウェハの第1主面と前記第2ウェハの第1主面を、ウェハ表面のシリコン同士の単結合により結合することを特徴とする。

[0049] また、請求項17の発明にかかる半導体装置の製造方法は、請求項1に記載の発明において、さらに、前記貼り合せ工程と前記第2領域形成工程との間に、前記第2ウェハを第2主面側から薄板化する工程を行うことを特徴とする。

[0050] また、請求項18の発明にかかる半導体装置の製造方法は、請求項1に記

載の発明において、前記第 1 ウェハとして、チョクラスキー法によって作成されたシリコンウェハを用いることを特徴とする。

[0051] また、請求項 19 の発明にかかる半導体装置の製造方法は、請求項 1 ～ 18 のいずれか一つに記載の発明において、前記第 2 ウェハとして、浮遊帯法によって作成されたシリコンウェハを用いることを特徴とする。

[0052] また、上述した課題を解決し、本発明の目的を達成するため、請求項 20 の発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、第 1 導電型の第 1 ウェハの第 1 主面の表面層に、第 2 導電型の第 1 半導体領域を選択的に形成する第 1 領域形成工程を行う。ついで、前記第 1 領域形成工程の後、前記第 1 ウェハの第 1 主面の表面に、第 1 導電型のエピタキシャル層を成長させるエピタキシャル工程を行う。ついで、前記第 1 ウェハの前記エピタキシャル層側の面と、第 1 導電型の第 2 ウェハの第 1 主面とを貼り合わせる貼り合せ工程を行う。ついで、前記第 1 ウェハの第 2 主面の表面層の、該第 1 ウェハの第 1 主面に設けられた前記第 1 半導体領域に対応する位置に、第 2 導電型の第 2 半導体領域を選択的に形成する第 2 領域形成工程を行う。ついで、前記第 1 半導体領域および前記第 2 半導体領域を拡散させて、前記第 1 半導体領域を前記第 2 ウェハに達する領域にし、かつ前記第 1 半導体領域と前記第 2 半導体領域とをひとつづきの領域にする拡散工程を行う。

[0053] また、請求項 21 の発明にかかる半導体装置の製造方法は、請求項 20 に記載の発明において、前記第 2 領域形成工程では、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハの深さ方向に、前記第 1 半導体領域と重なるように、前記第 2 半導体領域を形成することを特徴とする。

[0054] また、請求項 22 の発明にかかる半導体装置の製造方法は、請求項 20 に記載の発明において、さらに、前記拡散工程の後、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハを、前記第 2 ウェハの第 2 主面側から除去して薄板化し、前記エピタキシャル層を露出する薄板化工程を行うことを特徴とする。

[0055] また、請求項 23 の発明にかかる半導体装置の製造方法は、請求項 20 に

記載の発明において、さらに、前記拡散工程と前記薄板化工程との間に、前記第2ウェハの前記第2主面に、絶縁ゲートバイポーラートランジスタのおもて面素子構造を形成する素子構造形成工程を行うことを特徴とする。

[0056] また、請求項24の発明にかかる半導体装置の製造方法は、請求項22に記載の発明において、前記素子構造形成工程では、金属配線層を形成する前のおもて面素子構造のみを形成してもよい。そして、前記薄板化工程では、前記金属配線層を形成する前のおもて面素子構造の表面を保護膜で覆った後、前記第1ウェハと前記第2ウェハとを貼り合せたウェハを薄板化することを特徴とする。

[0057] また、請求項25の発明にかかる半導体装置の製造方法は、請求項22に記載の発明において、前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と熱処理を行い、前記第1ウェハと前記第2ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0058] また、請求項26の発明にかかる半導体装置の製造方法は、請求項22に記載の発明において、前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と300℃以上400℃以下の温度で、30分以上90分以下の熱処理を行い、前記第1ウェハと前記第2ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0059] また、請求項27の発明にかかる半導体装置の製造方法は、請求項20に記載の発明において、前記薄板化工程の後に、前記第2ウェハの第1主面に、前記第1半導体領域に接する第2導電型の第3半導体領域を形成する第3領域形成工程をさらに含むことを特徴とする。

[0060] また、請求項28の発明にかかる半導体装置の製造方法は、請求項24に記載の発明において、前記薄板化工程の後に、前記第2ウェハの第1主面に、前記第1半導体領域に接する第2導電型の第3半導体領域を形成する第3領域形成工程をさらに含むことを特徴とする。

[0061] また、請求項29の発明にかかる半導体装置の製造方法は、請求項27に

記載の発明において、前記第3領域形成工程の後に、軽イオン照射と熱処理を行い、前記第1ウェハと前記第2ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0062] また、請求項30の発明にかかる半導体装置の製造方法は、請求項27に記載の発明において、前記第3領域形成工程の後に、軽イオン照射と300℃以上400℃以下の温度で、30分以上90分以下の熱処理を行い、前記第1ウェハと前記第2ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする。

[0063] また、請求項31の発明にかかる半導体装置の製造方法は、請求項27に記載の発明において、前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、1000℃以下の温度で熱処理を行い、前記第3半導体領域を形成することを特徴とする。

[0064] また、請求項32の発明にかかる半導体装置の製造方法は、請求項28に記載の発明において、前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、1000℃以下の温度で熱処理を行い、前記第3半導体領域を形成することを特徴とする。

[0065] また、請求項33の発明にかかる半導体装置の製造方法は、請求項27に記載の発明において、前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、前記第2ウェハの第1主面に、照射エネルギー密度が $1.0 \times 10^{-3} \text{ J/cm}^2$ 以上 $2.0 \times 10^{-3} \text{ J/cm}^2$ 以下で、かつ1.1 eVより大きいフォトンエネルギーを有するレーザーを照射し、前記第3半導体領域を形成することを特徴とする。

[0066] また、請求項34の発明にかかる半導体装置の製造方法は、請求項20に記載の発明において、前記貼り合せ工程では、前記エピタキシャル層の表面および前記第2ウェハの第1主面のシリコン結合の末端をヒドロキシル基に置き換えた後、前記エピタキシャル層の表面と前記第2ウェハの第1主面とを貼り合せることを特徴とする。

[0067] また、請求項35の発明にかかる半導体装置の製造方法は、請求項20に

記載の発明において、前記貼り合せ工程では、前記エピタキシャル層の表面と前記第2ウェハの第1主面とを貼り合せた後、不活性ガス雰囲気下において900℃以上1200℃以下の温度で、30分以上120分以下の熱処理を行い、前記エピタキシャル層の表面と前記第2ウェハの第1主面とを、ウェハ表面のシリコン同士の単結合により結合することを特徴とする。

[0068] また、請求項36の発明にかかる半導体装置の製造方法は、請求項20に記載の発明において、前記貼り合せ工程と前記第2領域形成工程との間に、前記第1ウェハを第2主面側から薄板化することを特徴とする。

[0069] また、請求項37の発明にかかる半導体装置の製造方法は、請求項22に記載の発明において、前記薄板化工程では、前記エピタキシャル層の厚さが、完成後の素子のドリフト領域の厚さの1/3になるまで、前記第1ウェハと前記第2ウェハとを貼り合せたウェハを薄板化することを特徴とする。

[0070] また、請求項38の発明にかかる半導体装置の製造方法は、請求項20に記載の発明において、前記第1ウェハとして、浮遊帯法によって作成されたシリコンウェハを用いることを特徴とする。

[0071] また、請求項39の発明にかかる半導体装置の製造方法は、請求項20～38のいずれか一つに記載の発明において、前記第2ウェハとして、チョクラスキー法によって作成されたシリコンウェハを用いることを特徴とする。

[0072] 上述した発明によれば、第1ウェハと第2ウェハとを貼り合せたウェハ（以下、複合ウェハとする）内に互いに離れて形成された第2導電型の第1半導体領域および第2導電型の第2半導体領域を拡散させて、素子完成後のドリフト領域の第1主面側から第2主面側に貫通するひとつづきの第2導電型の拡散領域（シリコン貫通分離領域を）を形成する。このため、第1半導体領域および第2半導体領域をそれぞれ素子完成後のドリフト領域の厚さの半分程度まで拡散させるだけでよい。これにより、シリコン貫通分離領域を形成する際に要する拡散時間を、従来よりも短くすることができる。

[0073] また、シリコン貫通分離領域を形成する際に要する拡散時間を短くするこ

とができるため、素子のドリフト領域を厚くしたとしても、シリコン貫通分離領域の拡散時間が長いことに起因する酸素析出物や酸素のドナー化から、逆耐圧型 IGBT に生じる耐圧不良や漏れ電流の増大などを抑制することができる。これにより、素子の高耐圧化を図ることができる。

[0074] また、第 1、第 2 ウェハとして、CZ ウェハおよび FZ ウェハを用い、両ウェハを直接貼り合わせることににより、シリコン貫通分離領域の熱拡散の工程において、CZ ウェハ内の酸素イントリンシックゲッタリング (IG: Intrinsic Gettering) センターが汚染となる金属イオンをゲッタリングすることができるため、逆阻止型 IGBT 製造工程のゲッタリング能力を向上することができる。このため、従来のように、FZ ウェハに特殊なゲッタリング層を形成する必要がなくなる。

[0075] また、請求項 20～39 の発明では、第 1 ウェハと第 2 ウェハの間にエピタキシャル層を設けることで、第 1 半導体領域および第 2 半導体領域を拡散させる際の拡散時間をさらに低減することができる。このため、シリコン貫通分離領域を形成する際に要する拡散時間をさらに短くすることができる。

発明の効果

[0076] 本発明にかかる半導体装置の製造方法によれば、ウェハの第 1 主面から第 2 主面に達する拡散領域を短い拡散時間で形成することができるという効果を奏する。また、高い耐圧を有する半導体装置の製造方法を提供することができるという効果を奏する。コストを低減することができるという効果を奏する。

図面の簡単な説明

[0077] [図1] 図 1 は、実施の形態 1 にかかる逆阻止型 IGBT を示す断面図である。

[図2] 図 2 は、実施の形態 1 にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図3] 図 3 は、実施の形態 1 にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図4] 図 4 は、実施の形態 1 にかかる逆阻止型 IGBT の製造過程を示す断面

図である。

[図5] 図5は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図6] 図6は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図7] 図7は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図8] 図8は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図9] 図9は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図10] 図10は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図11] 図11は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図12] 図12は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図13] 図13は、実施の形態1にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図14] 図14は、実施の形態2にかかる逆阻止型 IGBT を示す断面図である。

[図15] 図15は、実施の形態2にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図16] 図16は、実施の形態2にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図17] 図17は、実施の形態2にかかる逆阻止型 IGBT の製造過程を示す断面図である。

[図18] 図18は、実施の形態2にかかる逆阻止型 IGBT の製造過程を示す

断面図である。

[図19]図19は、実施の形態2にかかる逆阻止型IGBTの製造過程を示す断面図である。

[図20]図20は、実施の形態2にかかる逆阻止型IGBTの製造過程を示す断面図である。

[図21]図21は、実施の形態2にかかる逆阻止型IGBTの製造過程を示す断面図である。

[図22]図22は、実施の形態2にかかる逆阻止型IGBTの製造過程を示す断面図である。

[図23]図23は、実施の形態2にかかる逆阻止型IGBTの製造過程を示す断面図である。

[図24]図24は、実施の形態2にかかる逆阻止型IGBTの製造過程を示す断面図である。

[図25]図25は、実施の形態2にかかる逆阻止型IGBTの製造過程を示す断面図である。

[図26]図26は、従来の逆阻止型IGBTを示す断面図である。

[図27]図27は、従来の逆阻止型IGBTの別の一例を示す断面図である。

[図28]図28は、従来の逆阻止型IGBTの別の一例を示す断面図である。

[図29]図29は、従来のIGBTの製造過程を示す断面図である。

[図30]図30は、従来のIGBTの製造過程を示す断面図である。

[図31]図31は、従来のIGBTの製造過程を示す断面図である。

[図32]図32は、従来のウェハを貼り合せて形成された半導体装置を示す断面図である。

発明を実施するための形態

[0078] 以下に添付図面を参照して、この発明にかかる半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが

付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0079] (実施の形態 1)

図 1 は、実施の形態 1 にかかる逆阻止型 IGBT を示す断面図である。図 1 に示す逆阻止型 IGBT は、ドリフト領域となる n^- 型（第 1 導電型）のウェハ（第 2 ウェハ）1 に、活性領域 100 と、活性領域 100 を囲む耐压構造部 110 が設けられている。ウェハ 1 として、例えば浮遊帯（FZ : Floating Zone）法によって作成されたシリコンウェハ（以下、FZ ウェハとする）を用いるのが好ましい。ウェハ 1 の第 1 主面の全面には、 p 型（第 2 導電型）の p コレクタ領域 2 が設けられている。コレクタ電極 3 は、 p コレクタ領域 2 に接する。

[0080] ウェハ 1 の第 2 主面には、活性領域 100 において、 p ベース領域 4 や、 n^+ エミッタ領域 5、ゲート電極 6、エミッタ電極 7 などからなる例えばプレーナゲート型 IGBT のおもて面素子構造が形成されている。耐压構造部 110 には、フローティングの p 型領域である複数のフィールドリミットングリング 11 と、フィールドリミットングリング 11 に接する複数の導電膜 12 が設けられている。ウェハ 1 の第 2 主面の、隣り合うフィールドリミットングリング 11 に挟まれた領域の表面は、層間絶縁膜 13 で覆われている。

[0081] ウェハ 1 の外周端部 120 には、ウェハ 1 の第 2 主面からドリフト領域を貫通し、 p コレクタ領域 2 に接する p 型の分離領域（シリコン貫通分離領域 : Through Silicon 分離領域）20 が形成されている。シリコン貫通分離領域 20 は、 p 型の第 1 分離領域部（第 1 半導体領域）21 および p 型の第 2 分離領域部（第 2 半導体領域）22 から構成されている。

[0082] 第 1 分離領域部 21 は、ウェハ 1 の第 1 主面の表面層に設けられている。また、第 1 分離領域部 21 は、ウェハ 1 の第 1 主面側で p コレクタ領域 2 に接し、かつウェハ 1 の第 2 主面側で第 2 分離領域部 22 に接する。第 2 分離

領域部 22 は、ウェハ 1 の第 2 主面の表面層に設けられている。つまり、第 1 分離領域部 21 と第 2 分離領域部 22 はひとつづきの p 型領域（シリコン貫通分離領域 20）となっている。第 1 分離領域部 21 および第 2 分離領域部 22 の端部は重なりあっているのが好ましい。シリコン貫通分離領域 20 は、耐圧構造部 110 を囲む。耐圧構造部 110 および外周端部 120（終端構造）は、活性領域 100 を囲む。

[0083] 図 2～図 13 は、実施の形態 1 にかかる逆阻止型 IGBT の製造過程を示す断面図である。まず、図 2 に示すように、第 1 主面および第 2 主面が鏡面研磨された n 型のウェハ（第 1 ウェハ）31 を用意する。ウェハ 31 として、例えばチョクラルスキー（CZ : Czochralski）法によって作成されたシリコンウェハ（以下、CZ ウェハとする）を用いるのが好ましい。以下、実施の形態 1 において、第 1 ウェハを CZ ウェハ 31 とする。

[0084] ついで、CZ ウェハ 31 の第 1 主面の表面に、熱酸化膜 32 を成長させる。ついで、フォトリソグラフィにより、熱酸化膜 32 の表面に、アライメントマークを形成する領域が開口するレジストマスク 33 を形成する。ここで、アライメントマークは、例えばウェハ上に各領域を形成する際や、ウェハをダイシングする際の基準となるマークである。ついで、レジストマスク 33 をマスクとしてエッチングを行い、レジストマスク 33 の開口部に露出する熱酸化膜 32 を除去する。そして、レジストマスク 33 を除去する。ここで、エッチング方法として、湿式エッチングを用いてもよいし、乾式エッチングを用いてもよい（以下、熱酸化膜をエッチングする処理において同様）。

[0085] ついで、熱酸化膜 32 をマスクとしてエッチングを行い、熱酸化膜 32 の開口部に露出する CZ ウェハ 31 を除去する。これにより、図 3 に示すように、CZ ウェハ 31 の第 1 主面の表面層に、アライメントマーク 51 が形成される。ここで、エッチング方法として、化学乾式エッチング（CDE : Chemical Dry Etching）を用いてもよい（以下、ウェハをエッチングする処理において同様）。

- [0086] ついで、フォトリソグラフィにより、熱酸化膜 3 2 の表面に、第 1 分離領域部（図 1 参照：第 1 半導体領域）を形成する領域が開口するレジストマスク 3 4 を形成する。ついで、レジストマスク 3 4 をマスクとして、C Z ウェハ 3 1 の第 1 主面に、例えばボロンをイオン注入する。このとき、イオン注入のドーズ量および加速エネルギーを、例えば $5 \times 10^{15} \text{ cm}^{-2}$ および 45 keV としてもよい。
- [0087] これにより、レジストマスク 3 4 の開口部に露出する C Z ウェハ 3 1 の第 1 主面の表面層に、第 1 分離領域部となる p⁺ 型の第 1 不純物領域 6 1 が形成される（図 4 参照）。ここで、第 1 不純物領域 6 1 は、アライメントマーク 5 1 の位置に形成される。なお、図 4 においては、不純物領域およびアライメントマークを形成する過程を明確にするため、不純物領域およびアライメントマークを離れた位置に図示している（以下、図 5 ~ 13, 15 ~ 25 においても同様）。
- [0088] ついで、図 4 に示すように、レジストマスク 3 4 を除去し、C Z ウェハ 3 1 を洗浄する。ついで、C Z ウェハ 3 1 の第 2 主面に、アライメントマーク 5 1 の形成と同様の方法で、アライメントマーク 5 1 の位置に合せて、アライメントマーク 5 2 を形成する。つまり、アライメントマーク 5 2 は、C Z ウェハ 3 1 の第 1 主面に形成されたアライメントマーク 5 1 に対して、C Z ウェハ 3 1 を挟んで対称的な位置に形成される。ついで、アライメントマーク 5 1, 5 2 を形成するためのマスクとして形成された熱酸化膜（不図示）を除去する。
- [0089] ついで、図 5 に示すように、第 1 主面および第 2 主面が鏡面研磨された n 型のウェハ（第 2 ウェハ）1 を用意する。ウェハ 1 は、完成後の逆阻止型 IGBT（図 1 参照）において、n⁻ドリフト領域となるウェハである。ウェハ 1 として、例えば浮遊帯（FZ: Floating Zone）法によって作成されたシリコンウェハ（以下、FZ ウェハとする）を用いるのが好ましい。以下、実施の形態 1 において、第 2 ウェハを FZ ウェハ 1 とする。
- [0090] ついで、例えばフッ酸（HF）等を用いて、C Z ウェハ 3 1 および FZ ウ

エハ1を洗浄し、CZウェハ31およびFZウェハ1の表面に形成された自然酸化膜などを除去する。この処理により、CZウェハ31およびFZウェハ1の表面は疎水化される。つまり、CZウェハ31およびFZウェハ1の表面のシリコン結合の終端が、フッ素原子（-F）などに置き換えられ、ウェハ表面の疎水性が高くなる。

[0091] ついで、CZウェハ31およびFZウェハ1を純水（ H_2O ）に浸し、CZウェハ31およびFZウェハ1の表面を親水化する。つまり、CZウェハ31およびFZウェハ1の表面のシリコン結合の終端のフッ素原子をヒドロキシル基（-OH）に置き換える。ついで、CZウェハ31の第1主面とFZウェハ1の第1主面とを貼り合せる。このとき、CZウェハ31の第1主面およびFZウェハ1の第1主面は親水化されヒドロキシル基で覆われている。このため、CZウェハ31とFZウェハ1との界面53において、CZウェハ31とFZウェハ1の間には、ウェハ表面が疎水化されたウェハ同士を貼り合せる場合に比べて強い引力が働く。これにより、CZウェハ31の第1主面とFZウェハ1の第1主面は密着する。

[0092] ついで、熱処理により、CZウェハ31の第1主面とFZウェハ1の第1主面とを、ウェハ表面のシリコン同士の単結合により貼り合せる。ここでは、例えば、窒素（ N_2 ）などの不活性ガス雰囲気下において900℃以上1200℃以下の温度で、30分以上120分以下の熱処理を行うのが好ましい。これにより、CZウェハ31の第1主面とFZウェハ1の第1主面は、それぞれの主面を覆うヒドロキシル基による引力に比べて強い分子間結合により結合される。

[0093] ついで、CZウェハ31とFZウェハ1とを貼り合せたウェハ（以下、複合ウェハとする）を洗浄し、熱処理炉内に混入する酸素（ O_2 ）によって複合ウェハの両面に形成された酸化膜を除去する。なお、以降の処理は、特に明示していない場合においても、複合ウェハに対して行われる処理である。

[0094] ついで、図6に示すように、CZウェハ31の第2主面の表面に、スクリーン酸化膜35およびレジスト膜36をこの順に積層する。ついで、例えば

電子線（EB：Electron Beam）やプロトン等の軽イオンを照射し、300℃～400℃の熱処理でライフタイム制御し、レジスト膜36を改質し硬化させる。ついで、レジスト膜36の表面に、バックグラインド（BG：Back Grinding）時にウェハを保護するテープ（以下、BGテープとする）37を貼り付ける。

[0095] ついで、FZウェハ1の第2主面側からFZウェハ1を研削し、複合ウェハのうち、FZウェハ1のみを薄板化する。ついで、FZウェハ1の第2主面を鏡面研磨する。ついで、CZウェハ31の第2主面のBGテープ37を剥離し、複合ウェハを洗浄する。ついで、エッチングにより、FZウェハ1の第2主面の表面層を、例えば5μm以上20μm以下の厚みで除去する。これにより、FZウェハ1の第2主面の表面層に生じた例えば研磨によるキズや欠陥などを除去することができる。ついで、CZウェハ31の第2主面のレジスト膜36を除去し、複合ウェハを洗浄する。

[0096] ついで、図7に示すように、FZウェハ1の第2主面に、熱酸化膜38を成長させる。ここで、熱酸化膜38の厚さは、例えば0.8μmであってもよい。ついで、フォトリソグラフィにより、熱酸化膜38の表面に、アライメントマークを形成する領域が開口するレジストマスク39を形成する。ついで、レジストマスク39をマスクとしてエッチングを行い、レジストマスク39の開口部に露出する熱酸化膜38を除去する。ここでは、例えば湿式エッチングを用いてもよい。そして、レジストマスク39を除去する。

[0097] ついで、図8に示すように、熱酸化膜38の開口部に露出するFZウェハ1の表面層に、アライメントマーク52の位置に合わせて、アライメントマーク54を形成する。つまり、アライメントマーク54は、CZウェハ31の第2主面に形成されたアライメントマーク52に対して、CZウェハ31およびFZウェハ1を挟んで対称的な位置に形成される。ここでは、例えば化学乾式エッチングにより、FZウェハ1の表面層にアライメントマーク52の位置を転写する。ついで、複合ウェハを洗浄する。

[0098] ついで、FZウェハ1の第2主面およびCZウェハ31の第2主面の表面

に、スクリーン酸化膜（不図示）を成長させる。ついで、第2分離領域部（図1参照：第2半導体領域）を形成する領域が開口するレジストマスク（不図示）を形成する。ついで、このレジストマスクをマスクとして、FZウェハ1の第2主面に、例えばボロンをイオン注入する。これにより、レジストマスクの開口部に露出するFZウェハ1の第2主面の表面層に、第2分離領域部となる p^+ 型の第2不純物領域62が形成される。

[0099] 第2不純物領域62は、FZウェハ1の第2主面の表面層の、CZウェハ31の第1主面に形成された第1不純物領域61に対応する位置に形成される。このため、第1不純物領域61および第2不純物領域62は、例えばダイシング後のチップの端部（外周端部）に、複合ウェハの深さ方向に重なるように形成される。つまり、第1不純物領域61および第2不純物領域62は、ダイシングラインの近傍における複合ウェハの深さ方向に重なるように形成されている。第2不純物領域62を形成するイオン注入のドーズ量および加速エネルギーは、第1不純物領域61を形成するイオン注入と同じ条件としてもよい。

[0100] ついで、エッチングにより、FZウェハ1の第2主面上のスクリーン酸化膜（不図示）および熱酸化膜38を合せた酸化膜の厚さを、第2不純物領域62上に形成されたスクリーン酸化膜（不図示）を除いて、約 $0.15\mu m$ まで薄くする。ここでは、例えば湿式エッチングを用いてもよい。

[0101] ついで、図9に示すように、複合ウェハに熱処理を行い、第1不純物領域61および第2不純物領域62を拡散させ、第1不純物領域61と第2不純物領域62をひとつづきの領域にする。この熱処理では、第1不純物領域61は複合ウェハのCZウェハ31側に拡散し第1分離領域部21となる。また、第2不純物領域62は複合ウェハのCZウェハ31側およびFZウェハ1側に拡散し第2分離領域部22となる。つまり、この熱処理により、第1分離領域部21および第2分離領域部22からなるひとつづきのシリコン貫通分離領域20が形成される。

[0102] このとき、第1分離領域部21と第2分離領域部22が重なり合うように

、第1不純物領域61および第2不純物領域62を拡散させるのが好ましい。例えば、熱処理炉に一定量の酸素を導入し続けた状態の酸素雰囲気下において、1250℃以上1300℃以下で熱処理を行うのが好ましい。また、シリコン貫通分離領域20を形成する熱処理では、前の工程においてFZウェハ1の第2主面上のスクリーン酸化膜（不図示）および熱酸化膜38を合わせた酸化膜40を上記厚さまで薄くしているため、高温で長時間の熱処理によって、FZウェハ1の第2主面の表面が荒れることを抑制することができる。

[0103] ついで、図10に示すように、CZウェハ31の第2主面上のスクリーン酸化膜35、およびFZウェハ1の第2主面上の熱酸化膜38およびスクリーン酸化膜を除去する。ついで、おもて面素子構造を形成する一般的な方法により、FZウェハ1の第2主面に、例えば逆阻止型IGBTのおもて面素子構造を形成する。具体的には、活性領域100において、pベース領域4や、n⁺エミッタ領域5、ゲート電極6、エミッタ電極7などからなる例えばプレーナゲート型IGBTのおもて面素子構造を形成する。例えば、金属配線層を形成する前までのおもて面素子構造を形成し、その後、他の工程を行ってから、おもて面素子構造を形成する続きの処理を行ってもよい。耐圧構造部110において、複数のフィールドリミットングリング11および複数の導電膜12を形成する。

[0104] ついで、図11に示すように、FZウェハ1の第2主面に、レジスト膜（保護膜）41を塗布し、FZウェハ1の第2主面側に形成したおもて面素子構造を覆う。そして、例えば電子線やプロトン等の軽イオンを照射し、300℃～400℃の熱処理を行ってライフタイム制御し、レジスト膜41を改質し硬化させる。ついで、レジスト膜41の表面に、BGテープ42を貼り付ける。

[0105] ついで、CZウェハ31の第2主面側から、複合ウェハを研削して薄板化する。このとき、複合ウェハのおもて面素子構造が形成されている側の面に対して反対側の面（以下、FZウェハ1の第1主面とする）に、FZウェハ

1が露出するまで複合ウェハを研削する。つまり、CZウェハ31とFZウェハ1との界面53が完全になくなるまで、複合ウェハを研削する。これにより、CZウェハ31は完全に除去される。また、シリコン貫通分離領域20が、FZウェハ1の第2主面から第1主面に貫通する。

[0106] ついで、FZウェハ1の第2主面側のBGテープ42を剥離し、複合ウェハを洗浄する。ついで、エッチングにより、FZウェハ1の第1主面の表面層を、例えば $5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の厚みで除去する。これにより、FZウェハ1の第1主面の表面層に生じた例えば研削によるキズや欠陥などを除去することができる。

[0107] ついで、図12に示すように、FZウェハ1の第1主面の全面に、例えばボロンをイオン注入する。イオン注入のドーズ量および加速エネルギーを、例えば $5 \times 10^{13} \text{cm}^{-2}$ および 100keV としてもよい。また、複数のドーパントを、それぞれ異なる加速エネルギーで、FZウェハ1の第1主面にイオン注入してもよい。イオン注入条件は、逆耐圧型IGBTの設計条件に依存して種々変更可能である。

[0108] ついで、図13に示すように、FZウェハ1の第1主面にレーザーを照射し、FZウェハ1の第1主面の全面に導入した例えばボロンを活性化させる。これにより、FZウェハ1の第1主面の全面に、第1分離領域部21に接するpコレクタ領域2が形成される。レーザーによる熱処理において、照射エネルギー密度が $1.0 \times 10^{-3} \text{J/cm}^2$ 以上 $2.0 \times 10^{-3} \text{J/cm}^2$ 以下で、かつ 1.1eV より大きいフォトンエネルギーを有するレーザーを用いてもよい。また、波長が 532nm のYAGレーザーを用いてもよい。熱処理温度は、例えば、 1000°C 以下であってもよい。

[0109] ついで、FZウェハ1の第1主面に、金属電極膜を堆積し、pコレクタ領域2に接するコレクタ電極3を形成する。これにより、図1に示すように、逆阻止型IGBTが完成する。

[0110] 上述した逆阻止型IGBTの作製では、FZウェハ1の第2主面におもて面阻止構造を形成した後、複合ウェハを薄板化する前まで、または、FZウ

エハ１の第１主面にｐコレクタ領域２を形成した後に、熱処理を行い、複合ウェハ中における少数キャリアのキャリアライフタイムを調整してもよい。少数キャリアのキャリアライフタイムの調整は、例えば電子線やプロトン等の軽イオンを照射し、３００℃以上４００℃以下の温度で、３０分以上９０分以下の熱処理によって行ってもよい。

[0111] また、６００Ｖの逆阻止耐圧を有する逆阻止型ＩＧＢＴを作製する場合、完成後の逆阻止型ＩＧＢＴのドリフト領域の厚さが、例えば８０μｍ以上１００μｍ以下となるように複合ウェハを薄板化するのがよい。１２００Ｖの逆阻止耐圧を有する逆阻止型ＩＧＢＴを作製する場合、完成後の逆阻止型ＩＧＢＴのドリフト領域の厚さが、例えば１６０μｍ以上２００μｍ以下となるように複合ウェハを薄板化するのがよい。

[0112] 以上、説明したように、実施の形態１によれば、複合ウェハ内に互いに離れて形成された第１分離領域部２１および第２分離領域部２２を拡散させて、素子完成後のドリフト領域の第１主面側から第２主面側に貫通するひとつづきのシリコン貫通分離領域２０を形成する。このため、第１分離領域部２１および第２分離領域部２２をそれぞれ素子完成後のドリフト領域の厚さの半分程度まで拡散させるだけでよい。これにより、シリコン貫通分離領域２０を形成する際に要する拡散時間を、従来の約１／２～１／３程度とすることができる。

[0113] 具体的には、例えば６００Ｖの逆阻止耐圧を有する逆阻止型ＩＧＢＴでは、１３００℃の熱処理で、５０時間台の拡散時間とすることができる。また、１２００Ｖの逆阻止耐圧を有する逆阻止型ＩＧＢＴでは、１３００℃の熱処理で、１００時間台の拡散時間とすることができる。

[0114] また、シリコン貫通分離領域を形成する際に要する拡散時間を短くすることができるため、素子のドリフト領域を厚くしたとしても、シリコン貫通分離領域２０の拡散時間が長いことに起因する酸素析出物や酸素のドナー化から、逆耐圧型ＩＧＢＴに生じる耐圧不良や漏れ電流の増大などを抑制することができる。これにより、素子の高耐圧化を図ることができる。したがって

、逆耐圧型 IGBT を搭載するパワーコンバータの動作電圧の範囲を拡大することができる。

[0115] また、CZ ウェハ 31 と FZ ウェハ 1 を直接貼り合わせるにより、シリコン貫通分離領域の熱拡散の工程において、CZ ウェハ 31 内の酸素イントリンシックゲッタリング (IG: Intrinsic Gettering) センターが汚染となる金属イオンをゲッタリングすることができる。このため、逆阻止型 IGBT 製造工程のゲッタリング能力を向上することができる。これにより、従来のように、FZ ウェハに特殊なゲッタリング層を形成する必要がなくなる。したがって、ウェハコストを低減することができる。

[0116] また、プレーナゲート型構造を有する逆阻止型 IGBT を形成することができるため、従来の凹部を有する逆阻止型 IGBT (図 28 参照) や、トレンチ構造のシリコン貫通分離領域を有する逆阻止型 IGBT (図 27 参照) を作製する場合に比べて、逆阻止型 IGBT の良品率を向上することができる。

[0117] また、従来の凹部を有する逆阻止型 IGBT (図 28 参照) や、トレンチ構造のシリコン貫通分離領域を有する逆阻止型 IGBT (図 27 参照) を作製する場合に比べて、シリコン貫通分離領域 20 を形成するためのイオン注入を制御性良く行うことができる。このため、逆阻止型 IGBT を作製する際のエネルギー資源を低減することができる。

[0118] (実施の形態 2)

図 14 は、実施の形態 2 にかかる逆阻止型 IGBT を示す断面図である。実施の形態 1 にかかる逆阻止型 IGBT の、 n^- 型のドリフト領域と p コレクタ領域の間に、 n^- 型のエピタキシャル層を設けた構成としてもよい。

[0119] 図 14 に示す逆阻止型 IGBT では、ドリフト領域となる n^- 型のウェハ (第 1 ウェハ) 1 と p コレクタ領域 2 の間に、 n^- 型のエピタキシャル層 8 が設けられている。シリコン貫通分離領域 70 は、第 1 分離領域部 71 および第 2 分離領域部 72 からなる。第 1 分離領域部 71 は、ウェハ 1 の第 1 主面側の表面層からエピタキシャル層 8 にかけて設けられている。また、第 1 分離

領域部 7 1 は、C Z ウェハ 8 4 側の端部で p コレクタ領域 2 に接し、かつ F Z ウェハ 1 の第 2 主面側の端部で第 2 分離領域部 7 2 に接する。第 2 分離領域部 7 2 は、ウェハ 1 の第 2 主面の表面層に設けられている。それ以外の構成は、実施の形態 1 に示す逆阻止型 I G B T (図 1 参照) と同様の構成を有する。

[0120] 図 1 5 ~ 図 2 5 は、実施の形態 2 にかかる逆阻止型 I G B T の製造過程を示す断面図である。以下、実施の形態 1 と同様の部分 (例えば処理条件等) については説明を省略する。まず、図 1 5 に示すように、第 1 主面および第 2 主面が鏡面研磨された n 型のウェハ (第 1 ウェハ) 1 を用意する。ウェハ 1 として、例えば F Z ウェハを用いるのが好ましい。以下、実施の形態 2 において、第 1 ウェハを F Z ウェハ 1 とする。

[0121] ついで、F Z ウェハ 1 の第 1 主面の表面に、熱酸化膜 8 1 を成長させる。ついで、フォトリソグラフィにより、熱酸化膜 8 1 の表面に、アライメントマークを形成する領域が開口するレジストマスク 8 2 を形成する。ついで、レジストマスク 8 2 をマスクとしてエッチングを行い、レジストマスク 8 2 の開口部に露出する熱酸化膜 8 1 を除去する。そして、レジストマスク 8 2 を除去する。

[0122] ついで、熱酸化膜 8 1 をマスクとしてエッチングを行い、熱酸化膜 8 1 の開口部に露出する F Z ウェハ 1 を除去する。これにより、図 1 6 に示すように、F Z ウェハ 1 の第 1 主面の表面層に、アライメントマーク 5 5 が形成される。

[0123] ついで、フォトリソグラフィにより、熱酸化膜 8 1 の表面に、第 1 分離領域部を形成する領域が開口するレジストマスク 8 3 を形成する。ついで、レジストマスク 8 3 をマスクとして、F Z ウェハ 1 の第 1 主面に、例えばボロンをイオン注入する。このとき、イオン注入のドーズ量および加速エネルギーを、例えば $5 \times 10^{15} \text{ cm}^{-2}$ および 45 keV としてもよい。これにより、レジストマスク 8 3 の開口部に露出する F Z ウェハ 1 の第 1 主面の表面層に、第 1 分離領域部として p⁺ 型の第 1 不純物領域 6 3 が形成される (図 1 7 参

照)。

[0124] ついで、図17に示すように、レジストマスク83を除去し、FZウェハ1を洗浄する。ついで、FZウェハ1に熱処理を行い、第1不純物領域63を活性化させる。例えば、不活性ガス雰囲気下において1000℃の温度で、30分間の熱処理を行うことにより、第1不純物領域63を活性化させる。これにより、第1不純物領域63を形成するためのイオン注入で、第1不純物領域63内に生じた結晶欠陥を回復させることができる。ついで、アライメントマーク55を形成するためのマスクとして形成された熱酸化膜(不図示)を除去する。

[0125] ついで、図18に示すように、FZウェハ1の第1主面の表面に、n⁻型のエピタキシャル層8を成長させる。このとき、FZウェハ1の第1主面に形成されたアライメントマーク55は、エピタキシャル層8の表面に転写され、エピタキシャル層8の表面には、アライメントマーク56が形成される。また、前の工程において、第1不純物領域63内に生じた結晶欠陥を回復させているため、第1不純物領域63の上部およびその周辺に形成されたエピタキシャル層8の結晶性を確保することができる。

[0126] ついで、図19に示すように、FZウェハ1の第2主面に、アライメントマーク55の形成と同様の方法で、アライメントマーク56の位置に合わせて、アライメントマーク57を形成する。つまり、アライメントマーク57は、エピタキシャル層8の表面に形成されたアライメントマーク56に対して、FZウェハ1を挟んで対称的な位置に形成される。ついで、アライメントマーク57を形成するためのマスクとして形成された熱酸化膜(不図示)を除去する。

[0127] ついで、図20に示すように、第1主面および第2主面が鏡面研磨されたn型のウェハ(第2ウェハ)84を用意する。ウェハ84として、CZウェハを用いるのが好ましい。以下、実施の形態2において、第2ウェハをCZウェハ84とする。ついで、実施の形態1と同様の方法で、FZウェハ1のエピタキシャル層8側の面と、CZウェハ84の第1主面を貼り合わせる。つ

いで、実施の形態 1 と同様の方法で、C Z ウェハ 8 4 とエピタキシャル層 8 との界面 5 8 において、C Z ウェハ 8 4 とエピタキシャル層 8 を分子間結合により結合する。

[0128] ついで、C Z ウェハ 8 4 の第 2 主面に、アライメントマーク 5 5 の形成と同様の方法で、アライメントマーク 5 7 の位置に合わせて、アライメントマーク 5 9 を形成する。つまり、アライメントマーク 5 9 は、F Z ウェハ 1 の第 2 主面に形成されたアライメントマーク 5 7 に対して、F Z ウェハ 1、エピタキシャル層 8 および C Z ウェハ 8 4 からなる複合ウェハを挟んで対称的な位置に形成される。

[0129] ついで、図 2 1 に示すように、実施の形態 1 と同様に（図 6 参照）、C Z ウェハ 8 4 の第 2 主面の表面に、スクリーン酸化膜（不図示）およびレジスト膜 8 5 をこの順に積層し、B G テープ 8 6 を貼り付ける。ついで、実施の形態 1 と同様に、複合ウェハのうち、F Z ウェハ 1 のみを薄板化する。

[0130] ついで、図 2 2 に示すように、実施の形態 1 と同様に（図 7、8 参照）、熱酸化膜 8 7 上に形成され、第 2 分離領域部を形成する領域が開口するレジストマスク（不図示）をマスクとしてイオン注入を行い、F Z ウェハ 1 の第 2 主面の表面層に、第 2 分離領域部として p⁺型の第 2 不純物領域 6 4 を形成する。第 2 不純物領域 6 4 は、F Z ウェハ 1 の第 2 主面の表面層の、F Z ウェハ 1 の第 1 主面に設けられた第 1 不純物領域 6 3 に対応する位置に形成される。つまり、第 1 不純物領域 6 3 および第 2 不純物領域 6 4 は、実施の形態 1 と同様に、例えばダイシング後のチップの端部（外周端部）に、複合ウェハの深さ方向に重なるように形成される。

[0131] ついで、図 2 3 に示すように、実施の形態 1 と同様に（図 9 参照）、複合ウェハに熱処理を行い、第 1 不純物領域 6 3 および第 2 不純物領域 6 4 を拡散させる。このとき、エピタキシャル層 8 内を貫通し C Z ウェハ 8 4 に達するように、第 1 不純物領域 6 3 を拡散させる。つまり、第 1 不純物領域 6 3 は、C Z ウェハ 8 4 とエピタキシャル層 8 との界面 5 8 を越えて拡散する。これにより、F Z ウェハ 1 内に、第 1 分離領域部 7 1 と第 2 分離領域部 7 2

が形成される。そして、FZウェハ1、エピタキシャル層8およびCZウェハ84に跨って、第1分離領域部21および第2分離領域部22からなるシリコン貫通分離領域70が形成される。

[0132] ついで、図24に示すように、実施の形態1と同様に（図10参照）、FZウェハ1の第2主面に、例えば逆阻止型IGBTのおもて面素子構造を形成する。ついで、図25に示すように、実施の形態1と同様に（図11参照）、FZウェハ1の第2主面に、硬化させたレジスト膜88を形成し、BGテープ89を貼り付けておもて面素子構造を覆う。

[0133] ついで、CZウェハ84の第2主面側から、複合ウェハを研削して薄板化する。このとき、複合ウェハのおもて面素子構造が形成されている側の面に対して反対側の面（FZウェハ1の第1主面）に、エピタキシャル層8が露出するまで複合ウェハを研削する。つまり、CZウェハ84とエピタキシャル層8との界面58が完全になくなるまで、複合ウェハを研削する。これにより、CZウェハ84は完全に除去される。また、シリコン貫通分離領域70が、FZウェハ1の第2主面から、FZウェハ1の第2主面に対して反対側のエピタキシャル層の面に貫通する。ついで、その後の工程を、実施の形態1と同様に行い、図14に示す逆阻止型IGBTが完成する。それ以外の方法および処理条件は、実施の形態1と同様である。

[0134] またエピタキシャル層8の厚さが、完成後の逆阻止型IGBTのドリフト領域の厚さの1/3になるまで、複合ウェハを薄板化するのがよい。例えば、1700Vの逆阻止耐圧を有する逆阻止型IGBTを作製する場合、完成後の逆阻止型IGBTのドリフト領域の厚さが、例えば220 μ m以上280 μ m以下となるのがよい。このため、エピタキシャル層8の厚さを、70 μ m以上100 μ m以下となるように複合ウェハを薄板化するのがよい。好ましくは、エピタキシャル層8の厚さを、80 μ m以下となるように複合ウェハを薄板化するのがよい。また、FZウェハ1の厚さを、160 μ m以上200 μ m以下となるようにFZウェハ1を薄板化するのがよい。この場合、第1不純物領域63および第2不純物領域64の拡散深さが85 μ m以上

100 μm 以下となるような拡散時間でシリコン貫通分離領域70を形成することができる。

[0135] 以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。また、FZウェハ1とCZウェハ84の間にエピタキシャル層8を設けることで、第1不純物領域63および第2不純物領域64を拡散させる際の拡散時間をさらに低減することができる。このため、シリコン貫通分離領域70を形成する際に要する拡散時間をさらに短くすることができる。具体的には、例えば1700Vの逆阻止耐圧を有する逆阻止型IGBTでは、1300°Cの熱処理で、100時間台の拡散時間とすることができる。したがって、高耐圧化を図ることよりさらにドリフト領域が厚くなった逆阻止型IGBTにおいても、従来よりも短い拡散時間でシリコン貫通分離領域を形成することができる。

[0136] 以上において本発明では、上述した実施の形態に限らず、n型とp型をすべて逆転した構成とすることが可能である。また、逆阻止型IGBTに限らず、ウェハの第1主面から第2主面に貫通する拡散層を有する半導体装置に適用することも可能である。また、第1、2ウェハとして、CZウェハおよびFZウェハを用いているが、これに限らず種々変更可能である。例えば、CZウェハに替えて、ゲッタリング能力を有する材料からなるウェハを用いてもよい。また、複合ウェハを形成する際に熱酸化膜を用いているが、同様の機能を有する酸化膜や他の材料膜を用いてもよい。

産業上の利用可能性

[0137] 以上のように、本発明にかかる半導体装置の製造方法は、AC（交流）／AC直接変換などのパワーコンバータなどに搭載されるスイッチング素子や種々の産業用機械や自動車などに用いられる電源装置に使用されるパワー半導体装置に有用である。

符号の説明

- [0138] 1 ウェハ（ドリフト領域）
 2 pコレクタ領域

- 3 コレクタ電極
- 4 pベース領域
- 5 n^+ エミッタ領域
- 6 ゲート電極
- 7 エミッタ電極
- 1 1 フィールドリミットングリング
- 1 2 導電膜
- 1 3 層間絶縁膜
- 2 0 シリコン貫通分離領域
- 2 1 分離領域部（第1）
- 2 2 分離領域部（第2）
- 1 0 0 活性領域
- 1 1 0 耐圧構造部
- 1 2 0 外周端部

請求の範囲

- [請求項1] 第1導電型の第1ウェハの第1主面の表面層に、第2導電型の第1半導体領域を選択的に形成する第1領域形成工程と、
- 前記第1領域形成工程の後、前記第1ウェハの第1主面と、第1導電型の第2ウェハの第1主面とを貼り合わせる貼り合せ工程と、
- 前記第2ウェハの第2主面の表面層の、前記第1ウェハの第1主面に形成された前記第1半導体領域に対応する位置に、第2導電型の第2半導体領域を選択的に形成する第2領域形成工程と、
- 前記第1半導体領域および前記第2半導体領域を拡散させて、前記第1半導体領域と前記第2半導体領域をひとつづきの領域にする拡散工程と、
- を含むことを特徴とする半導体装置の製造方法。
- [請求項2] 前記第2領域形成工程では、前記第1ウェハと前記第2ウェハとを貼り合わせたウェハの深さ方向に、前記第1半導体領域と重なるように、前記第2半導体領域を形成することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記拡散工程の後、前記第1ウェハと前記第2ウェハとを貼り合わせたウェハを、前記第1ウェハの第2主面側から除去して薄板化し、前記第2ウェハを露出する薄板化工程をさらに含むことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記拡散工程と前記薄板化工程との間に、前記第2ウェハの前記第2主面に、絶縁ゲートバイポーラートランジスタのおもて面素子構造を形成する素子構造形成工程をさらに含むことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項5] 前記素子構造形成工程では、金属配線層を形成する前のおもて面素子構造を形成し、
- 前記薄板化工程では、前記金属配線層を形成する前のおもて面素子構造の表面を保護膜で覆った後、前記第1ウェハと前記第2ウェハと

を貼り合せたウェハを薄板化することを特徴とする請求項 4 に記載の半導体装置の製造方法。

[請求項6] 前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする請求項 4 に記載の半導体装置の製造方法。

[請求項7] 前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と 300℃以上 400℃以下の温度で、30分以上 90分以下の熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする請求項 4 に記載の半導体装置の製造方法。

[請求項8] 前記薄板化工程の後に、前記第 2 ウェハの第 1 主面に、前記第 1 半導体領域に接する第 2 導電型の第 3 半導体領域を形成する第 3 領域形成工程をさらに含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

[請求項9] 前記薄板化工程の後に、前記第 2 ウェハの第 1 主面に、前記第 1 半導体領域に接する第 2 導電型の第 3 半導体領域を形成する第 3 領域形成工程をさらに含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

[請求項10] 前記第 3 領域形成工程の後に、軽イオン照射と熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする請求項 8 に記載の半導体装置の製造方法。

[請求項11] 前記第 3 領域形成工程の後に、軽イオン照射と 300℃以上 400℃以下の温度で、30分以上 90分以下の熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする請求項 8 に記載の半導体装置の製造方法。

- [請求項12] 前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、 1000°C 以下の温度で熱処理を行い、前記第3半導体領域を形成することを特徴とする請求項8に記載の半導体装置の製造方法。
- [請求項13] 前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、 1000°C 以下の温度で熱処理を行い、前記第3半導体領域を形成することを特徴とする請求項9に記載の半導体装置の製造方法。
- [請求項14] 前記第3領域形成工程では、前記第2ウェハの第1主面に第2導電型不純物をイオン注入した後、前記第2ウェハの第1主面に、照射エネルギー密度が $1.0 \times 10^{-3} \text{ J/cm}^2$ 以上 $2.0 \times 10^{-3} \text{ J/cm}^2$ 以下で、かつ 1.1 eV より大きいフォトンエネルギーを有するレーザーを照射し、前記第3半導体領域を形成することを特徴とする請求項8に記載の半導体装置の製造方法。
- [請求項15] 前記貼り合せ工程では、前記第1ウェハの第1主面および前記第2ウェハの第1主面のシリコン結合の終端をヒドロキシル基に置き換えた後、前記第1ウェハの第1主面と前記第2ウェハの第1主面とを貼り合わせることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項16] 前記貼り合せ工程では、前記第1ウェハの第1主面と前記第2ウェハの第1主面とを貼り合せた後、不活性ガス雰囲気下において 900°C 以上 1200°C 以下の温度で、30分以上120分以下の熱処理を行い、前記第1ウェハの第1主面と前記第2ウェハの第1主面を、ウェハ表面のシリコン同士の単結合により結合することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項17] 前記貼り合せ工程と前記第2領域形成工程との間に、前記第2ウェハを第2主面側から薄板化する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項18] 前記第1ウェハとして、チョクラルスキー法によって作成されたシ

リコンウェハを用いることを特徴とする請求項 1 に記載の半導体装置の製造方法。

[請求項19] 前記第 2 ウェハとして、浮遊帯法によって作成されたシリコンウェハを用いることを特徴とする請求項 1 ～ 18 のいずれか一つに記載の半導体装置の製造方法。

[請求項20] 第 1 導電型の第 1 ウェハの第 1 主面の表面層に、第 2 導電型の第 1 半導体領域を選択的に形成する第 1 領域形成工程と、

前記第 1 領域形成工程の後、前記第 1 ウェハの第 1 主面の表面に、第 1 導電型のエピタキシャル層を成長させるエピタキシャル工程と、

前記第 1 ウェハの前記エピタキシャル層側の面と、第 1 導電型の第 2 ウェハの第 1 主面とを貼り合わせる貼り合せ工程と、

前記第 1 ウェハの第 2 主面の表面層の、該第 1 ウェハの第 1 主面に設けられた前記第 1 半導体領域に対応する位置に、第 2 導電型の第 2 半導体領域を選択的に形成する第 2 領域形成工程と、

前記第 1 半導体領域および前記第 2 半導体領域を拡散させて、前記第 1 半導体領域を前記第 2 ウェハに達する領域にし、かつ前記第 1 半導体領域と前記第 2 半導体領域とをひとつづきの領域にする拡散工程と、

を含むことを特徴とする半導体装置の製造方法。

[請求項21] 前記第 2 領域形成工程では、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハの深さ方向に、前記第 1 半導体領域と重なるように、前記第 2 半導体領域を形成することを特徴とする請求項 20 に記載の半導体装置の製造方法。

[請求項22] 前記拡散工程の後、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハを、前記第 2 ウェハの第 2 主面側から除去して薄板化し、前記エピタキシャル層を露出する薄板化工程をさらに含むことを特徴とする請求項 20 に記載の半導体装置の製造方法。

[請求項23] 前記拡散工程と前記薄板化工程との間に、前記第 2 ウェハの前記第

2主面に、絶縁ゲートバイポーラートランジスタのおもて面素子構造を形成する素子構造形成工程をさらに含むことを特徴とする請求項20に記載の半導体装置の製造方法。

[請求項24] 前記素子構造形成工程では、金属配線層を形成する前のおもて面素子構造を形成し、

前記薄板化工程では、前記金属配線層を形成する前のおもて面素子構造の表面を保護膜で覆った後、前記第1ウェハと前記第2ウェハとを貼り合せたウェハを薄板化することを特徴とする請求項22に記載の半導体装置の製造方法。

[請求項25] 前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と熱処理を行い、前記第1ウェハと前記第2ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする請求項22に記載の半導体装置の製造方法。

[請求項26] 前記素子構造形成工程と前記薄板化工程との間に、軽イオン照射と300℃以上400℃以下の温度で、30分以上90分以下の熱処理を行い、前記第1ウェハと前記第2ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする請求項22に記載の半導体装置の製造方法。

[請求項27] 前記薄板化工程の後に、前記第2ウェハの第1主面に、前記第1半導体領域に接する第2導電型の第3半導体領域を形成する第3領域形成工程をさらに含むことを特徴とする請求項20に記載の半導体装置の製造方法。

[請求項28] 前記薄板化工程の後に、前記第2ウェハの第1主面に、前記第1半導体領域に接する第2導電型の第3半導体領域を形成する第3領域形成工程をさらに含むことを特徴とする請求項24に記載の半導体装置の製造方法。

[請求項29] 前記第3領域形成工程の後に、軽イオン照射と熱処理を行い、前記第1ウェハと前記第2ウェハとを貼り合せたウェハ中における少数キ

キャリアのキャリアライフタイムを調整することを特徴とする請求項 27 に記載の半導体装置の製造方法。

[請求項30] 前記第 3 領域形成工程の後に、軽イオン照射と 300°C 以上 400°C 以下の温度で、30 分以上 90 分以下の熱処理を行い、前記第 1 ウェハと前記第 2 ウェハとを貼り合せたウェハ中における少数キャリアのキャリアライフタイムを調整することを特徴とする請求項 27 に記載の半導体装置の製造方法。

[請求項31] 前記第 3 領域形成工程では、前記第 2 ウェハの第 1 主面に第 2 導電型不純物をイオン注入した後、 1000°C 以下の温度で熱処理を行い、前記第 3 半導体領域を形成することを特徴とする請求項 27 に記載の半導体装置の製造方法。

[請求項32] 前記第 3 領域形成工程では、前記第 2 ウェハの第 1 主面に第 2 導電型不純物をイオン注入した後、 1000°C 以下の温度で熱処理を行い、前記第 3 半導体領域を形成することを特徴とする請求項 28 に記載の半導体装置の製造方法。

[請求項33] 前記第 3 領域形成工程では、前記第 2 ウェハの第 1 主面に第 2 導電型不純物をイオン注入した後、前記第 2 ウェハの第 1 主面に、照射エネルギー密度が $1.0 \times 10^{-3} \text{ J/cm}^2$ 以上 $2.0 \times 10^{-3} \text{ J/cm}^2$ 以下で、かつ 1.1 eV より大きいフォトンエネルギーを有するレーザーを照射し、前記第 3 半導体領域を形成することを特徴とする請求項 27 に記載の半導体装置の製造方法。

[請求項34] 前記貼り合せ工程では、前記エピタキシャル層の表面および前記第 2 ウェハの第 1 主面のシリコン結合の終端をヒドロキシル基に置き換えた後、前記エピタキシャル層の表面と前記第 2 ウェハの第 1 主面とを貼り合せることを特徴とする請求項 20 に記載の半導体装置の製造方法。

[請求項35] 前記貼り合せ工程では、前記エピタキシャル層の表面と前記第 2 ウェハの第 1 主面とを貼り合せた後、不活性ガス雰囲気下において 90

0℃以上1200℃以下の温度で、30分以上120分以下の熱処理を行い、前記エピタキシャル層の表面と前記第2ウェハの第1主面とを、ウェハ表面のシリコン同士の単結合により結合することを特徴とする請求項20に記載の半導体装置の製造方法。

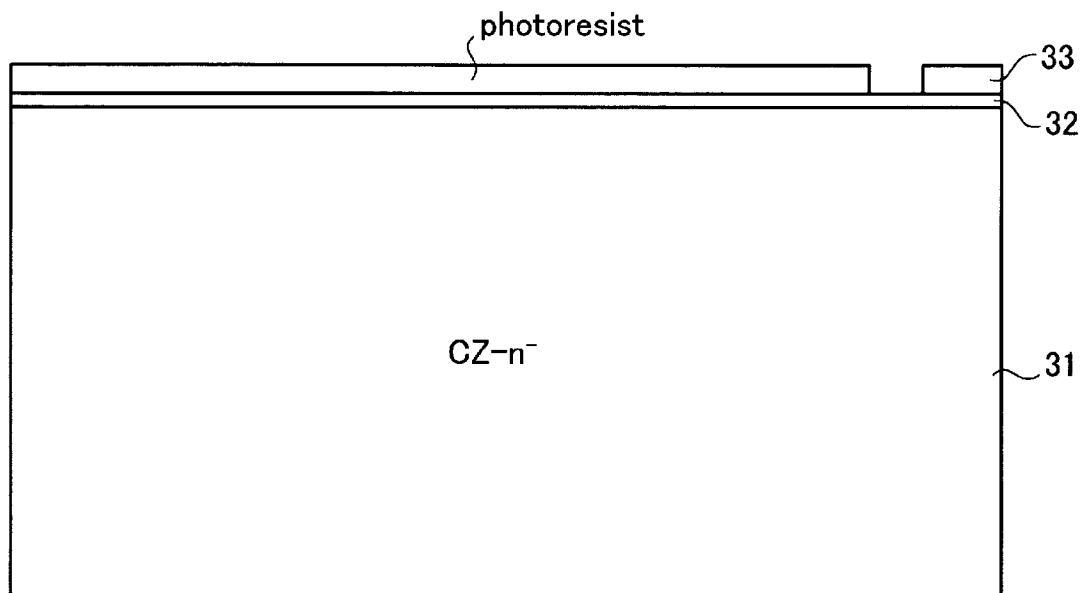
[請求項36] 前記貼り合せ工程と前記第2領域形成工程との間に、前記第1ウェハを第2主面側から薄板化することを特徴とする請求項20に記載の半導体装置の製造方法。

[請求項37] 前記薄板化工程では、前記エピタキシャル層の厚さが、完成後の素子のドリフト領域の厚さの1/3になるまで、前記第1ウェハと前記第2ウェハとを貼り合せたウェハを薄板化することを特徴とする請求項22に記載の半導体装置の製造方法。

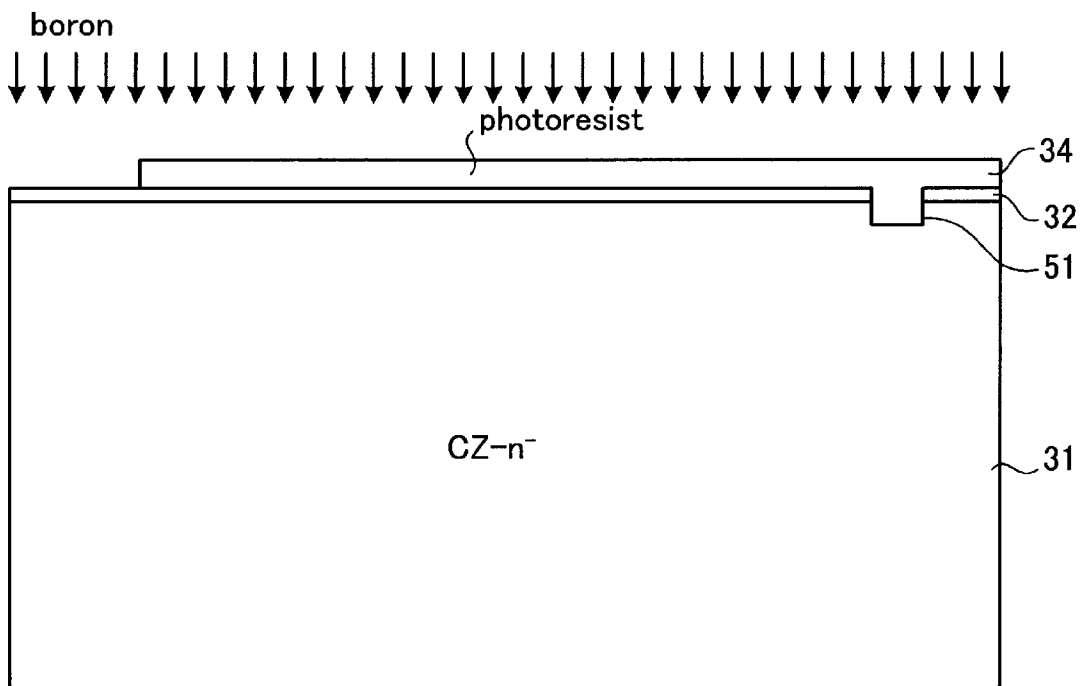
[請求項38] 前記第1ウェハとして、浮遊帯法によって作成されたシリコンウェハを用いることを特徴とする請求項20に記載の半導体装置の製造方法。

[請求項39] 前記第2ウェハとして、チョクラルスキー法によって作成されたシリコンウェハを用いることを特徴とする請求項20～38のいずれか一つに記載の半導体装置の製造方法。

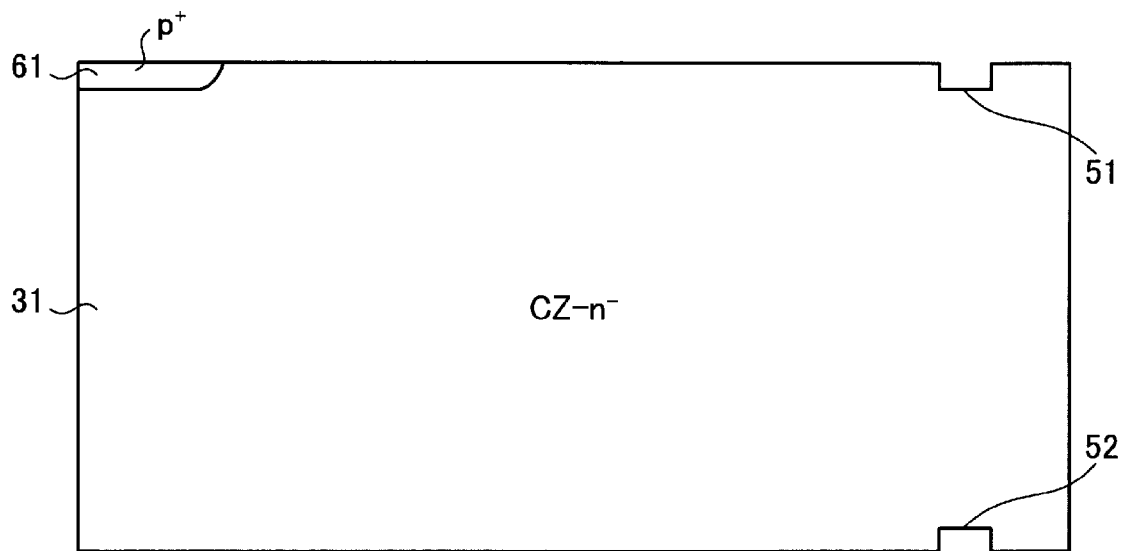
[図2]



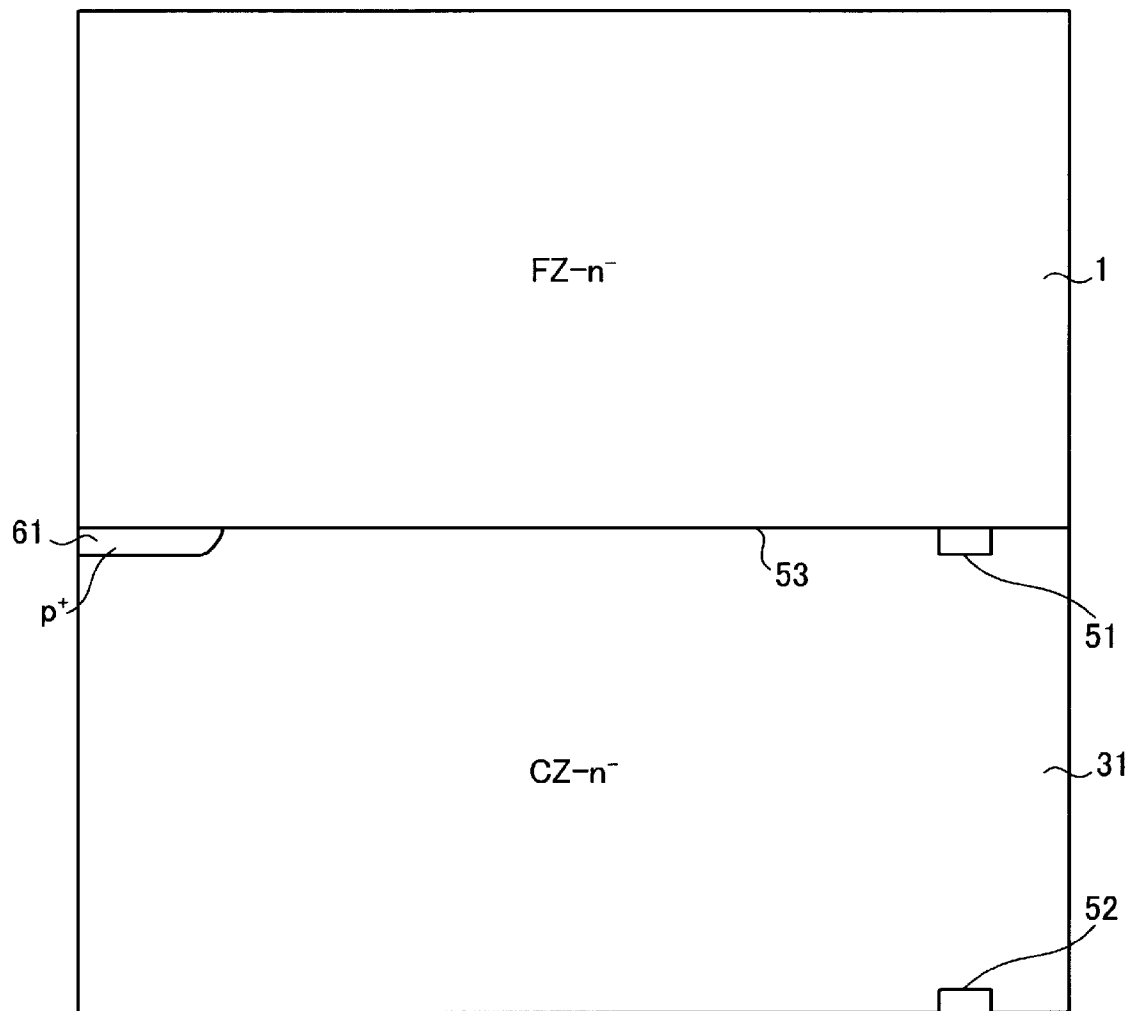
[図3]



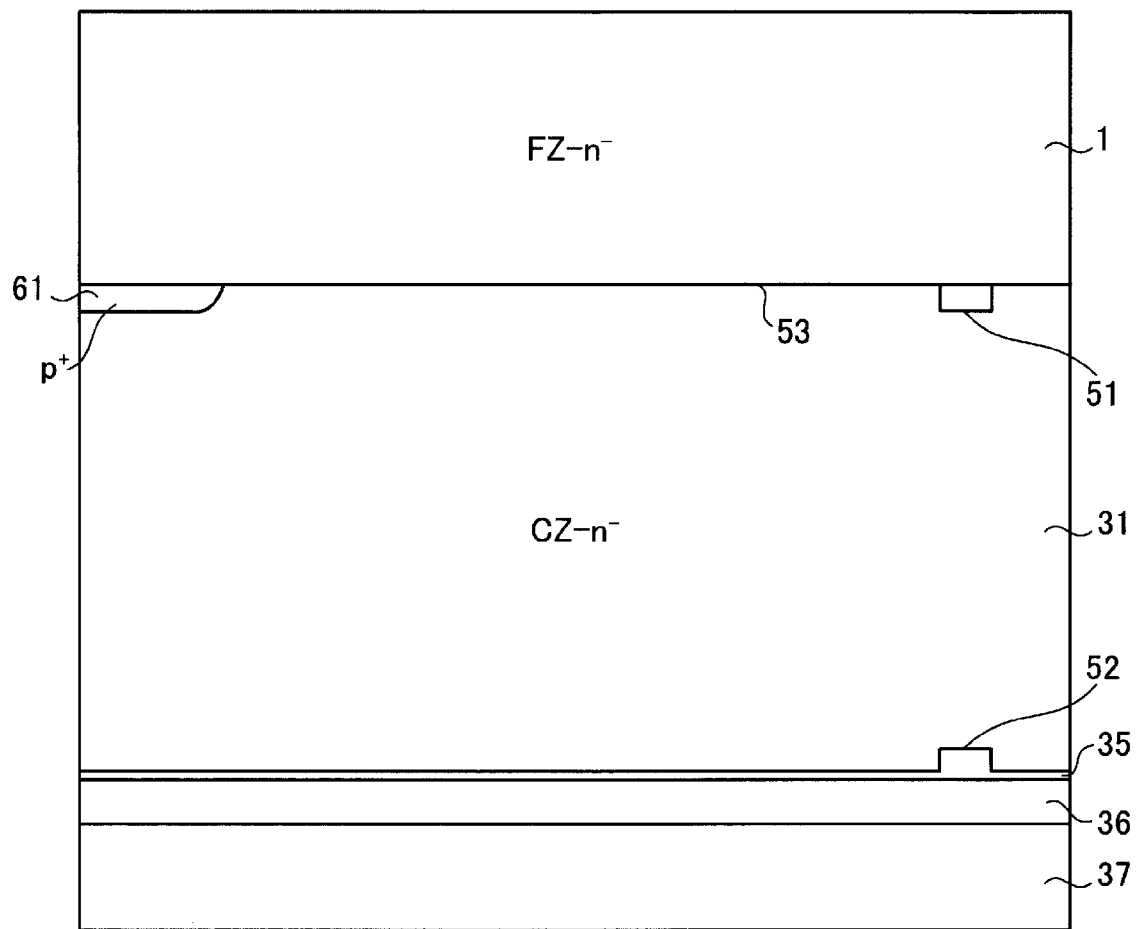
[図4]



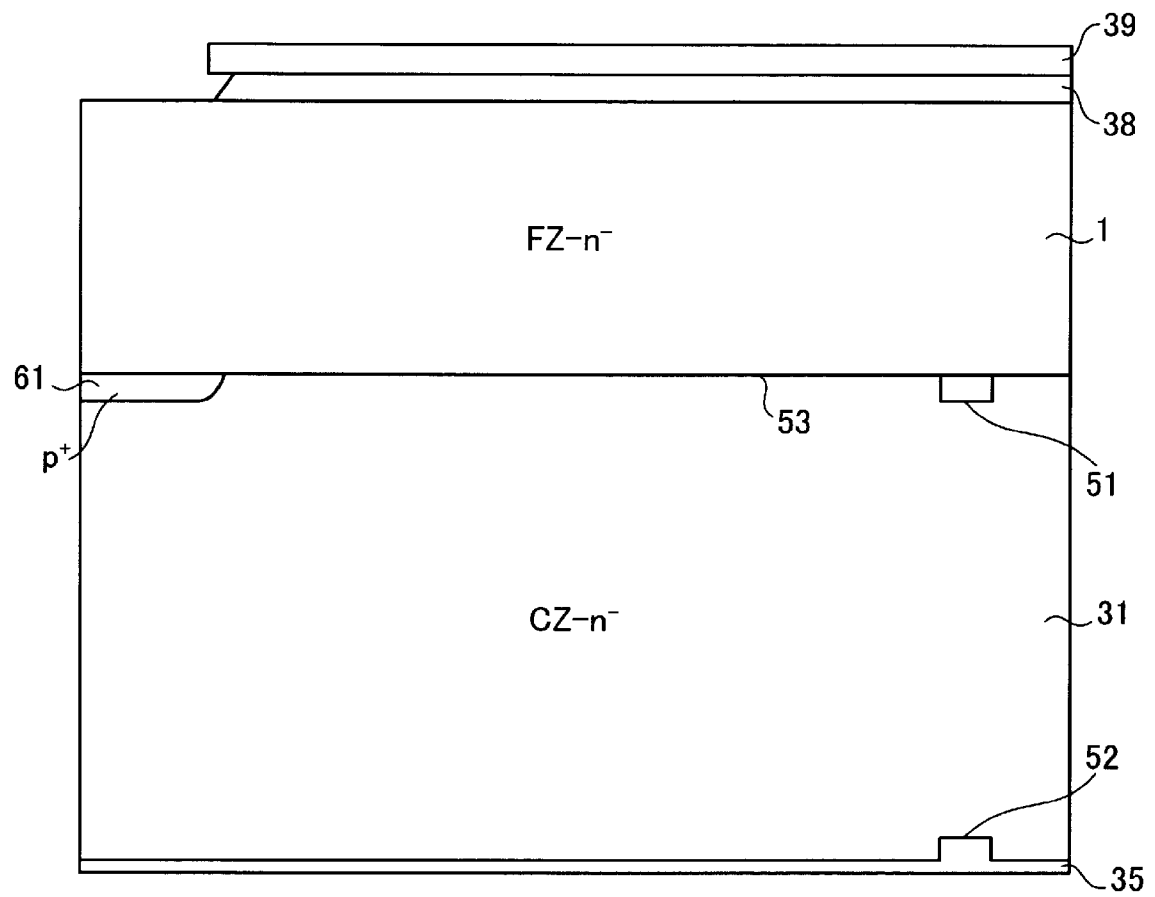
[図5]



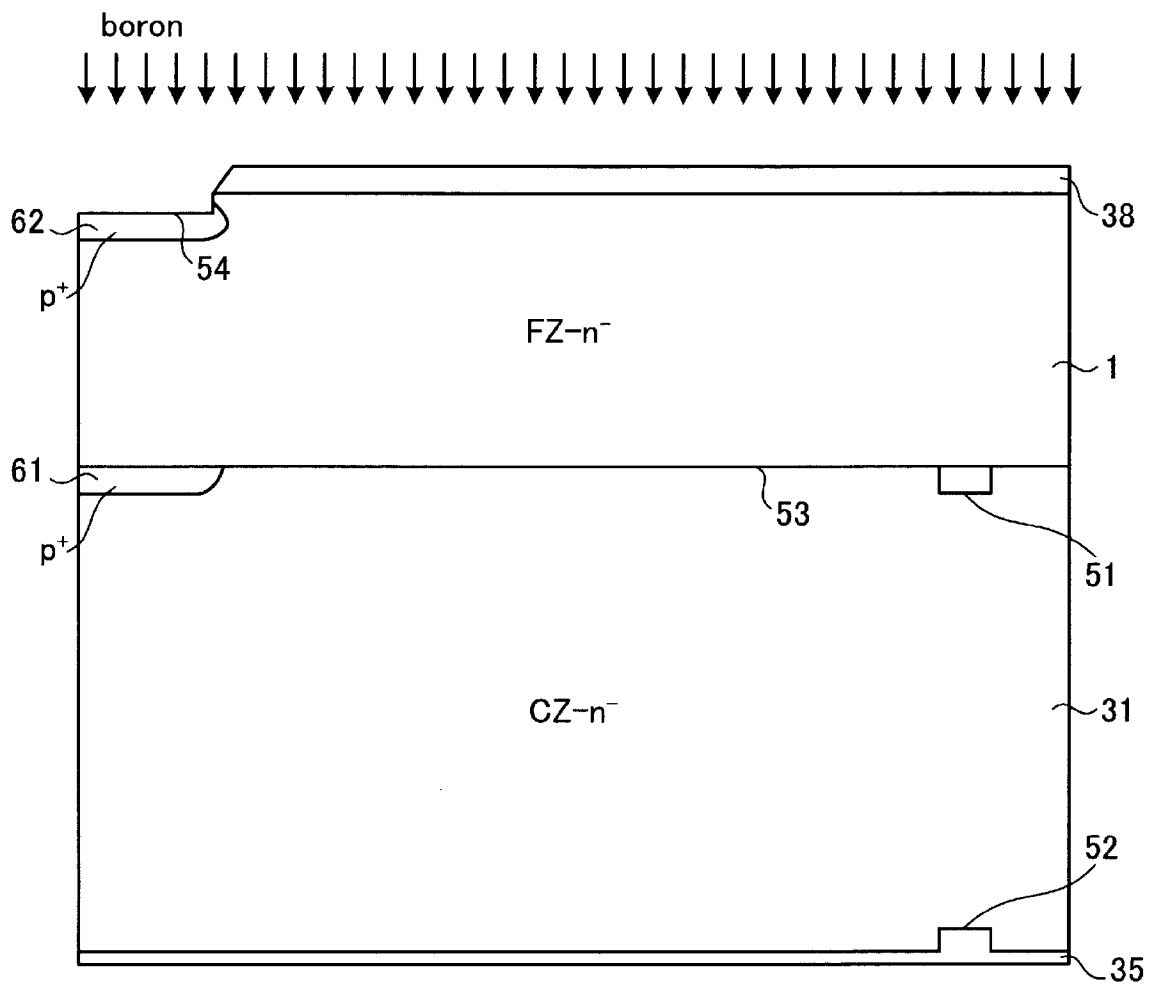
[図6]



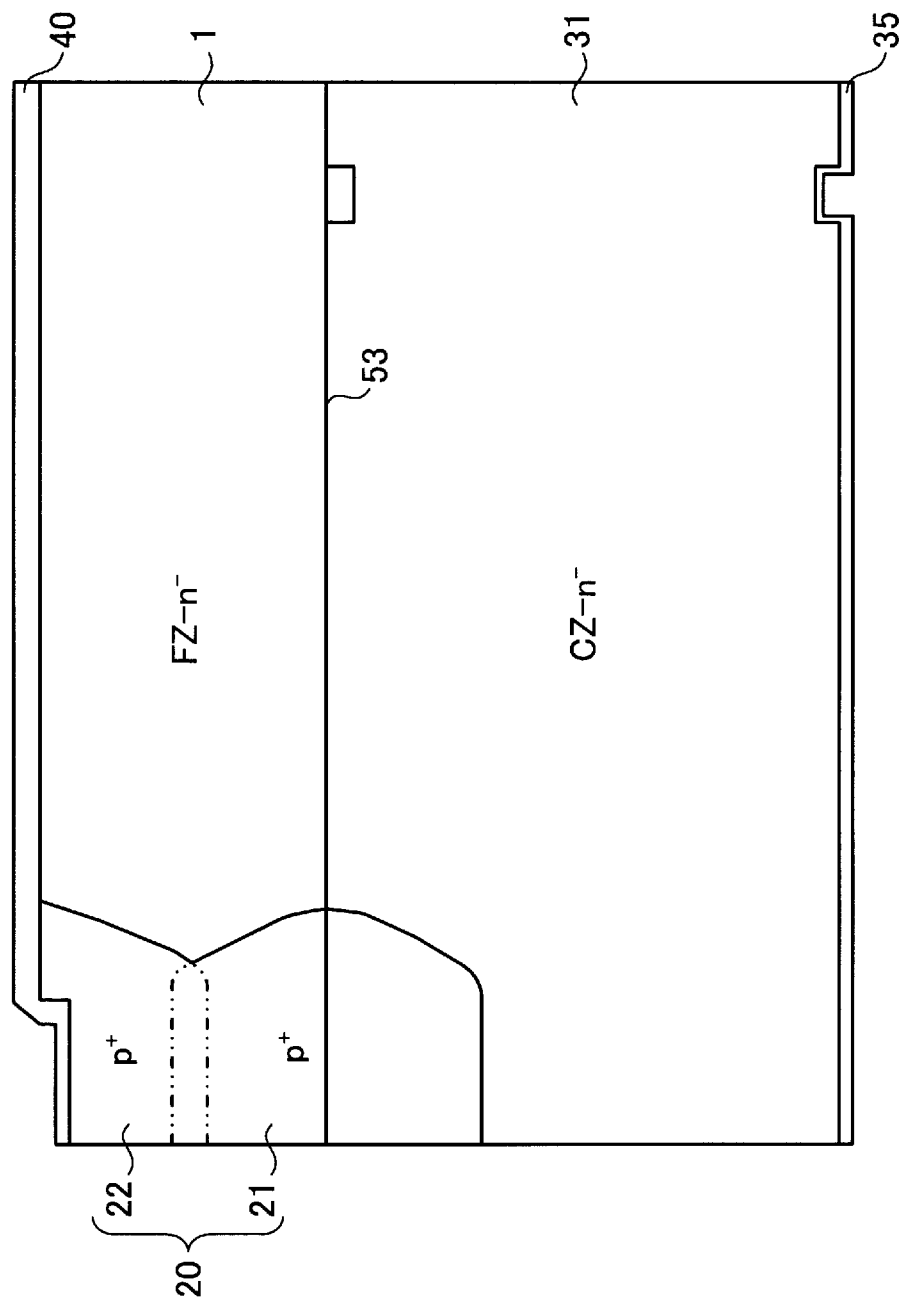
[図7]



[図8]

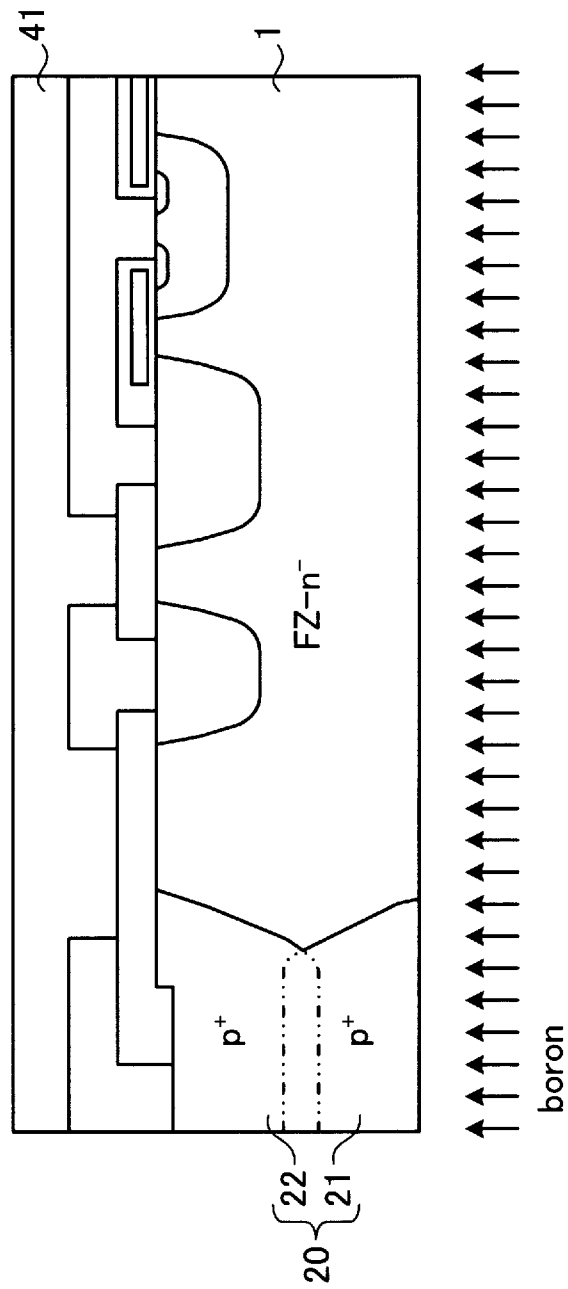


[図9]



[illegible]

[図12]



[図13]

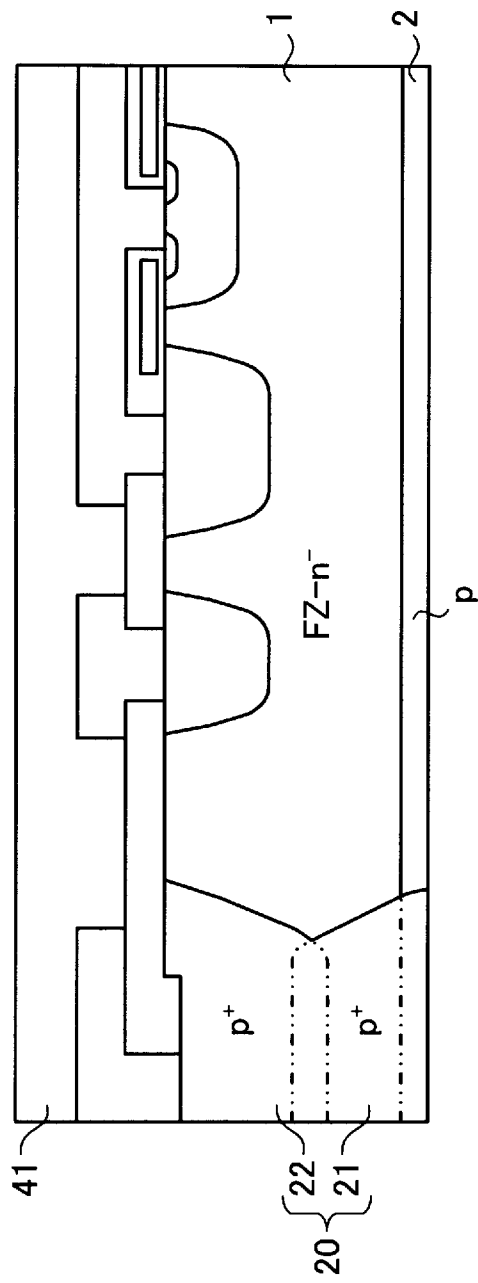
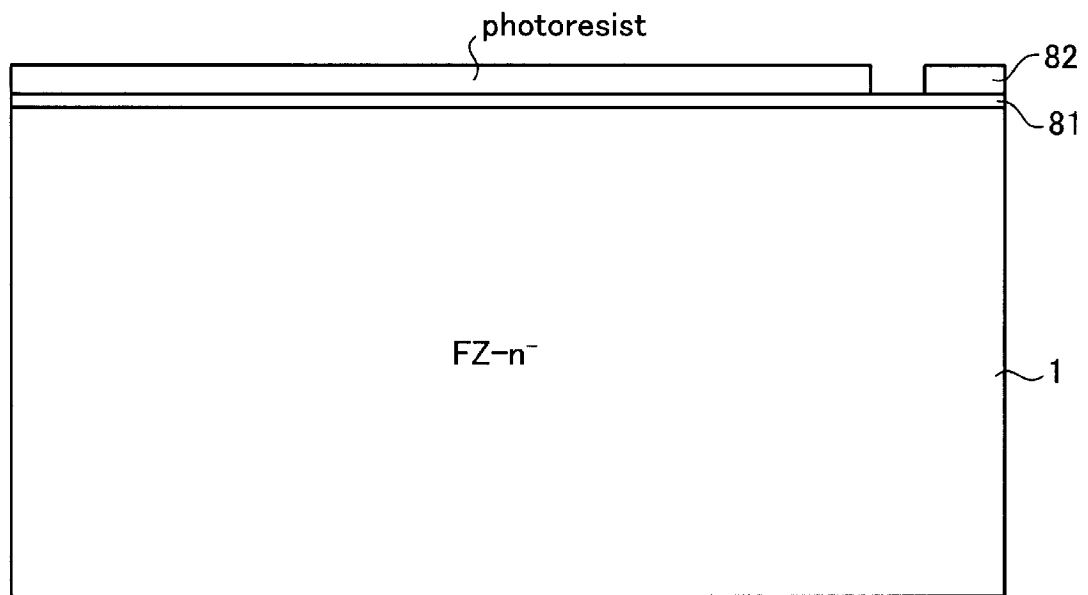
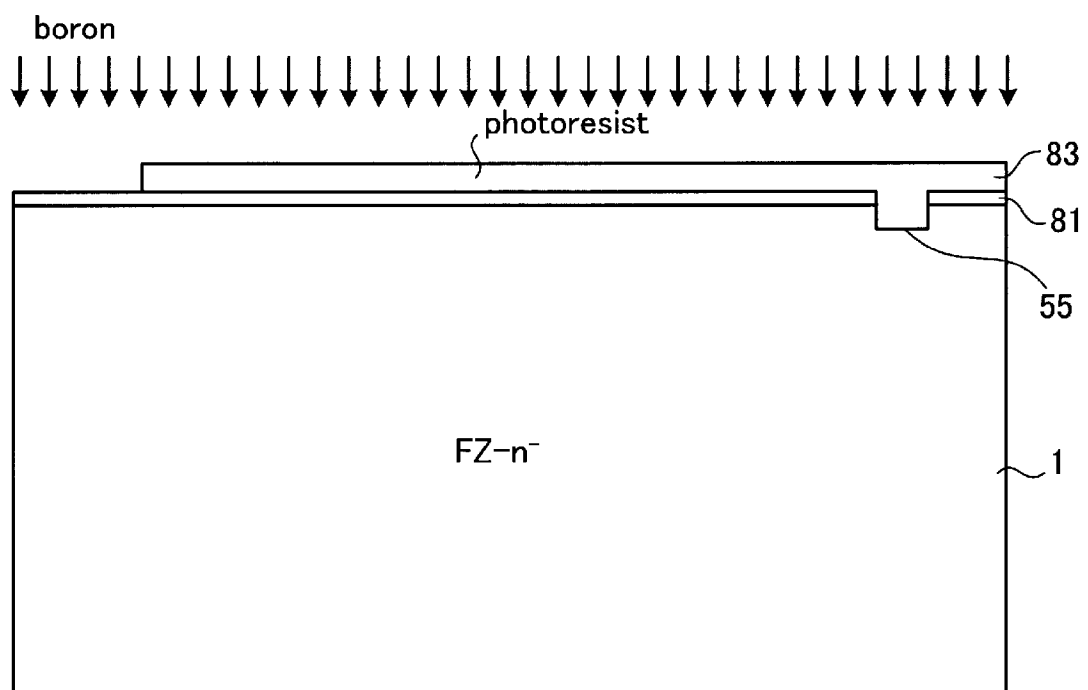


Figure 1 is a cross-sectional view of a semiconductor device. The device consists of a substrate 1 with a p-n junction. The substrate 1 is divided into a p-type region 11 and an n-type region 12. The p-type region 11 is further divided into a p⁺ region 111 and a p region 112. The n-type region 12 is further divided into an n⁺ region 121 and an n region 122. The p⁺ region 111 is formed by a p⁺ layer 111a and a p⁺ layer 111b. The p region 112 is formed by a p layer 112a and a p layer 112b. The n⁺ region 121 is formed by an n⁺ layer 121a and an n⁺ layer 121b. The n region 122 is formed by an n layer 122a and an n layer 122b. The device is covered by a passivation layer 13. The device is also provided with a gate electrode 14 and a source/drain electrode 15. The gate electrode 14 is formed by a gate oxide layer 14a and a gate electrode layer 14b. The source/drain electrode 15 is formed by a source/drain oxide layer 15a and a source/drain electrode layer 15b. The device is also provided with a contact pad 16. The contact pad 16 is formed by a contact oxide layer 16a and a contact pad layer 16b. The device is also provided with a bonding pad 17. The bonding pad 17 is formed by a bonding oxide layer 17a and a bonding pad layer 17b. The device is also provided with a peripheral region 18. The peripheral region 18 is formed by a peripheral oxide layer 18a and a peripheral region layer 18b. The device is also provided with a central region 19. The central region 19 is formed by a central oxide layer 19a and a central region layer 19b. The device is also provided with a top layer 20. The top layer 20 is formed by a top oxide layer 20a and a top layer layer 20b. The device is also provided with a bottom layer 21. The bottom layer 21 is formed by a bottom oxide layer 21a and a bottom layer layer 21b. The device is also provided with a side layer 22. The side layer 22 is formed by a side oxide layer 22a and a side layer layer 22b. The device is also provided with a front layer 23. The front layer 23 is formed by a front oxide layer 23a and a front layer layer 23b. The device is also provided with a back layer 24. The back layer 24 is formed by a back oxide layer 24a and a back layer layer 24b. The device is also provided with a top surface 25. The top surface 25 is formed by a top surface oxide layer 25a and a top surface layer 25b. The device is also provided with a bottom surface 26. The bottom surface 26 is formed by a bottom surface oxide layer 26a and a bottom surface layer 26b. The device is also provided with a side surface 27. The side surface 27 is formed by a side surface oxide layer 27a and a side surface layer 27b. The device is also provided with a front surface 28. The front surface 28 is formed by a front surface oxide layer 28a and a front surface layer 28b. The device is also provided with a back surface 29. The back surface 29 is formed by a back surface oxide layer 29a and a back surface layer 29b. The device is also provided with a top edge 30. The top edge 30 is formed by a top edge oxide layer 30a and a top edge layer 30b. The device is also provided with a bottom edge 31. The bottom edge 31 is formed by a bottom edge oxide layer 31a and a bottom edge layer 31b. The device is also provided with a side edge 32. The side edge 32 is formed by a side edge oxide layer 32a and a side edge layer 32b. The device is also provided with a front edge 33. The front edge 33 is formed by a front edge oxide layer 33a and a front edge layer 33b. The device is also provided with a back edge 34. The back edge 34 is formed by a back edge oxide layer 34a and a back edge layer 34b. The device is also provided with a top corner 35. The top corner 35 is formed by a top corner oxide layer 35a and a top corner layer 35b. The device is also provided with a bottom corner 36. The bottom corner 36 is formed by a bottom corner oxide layer 36a and a bottom corner layer 36b. The device is also provided with a side corner 37. The side corner 37 is formed by a side corner oxide layer 37a and a side corner layer 37b. The device is also provided with a front corner 38. The front corner 38 is formed by a front corner oxide layer 38a and a front corner layer 38b. The device is also provided with a back corner 39. The back corner 39 is formed by a back corner oxide layer 39a and a back corner layer 39b. The device is also provided with a top surface corner 40. The top surface corner 40 is formed by a top surface corner oxide layer 40a and a top surface corner layer 40b. The device is also provided with a bottom surface corner 41. The bottom surface corner 41 is formed by a bottom surface corner oxide layer 41a and a bottom surface corner layer 41b. The device is also provided with a side surface corner 42. The side surface corner 42 is formed by a side surface corner oxide layer 42a and a side surface corner layer 42b. The device is also provided with a front surface corner 43. The front surface corner 43 is formed by a front surface corner oxide layer 43a and a front surface corner layer 43b. The device is also provided with a back surface corner 44. The back surface corner 44 is formed by a back surface corner oxide layer 44a and a back surface corner layer 44b. The device is also provided with a top edge corner 45. The top edge corner 45 is formed by a top edge corner oxide layer 45a and a top edge corner layer 45b. The device is also provided with a bottom edge corner 46. The bottom edge corner 46 is formed by a bottom edge corner oxide layer 46a and a bottom edge corner layer 46b. The device is also provided with a side edge corner 47. The side edge corner 47 is formed by a side edge corner oxide layer 47a and a side edge corner layer 47b. The device is also provided with a front edge corner 48. The front edge corner 48 is formed by a front edge corner oxide layer 48a and a front edge corner layer 48b. The device is also provided with a back edge corner 49. The back edge corner 49 is formed by a back edge corner oxide layer 49a and a back edge corner layer 49b. The device is also provided with a top surface corner edge 50. The top surface corner edge 50 is formed by a top surface corner edge oxide layer 50a and a top surface corner edge layer 50b. The device is also provided with a bottom surface corner edge 51. The bottom surface corner edge 51 is formed by a bottom surface corner edge oxide layer 51a and a bottom surface corner edge layer 51b. The device is also provided with a side surface corner edge 52. The side surface corner edge 52 is formed by a side surface corner edge oxide layer 52a and a side surface corner edge layer 52b. The device is also provided with a front surface corner edge 53. The front surface corner edge 53 is formed by a front surface corner edge oxide layer 53a and a front surface corner edge layer 53b. The device is also provided with a back surface corner edge 54. The back surface corner edge 54 is formed by a back surface corner edge oxide layer 54a and a back surface corner edge layer 54b. The device is also provided with a top edge corner edge 55. The top edge corner edge 55 is formed by a top edge corner edge oxide layer 55a and a top edge corner edge layer 55b. The device is also provided with a bottom edge corner edge 56. The bottom edge corner edge 56 is formed by a bottom edge corner edge oxide layer 56a and a bottom edge corner edge layer 56b. The device is also provided with a side edge corner edge 57. The side edge corner edge 57 is formed by a side edge corner edge oxide layer 57a and a side edge corner edge layer 57b. The device is also provided with a front edge corner edge 58. The front edge corner edge 58 is formed by a front edge corner edge oxide layer 58a and a front edge corner edge layer 58b. The device is also provided with a back edge corner edge 59. The back edge corner edge 59 is formed by a back edge corner edge oxide layer 59a and a back edge corner edge layer 59b. The device is also provided with a top surface corner edge edge 60. The top surface corner edge edge 60 is formed by a top surface corner edge edge oxide layer 60a and a top surface corner edge edge layer 60b. The device is also provided with a bottom surface corner edge edge 61. The bottom surface corner edge edge 61 is formed by a bottom surface corner edge edge oxide layer 61a and a bottom surface corner edge edge layer 61b. The device is also provided with a side surface corner edge edge 62. The side surface corner edge edge 62 is formed by a side surface corner edge edge oxide layer 62a and a side surface corner edge edge layer 62b. The device is also provided with a front surface corner edge edge 63. The front surface corner edge edge 63 is formed by a front surface corner edge edge oxide layer 63a and a front surface corner edge edge layer 63b. The device is also provided with a back surface corner edge edge 64. The back surface corner edge edge 64 is formed by a back surface corner edge edge oxide layer 64a and a back surface corner edge edge layer 64b. The device is also provided with a top edge corner edge edge 65. The top edge corner edge edge 65 is formed by a top edge corner edge edge oxide layer 65a and a top edge corner edge edge layer 65b. The device is also provided with a bottom edge corner edge edge 66. The bottom edge corner edge edge 66 is formed by a bottom edge corner edge edge oxide layer 66a and a bottom edge corner edge edge layer 66b. The device is also provided with a side edge corner edge edge 67. The side edge corner edge edge 67 is formed by a side edge corner edge edge oxide layer 67a and a side edge corner edge edge layer 67b. The device is also provided with a front edge corner edge edge 68. The front edge corner edge edge 68 is formed by a front edge corner edge edge oxide layer 68a and a front edge corner edge edge layer 68b. The device is also provided with a back edge corner edge edge 69. The back edge corner edge edge 69 is formed by a back edge corner edge edge oxide layer 69a and a back edge corner edge edge layer 69b. The device is also provided with a top surface corner edge edge edge 70. The top surface corner edge edge edge 70 is formed by a top surface corner edge edge edge oxide layer 70a and a top surface corner edge edge edge layer 70b. The device is also provided with a bottom surface corner edge edge edge 71. The bottom surface corner edge edge edge 71 is formed by a bottom surface corner edge edge edge oxide layer 71a and a bottom surface corner edge edge edge layer 71b. The device is also provided with a side surface corner edge edge edge 72. The side surface corner edge edge edge 72 is formed by a side surface corner edge edge edge oxide layer 72a and a side surface corner edge edge edge layer 72b. The device is also provided with a front surface corner edge edge edge 73. The front surface corner edge edge edge 73 is formed by a front surface corner edge edge edge oxide layer 73a and a front surface corner edge edge edge layer 73b. The device is also provided with a back surface corner edge edge edge 74. The back surface corner edge edge edge 74 is formed by a back surface corner edge edge edge oxide layer 74a and a back surface corner edge edge edge layer 74b. The device is also provided with a top edge corner edge edge edge 75. The top edge corner edge edge edge 75 is formed by a top edge corner edge edge edge oxide layer 75a and a top edge corner edge edge edge layer 75b. The device is also provided with a bottom edge corner edge edge edge 76. The bottom edge corner edge edge edge 76 is formed by a bottom edge corner edge edge edge oxide layer 76a and a bottom edge corner edge edge edge layer 76b. The device is also provided with a side edge corner edge edge edge 77. The side edge corner edge edge edge 77 is formed by a side edge corner edge edge edge oxide layer 77a and a side edge corner edge edge edge layer 77b. The device is also provided with a front edge corner edge edge edge 78. The front edge corner edge edge edge 78 is formed by a front edge corner edge edge edge oxide layer 78a and a front edge corner edge edge edge layer 78b. The device is also provided with a back edge corner edge edge edge 79. The back edge corner edge edge edge 79 is formed by a back edge corner edge edge edge oxide layer 79a and a back edge corner edge edge edge layer 79b. The device is also provided with a top surface corner edge edge edge edge 80. The top surface corner edge edge edge edge 80 is formed by a top surface corner edge edge edge edge oxide layer 80a and a top surface corner edge edge edge edge layer 80b. The device is also provided with a bottom surface corner edge edge edge edge 81. The bottom surface corner edge edge edge edge 81 is formed by a bottom surface corner edge edge edge edge oxide layer 81a and a bottom surface corner edge edge edge edge layer 81b. The device is also provided with a side surface corner edge edge edge edge 82. The side surface corner edge edge edge edge 82 is formed by a side surface corner edge edge edge edge oxide layer 82a and a side surface corner edge edge edge edge layer 82b. The device is also provided with a front surface corner edge edge edge edge 83. The front surface corner edge edge edge edge 83 is formed by a front surface corner edge edge edge edge oxide layer 83a and a front surface corner edge edge edge edge layer 83b. The device is also provided with a back surface corner edge edge edge edge 84. The back surface corner edge edge edge edge 84 is formed by a back surface corner edge edge edge edge oxide layer 84a and a back surface corner edge edge edge edge layer 84b. The device is also provided with a top edge corner edge edge edge edge 85. The top edge corner edge edge edge edge 85 is formed by a top edge corner edge edge edge edge oxide layer 85a and a top edge corner edge edge edge edge layer 85b. The device is also provided with a bottom edge corner edge edge edge edge 86. The bottom edge corner edge edge edge edge 86 is formed by a bottom edge corner edge edge edge edge oxide layer 86a and a bottom edge corner edge edge edge edge layer 86b. The device is also provided with a side edge corner edge edge edge edge 87. The side edge corner edge edge edge edge 87 is formed by a side edge corner edge edge edge edge oxide layer 87a and a side edge corner edge edge edge edge layer 87b. The device is also provided with a front edge corner edge edge edge edge 88. The front edge corner edge edge edge edge 88 is formed by a front edge corner edge edge edge edge oxide layer 88a and a front edge corner edge edge edge edge layer 88b. The device is also provided with a back edge corner edge edge edge edge 89. The back edge corner edge edge edge edge 89 is formed by a back edge corner edge edge edge edge oxide layer 89a and a back edge corner edge edge edge edge layer 89b. The device is also provided with a top surface corner edge edge edge edge edge 90. The top surface corner edge edge edge edge edge 90 is formed by a top surface corner edge edge edge edge edge oxide layer 90a and a top surface corner edge edge edge edge edge layer 90b. The device is also provided with a bottom surface corner edge edge edge edge edge 91. The

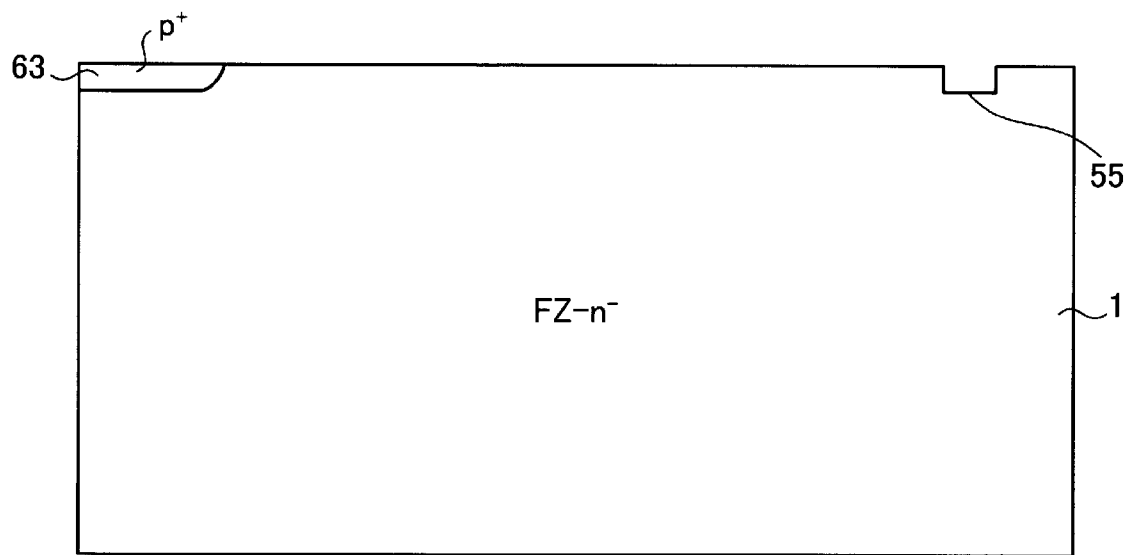
[図15]



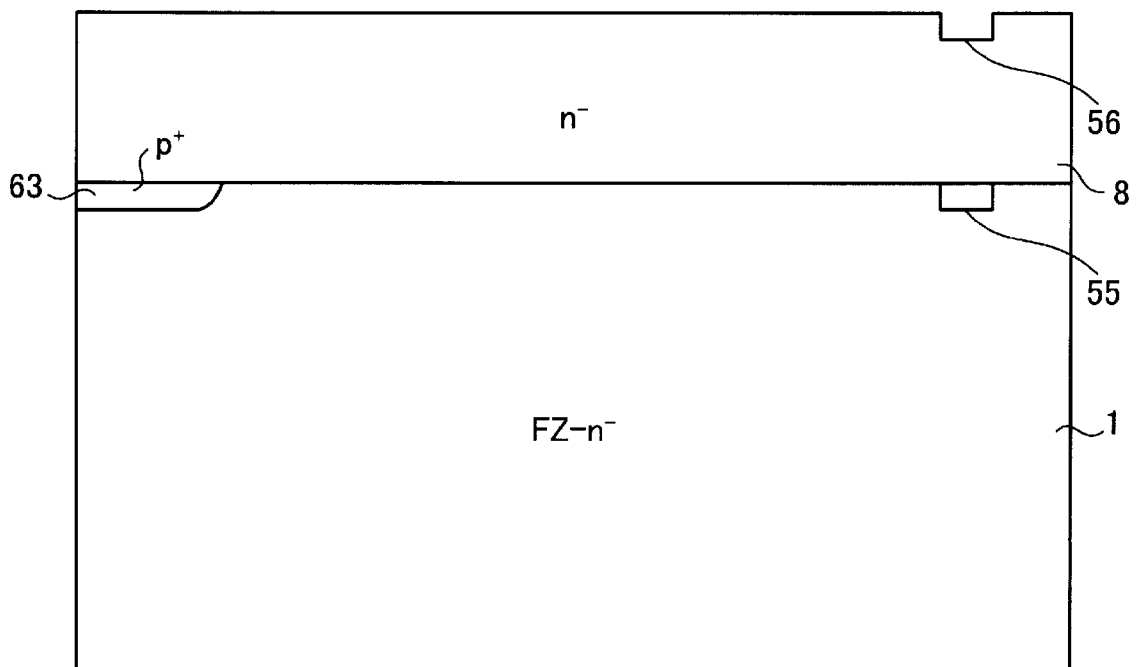
[図16]



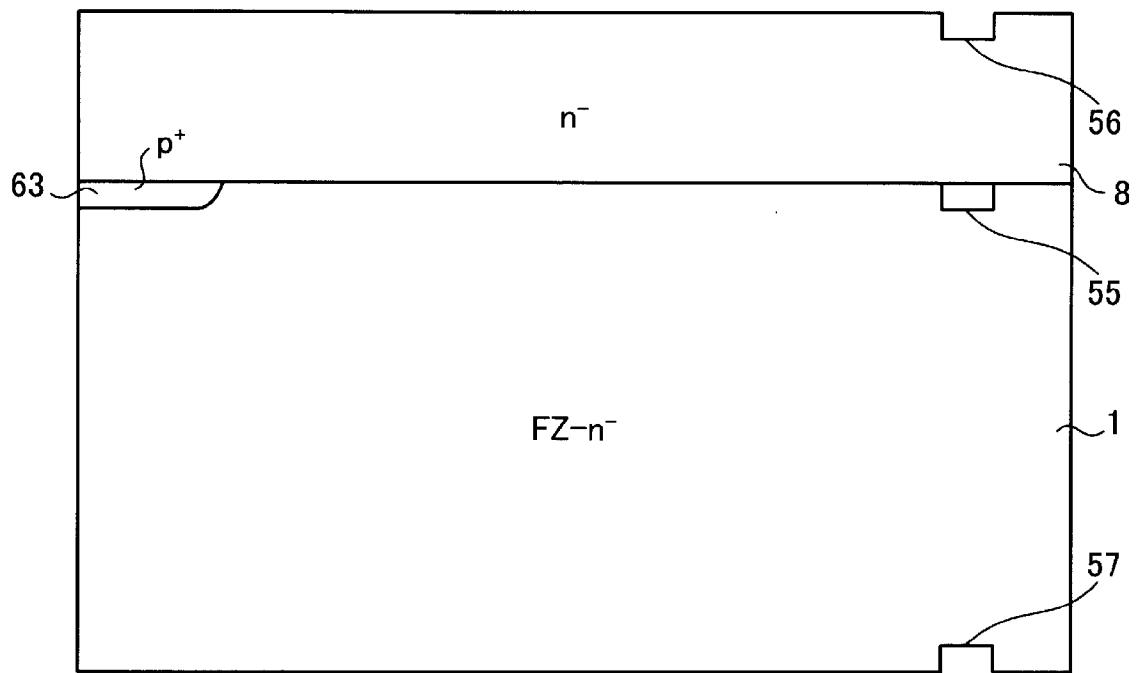
[図17]



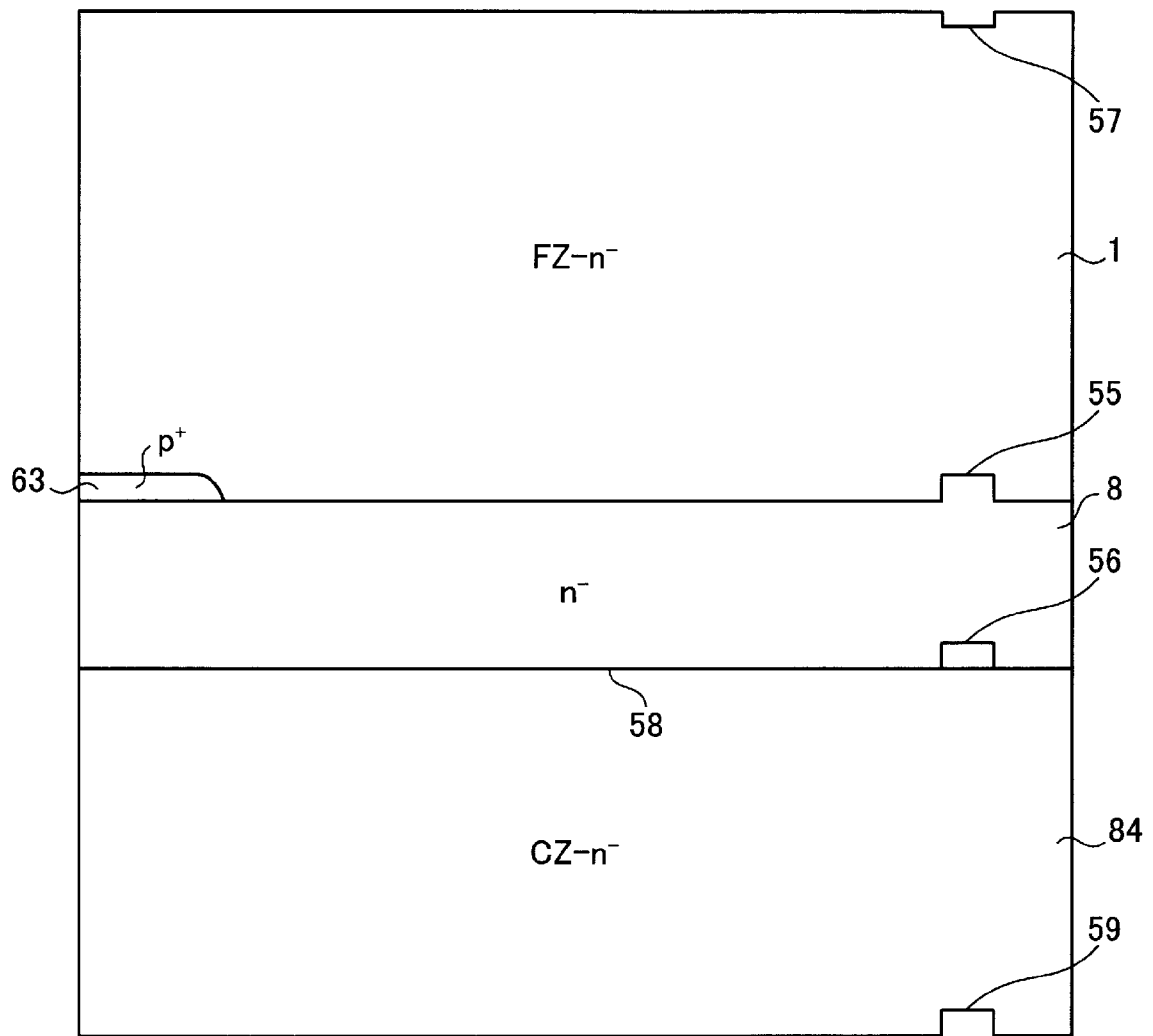
[図18]



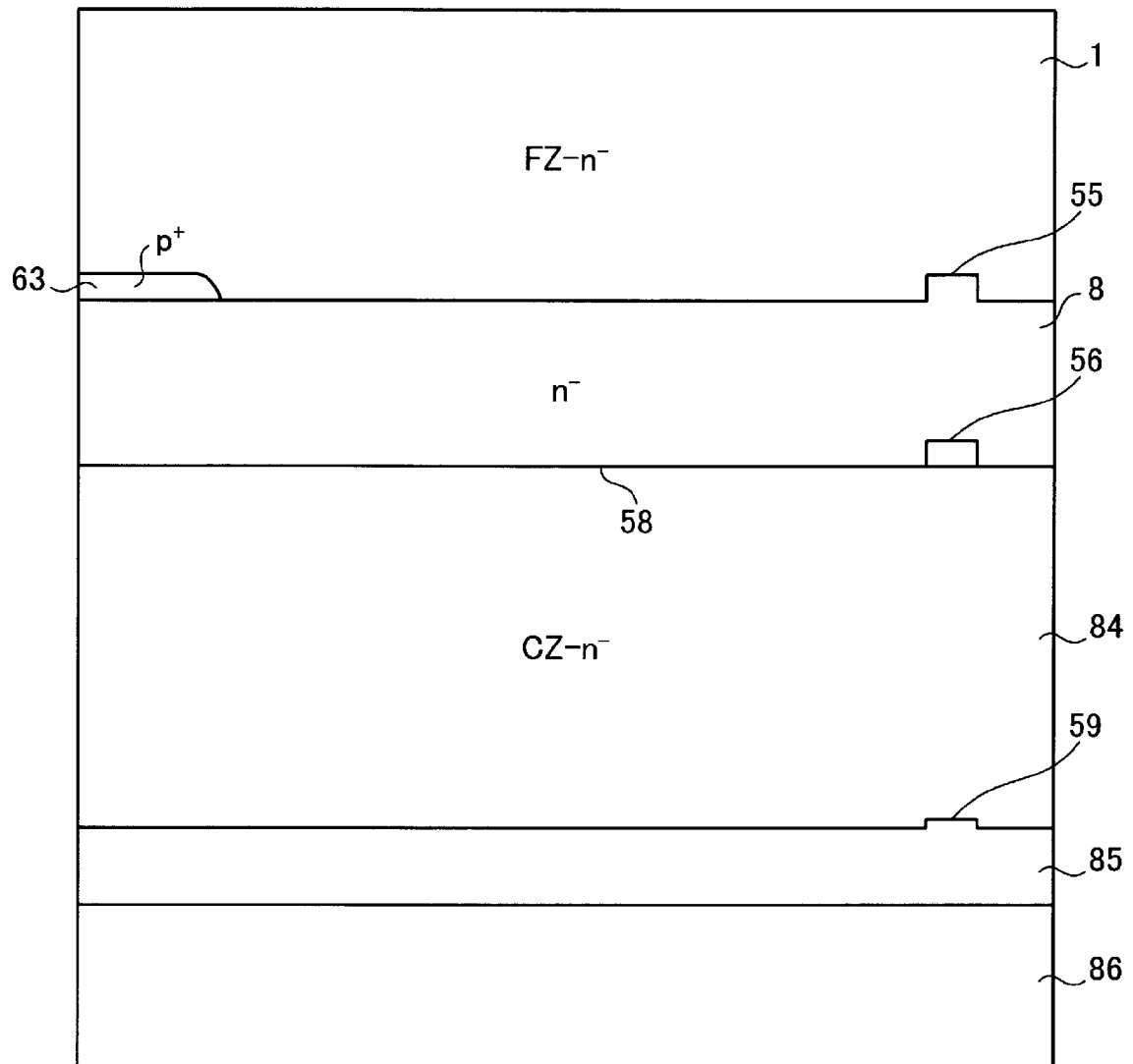
[図19]



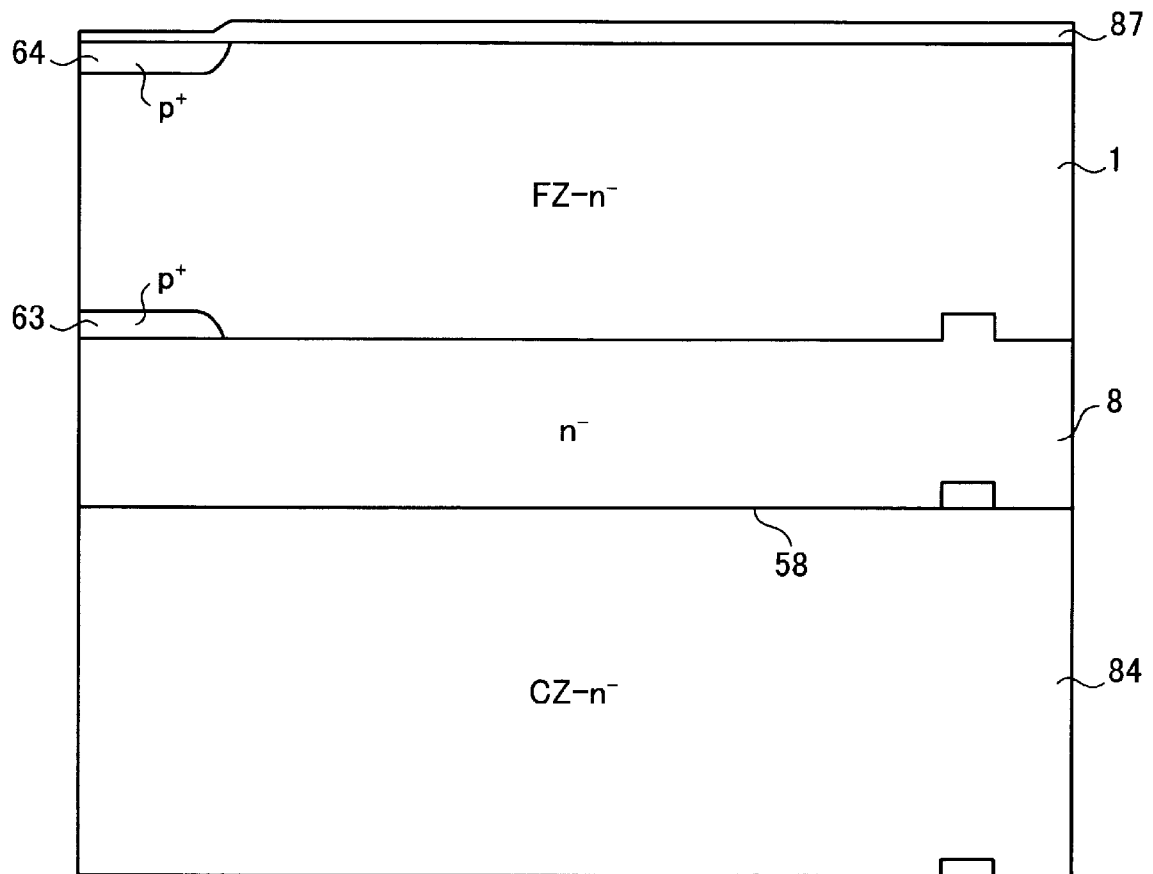
[図20]



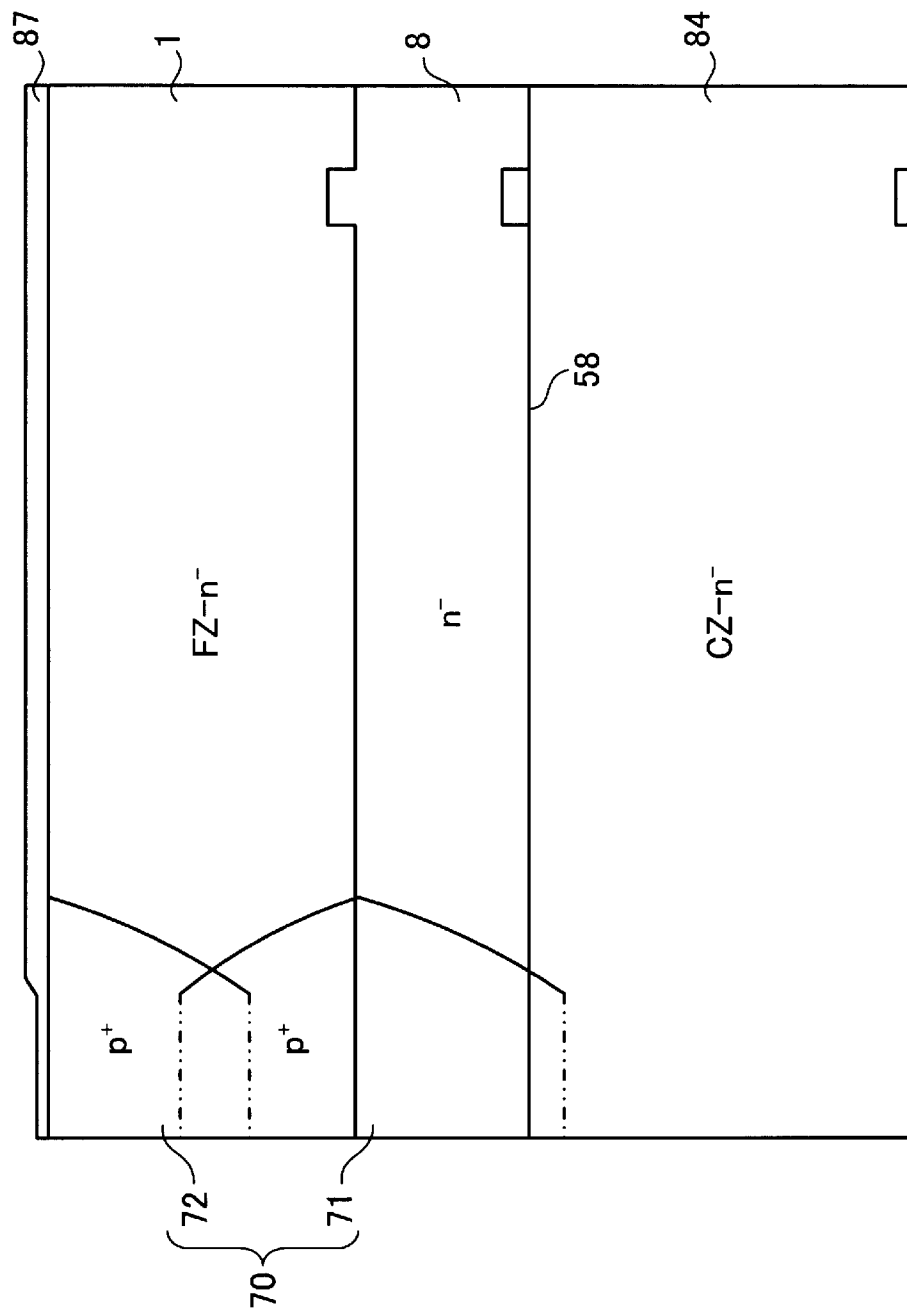
[図21]



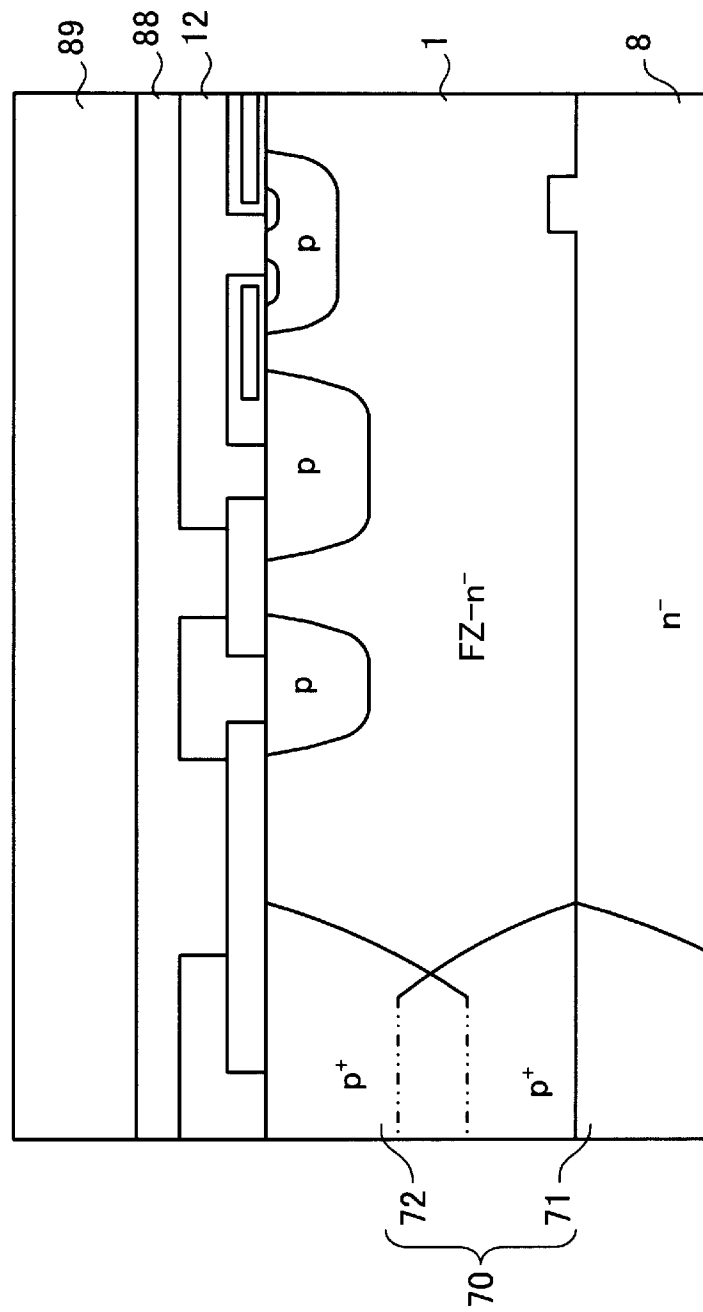
[図22]

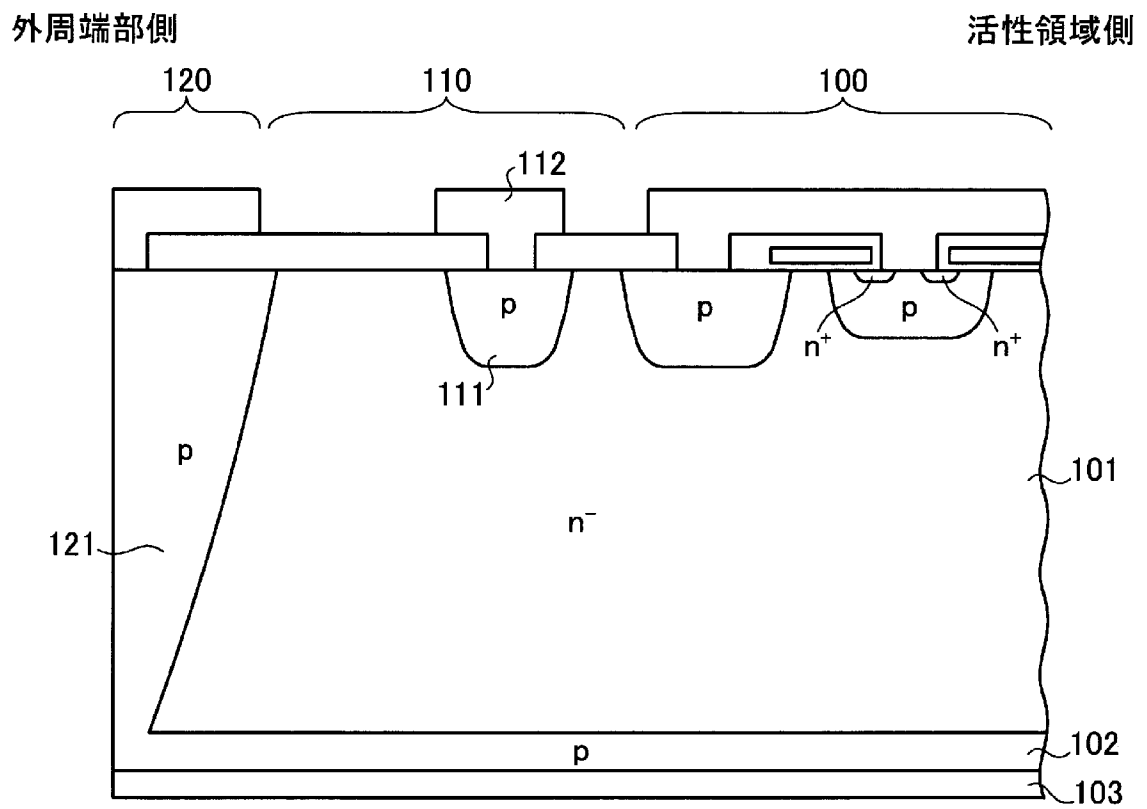


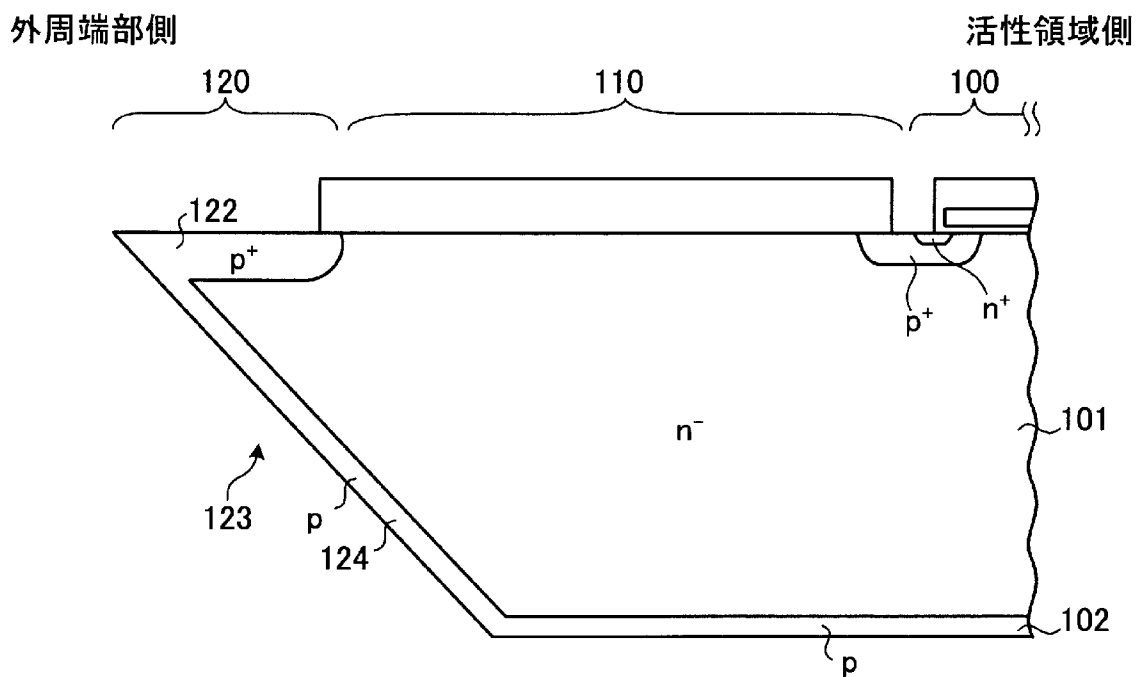
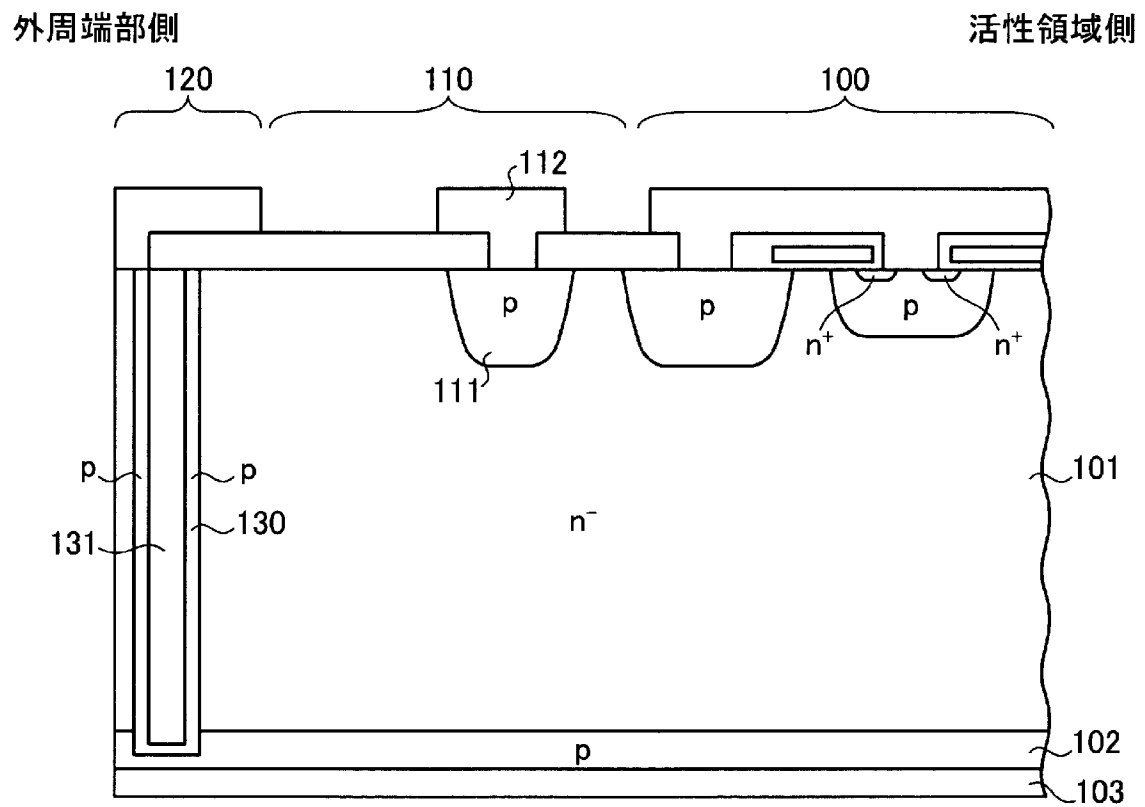
[図23]



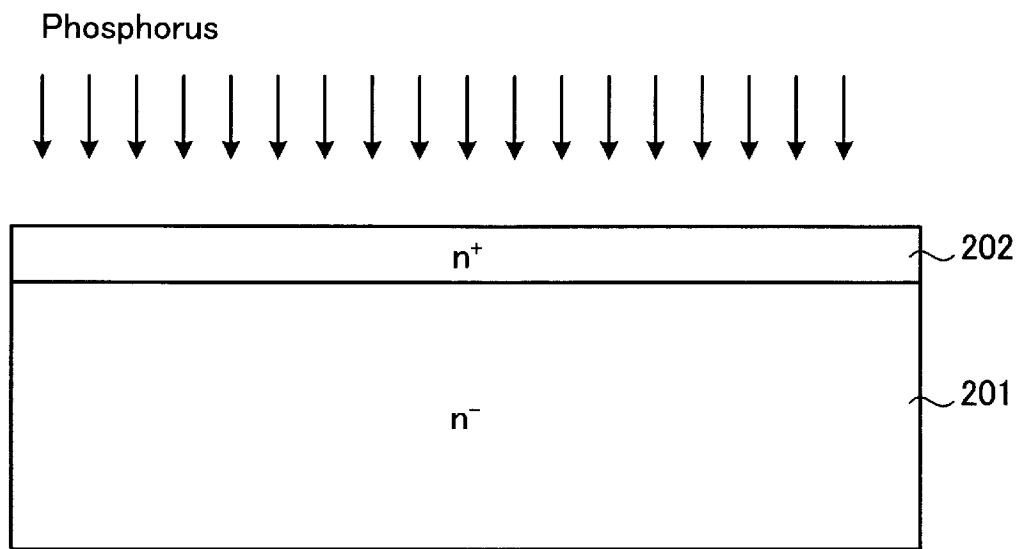
[図25]



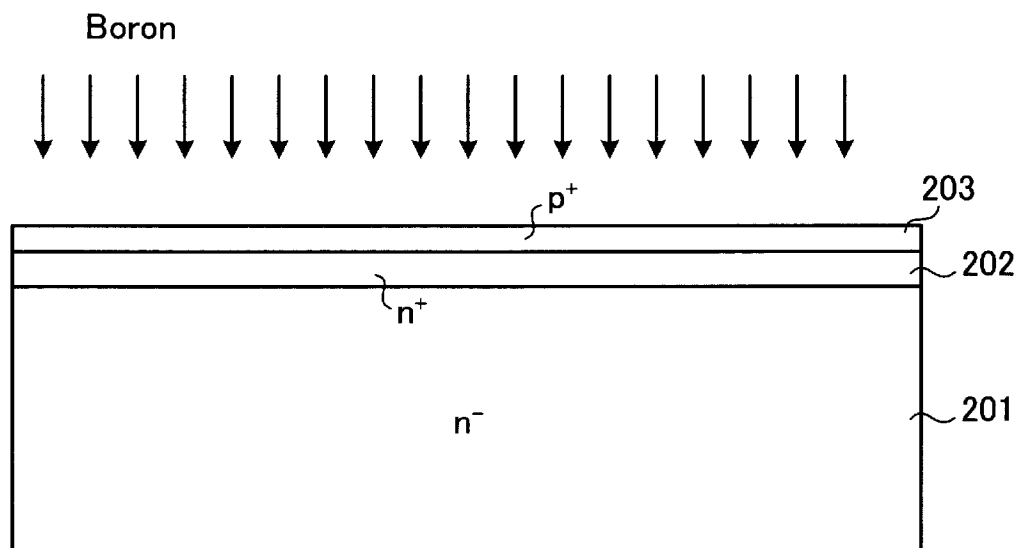




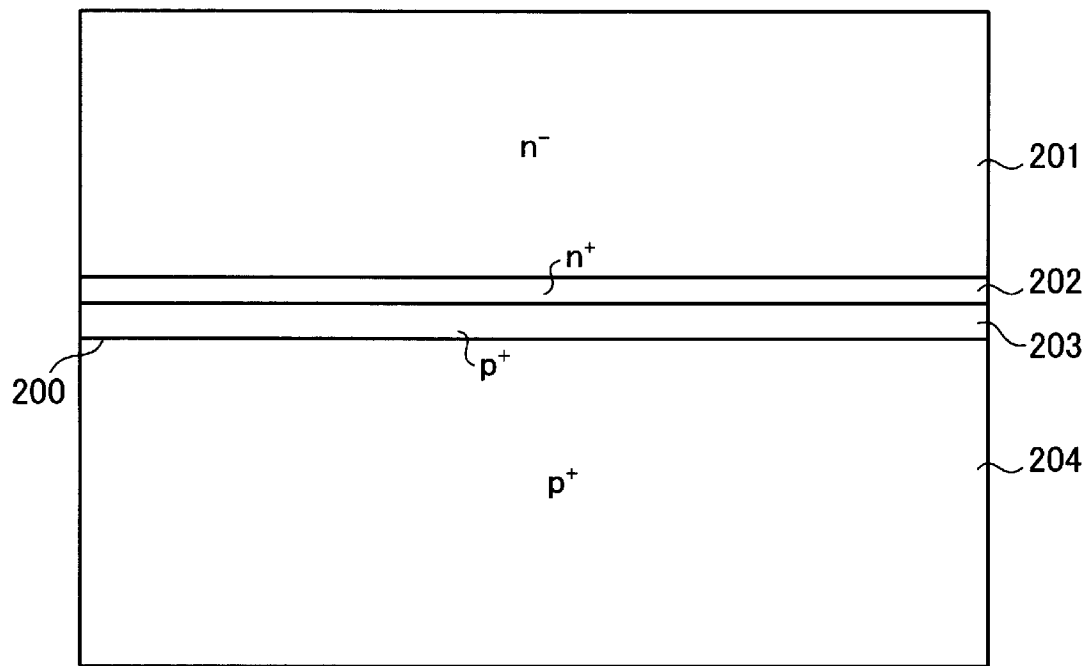
[図29]



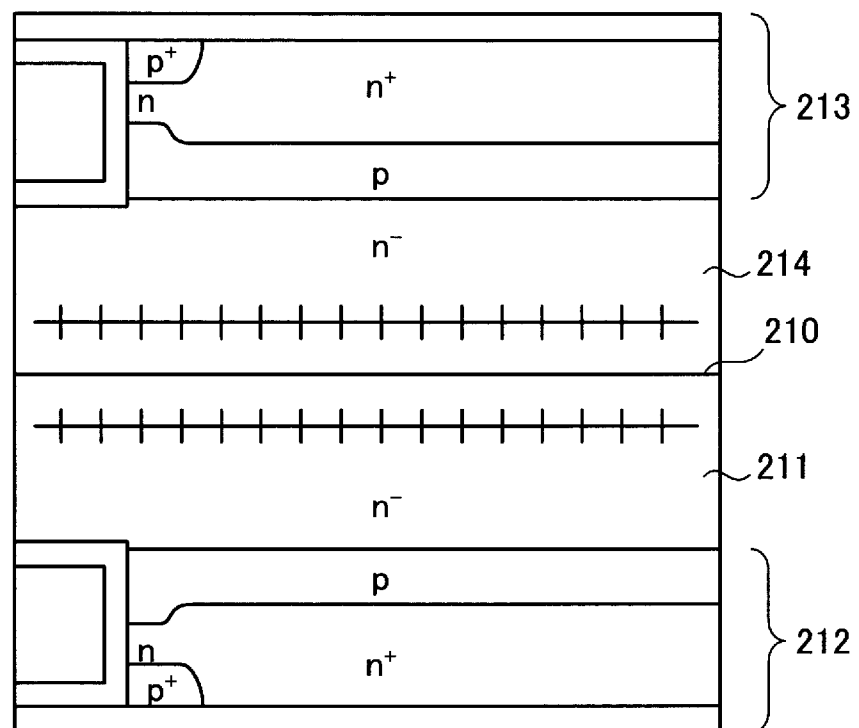
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063702

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L29/739(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/02, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-224290 A (Sharp Corp.), 12 August 1994 (12.08.1994), paragraphs [0011] to [0016]; fig. 1 (Family: none)	1-39
A	JP 4-242976 A (Sharp Corp.), 31 August 1992 (31.08.1992), paragraphs [0010] to [0017]; fig. 1 to 2 (Family: none)	1-39
A	JP 4-242980 A (Sharp Corp.), 31 August 1992 (31.08.1992), paragraphs [0016] to [0020]; fig. 5 to 8 (Family: none)	1-39



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 November, 2010 (04.11.10)

Date of mailing of the international search report
16 November, 2010 (16.11.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063702

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 64-45159 A (Nissan Motor Co., Ltd.), 17 February 1989 (17.02.1989), page 6, lower right column, line 9 to page 7, upper right column, line 17; fig. 4 & US 4881107 A	1-39

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L21/02(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L21/02, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-224290 A（シャープ株式会社）1994.08.12, 段落【0011】 －【0016】, 図1（ファミリーなし）	1-39
A	JP 4-242976 A（シャープ株式会社）1992.08.31, 段落【0010】 －【0017】, 図1-2（ファミリーなし）	1-39
A	JP 4-242980 A（シャープ株式会社）1992.08.31, 段落【0016】 －【0020】, 図5-8（ファミリーなし）	1-39

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.11.2010

国際調査報告の発送日

16.11.2010

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

恩田 春香

4 L

8934

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 64-45159 A (日産自動車株式会社) 1989.02.17, 第 6 頁右下欄第 9 行ー第 7 頁右上欄第 17 行, 第 4 図 & US 4881107 A	1-39