



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0023650
(43) 공개일자 2014년02월27일

(51) 국제특허분류(Int. Cl.)

H01P 5/10 (2006.01)

(21) 출원번호 10-2012-0089830

(22) 출원일자 2012년08월17일

심사청구일자 2012년08월17일

(71) 출원인

고려대학교 산학협력단

서울시 성북구 안암로 145 (안암동)

(72) 발명자

전상근

서울 송파구 올림픽로 435, 203동 3001호 (신천동, 파크리오)

서보희

대구 수성구 달구벌대로669길 80, 103동 806호 (사월동, 시지대성유니드아파트)

(뒷면에 계속)

(74) 대리인

특허법인주원

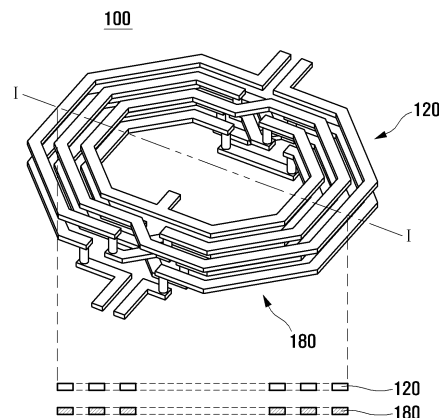
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬

(57) 요약

본 발명은 금속층에 형성된 제1 라인; 및 상기 제1 라인과 서로 다른 금속층에 형성되며, 상기 제1 라인과 대향되게 마련된 제2 라인을 포함하고, 제1 라인 단부에 연결되어 상기 제1 라인 내측 중심을 향하며, 접지를 위해 형성된 센터탭이 마련된 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬이 개시된다. 상기의 구성에 의하여 발룬의 면적은 줄어들고, 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 광대역 특성은 그대로 유지할 수 있게 된다.

대표도 - 도1



(72) 발명자

김영환

제주 제주시 서광로22길 32, 202동 604호 (도남동,
도남2차e-편한세상)

윤상우

서울특별시 노원구 상계2동 노원 아이파크 101동
403호

이 발명을 지원한 국가연구개발사업

과제고유번호 20110003548

부처명 한국연구재단

연구사업명 (이공)일반연구자-신진(연구비지원)

연구과제명 [3차년도]CMOS를 이용한 밀리미터파 빔포밍 집적 시스템 개발

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2011.05.01 ~ 2012.04.30

특허청구의 범위

청구항 1

금속층에 형성된 제1 라인; 및

상기 제1 라인과 서로 다른 금속층에 형성되며, 상기 제1 라인과 대향되게 마련된 제2 라인; 을 포함하고,

상기 제1 라인 단부에 연결되어 상기 제1 라인 내측 중심을 향하며, 접지를 위해 형성된 센터탭이 마련된 것을 특징으로 하는 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬.

청구항 2

청구항 1에 있어서,

상기 제1 라인은 하나 이상의 턴이 형성되어 절단(切斷)된 제1 단절영역 및 상기 제1 단절영역을 연결하는 제1 연결부가 형성되며,

상기 제2 라인은 상기 제1 라인과 대향되며, 절단된 제2 단절영역 및 상기 제2 단절영역을 연결하는 제2 연결부가 형성된 것을 특징으로 하는 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬.

청구항 3

청구항 2에 있어서,

상기 제1 연결부 및 상기 제2 연결부는 상기 제1 라인 및 상기 제2 라인과 서로 다른 층에 마련된 것을 특징으로 하는 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬.

청구항 4

청구항 2에 있어서,

상기 제1 연결부는 상기 제2 라인과 동일 층에 마련되며,

상기 제2 연결부는 상기 제2 라인 하부 층에 마련된 것을 특징으로 하는 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬.

청구항 5

청구항 1에 있어서,

상기 제2 라인은,

상기 제2 라인에서 발생한 기생 리액턴스(reactance)를 보상하는 캐패시터가 더 형성된 것을 특징으로 하는 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬.

청구항 6

청구항 1 내지 청구항 6 중 어느 한 청구항에 있어서,

상기 제1 라인 및 상기 제2 라인은, 동일한 중심을 갖고 동일한 중심을 지나는 지름선(Diameter line)에 대하여 대칭을 이루는 나선형 구조인 것을 특징으로 하는 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬.

명세서

기술 분야

본 발명은 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬에 관한 것으로서, 보다 자세하게는 대칭의 나선형 인덕터가 적층형으로 구비된 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬에 관한 것이다.

[0001]

배경 기술

- [0002] 단일모드 신호와 차동 신호를 서로 변환하는 회로를 발룬(Balun)이라고 한다. 아날로그 및 RF 집적회로는 대부분 차동 신호로 동작하는데 이는 차동 신호가 가지는 여러 가지 장점인 공통 모드 잡음 제거, 고조파 제거, 가상 접지면 형성 등에 기인하기 때문이다. 이에 반해 안테나나 대부분의 외부 측정 장비는 단일모드 신호를 이용하기 때문에 칩 내부에서 단일모드 신호를 차동 모드로 변화하는 발룬을 구현하는 것이 필수적이다.
- [0003] 일반적으로 가장 많이 쓰이는 발룬은 마천드(Marchand) 발룬이 있다. 기본적으로 두 개의 쿼터 웨이브(Quarter-wave) 커플드 라인(Coupled Line)을 연결한 구조로서 광대역에서 동작하는 장점이 있으나, 직접 회로 내에서 구현하기에는 그 구조가 크다는 단점이 있다. 특히 저주파에서는 파장이 길어지므로 이러한 단점이 더욱 큰 문제가 될 수 있다.
- [0004] 이를 위하여, 종래에는 이러한 쿼터 웨이브 커플드 라인을 구부리거나 나선형 구조로 구현함으로써 그 크기를 줄이려는 시도가 있었다. 그러나, 나선형 구조의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬에서는 두 개의 나선형 인덕터를 각각 나란하게 평면적으로 배치하거나 엣지 커플드(edge-coupled) 구조를 이용하였기 때문에 전체적인 발룬의 면적을 크게 줄이지는 못한다는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0005] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서,
- [0006] 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 광대역 특성을 그대로 유지하면서 동시에 크기를 줄인 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

- [0007] 상기한 과제를 해결하기 위해 본 발명은 금속층에 형성된 제1 라인; 및 상기 제1 라인과 서로 다른 금속층에 형성되며, 상기 제1 라인과 대향되게 마련된 제2 라인을 포함하고, 제1 라인 단부에 연결되어 상기 제1 라인 내측 중심을 향하며, 접지를 위해 형성된 센터탭이 마련된 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬이 개시된다. 상기의 구성에 의하여 발룬의 면적은 줄어들고, 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 광대역 특성은 그대로 유지할 수 있게 된다.
- [0008] 상기 제1 라인은 하나 이상의 턴이 형성되어 절단(切斷)된 제1 단절영역이 형성되며, 제2 라인은 제1 라인과 대향되며, 절단된 제2 단절영역이 형성될 수 있다. 이때, 제1 라인 및 제2 라인은 제1 단절영역을 연결하는 제1 연결부와 제2 단절영역을 연결하는 제2 연결부를 구비할 수 있다.
- [0009] 여기서, 상기 제1 연결부 및 제2 연결부는 제1 라인 및 제2 라인과 서로 다른 층에 마련될 수 있다. 일 예로, 제1 연결부는 제2 라인과 동일 층에 마련되며, 제2 연결부는 제2 라인의 하부 층에 마련될 수 있다. 이와 같이 제1 및 제2 연결부를 서로 다른 층에 형성하여 라인과 연결부가 서로 중첩되는 것을 방지할 수 있다.
- [0010] 한편, 제2 라인은 제2 라인에서 발생한 기생 리액턴스(reactance)를 보상할 수 있는 캐패시터가 형성된다. 상기 캐패시터에 의하여 나선형 발룬에서 발생하는 기생 리액턴스 성분에 의해 대역폭 특성이 저하되는 것을 방지하여 발룬의 광대역 성능이 유지될 수 있다.
- [0011] 상기 제1 라인 및 제2 라인은 동일한 중심을 갖고 동일한 중심을 지나는 지름선에 대하여 대칭을 이루는 나선형 구조로 형성될 수 있다. 이로 인하여 발룬의 크기를 줄여 RF 집적회로에 적용이 용이해지며, 칩 면적을 크게 줄일 수 있어 제조 비용을 저감할 수 있게 된다.

발명의 효과

- [0012] 이상에서 살펴본 바와 같은 본 발명의 과제해결 수단에 의하면 다음과 같은 사항을 포함하는 다양한 효과를 기대할 수 있다. 다만, 본 발명이 하기와 같은 효과를 모두 발휘해야 성립되는 것은 아니다.
- [0013] 첫째, 서로 다른 금속층에 형성된 라인을 수직 적층형으로 마련한 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 구현함으로써, 발룬의 커플드 라인의 광대역에서의 특성은 유지할 수 있다.
- [0014] 둘째, 금속층의 라인을 적층하기 때문에 발룬 회로의 크기는 그대로 유지하면서 저주파에서도 발룬 회로가 정상

적인 동작할 수 있다는 효과가 있다.

[0015] 셋째, 적층형 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 구현함으로써, RF 집적회로에의 적용이 용이해질 수 있다.

[0016] 넷째, 적층형 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 구현함으로써, 회로의 크기를 줄임과 동시에 칩 면적을 줄여 칩을 제조하기 위한 제조 비용을 저감할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 실시예에 따른 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 도시한 사시도.

도 2는 도 1의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 분해 사시도.

도 3은 도 1의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 상면을 도시한 도면.

도 4는 도 1의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 직접회로를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부도면을 참조하여 본 발명의 실시예에 관하여 상세히 설명한다.

[0019] 다만, 본 발명을 설명함에 있어서, 공지된 기능 혹은 구성에 대해 구체적인 설명이 본 발명의 요지를 흐트리지 않도록 하기 위하여 생략하기로 한다.

[0020] 도 1은 본 발명의 실시예에 따른 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 도시한 사시도이고, 도 2는 도 1의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 분해 사시도이며, 도 3은 도 1의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬을 상면을 도시한 도면이고, 도 4는 도 1의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 직접회로를 도시한 도면이다.

[0021] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬(100)은 금속층에 형성된 제1 라인(120)과 제1 라인(120)과 서로 다른 금속층에 형성되며, 제1 라인(120)과 대향되게 마련된 제2 라인(180)을 포함하고, 제2 라인(180) 단부에 연결되어 제2 라인(180) 내측 중심을 향하며, 접지를 위해 형성된 센터탭(126)이 마련된 것을 특징으로 한다.

[0022] 이때, 제1 라인(120)은 하나 이상의 턴이 형성될 수 있으며, 본 발명의 실시예에서는 제1 라인(120)이 두 개의 턴을 가진 예를 들어 설명하기로 하지만, 턴의 횟수에 의하여 본 발명이 제한되는 것은 아니다.

[0023] 또한, 제1 라인(120)은 대칭의 나선형으로 형성될 수 있다. 보다 자세하게, 상기 제1 라인(120)은 상면에서 볼 때, 원형 또는 다각형의 형상을 가질 수 있으며, 그 중에서 정팔각형 형상으로 형성되어 발룬의 특성이 유지될 수 있게 한다.

[0024] 한편, 제1 라인(120)은 턴이 형성되면서 서로 중첩되는 영역이 발생하고, 이를 방지하기 위하여 중첩된 영역을 절단(切斷)한 제1 단절영역(122a, 122b)이 형성된다.

[0025] 이러한 상기 제1 단절영역(122a, 122b)을 연결하기 위하여 제1 연결부(124a, 124b)가 마련된다. 상기 제1 연결부(124a, 124b)는 제1 단절영역(122a, 122b)과 대향된 위치에 마련된다. 이때, 제1 연결부(124a, 124b)는 제1 라인(120)과 서로 다른 층에 마련될 수 있으며, 이러한 제1 연결부(124a, 124b)과 제1 라인(120)은 비아홀(Via-hole)(160) 또는 비아 컨택(Via contact) 등을 통해 연결될 수 있다. 한편, 본 발명의 실시예에서는 제1 연결부(124a, 124b)가 제1 라인(120)의 하층에 마련된 예를 들지만, 경우에 따라서는 제1 라인(120)의 상층에 마련될 수 있음은 물론이다.

[0026] 상기 제1 라인(120) 단부에는 제1 라인(120) 내측 중심을 향하며, 접지를 위해 형성된 센터탭(126)이 마련될 수 있다. 상기 센터탭(126)은 발룬(100)을 마천드(Marchand) 타입의 발룬을 구현하기 위한 구조하고 할 수 있으며, 본 발명과 같이 센터탭(126)을 제1 라인(120) 내측 중심을 향하도록 형성함으로써, 발룬(100) 외부로 단자가 별도로 형성되지 않게 되어 발룬(100)의 크기를 최소화할 수 있다.

[0027] 한편, 제1 라인(120)과 서로 다른 금속층에 마련된 제2 라인(180)은, 제1 라인(120)과 서로 대향되도록 형성될 수 있다. 즉, 제2 라인(180)은 제1 라인(120)과 동일한 형상으로 형성될 수 있다.

[0028] 이때, 제2 라인(180)은 제1 라인(120)과 마찬가지로 절단된 제2 단절영역(182a, 182b, 182c)이 형성되며, 상기

제2 단절영역(182a, 182b, 182c)을 연결하기 위한 제2 연결부(184a, 184b, 184c)가 마련된다.

- [0029] 상기 제2 연결부(184a, 184b, 184c)는 제2 단절영역(182a, 182b, 182c)과 대향된 위치에 마련되고, 제2 라인(180)과 서로 다른 층에 마련될 수 있다. 예시적으로 제2 연결부(184a, 184b, 184c)는 제2 라인(180)의 하층에 마련되어 제1 연결부(124a, 124b) 및 제2 라인(180)과의 중첩을 방지할 수 있다.

[0030] 상기 구성을 참조하여 본 발명의 실시예에 따른 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬(100)은 적어도 3개의 층으로 구성될 수 있다. 가장 상층에는 제1 라인(120)이 마련되고, 중간층에는 제2 라인(180)과 제1 라인(120)의 단절영역을 연결하는 제1 연결부(124a, 124b)가 마련될 수 있다. 즉, 제1 연결부(124a, 124b)는 제2 라인(180)과 동일 층에 마련될 수 있다. 마지막으로 가장 하층에는 제2 라인(180)의 단절영역을 연결하는 제2 연결부(184a, 184b, 184c)가 마련되어 각 라인의 중첩 없이 연결될 수 있다.

[0031] 또한, 라인 확장 시, 라인의 두께는 주로 고려하는 브로드 사이드 커플드(Broadside-coupled) 방식의 라인이기 때문에 수평적 확장이 많이 요구되지 않기 때문에 발룬(100)의 크기가 증가되는 것을 방지할 수 있다.

[0032] 한편, 본 발명의 실시예에서는 제1 라인(120)이 상층에 위치하고, 제2 라인(180)이 제1 라인(120)의 하층에 위치한 예를 들어 설명하지만, 발명의 조건에 따라 제1 및 제2 라인(120, 180)의 위치는 변경될 수 있음은 물론이다.

[0033] 한편, 도 3 및 도 4를 참조하면, 중간층에 마련된 제2 라인(180)은, 신호가 유입되는 유입단자(188a)가 구비되며, 상기 유입단자(188a)로는 불안정한(unbalanced) 신호가 유입된다.

[0034] 유입된 신호는 상층에 마련된 제1 라인(120)의 출력단자(128a, 128b)로 출력된다. 이때, 유입된 신호는 두개의 출력단자(128a, 128b)에서 180도 위상차를 갖는 디퍼렌셜의 형태로 신호가 출력(Balanced)될 수 있다.

[0035] 상기와 같이 발룬(100)이 형성됨에 따라 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 구조를 구현할 수 있다. 즉, 도 4에 도시된 바와 같이 각 라인은 두 개의 쿼터 웨이브 커플드 라인(Quarter wave coupled line)으로 형성되고, 짝수 임피던스와 홀수 임피던스를 각각 고려하여 설계되어 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬이 구현될 수 있다.

[0036] 또한, 본 발명의 실시예에서는 유입단자(188a)로 커몬 모드(common mode)와 디퍼렌셜 모드(differential mode)가 합쳐진 신호(unbalanced)가 유입되고, 출력단자(128a, 128b)에서 180도 위상차를 갖는 디퍼렌셜 신호가 출력(balanced)될 수 있는 예를 들지만 발명에 따라 유입단자(128a, 128b)로 디퍼렌셜 신호가 유입되도록 형성되고, 출력단자(188a 또는 188b)에서 하나의 신호가 출력될 수도 있다.

[0037] 한편, 나선형 타입의 발룬은 라인에 존재하는 기생 리액턴스(Reactance) 성분으로 인하여 발룬의 성능 중 입력 정합과 대역폭 특성이 다소 저하된다. 이를 방지하기 위하여 본 발명의 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬(100)은 제2 라인(180)의 출력단자(188a, 188b) 중 하나에 캐패시터를 연결하여 기생 리액턴스 성분을 보상한다. 이를 통해 발룬(100)의 광대역적 특성이 유지될 수 있다.

[0038] 상기와 같이 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬(100)을 구현함에 따라 서로 다른 층의 라인을 수직적으로 배치함으로써, 발룬(100)의 크기를 줄여 회로의 크기는 그대로 유지하면서 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬의 광대역에서의 특성은 유지하고, 저주파에서도 동작할 수 있게 된다.

[0039] 또한, 발룬 회로의 크기가 줄었기 때문에 RF 집적회로에 적용이 가능해지고, 회로의 크기를 줄임과 동시에 칩 면적을 줄여 칩을 제조하기 위한 제조 비용이 저감될 수 있게 된다.

[0040] 이상에서는 본 발명의 바람직한 실시예를 예시적으로 설명하였으나, 본 발명의 범위는 이와 같은 특정 실시예에만 한정되는 것은 아니며, 특허청구범위에 기재된 범주 내에서 적절하게 변경 가능한 것이다.

부호의 설명

- | | | |
|--------|--|--------------------|
| [0041] | 100: 적층된 대칭 나선형 인덕터를 이용한 초소형 광대역 발룬 라인 | 120: 제 |
| | 122a, 122b: 제1 단절영역 | 124a, 124b: 제1 연결부 |
| | 126: 센터탭 | 128a, 128b: 유입단자 |
| | 160: 비아홀 | 180: 제2 라인 |

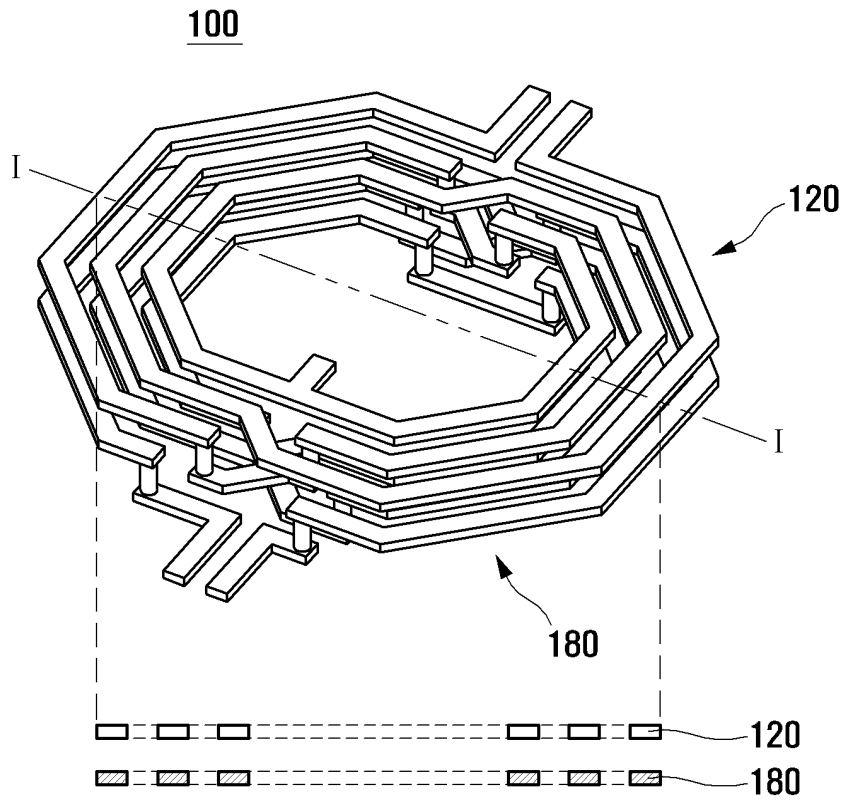
182a, 182b, 182c: 제2 단절영역

184a, 184b, 184c: 제2 연결부

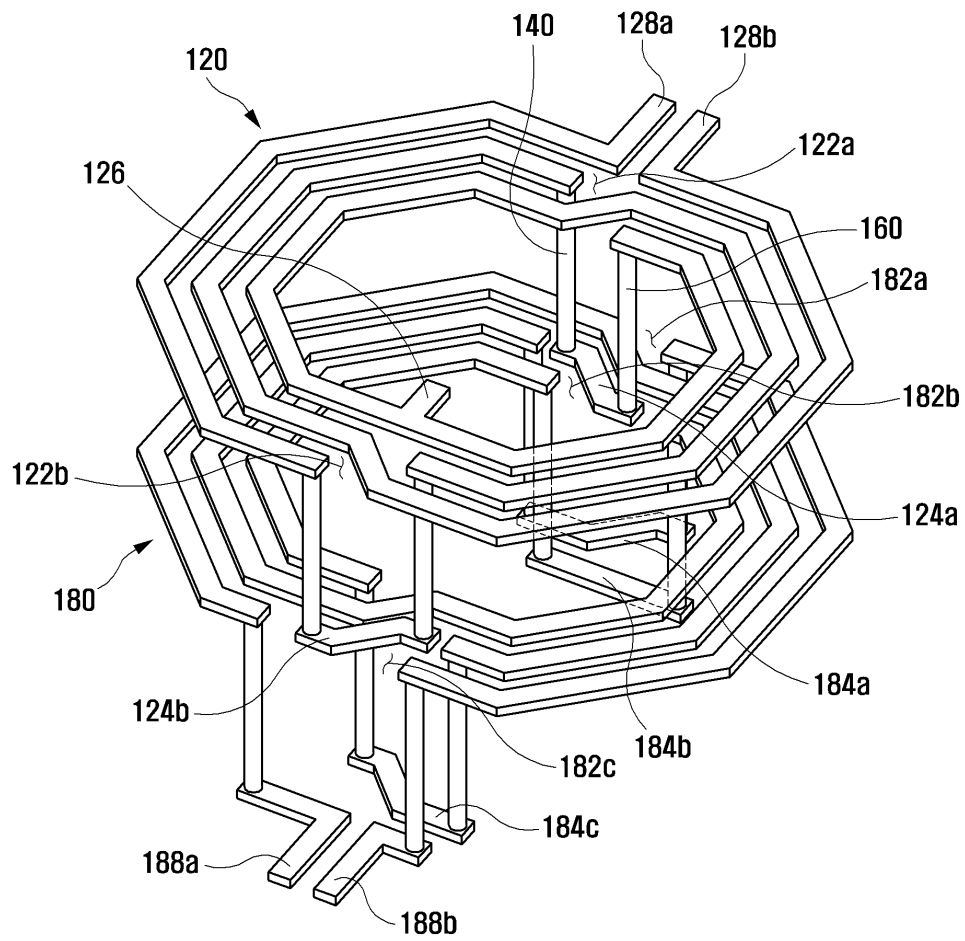
188a, 188b: 출력단자

도면

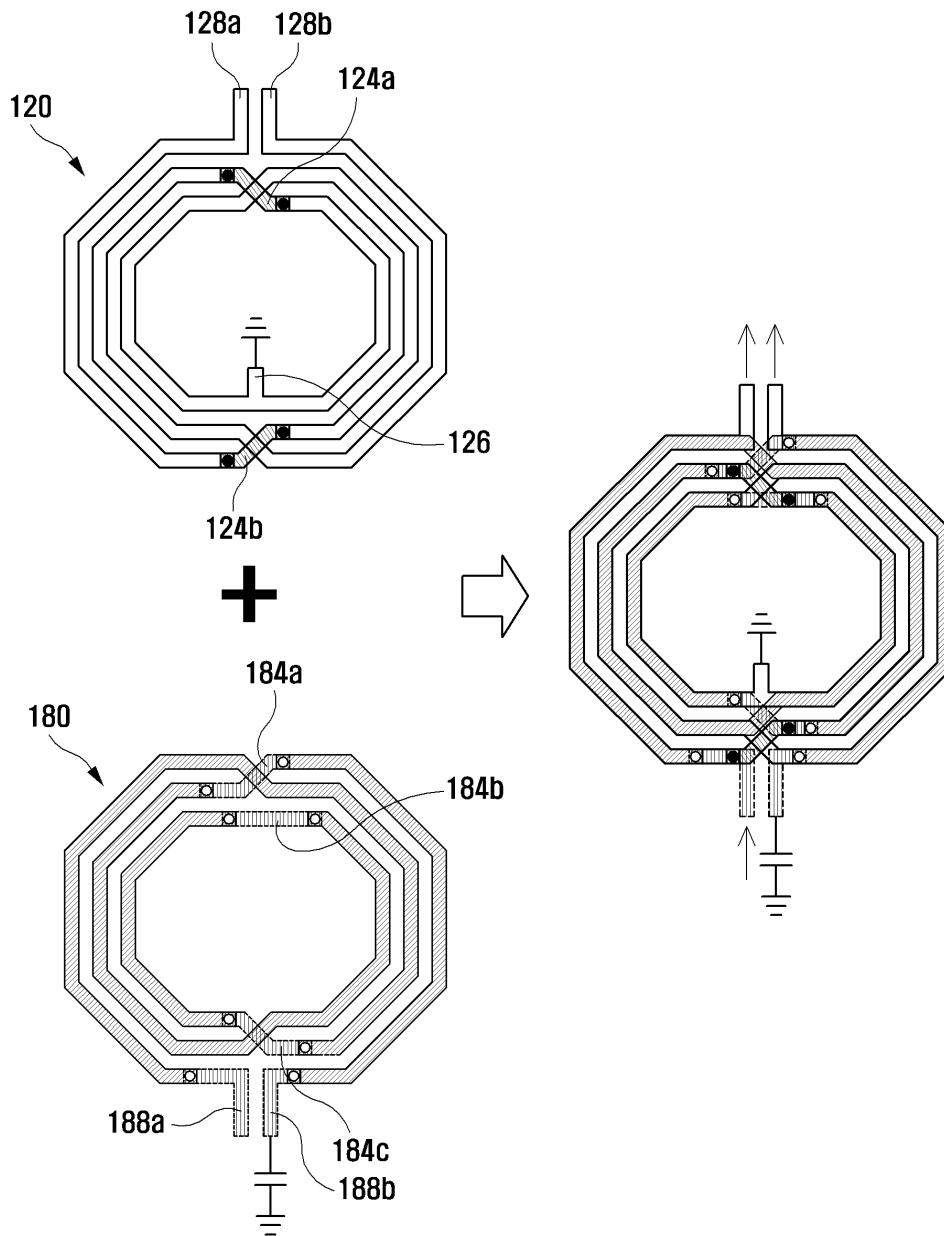
도면1



도면2



도면3



도면4

