

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5011376号
(P5011376)

(45) 発行日 平成24年8月29日 (2012. 8. 29)

(24) 登録日 平成24年6月8日 (2012. 6. 8)

(51) Int. Cl.	F I
HO 1 L 27/04 (2006. 01)	HO 1 L 27/04 P
HO 1 L 21/822 (2006. 01)	HO 1 L 21/28 3 O 1 S
HO 1 L 21/28 (2006. 01)	GO 2 F 1/133 5 2 O
GO 2 F 1/133 (2006. 01)	

請求項の数 4 (全 8 頁)

(21) 出願番号	特願2009-506026 (P2009-506026)	(73) 特許権者	507219491
(86) (22) 出願日	平成19年4月19日 (2007. 4. 19)		エヌエックスビー ビー ヴィ
(65) 公表番号	特表2009-534829 (P2009-534829A)		NXP B. V.
(43) 公表日	平成21年9月24日 (2009. 9. 24)		オランダ国 5656エイジー アインド
(86) 国際出願番号	PCT/IB2007/051409		ーフエン ハイ テク キャンパス 60
(87) 国際公開番号	W02007/122561		High Tech Campus 60
(87) 国際公開日	平成19年11月1日 (2007. 11. 1)		, NL-5656 AG Eindhoven,
審査請求日	平成20年12月10日 (2008. 12. 10)		Netherlands
(31) 優先権主張番号	06300393.3	(74) 代理人	100147485
(32) 優先日	平成18年4月21日 (2006. 4. 21)		弁理士 杉村 憲司
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100149700
			弁理士 高梨 玲子
		(74) 代理人	100147692
			弁理士 下地 健一

最終頁に続く

(54) 【発明の名称】 抵抗分割回路を具える集積回路およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

抵抗分割回路を具える集積回路の製造方法であって、該方法は、
シリコンプラットフォームを支持する中間タップを有するシリコン本体を、前記中間タップが前記シリコン本体から延在するように設ける工程と、

前記シリコン本体および前記中間タップの上方にシリサイド化保護層を形成し、かつ前記シリコンプラットフォームが露出するように前記シリサイド化保護層をパターニングする工程と、

前記シリコン本体より低抵抗の個別のコンタクトパッドを形成するため、露出した前記シリコンプラットフォームをシリサイド化するようにシリサイド化プロセスを行う工程とを具え、

前記シリコンプラットフォームは、前記中間タップより幅広であり、

前記シリコンプラットフォームの前記シリコン本体に連結される非シリサイド化部分と前記コンタクトパッドとの間の界面は、蛇行形状からなることを特徴とする抵抗分割回路を具える集積回路の製造方法。

【請求項 2】

複数の前記中間タップが互いに間隔を置いて設けられ、隣接する前記中間タップの間の前記シリコン本体の断面幅は、そのシリコン本体の抵抗値を規定する請求項 1 に記載の抵抗分割回路を具える集積回路の製造方法。

【請求項 3】

10

20

前記シリコン本体の対向側に各々位置する前記中間タップの2つは、前記抵抗分割回路の各レジスタ間に配置される請求項1に記載の抵抗分割回路を具える集積回路の製造方法。

【請求項4】

中間タップを有するシリコン本体を、前記中間タップが前記シリコン本体から延在するように設ける抵抗分割回路を具え、前記中間タップが、前記中間タップより幅広のシリコンプラットフォームを支持する、集積回路であって、前記シリコンプラットフォームは、前記シリコン本体に連結される非シリサイド化部分と、前記非シリサイド化部分およびシリサイド化部分の間の界面を有するシリサイド化外部コンタクト部分とを具え、

前記非シリサイド化部分およびシリサイド化部分の間の界面は、蛇行形状からなることを特徴とする抵抗分割回路を具える集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、抵抗分割回路を具える集積回路およびその製造方法に関する。

【背景技術】

【0002】

非線形特性を有するデジタル/アナログ変換は、典型的に、コンピュータモニタ、LCDテレビ、移動体電話等用のTFT(薄膜トランジスタ)LCDディスプレイのためのソース(またはコラム)ICドライバに用いられる。典型的なディスプレイモジュールは、図1に概略的に示され、2枚のガラス板102a,102bに挟まれた液晶(LC)セル100を具える。ディスプレイドライバIC、すなわちソースまたはコラムドライバ106およびゲートまたはロウドライバ108は、下側のガラス板(または“アクティブ板”)102a上にマウントされる。カラーフィルタ104は、上側のガラス板102bに設けられ、一对のポラライザ109a,bで挟まれることにより完成する。ディスプレイモジュールは、導光板110およびバックライト112の上方に実装される。図1を参照して上述した構造は、例えば、携帯電話およびパーソナルデジタルアシスタント(PDA)のような、小さな携帯用デバイスにおいて構築されることができる。

【0003】

図2に示されるように、抵抗分割デジタル/アナログ変換(DAC)の一般的な構造を示す概略的な回路ダイアグラムは、抵抗R1,R2,...RNのチェーンを具え、これらは、各抵抗間に設けられる電圧タップV1,V2,...を有する電圧源V0-V255を横切って接続される。TFTディスプレイのソース(またはコラム)ドライバにおけるデジタル/アナログ変換は、単調な転送特性、すなわち非線形特性を要求する。したがって、チェーン中の抵抗は等しくない。さらにまた、色深度が増加し続けると共に、各サブピクセル(赤、緑および青の主要色のそれぞれ)に対し、それぞれが個別の電圧タップを要求する6,8,10またはそれ以上のビットのコードが存在するおそれがある。それ故に、正確さへの要求は増え続け、これはIC領域に反してトレードオフされることはできない。

【0004】

図3は、従来例に従うソースディスプレイドライバにおいて用いられる多結晶シリコン抵抗チェーンの実施の典型的なレイアウトを示したものである。一般に、シリコン窒化物層およびシリコン酸化物層は、多結晶シリコン本体10上に堆積され、これら層は、シリサイド化されるべきICの部分が露出するようにリソグラフィによってパターンニングされるのに対して、シリサイド化されるべきでない本体の部分は、これら層によって覆われたままである。その後、チタン層を堆積して熱処理を施すことにより、チタン層は、シリコン窒化物およびシリコン酸化物によって覆われていない部分においてのみ、シリサイドを形成するよう、露出したシリコンに反応する。(上述した層によって覆われた部分の)シリコンと反応しなかったチタンは、その後除去される。シリサイド化部分は、(電圧タップを形成するための)金属コンタクトによってシリコン層と電氣的に接触するために低い抵抗率を有し、非シリサイド化部分は、比較的低い伝導率を有し、主として各抵抗Rの抵抗値を決定する。パターンニングされたシリコン窒化物層およびシリコン酸化物層は、いわゆるシ

10

20

30

40

50

リサイド化保護マスクを形成する。これは、SIPROTマスクSとも呼ばれる。

【0005】

図3のレイアウトに関して生じる主な問題は、チェーンの各抵抗Rに対し、主電流Iが、あまり良く制御されていない寄生抵抗を有する2つの界面を横切るであろうことである。追加的に図4を参照すると、界面は、SIPROTマスクSが多結晶シリコンマスクと交わるところの各ポイントで画定される。図4において、多結晶シリコンとシリサイド化多結晶シリコンとの間の界面の結果として、小さい領域12が作り出される。この小さい領域12において、結晶構造中の欠陥は、抵抗体(すなわち高オーミック部分)14とシリサイド(すなわち抵抗ヘッドの低オーミック部分)16との間の面上の電氣的挙動に影響を及ぼすことが示されている。

10

【0006】

図3に示されるレイアウトは、正確さの要求が非常に高いものではない場合にだけ許容できるように動作が可能であり、抵抗Rの幅は、ヘッド寄生抵抗(コンタクト、シリサイド化多結晶シリコン16、および、抵抗体14との界面)が、設計された抵抗値に関しては無視できるようなサイズとすることができる。図3に示される多結晶シリコン抵抗の値は次の通りである。

$$R = ((a+b)/W_{eff}) \times (R_{polycide}) + 2 \times (R_{interface})/W_{eff} + (L/W_{eff}) \times (R_{unsilicated\ poly})$$
 典型的な模範の実施形態において、界面は、 $9\mu\text{m}/30\mu\text{m} \times 145\Omega = 43.5\Omega$ の本体抵抗値に対し、例えば、 $2 \times 100\Omega \mu\text{m}/30\mu\text{m} = 6.67\Omega$ 寄与することができる(但し、 $L=9\mu\text{m}$, $W_{eff}=30\mu\text{m}$, $R_{interface}=100\Omega \mu\text{m}$, $R_{unsilicated\ poly}=145\Omega$)。したがって、シリサイド化多結晶シリコンによる最新のプロセスを用いて、ヘッド16と本体14との間の界面抵抗が主要な役割を演じることは明らかであり、このプロセスパラメータは強く制限されることができない。プロセス変動によるエラーは、言い換えれば、ディスプレイの品質において観察されるであろう転送特性の正確さを制限するであろう。

20

【0007】

精度を高めるための抵抗の別の典型的なレイアウトは、図5に概略的に示される。この構造において、(金属へのコンタクト19を表す暗い四角を有する)幅広の多結晶シリコンコンタクトパッド18は、水平の抵抗本体14から延在する比較的狭い多結晶シリコンタップ20上に配置される。このレイアウトはよく知られており、主として、2つの隣接するタップ20間で異なる定電圧を有する高精度DACを構築するために広く適用されている。主電流経路よりもむしろタップ20に(SIPROTマスクSと多結晶シリコンとが交わる)界面が存在するので、結果として生じる寄生抵抗が本体の抵抗に寄与せず、分割器は正確である。しかしながら、この各タップ20での寄生抵抗は、未だ性能に悪影響を与えうる。これは、予測可能である必要はない。一の典型的な実施形態において、界面抵抗は、 $2(\text{すなわち}2\text{ヘッド}) \times 100\Omega \mu\text{m}/0.5\mu\text{m} = 400\Omega$ となるであろう。いくつかの増幅器入力容量と一緒に、約 200Ω の寄生抵抗のトップは、結果として、高速でのシステムにおいて、タイミングの問題をいくつか生じさせるRC時定数となる。

30

【0008】

したがって、中間タップの寄生抵抗が、従来と比較して著しく低下されている、高精度抵抗分割回路を提供することが好まれる。

40

【0009】

本発明によれば、抵抗分割回路を具える集積回路の製造方法であって、該方法は、シリコンプラットフォームを支持する中間タップを有するシリコン本体を、前記中間タップが前記シリコン本体から延在するように設ける工程と、前記シリコン本体および前記中間タップの上方にシリサイド化保護層を形成し、かつ前記シリコンプラットフォームが露出するように前記シリサイド化保護層をパターニングする工程と、前記シリコン本体より低抵抗の個別のコンタクトパッドを形成するため、露出した前記シリコンプラットフォームをシリサイド化するようにシリサイド化プロセスを行う工程とを具え、前記シリコンプラットフォームは、前記中間タップより幅広であり、前記シリコンプラットフォームの前記シリコン本体に連結される非シリサイド化部分と前記コンタクトパッドとの間の界面は、蛇

50

行形状からなることを特徴とする抵抗分割回路を具える集積回路の製造方法が提供される。

【0010】

したがって、本発明の上述した目的は、図5を参照して説明された従来の配置におけるものよりも界面(すなわち、SIPROT層と多結晶シリコン層との間の交差点)を長くすることによって達成される。SIPROT(すなわち、シリサイド化保護層)で覆われた多結晶シリコンと(相互接続のための)シリサイド化多結晶シリコンとの間の界面抵抗は、SIPROTマスク界面の長さに反比例している。すなわち、界面によって生じる寄生抵抗は、界面を長くすることによって、従来技術と比較して著しく減少する。

特に、前記シリコンプラットフォームの前記シリコン本体に連結される非シリサイド化部分と前記コンタクトパッドとの間の界面は、蛇行形状からなり、これは、界面の効果的な長さをさらに増加させる効果を有し、したがって、その寄生抵抗は減少する。

10

【0011】

好ましい実施形態において、複数の中間タップが互いに間隔を置いて設けられ、隣接する前記中間タップの間のシリコン本体の断面幅は、そのシリコン本体の抵抗値を規定する。

【0013】

好ましくは、シリコン本体の対向側に各々位置する中間タップの2つは、抵抗分割回路の各レジスタ間に配置される。中間タップの各々は、寄生界面抵抗を有するであろう。そして、これら寄生抵抗は並列で、したがって、効果的な全体抵抗はさらに減少する。

20

【0014】

本発明によれば、また、中間タップを有するシリコン本体を、前記中間タップが前記シリコン本体から延在するように設ける抵抗分割回路を具え、前記中間タップが、前記中間タップより幅広のシリコンプラットフォームを支持する、集積回路であって、前記シリコンプラットフォームは、前記シリコン本体に連結される非シリサイド化部分と、前記非シリサイド化部分およびシリサイド化部分の間の界面を有するシリサイド化外部コンタクト部分とを具え、前記非シリサイド化部分およびシリサイド化部分の間の界面は、蛇行形状からなることを特徴とする抵抗分割回路を具える集積回路が提供される。

【0015】

本発明のこれらおよび他の態様は、ここで説明される実施形態を参照して、明らかにされ、かつ記載されるであろう。

30

【0016】

本発明の実施形態は、添付の図面を参照して、一例として記載されるであろう。

【発明を実施するための最良の形態】

【0017】

図6によれば、本発明の第1典型的実施形態に従う抵抗分割回路は、比較的高抵抗率を有する多結晶シリコン本体60を具える。この多結晶シリコン本体60は、各々が比較的幅広の多結晶シリコンプラットフォーム62を支持する中間タップ部分61を形成するようにエッチングされる。その後、シリサイド化保護(SIPROT)層Sが本体60の上方に堆積され、多結晶シリコンプラットフォーム62を露出するためにリソグラフィによってパターンニングされる。次に、チタン層が堆積されて熱処理が施され、チタン層はプラットフォーム62の露出した多結晶シリコンと反応し、(比較的低抵抗率を有する)シリサイドを形成する。したがって、コンタクトパッドA,B(すなわち、金属とのコンタクトを表す、図6において黒い四角63として示された部分)をそれぞれ作り出す。タップ部分61の位置は、その間の多結晶シリコン本体の抵抗を決定する。1つのマスク調整だけを用いて(多結晶シリコンエッチングステージで)それ相応にその抵抗を調節するために、多結晶シリコン本体60に対するタップ部分61の位置への調整を行うことは可能であり、これは、図示したレイアウトの重要な利点である。したがって、非常に正確なタップは、1つのマスク変更だけを用いてデバイスの転送特性を調節するために、左または右に移動されることが主本体上に作られることができる。コンタクトまたは金属マスクを、小さい

40

50

調整が行われるように修正する必要はない。すなわち、(幅広のコンタクトヘッド61の制限内で)比較的小さい多結晶シリコンタップ部分61を移動することによって、単純に、DAC転送カーブが正確に調整されることができる。

【0018】

抵抗ヘッドA,Bにおいて、(図6においてSIPROT層Sによって画定される)界面線を設置することによって、そこに関連する寄生抵抗は主電流経路ではなく、デバイスの正確性に不利益を与えず、そして界面の長さは、図5を参照して説明された従来技術と比較して著しく増加し、これによって、界面に関連する寄生抵抗は、それゆえに著しく減少する。図6から明らかなように、本発明の典型的な実施形態に関連して、各中間タップのそれぞれにおいて、多結晶シリコン本体60の片側に2つのヘッドA,Bを配設することが提案されている。各ヘッドは、実質的に同じ寄生抵抗(コンタクト+シリサイド化領域+界面)を有し、本体60の片側に1つのヘッドを提供することによって、結果として生じる寄生抵抗のそれぞれが並列となり、したがって全体の寄生抵抗は半分になる。

10

【0019】

本発明の代案の典型的実施形態において、図7を参照すると、SIPROT境界長さは、多結晶シリコンプラットフォーム62の第1エッチングによって最大化することができる。この第1エッチングは、そこに一続きのノッチまたは溝64を形成するために行われ、その後SIPROT層Sの堆積およびパターニングを行うことによって、蛇行形状からなる界面を得ることができる。界面の全ての長さは、したがって、界面が直線の場合と比較してさらに増加する。そして、結果として生じる寄生抵抗は、それに応じてさらに減少する。再度、デバイス転送特性の細かい変化は、単純に本体60に対して多結晶シリコンタップ部分61を(境界コンタクトパッドAの制限の範囲内で)移動することによって得ることができる。

20

【0020】

図6の実施形態において、ヘッド抵抗は、幅狭のタップ部分61の幅に対するSIPROT長さ比によって(図5を参照して説明された従来技術の配置と比較して)改善される。すなわち、1つのタップ当たり200Ωの抵抗ではなく、20Ωだけとなる(したがって、各タップに関する寄生抵抗は、10分の1だけ減少する)。図7の実施形態において、各タップに関する寄生抵抗は、図6の配置と比較して、約1.5分の1〜2分の1だけさらに減少することができる。すなわち、各タップに関する界面抵抗は、10〜15Ωだけとすることができる。

30

【0021】

したがって、本発明は、(DAC用)抵抗分割回路のための新しいレイアウト技術を提案する。この新しいレイアウトは、分割比を(コンタクトパッドの幅によって設定される)特定の制限内で変化させることができるのに十分に柔軟であり、1つのプロセスステップ(すなわち1つのマスク)だけを変更し、かつ中間タップの寄生抵抗を最小化する。

【0022】

要約すると、上述した本発明の典型的な実施形態は、図1を参照して説明されたタイプのアクティブマトリックスTFT LCDディスプレイの画素の全てのコラム上で変換されるべきバイアスレベルを提供する、デジタル/アナログ変換の構築において用いられるための、高精度電圧変換についてのそれぞれのレイアウトを提案する。バイアスレベルは、互いに対して等間隔ではなく、DACは非線形転送特性を有しなければならない。転送特性の曲線は、TFT LCDパネルメーカーによって用いられる液体に依存する。この比線形性のため、電圧分割器の精度は、抵抗ヘッド寄生界面抵抗によって、従来の方法において影響を受ける異なる値を有する個々の抵抗の正確さに依存する。本発明は、主本体抵抗に関して無視できる程度の抵抗ヘッド寄生界面抵抗を作るレイアウト技術を提案する。結果として、より多くの自由度が、平面テレビおよびコンピュータ画面用の高精度(濃い色深度)の現代のLCDディスプレイ用の抵抗のサイズを決めることに関して提供される。提案された技術は、非線形転送特性を有する高精度(>8ビット)DACにおいて、(これら一続きの抵抗に対してより小さいIC領域を選択することによって、)さらなるコスト減少の道を開く。

40

【0023】

50

上述した実施形態が本発明を限定するものではないという点に留意すべきであり、当業者は、特許請求の範囲によって定義された発明の範囲から逸脱することなく、多くの代案の実施形態を設計することができるであろう。「具える」という用語は、特許請求の範囲または明細書に挙げられたもの以外の要素を除外するものではない。また、単数で記載された要素は、複数の要素を除外するものではなく、その逆も同じである。本発明は、好適にプログラミングされたコンピュータの手段によって、様々な明らかな要素を具えるハードウェアによって実施されることができる。様々な手段を挙げるデバイスの請求項において、これら手段のいくつかは、ハードウェアの、1つのまたは同じアイテムによって実施されることができる。相互に異なる従属項において復唱された特定の大きさは、生かされることができないこれらの大きさの組合せを示すものではないということは、単なる事実である。

10

【0024】

上述した発明の詳細において、層、領域または基板のような構成要素が別の要素の「上」にあると言う場合、それら要素が、他の要素の上に直接存在する場合と、他の要素の上に何かを介して存在する場合との両方の場合が存在するということを理解すべきである。

【0025】

当業者は、本発明の範囲から逸脱することなく、本発明の記載から様々な変型または修正を行うことができるということを理解するであろう。

【図面の簡単な説明】**【0026】**

20

【図1】本発明の典型的な実施形態に従う抵抗分割回路を含むデジタル/アナログ変換器を有するディスプレイモジュールの基本構成を示す概略図である。

【図2】抵抗分割回路の基本構成を示す概略的回路ダイアグラムである。

【図3】第1に知られたレイアウトの抵抗分割回路の概略的平面図である。

【図4】図3に示すデバイスの一部の概略的断面図であり、シリサイド化および非シリサイド化多結晶シリコンの効果を示す。

【図5】第2に知られたレイアウトの抵抗分割回路の概略的断面図である。

【図6】本発明の第1典型的実施形態に従う抵抗分割回路の概略的断面図である。

【図7】本発明の第2典型的実施形態に従う抵抗分割回路の概略的断面図である。

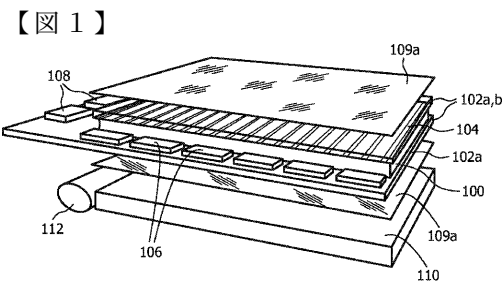


FIG. 1

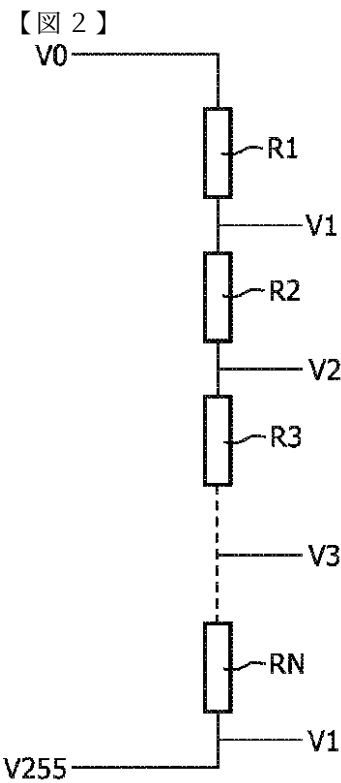


FIG. 2

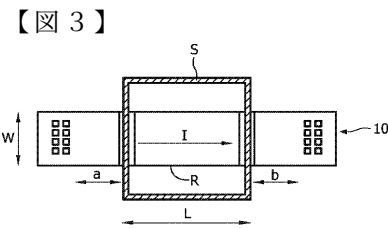


FIG. 3

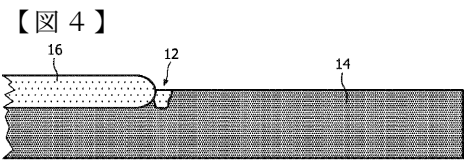


FIG. 4

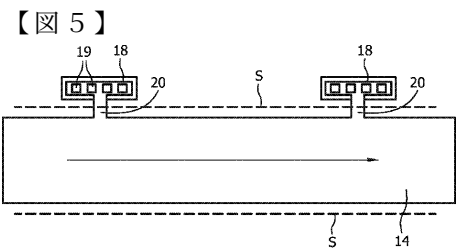


FIG. 5

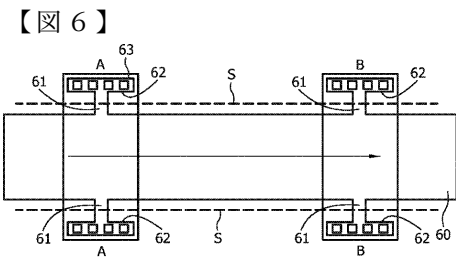


FIG. 6

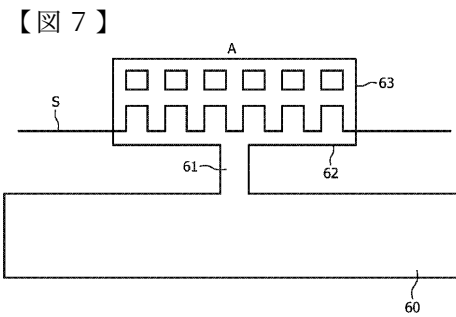


FIG. 7

フロントページの続き

(72)発明者 アンディー シー ネゴイ
オランダ国 5656 エイジー アインドーフェン プロフ ホルストラーン 4 ハイ テク
キャンパス 60 1.31 エヌエックスピー セミコンダクターズ アイピー デパートメ
ント内

審査官 増山 慎也

(56)参考文献 米国特許出願公開第2004/0196063 (US, A1)
特開平05-284031 (JP, A)
特開2005-353616 (JP, A)
特開2003-152079 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/822
G02F 1/133
H01L 21/28
H01L 27/04