



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0121942
(43) 공개일자 2016년10월21일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/314 (2006.01)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 29/786 (2013.01)
H01L 21/3141 (2013.01)
(21) 출원번호 10-2015-0051835
(22) 출원일자 2015년04월13일
심사청구일자 2015년04월13일

(71) 출원인
충남대학교산학협력단
대전광역시 유성구 대학로 99 (궁동, 충남대학교)
(72) 발명자
정광석
대전광역시 서구 변정7길 32 2층
이가원
대전광역시 유성구 배울2로 42 신동아파밀리에
506동 1603호
엄기윤
대전광역시 서구 남선로60번길 28 3층
(74) 대리인
특허법인태동

전체 청구항 수 : 총 5 항

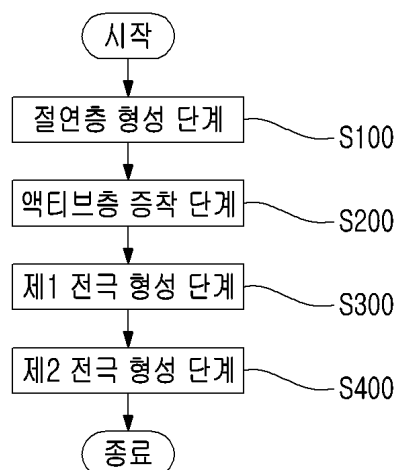
(54) 발명의 명칭 박막 트랜지스터 제조방법

(57) 요약

본 발명의 박막 트랜지스터 제조방법은 기판의 상면에 게이트절연층을 형성하는 절연층 형성 단계, 상기 게이트절연층의 상면에 열 원자 증착(Atomic Layer Deposition, ALD) 방법을 이용하여, 증착온도를 연속적으로 변화시키며 액티브층을 증착하는 액티브층 증착 단계, 상기 게이트절연층의 하면에 게이트전극을 형성하는 제 1 전극 형성 단계 및 상기 액티브층의 상면에, 티타늄(Ti)을 포함하는 금속을 증착하여 소스 전극 및 드레인전극을 상기 액티브층과 일부 중첩되도록 형성하는 제 2 전극 형성 단계를 포함하여 마련된다.

상기의 본 발명의 박막 트랜지스터 제조방법에 의해 제조된 박막 트랜지스터는 액티브층 및 게이트절연층의 결합 밀도를 줄일 수 있으며, 높은 전압의 게이트 바이어스에서도, 본 발명의 액티브층은 V_{th} 의 변동폭이 낮으므로, 전기적 안정성이 종래의 일반적인 박막 트랜지스터에 비해 개선되었다.

대 표 도 - 도1



(52) CPC특허분류

H01L 27/3262 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2014R1A1A3052808

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 이공분야기초연구-여성과학자

연구과제명 유연성 투명 전자소자 적용을 위한 산화물 기반 박막트랜지스터 연구

기 여 율 1/2

주관기관 충남대학교

연구기간 2014.11.01 ~ 2017.07.31이 발명을 지원한 국가연구개발사업

과제고유번호 10049270

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 웨어러블 스마트 기기를 위한 컴퓨터비전 기반 UI/UX용 SoC 및 SW 플랫폼 연구

기 여 율 1/2

주관기관 충남대학교

연구기간 2014.06.01 ~ 2017.05.31

명세서

청구범위

청구항 1

기판의 상면에 게이트절연층을 형성하는 절연층 형성 단계;

상기 게이트절연층의 상면에 열 원자 증착(Atomic Layer Deposition, ALD) 방법을 이용하여, 증착온도를 연속적으로 변화시키며 액티브층을 증착하는 액티브층 증착 단계;

상기 기판의 하면에 게이트전극을 형성하는 제 1 전극 형성 단계; 및

상기 액티브층의 상면에, 티타늄(Ti)을 포함하는 금속을 증착하여 소스 전극 및 드레인전극을 상기 액티브층과 일부 중첩되도록 형성하는 제 2 전극 형성 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 2

제 1 항에 있어서,

상기 액티브층 증착 단계는, 증착온도를 80℃ 내지 200℃ 사이에서 가변시키며 상기 액티브층을 증착시키는 단계인 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 3

제 2 항에 있어서,

상기 액티브층 증착 단계는 증착온도를 200℃에서 80℃로 연속적으로 낮추며 상기 액티브층을 증착시키는 단계인 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 4

제 1 항에 있어서,

상기 액티브층 증착 단계에서, 열 원자 증착 사이클(ALD Cycle)이 적어도 두 번 이상 반복하여 상기 액티브층을 증착시키는 것을 특징으로 박막 트랜지스터 제조방법.

청구항 5

제 1 항에 있어서,

상기 액티브층은 ZnO, IGZO, ITZO 및 IAZO 등의 아연 산화물계 반도체로 형성되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 제조방법에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터 및 형광체, 광원 기술이 발달하면서 LCD, PDP, 유기 EL 등의 평판 디스플레이 장치들은 소형화, 고해상도화, 저에너지소비화 되고 있고, 이미 기존의 디스플레이 장치들의 성능을 능가하면서 그 시장의 크기를 넓혀가고 있다. 뿐만 아니라, 최첨단 휴대 전화의 정보 전달 능력이 상상을 초월할 정도로 커지면서 디스플레이 산업은 정보 산업 중에서 핵심 중의 핵심이 되어가고 있다.

[0003] 이 중 유기 EL은 백라이트가 필요 없고 응답속도가 빠르고 화질이 우수하여 차세대 디스플레이로 기대를 모으고 있다. 그러나 유기 EL에 적용하기 위한 박막 트랜지스터는 이동도, 드레인 전류의 On/Off 비율 등과 같은 트랜지스터 기본 특성뿐만 아니라 오랜 수명을 유지할 수 있는 내구성 및 전기적 신뢰성(Stability)이 매우 중요하

다. 비정질 실리콘은 성막공정이 간단하여 대면적이 용이하고 생산비용이 적게 들지만 전기적 신뢰성이 확보되지 못해 유기 EL 응용에 어려움을 겪고 있다. 폴리 실리콘을 이용한 박막 트랜지스터는 결정화 방식 및 높은 공정온도로 인하여 대면적 응용이 매우 곤란하다.

[0004] 따라서 저온에서 생산될 수 있는 높은 수명의 박막 트랜지스터는 대형 유기 EL을 제품화하기 위해 필수적이다.

[0005] 한편, ZnO 박막은 낮은 온도에서 막을 생성하여도 높은 이동도 (Mobility)를 얻을 수 있는 장점 때문에 최근 박막 트랜지스터로의 응용에 큰 관심을 끌고 있다.

[0006] 또한 ZnO의 투명한 성질은 향후 투명 디스플레이에도 응용할 수 있으며, 산소함량에 따라 저항변화가 크기 때문에 원하는 물성을 얻기에 매우 용이한 장점이 존재한다.

[0007] 이러한 ZnO 박막을 가지는 박막 트랜지스터는 대한민국 공개특허공보 공개번호 제10-2014-0129818호에 박막 트랜지스터 및 그 제조방법에 대해 기재되어 있다.

[0008] 하지만, ZnO를 기반으로 하는 물질의 경우 액티브층 및 게이트절연층 근처에 존재하는 트랩으로 인하여 바이어스 인가 시 전하 트랩핑(Charge Trapping) 현상이 일어나게 되어 소자의 성능 열화 및 문턱 전압 변화하는 문제점이 존재한다.

[0009] 이로 인해, 전하 트랩핑이 일어나는 액티브층 및 게이트절연층에 대한 분석 및 개선 공정 제안이 요구되고 있다.

발명의 내용

해결하려는 과제

[0010] 따라서, 본원 발명은 열 원자층 증착(Thermal Atomic Layer Deposition, ALD) 방법을 이용하여 전하 트랩핑 현상을 최소화하기 위한 박막 트랜지스터 제조방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0011] 이러한 목적을 달성하기 위하여 본 발명의 일 태양으로 기판의 상면에 게이트절연층을 형성하는 절연층 형성 단계, 상기 게이트절연층의 상면에 열 원자 증착(Atomic Layer Deposition, ALD) 방법을 이용하여, 증착온도를 연속적으로 변화시키며 액티브층을 증착하는 액티브층 증착 단계, 상기 기판의 하면에 게이트전극을 형성하는 제 1 전극 형성 단계 및 상기 액티브층의 상면에, 티타늄(Ti)을 포함하는 금속을 증착하여 소스 전극 및 드레인전극을 상기 액티브층과 일부 중첩되도록 형성하는 제 2 전극 형성 단계를 포함한다.

[0012] 상기 액티브층 증착 단계는, 증착온도를 80℃ 내지 200℃ 사이에서 가변시키며 상기 액티브층을 증착시키는 단계이다.

[0013] 상기 액티브층 증착 단계는, 증착온도를 200℃에서 80℃로 연속적으로 낮추며 상기 액티브층을 증착시키는 단계이다.

[0014] 상기 액티브층 증착 단계에서, 열 원자 증착 사이클(ALD Cycle)이 적어도 두 번 이상 반복하여 상기 액티브층을 증착시킨다.

[0015] 상기 액티브층은 ZnO, IGZO, ITZO 및 IAZO 등의 아연 산화물계 반도체로 형성된다.

발명의 효과

[0016] 본 발명의 박막 트랜지스터 제조방법에 의해 제조된 박막 트랜지스터는 증착온도를 연속적으로 변화시키며 액티브층을 증착시킴으로써, 박막 트랜지스터의 액티브층 및 게이트절연층의 결함 밀도를 줄일 수 있는 효과가 존재한다.

[0017] 또한, 높은 전압의 게이트 바이어스에서, 본 발명의 액티브층은 V_{th} 의 변동폭이 낮으므로, 전기적 안정성이 종래의 일반적인 박막 트랜지스터에 비해 개선되었다.

[0018] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 청구범위의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 박막 트랜지스터의 제조방법을 도시한 흐름도이다.
- 도 2는 본 발명의 박막 트랜지스터의 구조를 개략적으로 도시한 단면도이다.
- 도 3은 본 발명의 박막 트랜지스터의 제조방법 중 액티브층 증착 단계에 해당하는 원자층 증착(ALD)공정도가 도시된 도면이다.
- 도 4는 본 발명의 원자층 증착 단계에서 시간에 따른 증착온도의 변화가 도시된 도면이다.
- 도 5는 증착 온도별 시편의 구조 분석을 위한 XRD(X-ray Diffractometer) 데이터가 도시된 도표이다.
- 도 6은 일반적인 종래의 액티브층 및 본 발명에 따른 액티브층의 전류-전압 특성을 비교하여 도시된 도표이다.
- 도 7은 일반적인 종래의 액티브층과 본 발명에 따른 액티브층의 전기적 안정성을 비교하여 도시한 도표이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 본 발명의 바람직한 실시예에 대하여 첨부된 도면을 참조하여 더 구체적으로 설명하되, 이미 주지된 기술적 부분에 대해서는 설명의 간결함을 위해 생략하거나 압축하기로 한다.
- [0021] 도 2는 본 발명의 박막 트랜지스터(100)의 구조를 개략적으로 나타내는 단면도로써, 아연 산화물계 반도체를 액티브층으로 사용한 박막 트랜지스터의 구조를 개략적으로 나타내고 있다.
- [0022] 본 발명의 실시예에 따른 박막 트랜지스터(100)는 도 2에 도시된 바와 같이, 소정의 기판(110) 하면에 형성된 게이트전극(120), 기판(110)의 상면에 형성된 게이트절연층(130), 게이트절연층(130) 위에 형성된 소스 전극 및 드레인전극(140), 아연 산화물계 반도체로 형성되어 상기 소스 전극 및 드레인전극(140)과 일부 중첩되어 마련되는 액티브층(150)을 포함하여 마련되며, 본 발명의 박막 트랜지스터(100)를 제조하는 방법에 따라 본 발명의 박막 트랜지스터(100)의 각각의 구성들을 설명하도록 한다.
- [0023] <본 발명의 박막 트랜지스터(100)의 제조방법에 대한 설명>
- [0024] 본 발명의 박막 트랜지스터(100)를 제조하는 방법은, 도 1에 도시된 바와 같이 절연층 형성 단계(S100), 액티브층 증착 단계(S200), 제 1 전극 형성 단계(S300) 및 제 2 전극 형성 단계(S400)를 포함하여 마련되며, 본 발명의 박막 트랜지스터 제조방법에 따라, 각 구성요소에 대해 설명을 하도록 한다.
- [0025] 절연층 형성 단계(S100)는 기판(110)의 상면에 게이트절연층(130)을 형성하는 단계이다.
- [0026] 기판(110)은 이미 공지된 바의 규산 알칼리계 유리, 무알칼리계 유리, 석영 유리 등의 유리 기판, 실리콘 기판, 아크릴, 폴리카보네이트, 폴리에틸렌 나프탈레이트(PEN) 등의 수지 기판, 폴리에틸렌 테레프탈레이트(PET), 폴리아마이드 등의 고분자가 사용될 수 있다. 그 두께 또한 통상적인 범위 내에서 사용된다.
- [0027] 게이트절연층(130)은 산화 규소(SiO_x), 질화 규소(SiN_x) 또는 산질화 규소(SiON) 등으로 형성될 수 있으며, 실시하기에 따라 산화 규소와 질화규소가 적층된 다층막 구조를 가지는 것도 고려될 수 있으며, 이 경우, 기판(110)의 상부에는 질화 규소층이 형성되고, 질화 규소층의 상부에 산화 규소층이 형성되는 것이 바람직하다.
- [0028] 액티브층 증착 단계(S200)는 기판(110)의 상면에 열 원자 증착(Atomic Layer Deposition, ALD) 방법을 이용하여 액티브층(150)을 증착하는 단계로, 액티브층 증착 단계(S200)는 도 3에 도시된 공정도(열 원자층 증착 사이클(ALD Cycle)에 따라서 시행되는 것이 가장 바람직하나, 이에 한정되지는 않는다.
- [0029] 도시하지는 않았지만 실시하기에 따라 액티브층(150)의 위에는 보호층이 배치될 수 있으며, 액티브층(150)을 증착하기 이전에 기판(110) 위에 버퍼층(buffer layer)을 형성할 수도 있다.
- [0030] 액티브층 증착 단계(S200)에 대해 간략하게 설명하면, 아연 소스, 가령 디에틸아연(DEZ)을 저기압을 유지하면서 주입하고, 불활성 기체인 질소나 아르곤을 퍼지하여 증착속도를 유지하면서 미반응 아연 소스와 반응 부산물을 제거한다. 이후, 산소 소스, 가령 물을 주입하여 디에틸아연과 반응시킨 후, 질소나 아르곤을 퍼지하여 미반응 산소 소스와 반응 부산물을 제거하여 산화아연 박막을 증착한다.
- [0031] 이때, 열 원자층 증착 사이클(ALD Cycle) 수를 적절히 설정함으로써, 형성되는 박막의 두께를 제어할 수 있다.
- [0032] 특히, 본 발명에 따르는 액티브층 증착 단계(S200)에서 액티브층(150)을 증착할 때, 공정 온도에 따라, 아연 산

화물계 반도체의 물리적 특성 및 전기적 특성이 변하게 된다.

- [0033] 도 5에 증착온도별 액티브층(150)의 구조 분석을 위한 XRD(X-ray Diffractometer) 데이터가 도시되어 있다.
- [0034] 도 5에 도시된 [002], [101] 및 [100] 등은 결정의 방향을 의미하는 것으로, 이를 참조하여 XRD 데이터를 간략하게 설명하면, 상대적으로 증착온도가 낮은 80℃와 증착온도가 높은 200℃에서는 [002] 피크가 우세한 결과를 보이며, 고온에서는 금속아연 [101], [100] 피크의 강도가 증가함을 알 수 있다.
- [0035] 이러한 결과가 나타나는 이유는 [002]의 결합 에너지(Bonding Energy)가 다른 결정 방향보다 가장 작으므로 저온에서는 충분한 열에너지가 제공되지 못하기 때문에 대부분 [002] 방향으로 성장한다. 하지만 고온으로 갈수록 결합 에너지가 증가함으로 다른 방향으로도 성장하는 것이다.
- [0036] 이러한 성장방향의 차이는 비저항에 영향을 미치는데 그 이유는 [002] 방향이 가장 원자가 밀집되어 있어 저항이 가장 크기 때문이다.
- [0037] 즉, 저온에서 성장한 (002) 위주의 산화아연은 고온에서의 다방향 성장보다 더 큰 비저항(Resistivity)을 가지는 것을 의미하며, 이와 동시에 캐리어 농도(Carrier Concentration)가 높으므로 Hall Effect가 잘 발생하게 되어 캐리어 이동성(Mobility)이 높은 것을 알 수 있다.
- [0038] 즉, 증착온도를 조절하면, 그 성장방향의 분포에 따른 액티브층(150)의 비저항, 캐리어 포화정도 등을 제어할 수 있음을 의미한다.
- [0039] 반면, 본 발명의 실시예에서는, 도 4에 도시된 바와 같이 액티브층(150)을 증착하는 온도를 200℃에서 80℃까지 점진적으로 낮추면서 원자층 증착 방법(ALD Cycle)을 수행한다.
- [0040] 상기와 같은 방법으로 형성되는 액티브층(150)은 박막 트랜지스터 소자의 채널영역로 적용될 수 있다.
- [0041] 가령, 도 6에 도시된 바와 같이, 본 발명의 박막 트랜지스터(100)의 제조방법에 따라 형성된 액티브층(150)과, 증착온도가 80℃로 고정된 상태에서 형성한 박막을 액티브층으로 사용할 때와, 증착온도가 200℃로 고정된 상태에서 형성한 박막을 액티브층으로 사용할 때를 비교한 전압-전류 특성이 도시된 것으로, 인가 전압(VGS)이 음의 전압 혹은 10V이상의 전압으로 인가되더라도 본 발명의 박막 트랜지스터(100)의 특성이 잘 나타나고 있다.
- [0042] 또한, 도 7은 30V의 게이트 바이어스에 대한 스트레스 안정성 특성에 대해 도시된 도표로, 증착온도가 80℃로 고정된 상태에서 형성한 박막을 액티브층으로 사용할 때에 비해, 본 발명의 박막 트랜지스터(100)의 제조방법에 따라 형성된 액티브층(150)의 Vth의 변동폭이 낮으므로, 본 발명의 박막 트랜지스터(100)의 전기적 안정성이 종래의 일반적인 박막 트랜지스터에 비해 개선된 것을 알 수 있다.
- [0043] 본 발명의 따른 박막 트랜지스터(100)는 아연 산화물계 반도체를 이용하여 액티브층(150)을 형성함에 따라 높은 이동도와 정전류 테스트 조건을 만족하는 한편 균일한 특성이 확보되어 대면적 디스플레이에 적용 가능하다.
- [0044] 아연 산화물(ZnO)은 산소 함량에 따라 전도성, 반도체성 및 저항성의 3가지 성질을 모두 구현할 수 있는 물질로, 아연 산화물계 반도체 물질을 액티브층(150)으로 적용한 박막 트랜지스터는 액정표시장치와 유기전계발광 디스플레이를 포함하는 대면적 디스플레이에 적용될 수 있다.
- [0045] 본 발명의 실시예에 따른 박막 트랜지스터(100)는 아연 산화물(ZnO)을 포함하여 이루어지는 액티브층(150)을 가질 수 있으나, 실시하기에 따라, ITO(indium tin oxide) 및 IZO(indium zinc oxide)과 같은 투명 도전성 물질로 이루어질 수 있으며, 이에 한정되지 않는다.
- [0046] 또한, 액티브층(150)은 이후에 설명할 소스 전극(140a)과 드레인 전극(140d)이 마련될 수 있도록, 액티브층(150)을 식각하여 원하는 형태를 가지는 반도체 패터를 형성하는 공정을 수행할 수 있으며, 그 방식은 건식 식각 혹은 습식 식각 등으로 마련될 수 있다.
- [0047] 예를 들어, 습식 식각은 액티브층(150) 위에 감광막을 적층하고, 감광막을 마스크 등으로 노광하고 현상하여 특정 패터를 형성하고, 패터닝된 감광막을 기초로 식각액을 제공하여 원하는 패터를 형성한다.
- [0048] 제 1 전극 형성단계(S300)는 기판(110)의 하면에 게이트전극(120)을 증착하여 형성하는 단계이다.
- [0049] 게이트전극(120)은 게이트 신호를 전달하는 게이트 배선과 연결되는 구성요소로, 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등을 포함할 수 있

다.

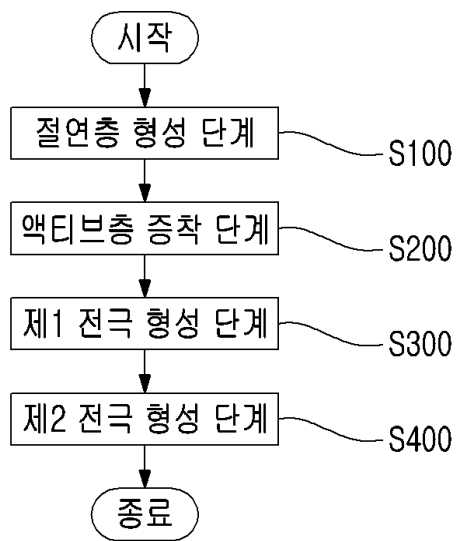
- [0050] 또한, 게이트전극(120)은 물리적 성질이 다른 두 개의 도전막(미도시)을 포함하는 다중막 구조를 가질 수 있다.
- [0051] 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어지고, 다른 도전막은 다른 물질, 특히 산화 아연(ZnO), ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어질 수 있다.
- [0052] 본 발명의 실시예에 따른 게이트전극(120)은 이에 한정되지 않고, 게이트 전극(120)은 다른 여러 가지 금속과 도전체로 만들어질 수 있다.
- [0053] 또한, 앞서 설명한 실시예에서는 게이트전극이 산화물 반도체층 아래에 배치된 바텀 게이트 구조(bottom gate structure)에 대해서 설명하였으나, 본 발명은 이에 한정되지 않으며 게이트전극이 산화물 반도체층 위에 배치된 탑 게이트 구조(top gate structure)에서도 적용될 수 있다.
- [0054] 제 2 전극 형성 단계(S400)는 게이트절연층(130) 위에 소스 전극(140s) 및 드레인 전극(140d)을 형성하되, 소스 전극(140s) 및 드레인 전극(140d)는 서로 이격되어 배치되어 있으며, 액티브층(140)과 적어도 일부 중첩되도록 마련된다.
- [0055] 즉, 소스 전극(140s)은 액티브층(150)과 적어도 일부분이 중첩되고, 드레인 전극(140d)은 채널영역(151)을 중심으로 소스 전극(144)과 대향하도록 배치되어, 액티브층(150)과 적어도 일부분이 중첩된다.
- [0056] 소스 전극(140s)은 데이터 신호를 전달하는 데이터 배선과 연결되며, 드레인 전극(140d)은 화소 전극(도시하지 않음)과 전기적으로 연결될 수 있으며, 화소 전극에 인가된 전압과 대향 전극(도시하지 않음)에 의하여 전계가 형성되며, 그 전계에 따라서 계조 표현이 가능하다.
- [0057] 소스 전극 및 드레인 전극(140)은 게이트 전극(120)과 마찬가지로 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 등을 포함할 수 있다.
- [0058] 상기한 본 발명의 박막 트랜지스터(100)의 제조방법에 따라 증착온도를 연속적으로 변화시키며 제조된 박막 트랜지스터(100)는, 박막 트랜지스터의 액티브층(150) 및 게이트절연층(130)의 결합 밀도를 줄일 수 있는 효과를 발휘할 수 있다.
- [0059] 또한, 높은 전압의 게이트 바이어스에서도, 증착온도가 80℃로 고정된 상태에서 형성한 액티브층으로 사용할 때에 비해, 본 발명의 박막 트랜지스터(100)의 제조방법에 따라 형성된 액티브층(150)의 V_{th} 의 변동폭이 낮으므로, 본 발명의 박막 트랜지스터(100)의 전기적 안정성이 종래의 일반적인 박막 트랜지스터에 비해 개선된 것을 알 수 있다.
- [0060] 따라서 본 발명에 개시된 실시예는 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 보호범위는 아래 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

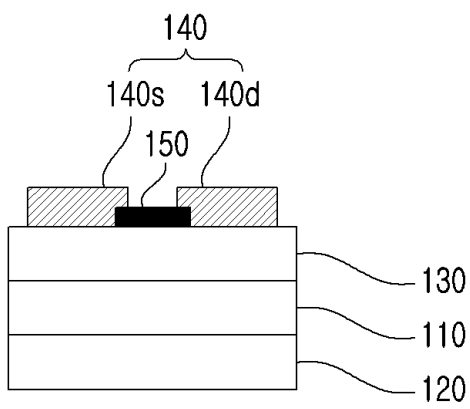
- [0061] 100 : 박막 트랜지스터
- 110 : 기판
- 120 : 게이트전극
- 130 : 게이트절연층
- 140 : 소스 전극 및 드레인 전극
- 140s : 소스 전극 140d : 드레인 전극
- 150 : 액티브층

도면

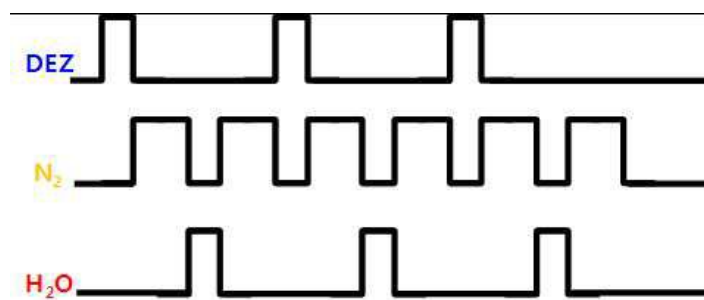
도면1



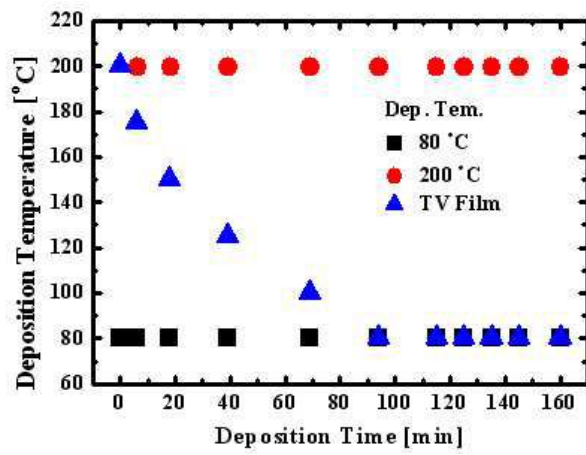
도면2



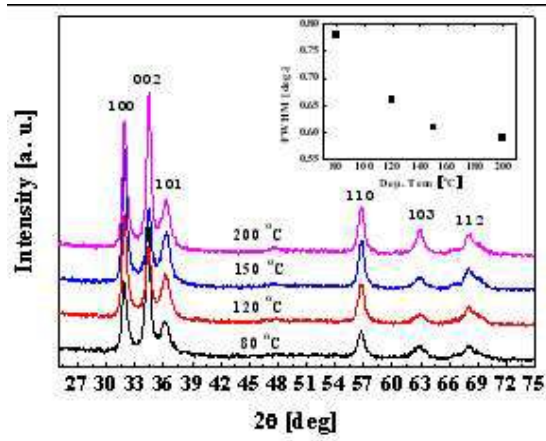
도면3



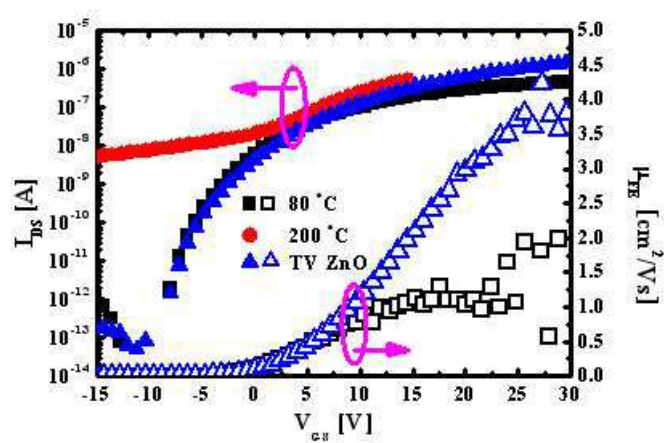
도면4



도면5



도면6



도면7

