【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第１部門第２区分
【発行日】平成18年7月27日(2006.7.27)

【公開番号】特開2002-369928(P2002-369928A)
【公開日】平成14年12月24日(2002.12.24)
【出願番号】特願2002-130223(P2002-130223)
【国際特許分類】
　Ａ６３Ｆ　　7/02　　　(2006.01)
【ＦＩ】
　Ａ６３Ｆ　　7/02　　　３１５Ｚ
　Ａ６３Ｆ　　7/02　　　３３４

【手続補正書】
【提出日】平成18年6月14日(2006.6.14)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【書類名】　明細書
【発明の名称】　遊技機
【特許請求の範囲】
【請求項１】
　遊技の制御に使用される乱数を生成する乱数生成手段と、所定の契機を検出する検出手段と、その検出手段によって所定の契機が検出された場合の前記乱数生成手段によって生成された乱数の値が予め定められた値と一致するか否かを判定する制御装置とを備え、その制御装置により予め定められた値と一致すると判定された場合に遊技者に所定の遊技価値を付与する遊技機において、
　前記検出手段と電気的に接続されると共に前記検出手段によって所定の契機が検出された場合の前記乱数生成手段の生成する乱数を保持するために使用される保持手段と、
　前記乱数生成手段が生成する乱数の値を更新するために使用される信号を出力する信号出力手段とをさらに備え、
　前記制御装置は定期的に繰り返されるソフトウェア制御による定期処理を実行するものであり、そのソフトウェア制御による定期処理は前記保持手段に保持される乱数の値を読み出す読み出し処理と、その読み出し処理によって読み出された乱数の値が前記予め定められた値と一致するか否かを判定する判定処理とを含んで構成され、
　前記制御装置は前記ソフトウェア制御による定期処理における前記読み出し処理および前記判定処理を含む処理のうち所定の処理内で所定の作業を実行するものであると共に、その所定の作業を実行する場合には前記制御装置内において作業コードを読み込むものであり、
　前記所定の作業には前記作業コードの読み込みが複数回行われる特定の作業が含まれ、
　前記信号出力手段が信号を出力する間隔が、前記特定の作業を実行する場合における特定の作業コードの読み込みと次の作業コードの読み込み間隔以下であることを特徴とする遊技機。
【請求項２】
　前記ソフトウェア制御による定期処理は、前記制御装置外の装置である外部装置に対して動作信号を出力する出力処理を含んでいることを特徴とする請求項１記載の遊技機。
【請求項３】
　前記検出手段は遊技球を検出するための検出スイッチで構成され、

前記遊技価値の付与は特定入賞手段が複数回の開閉動作を実行した場合の入賞に基づく遊技球の払い出しであることを特徴とする請求項１または２記載の遊技機。

【請求項４】

前記信号生成手段が出力する信号は、前記制御装置における一の作業コードを読み込むための信号、８０系ＣＰＵのＭ１信号（オペコードフェッチ信号）、６８系ＣＰＵのＳＹＮＣ（シンクロナスアウト）信号、メモリ・リクエスト信号、リード信号、リフレッシュ信号のうち、いずれかの信号であることを特徴とする請求項１から３のいずれかに記載の遊技機。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】　本発明は、パチンコ遊技機などの遊技機に使用される遊技機に関し、特に、「ぶら下げ基板」等による不正行為を防止することができる遊技機に関するものである。

【０００２】

【従来の技術】　遊技機の一種であるパチンコ遊技機は、複数種類の図柄を変動表示可能な表示装置を備えており、遊技領域に打ち込まれた打球が図柄作動ゲートを通過することにより、変動表示を開始するように構成されている。この変動表示が予め定められた図柄の組み合わせと一致して停止すると、大当たりとなって、遊技者に所定の遊技価値が付与され、大量の遊技球が払出可能な状態となる。

【０００３】

かかる大当たりの発生の有無は、打球が図柄作動ゲートを通過するタイミングで決定される。即ち、１カウントずつ定期的に一定の範囲で（例えば、１カウントずつ、２ｍｓ毎に、０から３４６の範囲で）更新されるカウンタを備え、打球が図柄作動ゲートを通過したときに、そのカウンタの値を読み出し、読み出されたカウンタの値が、例えば「７」などの所定値と一致する場合に、大当たりを発生させている。

【０００４】

【発明が解決しようとする課題】　ところが、最近、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が報告されている。この不正行為は、制御基板と表示装置の表示用基板との間等に、不正な基板をぶら下げて（不正な「ぶら下げ基板」を取り付けて）、不当に大当たりを発生させるというものである。具体的には、前記したパチンコ遊技機に設けられる大当たりを決定するためのカウンタと同様の働きをするカウンタ（１カウントずつ定期的に一定の範囲で更新されるカウンタ）を「ぶら下げ基板」内に設け、そのカウンタの値をパチンコ遊技機の電源投入に合わせてリセット（０クリア）することにより、「ぶら下げ基板」内で大当たりの発生タイミングを把握する。そして、その把握した大当たりの発生タイミングに合わせて、「ぶら下げ基板」内で打球の図柄作動ゲート通過信号を不正に生成し、これをパチンコ遊技機の制御基板へ出力して、不当に大当たりを発生させるというものである。遊技場などでは、この「ぶら下げ基板」を用いた不正行為により、多大な被害を被っているという問題点があった。

【０００５】

本発明は上述した問題点を解決するためになされたものであり、「ぶら下げ基板」等による大当たりの発生タイミングの把握を不可能にして、かかる「ぶら下げ基板」等を用いた不正行為を防止することができる遊技機を提供することを目的としている。

【０００６】

【課題を解決するための手段】　この目的を達成するために請求項１記載の遊技機は、遊技の制御に使用される乱数を生成する乱数生成手段と、所定の契機を検出する検出手段と、その検出手段によって所定の契機が検出された場合の前記乱数生成手段によって生成された乱数の値が予め定められた値と一致するか否かを判定する制御装置とを備え、その制御装置により予め定められた値と一致すると判定された場合に遊技者に所定の遊技価値を付与するものであり、前記検出手段と電気的に接続されると共に前記検出手段によって所定の契機が検出された場合の前記乱数生成手段の生成する乱数を保持するために使用

される保持手段と、前記乱数生成手段が生成する乱数の値を更新するために使用される信号を出力する信号出力手段とをさらに備え、前記制御装置は定期的に繰り返されるソフトウェア制御による定期処理を実行するものであり、そのソフトウェア制御による定期処理は前記保持手段に保持される乱数の値を読み出す読み出し処理と、その読み出し処理によって読み出された乱数の値が前記予め定められた値と一致するか否かを判定する判定処理とを含んで構成され、前記制御装置は前記ソフトウェア制御による定期処理における前記読み出し処理および前記判定処理を含む処理のうち所定の処理内で所定の作業を実行するものであると共に、その所定の作業を実行する場合には前記制御装置内において作業コードを読み込むものであり、前記所定の作業には前記作業コードの読み込みが複数回行われる特定の作業が含まれ、前記信号出力手段が信号を出力する間隔が、前記特定の作業を実行する場合における特定の作業コードの読み込みと次の作業コードの読み込み間隔以下である。

【０００７】

請求項２記載の遊技機は、請求項１記載の遊技機において、前記ソフトウェア制御による定期処理は、前記制御装置外の装置である外部装置に対して動作信号を出力する出力処理を含んでいる。

請求項３記載の遊技機は、請求項１または２に記載の遊技機において、前記検出手段は遊技球を検出するための検出スイッチで構成され、前記遊技価値の付与は特定入賞手段が複数回の開閉動作を実行した場合の入賞に基づく遊技球の払い出しである。

請求項４記載の遊技機は、請求項１から３のいずれかに記載の遊技機において、前記信号生成手段が出力する信号は、前記制御装置における一の作業コードを読み込むための信号、８０系ＣＰＵのＭ１信号（オペコードフェッチ信号）、６８系ＣＰＵのＳＹＮＣ（シンクロナスアウト）信号、メモリ・リクエスト信号、リード信号、リフレッシュ信号のうち、いずれかの信号である。

【０００８】

【発明の実施の形態】　以下、本発明の好ましい実施例について、添付図面を参照して説明する。本実施例では、遊技機の一例としてパチンコ遊技機、特に、第１種パチンコ遊技機を用いて説明する。なお、本発明を第３種パチンコ遊技機や他の遊技機に用いることは、当然に可能である。

【０００９】

図１は、パチンコ遊技機Ｐの遊技盤の正面図である。遊技盤１の周囲には、打球が入賞することにより５個から１５個の遊技球が払い出される複数の入賞口２が設けられている。また、遊技盤１の中央には、複数種類の識別情報としての図柄などを表示する液晶（ＬＣＤ）ディスプレイ３が設けられている。このＬＣＤディスプレイ３の表示画面は横方向に３分割されており、３分割された各表示領域において、それぞれ図柄の変動表示が行われる。

【００１０】

ＬＣＤディスプレイ３の下方には、図柄作動ゲート（第１種始動口）４が設けられている。打球がこの図柄作動ゲート４を通過することにより、前記したＬＣＤディスプレイ３の変動表示が開始される。図柄作動ゲート４の下方には、特定入賞口（大入賞口）５が設けられている。この特定入賞口５は、ＬＣＤディスプレイ３の変動後の表示結果が予め定められた図柄の組み合わせの１つと一致する場合に、大当たりとなって、打球が入賞しやすいように所定時間（例えば、３０秒経過するまで、あるいは、打球が１０個入賞するまで）開放される入賞口である。この特定入賞口５内には、Ｖゾーン５ａが設けられており、特定入賞口５の開放中に、打球がＶゾーン５ａ内を通過すると、継続権が成立して、特定入賞口５の閉鎖後、再度、その特定入賞口５が所定時間（又は、特定入賞口５に打球が所定個数入賞するまで）開放される。この特定入賞口５の開閉動作は、最高で１６回（１６ラウンド）繰り返し可能にされており、開閉動作の行われ得る状態が、いわゆる所定の遊技価値の付与された状態（特別遊技状態）である。

【００１１】

図２は、かかるパチンコ遊技機Ｐの電気的構成を示したブロック図である。パチンコ遊技機Ｐの制御部Ｃは、演算装置であるＣＰＵ１１と、図５のフローチャートに示すリセット割込処理を始め、ＣＰＵ１１によって実行される各種の制御プログラムや固定値データを記憶したＲＯＭ１２と、制御プログラムの実行時に各種のデータ等を一時的に記憶するためのメモリであるＲＡＭ１３と、パチンコ遊技機Ｐの制御に使用される乱数を生成し出力する乱数ＩＣ１４（後述）とを備えている。この乱数ＩＣ１４には、図柄作動ゲート４を通過した打球を検出するための第１種始動口スイッチ１８が接続されており、打球が図柄作動ゲート４を通過すると、その第１種始動口スイッチ１８から乱数ＩＣ１４へ、スイッチ入賞信号１８ａが出力される。

【００１２】

これらのＣＰＵ１１、ＲＯＭ１２、ＲＡＭ１３、乱数ＩＣ１４は、バスライン１７を介して互いに接続されている。バスライン１７は、また、入出力ポート１５にも接続されており、この入出力ポート１５は表示装置Ｄや他の入出力装置１６と接続されている。制御部Ｃは、入出力ポート１５を介して、表示装置Ｄや他の入出力装置１６へ動作コマンドを送り、それら各装置を制御するものである。ＬＣＤディスプレイ３の変動表示や特定入賞口５の開閉動作も、この動作コマンドに基づいて制御される。

【００１３】

表示装置Ｄは、ＣＰＵ２１と、プログラムＲＯＭ２２と、ワークＲＡＭ２３と、ビデオＲＡＭ２４と、キャラクタＲＯＭ２５と、画像コントローラ２６と、入出力ポート２７と、ＬＣＤディスプレイ３とを備えている。表示装置ＤのＣＰＵ２１は、制御部Ｃから出力される動作コマンドに応じて、ＬＣＤディスプレイ３の表示制御（変動表示）を行うものであり、プログラムＲＯＭ２２には、このＣＰＵ２１により実行されるプログラムが記憶されている。ワークＲＡＭ２３は、ＣＰＵ２１によるプログラムの実行時に使用されるワークデータが記憶されるメモリである。

【００１４】

ビデオＲＡＭ２４は、ＬＣＤディスプレイ３に表示されるデータが記憶されるメモリであり、このビデオＲＡＭ２４の内容を書き換えることにより、ＬＣＤディスプレイ３の表示内容が変更される。即ち、各表示領域における図柄の変動表示は、ビデオＲＡＭ２４の内容が書き換えられることにより行われる。キャラクタＲＯＭ２５は、ＬＣＤディスプレイ３に表示される図柄などのキャラクタデータを記憶するメモリである。画像コントローラ２６は、ＣＰＵ２１、ビデオＲＡＭ２４、入出力ポート２７のそれぞれのタイミングを調整して、データの読み書きを介在するとともに、ビデオＲＡＭ２４に記憶される表示データをキャラクタＲＯＭ２５を参照して所定のタイミングでＬＣＤディスプレイ３に表示させるものである。

【００１５】

図３は、乱数ＩＣ１４の電気的構成を示したブロック図である。乱数ＩＣ１４は、乱数用カウンタ３１と、最大値レジスタ３２と、コンパレータ３３と、コントローラ３４と、記憶数カウンタ３５と、ＦＩＦＯ(First In First Out)レジスタ３６とを備えており、ＦＩＦＯレジスタ３６の値を乱数値として出力するためのＩＣである。

【００１６】

乱数用カウンタ３１は、ソフト制御では追従することができないほど高速で、かつ、不等間隔に絶えず出力されるオペコード・フェッチ信号であるＭ１信号１１ａの立ち下がり毎に１カウントずつカウントアップを行う１０ビットのカウンタであり、「０～１０２３」の範囲でカウント値を更新可能にされている。この乱数用カウンタ３４の値は、乱数ＩＣ１４の外部から読み出し不可能に構成されており、「ぶら下げ基板」対策を一層効果的なものにしている。最大値レジスタ３２は、その乱数用カウンタ３１で更新されるカウント値の最大値＋１を記憶するためのレジスタであり、乱数用カウンタ３１の更新範囲＋１である「１～１０２４」のうちのいずれかの値が、ＣＰＵ１１によって書き込まれる。コンパレータ３３は、最大値レジスタ３２の値と乱数用カウンタ３１のカウント値とを比較して、両値が一致する場合に、クリア信号３３ａを乱数用カウンタ３１へ出力し、乱数用

カウンタ３１のカウント値を「０」クリアするものである。

【００１７】

このように乱数用カウンタ３１は、最大値レジスタ３２およびコンパレータ３３と相まって、Ｍ１信号１１ａが出力される度に、「０」から最大値レジスタ３２に記憶された値−１の範囲内で、１カウントずつカウントアップを行うのである。なお、本実施例では、乱数用カウンタ３１に「０〜３４６」の範囲でカウント値の更新を行わせるために、ＣＰＵ１１により最大値レジスタ３２に「３４７」が書き込まれる。

【００１８】

コントローラ３４は、第１種始動口スイッチ１８から出力されるスイッチ入賞信号１８ａを入力して、記憶数カウンタ３５およびＦＩＦＯレジスタ３６へ、ラッチ信号３４ａを出力するための回路である。コントローラ３４には、記憶数カウンタ３５のカウント値も入力されており、かかるカウント値が「４以上」である場合には、第１始動口スイッチ１８からのスイッチ入賞信号１８ａを入力しても、コントローラ３４はラッチ信号３４ａを出力しない。即ち、かかる場合には、コントローラ３４はラッチ信号３４ａの出力を禁止するのである。本実施例のパチンコ遊技機Ｐでは、図柄の変動表示を行わせるための最大保留球数は４個であるので、これに対応したものである。

【００１９】

記憶数カウンタ３５は、ＦＩＦＯレジスタ３６にラッチ（記憶）されているカウント値の数を記憶するためのカウンタであり、ＣＰＵ１１によって読み出し可能に構成されている。記憶数カウンタ３５は、コントローラ３４からのラッチ信号３４ａを入力する毎にカウント値を１カウントずつアップし、逆に、ＣＰＵ１１によってＦＩＦＯレジスタ３６の値が読み出される毎に（ＣＰＵ１１からのＦＩＦＯレジスタ読み出し信号１１ｂを入力する毎に）、カウント値を１カウントずつダウンする。前記した通り、この記憶数カウンタ３５の値はコントローラ３４へも出力されており、その値が「４以上」である場合には、コントローラ３４によってラッチ信号３４ａの出力が禁止される。

【００２０】

ＦＩＦＯ(First In First Out)レジスタ３６は、コントローラ３４から出力されるラッチ信号３４ａに基づいて、乱数用カウンタ３１のカウント値を最大４個までラッチ（記憶）するものであり、乱数用カウンタ３１のカウンタサイズ（１０ビット）及び最大保留球数（４個）に対応して、４個の１０ビットサイズのシフトレジスタにより構成されている。ＦＩＦＯレジスタ３６にラッチされた値は、先にラッチされた値から順に、ＣＰＵ１１によって読み出し可能にされている。このＦＩＦＯレジスタ３６から読み出される値が、乱数ＩＣ１４の出力乱数値である。

【００２１】

ここで図４を参照して、乱数用カウンタ３１の更新トリガーとなるＭ１信号１１ａについて説明する。ＣＰＵ１１から出力されるＭ１信号１１ａは、オペコードをフェッチするための信号であり、Ｔ１クロックの立ち上がりとほぼ同時に立ち下がり、Ｔ３クロックの立ち上がり後、ほぼ同時に立ち上がる信号である。Ｍ１信号１１ａは、ＣＰＵ１１による各命令の実行時に必ず１回以上出力される。例えば、ＣＰＵ１１が第１オペコードのみの命令を実行する場合には、その命令の実行時にＭ１信号１１ａは１回出力されるだけであるが、第２オペコードまで有する命令を実行する場合には、その命令の実行時に、Ｍ１信号１１ａは２回出力される。加えて、１つの命令を構成するマシンサイクル数は、命令によって異なっている。このためＭ１信号１１ａは、ＣＰＵ１１による命令の実行時に必ず出力されるが、その出力間隔は一定ではない。即ち、Ｍ１信号１１ａは、ソフト制御では追従することができないほど高速で、且つ、ＣＰＵ１１により実行される命令に応じて（パチンコ遊技機Ｐの遊技状態に応じて）、その出力間隔が変化する信号である。よって、かかるＭ１信号１１ａを用いて、乱数ＩＣ１４の乱数用カウンタ３１を更新するので、「ぶら下げ基板」による乱数値の把握を不可能にすることができる。

【００２２】

次に、上記のように構成されたパチンコ遊技機Ｐで実行される各処理を、図５のフロー

チャートを参照して説明する。図５は、パチンコ遊技機Ｐの制御部Ｃにおいて、２ｍｓ毎に実行されるリセット割込処理のフローチャートである。このリセット割込処理により、パチンコ遊技機Ｐの遊技が制御される。

【００２３】

リセット割込処理では、まず、その処理が電源投入後、最初に実行された処理であるか否かが調べられる（Ｓ１）。最初に実行された処理であれば（Ｓ１：Ｙｅｓ）、ＲＡＭ１３の初期化を行った後に（Ｓ２）、乱数の更新範囲の上限を定めるため、乱数ＩＣ１４の最大値レジスタ３２に「３４７」を書き込む（Ｓ３）。これにより乱数ＩＣ１４の乱数用カウンタ３１は「０～３４６」の範囲でカウントアップを行うので、乱数ＩＣ１４から出力される乱数値は「０～３４６」となる。

【００２４】

Ｓ３の処理後、又は、Ｓ１の処理において電源投入後２回目以降に実行されたリセット割込処理であると判断された場合には（Ｓ１：Ｎｏ）、乱数ＩＣ１４の記憶数カウンタ３５の値を読み出し、その値が「０」であるか否かを判断する（Ｓ４）。読み出した記憶数カウンタ３５の値が「０」でなければ（Ｓ４：Ｎｏ）、既に、打球が図柄作動ゲート４を通過し、そのスイッチ入賞信号１８ａに基づいて、コントローラ３４からラッチ信号３４ａがＦＩＦＯレジスタ３６へ出力されて、乱数用カウンタ３１のカウント値がＦＩＦＯレジスタ３６にラッチ（記憶）されている。このラッチされている値が乱数ＩＣ１４の出力乱数値であるので、かかる場合には、ＦＩＦＯレジスタ３６の値を読み出して（Ｓ５）、その読み出した値が当たり値（例えば「７」）の１つと一致するか否かを判断する（Ｓ６）。前記したように、ＦＩＦＯレジスタ３６の値を読み出すことにより、そのＦＩＦＯレジスタ３６からは、先にラッチされた値から順に乱数値として読み出されるとともに、記憶数カウンタ３５の値が「－１」される。

【００２５】

Ｓ５の処理で読み出されたＦＩＦＯレジスタ３６の値、即ち、乱数ＩＣ１４の出力乱数値が当たり値の１つと一致する場合には（Ｓ６：Ｙｅｓ）、大当たりと判定して、大当たり処理を実行する（Ｓ７）。大当たり処理では、大当たりコマンドが制御部Ｃから後述する表示装置Ｄへ送られ、表示装置Ｄにより、この大当たりコマンドに基づいて、ＬＣＤディスプレイ３の変動表示が大当たりの状態に制御されるのである。

【００２６】

一方、Ｓ４の処理において、乱数ＩＣ１４の記憶数カウンタ３５の値が「０」である場合は（Ｓ４：Ｙｅｓ）、ＦＩＦＯレジスタ３６に読み出すべき乱数値がラッチされていないので、また、Ｓ６の処理において、読み出したＦＩＦＯレジスタ３６の値、即ち、乱数ＩＣ１４の出力乱数値がいずれの当たり値とも一致しない場合には（Ｓ６：Ｎｏ）、ハズレであるので、これらの場合には大当たり処理を行うことなく、Ｓ８の処理へ移行する。

【００２７】

その後、Ｓ８の処理において、パチンコ遊技機Ｐの遊技状態に応じた各処理を実行した後、今回のリセット割込処理を終了して、次回のリセット割込処理を待機する。

【００２８】

ここで、大当たりの判定に用いられる乱数値を出力する乱数ＩＣ１４の動作について説明する。乱数ＩＣ１４の乱数用カウンタ３１は、ＣＰＵ１１から出力されるＭ１信号１１ａの立ち下がり毎にカウントアップを行い、カウント値が最大値レジスタ３２に記憶される「３４７」に達すると、コンパレータ３３からクリア信号３３ａが乱数用カウンタ３１へ出力されて、カウント値が「０」クリアされる。よって、乱数用カウンタ３１は、Ｍ１信号１１ａにより、「０～３４６」の範囲でカウントアップを繰り返すのである。

【００２９】

この乱数用カウンタ３１のカウント値は、ＦＩＦＯレジスタ３６に入力されており、コントローラ３４からラッチ信号３４ａが出力されるタイミングで、ＦＩＦＯレジスタ３６にラッチされる。かかるラッチ信号３４ａは記憶数カウンタ３５へも出力され、そのラッチ信号３４ａを入力した記憶数カウンタ３５は、内部のカウント値を１カウントアップす

る。

【００３０】

前記したようにＣＰＵ１１は、リセット割込処理において、この記憶数カウンタ３５の値を読み出し、その値が「０」でなければ、乱数値を取得するために、ＦＩＦＯレジスタ３６の値を読み出すのである。なお、ＦＩＦＯレジスタ３６の値を読み出すことにより、そのＦＩＦＯレジスタ３６の読み出し信号１１ｂが記憶数カウンタ３５に入力されて、記憶数カウンタ３５の値が１カウントダウンする。

【００３１】

記憶数カウンタ３５の値は、コントローラ３４へも出力されている。その記憶数カウンタ３５の値が「４以上」である場合には、コントローラ３４からのラッチ信号３４ａの出力が禁止され、その間、ＦＩＦＯレジスタ３６への新たな乱数値のラッチ（記憶）が禁止される。

【００３２】

以上説明したように、本実施例のパチンコ遊技機Ｐでは、乱数ＩＣ１４から出力される乱数値を用いて大当たりを判定している。この乱数ＩＣ１４から出力される乱数値は、乱数用カウンタ３１のカウント値に基づいて生成されるが、かかる乱数用カウンタ３１は、Ｍ１信号１１ａの立ち下がりのタイミングでカウントアップを繰り返す。Ｍ１信号１１ａは、ソフト制御では追従することができないほど高速で、かつ、パチンコ遊技機Ｐの制御状態に応じて不等間隔に絶えず出力される信号である。よって、かかるＭ１信号１１ａに基づいてカウントされる乱数ＩＣ１４の出力乱数値を、「ぶら下げ基板」で把握することができない。従って、「ぶら下げ基板」による大当たりの発生タイミングの把握を不可能にして、「ぶら下げ基板」を用いた不正行為を防止することができるのである。

【００３３】

以上、実施例に基づき本発明を説明したが、本発明は上記実施例に何ら限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良変形が可能であることは容易に推察できるものである。

【００３４】

例えば、本実施例では、乱数ＩＣ１４はＣＰＵ１１と別体に構成されたが、乱数ＩＣ１４をＣＰＵ１１に内蔵しても良い。乱数ＩＣ１４をＣＰＵ１１に内蔵することにより、乱数ＩＣ１４自体を交換するといった不正行為を防止することができるので、不正行為の防止効果を一層向上することができる。しかも、乱数ＩＣ１４をＣＰＵに内蔵し、その乱数ＩＣ１４の乱数用カウンタ３１を更新するための信号（本実施例では、Ｍ１信号１１ａ）を、ＣＰＵ１１の外部へ出力しないように構成すれば、ＣＰＵ１１の外部から乱数用カウンタ３１の更新タイミングが全くわからなくなるので、「ぶら下げ基板」等による出力乱数値の把握を一層困難なのものにすることができる。

【００３５】

また、記憶数カウンタ３５の値は、カウント値そのものがＣＰＵ１１から読み出し可能に構成され、そのカウント値により、ＣＰＵ１１は、ＦＩＦＯレジスタ３６の値を読み出すか否かを判断していた。しかし、このカウント値そのものが出力される構成に代えて、記憶数カウンタ３５の値が「１」以上である場合に、出力される信号を設けるようにしても良い。この場合には、ＣＰＵ１１は、該信号がオンである場合に、ＦＩＦＯレジスタ３６の読み出しを行うのである。

【００３６】

更に、乱数用カウンタ３１のカウントアップを行う信号は、必ずしもＭ１信号１１ａに限られるものではない。例えば、８ＭＨｚや８．１９２ＭＨｚ等のクロック信号のように等間隔に出力される信号であっても、ソフト制御では追従することができないほど高速な信号であれば、Ｍ１信号１１ａに代替することができる。

【００３７】

しかも、かかる信号は高速であるだけでなく、不等間隔に絶えず出力される信号であれば、Ｍ１信号１１ａのように、「ぶら下げ基板」対策を一層効果的なものとすることがで

きる。例えば、ＣＰＵ１１から出力されるメモリ・リクエスト信号、ＩＯリクエスト信号、リード信号、ライト信号、リフレッシュ信号、ウエイト信号、バス・リクエスト信号、バス・アクノリッジ信号、いずれかのアドレスバス信号、または、いずれかのデータバス信号などを、Ｍ１信号１１ａに代えて使用することができる。また、６８系のＣＰＵにおいては、８０系ＣＰＵのＭ１信号１１ａに代えて、ＳＹＮＣ（シンクロナスアウト）信号を使用することもできる。更に、これら複数の信号を組み合わせて使用するようにしても良いのである。

【００３８】

以下に本発明の変形例を示す。請求項１記載の遊技機用乱数生成回路において、前記記憶数カウンタ回路の値は読み出し可能にされていることを特徴とする遊技機用乱数生成回路１。記憶数カウンタ回路の値により、ＦＩＦＯ回路の読み出しが可能であるか否か、即ち、取得できる乱数値があるか否かを認識することができる。

【００３９】

請求項１記載の遊技機用乱数生成回路において、前記記憶数カウンタ回路の値が１以上である場合にオンされるＦＩＦＯ回路の読み出し可能信号を備えていることを特徴とする遊技機用乱数生成回路２。該信号により、ＦＩＦＯ回路の読み出しが可能であるか否か、即ち、取得できる乱数値があるか否かを認識することができる。

【００４０】

請求項１記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路１、２において、前記記憶数カウンタ回路の値は、前記ＦＩＦＯ回路へ出力される制御信号を入力することによりカウントアップされ、逆に、そのＦＩＦＯ回路の値が読み出されることによりカウントダウンされることを特徴とする遊技機用乱数生成回路３。

【００４１】

請求項１記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路１から３のいずれかにおいて、前記記憶数カウンタ回路の値が所定値以上である場合に、前記ＦＩＦＯ回路への制御信号の出力を禁止するコントローラを備えていることを特徴とする遊技機用乱数生成回路４。

【００４２】

請求項１記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路１から４のいずれかにおいて、前記カウンタ回路のカウント値の更新トリガとなる信号は、この遊技機用乱数生成回路の搭載される回路基板が外部装置と接続されるコネクタ上の信号以外の信号で構成されることを特徴とする遊技機用乱数生成回路５。よって、「ぶら下げ基板」等を該コネクタに接続しても、「ぶら下げ基板」等では、カウンタ回路のカウント値の更新トリガを入力することができず、遊技機用乱数生成回路から出力される乱数値を把握することができない。

【００４３】

請求項１記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路１から５のいずれかにおいて、ＣＰＵに内蔵されていることを特徴とする遊技機用乱数生成回路６。遊技機用乱数生成回路をＣＰＵに内蔵することにより、遊技機用乱数生成回路のみの不正な取り替えを防止して、不正行為の防止を強化することができる。また、遊技機用乱数生成回路をＣＰＵに内蔵し、かつ、カウンタ回路のカウント値の更新トリガとなる信号をＣＰＵの内部の信号を用い、その信号をＣＰＵの外部へ出力しないように構成すれば、「ぶら下げ基板」等によるカウンタ回路のカウント値の更新を把握できなくすることができる。

【００４４】

請求項１記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路１から６のいずれかにおいて、前記カウンタ回路のカウント値は、その遊技機用乱数生成回路の外部から読み出し不可能にされていることを特徴とする遊技機用乱数生成回路７。

【００４５】

請求項１記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路１から７のいずれかにおいて、前記カウンタ回路は、非等間隔に絶えず出力される信号に基づいてカウン

ト値の更新を行うことを特徴とする遊技機用乱数生成回路８。カウンタ回路の更新は非等間隔に絶えず行われるので、「ぶら下げ基板」等による乱数値の把握を一層不可能にすることができる。

【００４６】

請求項１記載の遊技機用乱数生成回路、または、遊技機用乱数生成回路１から８のいずれかにおいて、前記カウンタ回路は、８０系ＣＰＵのＭ１信号（オペコードフェッチ信号）、６８系ＣＰＵのＳＹＮＣ（シンクロナスアウト）信号、メモリ・リクエスト信号、ＩＯリクエスト信号、リード信号、ライト信号、リフレッシュ信号、ウエイト信号、バス・リクエスト信号、バス・アクノリッジ信号、少なくとも１本のアドレスバス信号、または、少なくとも１本のデータバス信号のうち、いずれかの信号に基づいてカウント値を更新することを特徴とする遊技機用乱数生成回路９。これらの信号は、ソフト制御では追従することができないほど高速に、且つ、遊技機の制御状態に応じて、いずれも非等間隔に絶えず出力されるので、該信号の発生回路を別途設ける必要がなく、回路コストを低減することができる。なお、前記した信号のうち、いくつかの信号を組み合わせて使用しても良い。

【００４７】

【発明の効果】　本発明の遊技機によれば、制御装置は、ソフトウェア制御による定期処理において、読み出し処理および判定処理を含む処理のうち所定の処理内で所定の作業を実行するものであり、その所定の作業を実行する場合には制御装置内において作業コードが読み込まれる。この所定の作業には、作業コードの読み込みが複数回行われる特定の作業が含まれている。ここで、信号出力手段が信号を出力する間隔、即ち乱数生成手段が生成する乱数の値の更新間隔は、特定の作業を実行する場合における特定の作業コードの読み込みと次の作業コードの読み込み間隔以下であるので、「ぶら下げ基板」等では、かかるスピードに追従して「ぶら下げ基板」等のカウント値を更新することができない。よって、乱数生成手段で生成される乱数の値を「ぶら下げ基板」等で把握することはできないので、「ぶら下げ基板」等による大当たりの発生タイミングの把握を不可能にして、「ぶら下げ基板」等を用いた不正行為を防止することができるという効果がある。

【図面の簡単な説明】

【図１】　本発明の一実施例であるパチンコ遊技機の遊技盤の正面図である。

【図２】　パチンコ遊技機の電気的構成を示したブロック図である。

【図３】　乱数ＩＣの電気的構成を示したブロック図である。

【図４】　Ｍ１サイクル（オペコード・フェッチ・サイクル）のタイミングチャートである。

【図５】　リセット割込処理を示したフローチャートである。

【符号の説明】

５	特定入賞口（特定入賞手段）
１１	制御部のＣＰＵ（制御装置、信号出力手段）
１１ａ	Ｍ１信号（乱数の値の更新信号）
１１ｂ	ＣＰＵによるＦＩＦＯレジスタの読み出し信号
１４	乱数ＩＣ
１６	他の入出力装置（外部装置）
１８	第１種始動口スイッチ（検出手段、検出スイッチ）
１８ａ	スイッチ入賞信号（所定の契機）
３１	乱数用カウンタ（乱数生成手段）
３２	最大値レジスタ
３３	コンパレータ
３３ａ	クリア信号
３４	コントローラ
３４ａ	ラッチ信号
３５	記憶数カウンタ

３６	ＦＩＦＯ(First In First Out)レジスタ（保持手段）
Ｃ	制御部
Ｄ	表示装置（外部装置）
Ｐ	パチンコ遊技機（遊技機）
Ｓ５	読み出し処理
Ｓ６	判定処理