

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4190238号  
(P4190238)

(45) 発行日 平成20年12月3日(2008.12.3)

(24) 登録日 平成20年9月26日(2008.9.26)

(51) Int.Cl. F I  
**G 1 1 C 13/00 (2006.01)** G 1 1 C 13/00 A  
**H O 1 L 27/10 (2006.01)** H O 1 L 27/10 4 5 1

請求項の数 6 (全 53 頁)

(21) 出願番号	特願2002-268026 (P2002-268026)	(73) 特許権者	503121103
(22) 出願日	平成14年9月13日(2002.9.13)		株式会社ルネサステクノロジ
(65) 公開番号	特開2004-110867 (P2004-110867A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成16年4月8日(2004.4.8)	(74) 代理人	100064746
審査請求日	平成17年9月1日(2005.9.1)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

行列状に配列され、各々が、可変抵抗素子と前記可変抵抗素子と半導体基板領域との間に接続され、導通時、前記可変抵抗素子と前記半導体基板領域とを電氣的に接続するトランジスタスイッチとを備え、その記憶データに応じて前記可変抵抗素子の物理的状態が設定されてデータを不揮発的に記憶する複数のメモリセル、

前記複数のメモリセルと行および列の少なくとも一方において前記メモリセルと整列して配置され、各々が前記メモリセルのレイアウトの規則性を維持するレイアウトを有する複数のダミーセル、および

前記一方において整列して配置されるダミーセルに沿って配置され、前記半導体基板領域と所定の間隔で電氣的に接続される基板杭打ち配線を備える、不揮発性半導体記憶装置

10

【請求項2】

前記複数のダミーセルは、行方向に沿って1列に整列して配置される形状ダミーセルを備え、

前記基板杭打ち配線は、前記形状ダミーセルの行に沿って配置される、請求項1記載の不揮発性半導体記憶装置。

【請求項3】

前記可変抵抗素子は、結晶状態によりその抵抗値が変化する相変化素子である、請求項1記載の不揮発性半導体記憶装置。

20

## 【請求項 4】

前記複数のダミーセルは、行方向に沿って 1 列に整列して配置される形状ダミーセルと、列方向に沿って整列して 2 行に配置される形状ダミーセルとを備え、

前記形状ダミーセルと整列して前記メモリセルが配置され、かつ前記形状ダミーセルは、前記メモリセルに挟まれるようにメモリセルのアレイ内に配置される、請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 5】

前記トランジスタスイッチは、前記半導体基板領域表面に前記行に対応して配置される第 1 の不純物領域と、前記第 1 の不純物領域表面に形成されて前記可変抵抗素子に電氣的に接続される第 2 の不純物領域とを備え、

前記ダミーセルは、前記行方向に整列して 1 列に配置される形状ダミーセルを備え、前記不揮発性半導体記憶装置は、さらに、

各前記メモリセル行に対応して前記行方向に延在して配置され、各々が対応の行の第 1 の不純物領域に所定間隔で電氣的に接続されるワード杭打ち配線を有し、

前記基板杭打ち配線は、前記ワード杭打ち配線のレイアウトの規則性を維持するレイアウトを有する、請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 6】

前記ダミーセルは、列方向に沿って少なくとも 2 列に整列して配置されるダミーセルを備え、

前記基板杭打ち配線は、前記列方向に沿って延在するように配置されかつダミーセル列の間の領域においてメモリセルを形成する基板領域に所定間隔で電氣的に接続される、請求項 1 記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関し、特に、この発明は、結晶状態が記憶データに従って変化する相変化メモリに関する。より特定的には、この発明は、相変化メモリの素子の微細化のための技術に関する。

## 【0002】

## 【従来の技術】

半導体記憶装置としては、データを不揮発的に記憶する不揮発性メモリが知られている。この不揮発性メモリにおいては、データが不揮発的に記憶されるため、電源を遮断しても、データが保持される。したがって、データ保持のために電源を供給することが要求されず、携帯用途などにおいて広く用いられている。

## 【0003】

このような不揮発性メモリとして、磁性体はその分極方向により抵抗が異なるという磁気抵抗効果を利用する磁性体メモリがある（特許文献 1）。この特許文献 1 に示される磁性体メモリにおいては、メモリセルにおいて閉磁路を形成し、記憶データに従ってこの閉磁路が形成する磁束の方向を変化させて、データ記憶用の磁性体の分極方向を設定する。この閉磁路における磁束の方向を設定するためには、閉磁路に配置された軟磁性体を加熱して常磁性体に変化させ、この閉磁路の磁束方向を設定する。

## 【0004】

したがって、この先行技術において、記憶データに応じて閉磁路の磁束方向を設定する必要がある。1 ビットのデータを記憶するために、2 つの軟磁性体を配置する必要がある。記憶データに従って 1 つの軟磁性体を加熱して、閉磁路を遮断して、残りの軟磁性体により、閉磁路に形成される磁束の方向を設定して、データ記憶用磁性体の分極方向を決定する。したがって、1 ビットのメモリセルに対して、2 つの磁束方向の 1 つを選択的に設定するために、2 つの軟磁性体を配置する必要がある、メモリセルの占有面積が大きくなるという問題が生じる。

## 【0005】

10

20

30

40

50

物質の物理的状態を変化させてデータを不揮発的に記憶するメモリとしては、結晶状態が変化すればその抵抗値も応じて変化するという事を利用する相変化メモリが知られている（非特許文献1）。この相変化メモリにおいては、カルコゲナイド層が、非晶質状態と多結晶状態とで抵抗値が異なる事を利用する。この結晶状態を変化させるために、カルコゲナイド層に電流を流し、この電流のジュール熱により、加熱して、カルコゲナイド層の結晶状態を設定する。

【0006】

図44は、従来の相変化メモリのアレイ部のレイアウトを概略的に示す図である。図44においては、3行3列に配列されるメモリセルを代表的に示す。

【0007】

図44において、メモリセルMCの各行に対応して、ワード線WL0 - WL2が配設される。これらのワード線WL0 - WL2は、拡散層で構成される。

【0008】

メモリセルMCの各列に対応して、ビット線BL0 - BL2がそれぞれ配設される。メモリセルMCは、データをその結晶状態により記憶するカルコゲナイド膜CGと、このカルコゲナイド膜CGを加熱するヒータHTを含む。図44においては明確に示さないが、このヒータHTは、バイポーラトランジスタを介して対応のワード線WL（WL0 - WL2）に結合される。

【0009】

図45は、図44に示す線45A - 45Aに沿った断面構造を概略的に示す図である。図45において、P型半導体基板領域SUB表面に、N型不純物層IMNが形成される。このN型不純物層IMNは、それぞれワード線WL0、WL1およびWL2を形成する。すなわち、このN型不純物層IMNは、行方向に延在して連続的に形成される。このN型不純物層IMNの表面に、メモリセル位置に対応して、P型不純物領域IMPが形成される。このP型不純物領域IMPは、ヒータHTに接続される。このヒータHTの上部に、カルコゲナイド膜CGが形成される。列方向に延在して、このカルコゲナイド膜CGに接続するビット線BL1が形成される。したがって、ビット線BL0 - BL2それぞれにおいて、対応の列に配置されるメモリセルMCのカルコゲナイド膜CGが電氣的に結合される。

【0010】

メモリセルMCが、カルコゲナイド膜CGと、ヒータHTと、不純物領域IMPと不純物層IMNとで形成される。この不純物領域IMP、不純物層IMNおよびP型半導体基板領域SUBにより、縦型PNPバイポーラトランジスタが形成される。N型不純物層IMNが、バイポーラトランジスタのベースとして機能し、Lレベルに設定された場合に、不純物領域IMPと不純物層IMNと半導体基板領域SUBとで構成される縦型バイポーラトランジスタが導通する。

【0011】

データ書込時においては、ビット線BL（BL1 - BL2）から、P型半導体基板領域SUBへ、導通状態となったバイポーラトランジスタを介して電流が流れる。ヒータHTにおけるジュール熱により、カルコゲナイド膜CGを加熱し、その結晶状態を変化させる。カルコゲナイド膜CGは、非晶質状態と多結晶状態の間でその結晶状態を変化させる。非晶質状態においては、カルコゲナイド膜CGは、その抵抗値は高く、通常、この状態はリセット状態と呼ばれ、多結晶状態においては、その抵抗値は低く、この状態は、セット状態と呼ばれる。

【0012】

非晶質状態および多結晶状態への設定時においては、書込電流パルスおよび電流量を調整する。前述の非特許文献1においては、以下の条件がデータ書込時に用いられている。カルコゲナイド膜CGを、非晶質状態に設定する場合には、たとえば8ns（ナノ秒）で0.8ないし0.9Vの電圧パルスをビット線BL（BL0 - BL2）へ供給する。カルコゲナイド膜CGを、多結晶状態に設定する場合には、たとえば85nsで0.5V程度の

10

20

30

40

50

電流パルスビット線に印加する。これらの電流パルスの書込データに応じて変更することにより、カルコゲナイド膜CGを高抵抗の非晶質状態と低抵抗の多結晶状態に選択的に設定する。書込み電流は、内部データ線をから列選択ゲートを介してビット線に供給する。

【0013】

データ読出時においては、このカルコゲナイド膜CGを流れる電流量が、その結晶状態に応じて異なり、応じてビット線BL(BL0-BL2)を介して流れる電流量が変化する。前述の特許文献1においては、この非晶質状態の抵抗値が85Kであり、結晶状態の抵抗が2Kが一例として示されている。また、カルコゲナイド膜の構成の一例として、Ge・Sb・Te合金膜が一例として示されている。このビット線を介して流れる電流量を検出してデータを読み出す。

10

【0014】

図46は、図44に示すメモリセルの配置の電気的等価回路を示す図である。図46において、メモリセルMCが、3行3列に配置される。メモリセルMCは、記憶情報に応じて抵抗値が変化する可変抵抗素子VRと、対応のワード線WL(WL0-WL2)の選択時導通し、対応の可変抵抗素子VRをコレクタ線CK(CK0-CK2)に電気的に結合するトランジスタ素子TRを含む。

【0015】

可変抵抗素子VRは、対応の列に配置されるビット線BL(BL0-BL2)に接続される。この可変抵抗素子VRは、図45に示すカルコゲナイド膜CGおよびヒータHTを含む。トランジスタ素子TRは、図45に示す不純物領域IMP、N型不純物層IMNおよび基板領域SUBで構成される。このメモリセルMCの各列に対して、トランジスタ素子のコレクタが接続するコレクタ線CK0-CK2が配置される。これらのコレクタ線CK0-CK2は、図45に示すように、半導体基板領域SUBに結合されており、それぞれたとえば、接地電圧にバイアスされる。

20

【0016】

この図46に示すメモリアレイの等価回路において、ビット線BL1とワード線WL1の交差部に配置されるメモリセルMCが選択されるときには、ワード線WL1が、たとえば接地電圧レベルのLレベルに設定され、非選択ワード線WL0およびWL2は、たとえば電源電圧レベルのHレベルに維持される。この状態においては、メモリセルMCのトランジスタ素子TRが、ワード線WL1上のLレベルの信号に従って導通し、可変抵抗素子VRが、コレクタ線CK1(半導体基板領域SUB)に結合される。

30

【0017】

データ書込時においては、ビット線BL1に、書込状態に応じて、この可変抵抗素子VRに含まれるカルコゲナイド層をリセット状態にするためのリセット電流I<sub>rst</sub>またはセット状態に設定するセット電流I<sub>set</sub>が供給される。この電流により、トランジスタ素子TRを介して、ビット線BL1からコレクタ線CK1(基板領域)に電流が流れ、この可変抵抗素子VRに含まれるヒータがジュール熱により発熱し、カルコゲナイド層をリセット状態(非晶質状態)またはセット状態(多結晶状態)に設定する。

【0018】

非選択ビット線BL0およびBL2は、たとえば接地電圧レベルのLレベルに設定される。したがって、この場合には、ワード線WL1が選択状態にあり、対応のトランジスタ素子TRが導通しても、対応のビット線BLおよびコレクタ線(半導体基板領域)が同一電圧レベルであり、電流は流れず、可変抵抗素子の抵抗値は変化しない。

40

【0019】

データ読出時においては、選択ビット線(たとえばBL1)に読出電流を流す。この読出電流が、可変抵抗素子VRおよびトランジスタ素子TRを介してコレクタ線CK(たとえばCK1)に流れる。このビット線電流を、図示しない読出回路のセンスアンプで検出し、メモリセルのデータを読み出す。

【0020】

50

## 【特許文献1】

特開2001-266565号公報

## 【0021】

## 【非特許文献1】

2002 IEEE、国際固体回路会議（インターナショナル・ソリッド・ステート・サーキット・コンファレンス）、第202頁から203頁、ダイジェスト・オブ・テクニカル・ペーパーズ、2002年、2月5日

## 【0022】

## 【発明が解決しようとする課題】

図47は、図46に示す電氣的等価回路をより詳細に示す図である。前述のように、ワード線WL（WL0-WL2）は、不純物層で形成されており、拡散抵抗および接合容量によりRC成分が存在する。図47においては、ワード線WL2に接続される拡散抵抗 $R_{pw}$ を寄生抵抗として代表的に示す。

10

## 【0023】

また、コレクタ線CK（CK0-CK2）は、半導体基板領域であり、これらのコレクタ線CK0-CK2は相互接続されている。この場合、基板抵抗 $R_{ps}$ が、寄生抵抗成分として寄与し、また基板領域と拡散層（不純物層）の間の接合容量などの寄生容量が存在する。図47において、コレクタ線CK0に接続する基板抵抗 $R_{ps}$ 、およびコレクタ線CK0およびCK1の間およびコレクタ線CK1およびCK2の間の基板抵抗 $R_{ps}$ を、代表的に基板抵抗として示す。

20

## 【0024】

ワード線WLにおいては、この寄生RC成分より、高速で、ワード線を選択状態へ駆動することができず、アクセス時間が長くなるという問題が生じる。

## 【0025】

また、メモリセルMCにおいてトランジスタ素子TRは、バイポーラトランジスタであり、電流駆動型トランジスタである。したがって、選択ワード線において電位分布が生じた場合、これらのメモリセルMCに含まれるトランジスタ素子TRの動作特性が変化し、選択メモリセルにおいて流れる電流量が変化し、正確にデータの書込および読出を行なうことができなくなるという問題が生じる。

## 【0026】

また、コレクタ線CK（CK0-CK2）において、基板抵抗 $R_{ps}$ により、電位分布が生じた場合、データ書込時においてビット線BL（BL0-BL2）からメモリセルのトランジスタ素子TRを介して対応のコレクタ線CKに流れる電流量が異なり、同様、正確なデータの書込および読出を行なうことができなくなるという問題が生じる。

30

## 【0027】

特に、メモリセルサイズが微細化され、カルコゲナイド層の全体の体積が小さくなった場合、この記憶データに応じた抵抗値の変化が小さくなり、応じて電流変化量が小さくなる。このような場合、拡散抵抗 $R_{pw}$ および基板抵抗 $R_{ps}$ などに起因するワード線WLおよびコレクタ線CKの電位分布の問題が、より深刻となる。

## 【0028】

また、データ書込時においては、可変抵抗素子VRに含まれるカルコゲナイド膜の低部のヒータに接続される部分が、このヒータの加熱により相変化を生じさせる。この場合、カルコゲナイド膜全体において相変化を生じていない。前述の非特許文献1において、このカルコゲナイド膜において相変化を生じさせる部分の体積が小さいため、データ書込に要するエネルギーを節約することができ、応じて消費電力を低減することができることが述べられている。また、この部分加熱により、非選択ビット線へ熱影響が及ぶのを防止することを図っている。しかしながら、このメモリセルの微細化に伴って、カルコゲナイド膜全体が小さくなった場合、その一部においてだけで相変化を生じさせる場合、十分に、記憶データに応じて抵抗値を変化させることができず、正確なデータの書込/読出を行なうことが困難となる。

40

50

## 【 0 0 2 9 】

それゆえ、この発明の目的は、メモリ特性を劣化させることなくメモリセルサイズを低減することのできる不揮発性半導体記憶装置および不揮発性メモリセルを提供することである。

## 【 0 0 3 0 】

この発明の他の目的は、高速かつ正確にデータの書込および読出を行なうことのできる不揮発性半導体記憶装置および不揮発性メモリセルを提供することである。

## 【 0 0 3 1 】

## 【課題を解決するための手段】

この発明の第1の観点に係る不揮発性半導体記憶装置は、行列状に配列され、各々がその記憶データに応じて物理的状態が設定されてデータを不揮発的に記憶する複数のメモリセルと、これら複数のメモリセルと行および列の少なくとも一方においてこれらのメモリセルと整列して配置され、各々がメモリセルと同じレイアウトを有する複数のダミーセルを備える。

10

## 【 0 0 3 2 】

各ダミーセルは、メモリセルのレイアウトの規則性を維持するレイアウトを有する。各メモリセルは、可変抵抗素子と、この可変抵抗素子と半導体基板領域との間に接続されるトランジスタスイッチとを含む。トランジスタスイッチは、導通時、半導体基板領域と可変抵抗素子とを電氣的に接続する。この可変抵抗素子の物理的状態が設定されてデータを不揮発的に記憶する。複数のダミーセルは、行および列の少なくとも一方の方向に沿って整列して配列される形状ダミーセルを含む。この構成において、この一方に沿って整列する形状ダミーセルに沿って配置され、前記半導体基板領域と所定の間隔で電氣的に接続される基板杭打ち配線が設けられる。

20

## 【 0 0 3 3 】

好ましくは、複数のダミーセルは、行方向に沿って1列に整列して配置される形状ダミーセルを備える。基板杭打ち配線は、この形状ダミーセルの行に沿って配置される。

好ましくは、可変抵抗素子は、結晶状態により、その抵抗値が変化する相変化素子である。

## 【 0 0 3 4 】

好ましくは、また、複数のダミーセルは、行方向に沿って整列して1列に配列される形状ダミーセルと、列方向に沿って整列して2行に配置される形状ダミーセルとを含む。この形状ダミーセルと整列してメモリセルが配置される。これらの形状ダミーセルは、メモリセルに挟まれるようにアレイ内に配置される。

30

## 【 0 0 3 5 】

好ましくは、トランジスタスイッチは、半導体基板領域表面に、メモリセル行に対応して配置される第1の不純物領域と、この第1の不純物領域表面に形成されて、可変抵抗素子に電氣的に接続される第2の不純物領域とを含む。ダミーセルは、行方向に整列して1列に配置される形状ダミーセルを備える。この構成において、さらに、メモリセル行に対応して行方向に延在して配置され、各々が対応の行の第1の不純物領域に所定間隔で電氣的に接続されるワード杭打ち配線が設けられる。基板杭打ち配線は、ワード杭打ち配線のレイアウトの規則性を維持するレイアウトを有する。

40

また、これに代えて、ダミーセルは、列方向に沿って少なくとも2列に整列して配置されるダミーセルを備える。基板杭打ち配線は、列方向に沿って延在するように配置されかつダミーセル列の間の領域においてメモリセルを形成する基板領域に所定間隔で電氣的に接続される。

## 【 0 0 4 5 】

メモリセルと整列して同一レイアウトのダミーセルを配置することにより、メモリセルの微細化時においても、ダミーセルによりレイアウトパターンの規則性を維持することができる、正確なレイアウトを維持する微細なメモリセルを形成することができる。

## 【 0 0 4 6 】

50

また、ダミーセルを配置することにより、基板またはワード線の低抵抗化のために杭打ち構造を採用しても、メモリセルレイアウトの規則性が、この杭打ち配線により中断されるのを防止することができる。

【 0 0 5 2 】

【 発明の実施の形態 】

[ 実施の形態 1 ]

図 1 は、この発明の実施の形態 1 に従う不揮発性半導体記憶装置のメモリアレイ部のレイアウトを概略的に示す図である。この図 1 においては、3 行 3 列に配列されるメモリセル MC のレイアウトを示す。図 1 において、従来と同様、メモリセル MC の各行に対応して、ワード線 WL 0 - WL 2 が配設され、またメモリセル MC の各列に対応してビット線 BL 0 - BL 2 が配設される。ワード線 WL 0 - WL 2 は、半導体基板表面に形成される不純物層で形成され、これらのワード線 WL 0 - WL 2 は、それぞれ、行方向に連続的に延在する。

10

【 0 0 5 3 】

メモリセル MC は、ビット線 BL ( BL 0 - BL 2 を総称的に示す ) に結合される矩形形状を有するカルコゲナイド膜 CG と、このカルコゲナイド膜 CG を加熱するヒータ HT と、このヒータと図示しない基板領域との間に形成されるトランジスタ素子を含む。図 1 においては、このメモリセル MC に含まれるトランジスタ素子については示していない。

【 0 0 5 4 】

このワード線 WL 0 - WL 2 と平行に、これらのワード線 WL 0 - WL 2 の間の領域に、ワード線杭打ち配線 1 a、1 b ... が配置される。図 1 において、2 つのワード線杭打ち配線 1 a および 1 b を代表的に示す。これらのワード線杭打ち 1 a および 1 b は、それぞれ、行方向において隣接するメモリセルの間の領域において列方向に延在する突出領域を有し、この突出領域において、下層に形成されたワード線の不純物層と電氣的に接続される。このワード線杭打ち線 1 a、1 b を、それぞれメモリセル MC のヒータを囲むように鋸歯状形状を有するように形成する。

20

【 0 0 5 5 】

ワード線杭打ち線 1 a および 1 b は、ビット線 BL よりも下層の配線であり、またカルコゲナイド膜 CG よりも下層に形成される低抵抗の導電膜である。したがって、このワード線 WL 0 - WL 2 を、それぞれ、行方向におけるメモリセル MC の間の領域で、低抵抗のワード線杭打ち線 1 a、1 b と電氣的にコンタクトをとることにより、不純物層で形成されるワード線 WL ( WL 0 - WL 2 を総称的に示す ) の電氣的抵抗を等価的に低減する。これにより、ワード線 WL の電圧分布が小さくされ、その拡散抵抗が大きくなる場合においても、十分ワード線 WL の電氣的等価抵抗を小さくして、高速で、ワード線選択信号を伝達することができる。

30

【 0 0 5 6 】

図 2 は、図 1 に示す線 L 2 - L 2 に沿った断面構造を概略的に示す図である。図 2 において、半導体基板領域 2 表面に、高濃度 P 型 ( P + ) 不純物層 3 が形成される。この高濃度 P 型不純物層 3 上に、P 型半導体基板領域 4 が形成される。

【 0 0 5 7 】

ワード線 WL 0 - WL 2 は、この P 型半導体基板領域 4 表面に、行方向に沿って延在しかつ列方向に互いに間をおいて形成される N 型不純物層 IMN 0 - IMN 2 により形成される。

40

【 0 0 5 8 】

この N 型不純物層 IMN 0 - IMN 2 表面に、メモリセルのヒータ HT に対応して、P 型不純物領域 IMP が形成される。この P 型不純物領域 IMP は、それぞれ対応のメモリセルのヒータ HT に電氣的に接続される。このヒータ HT 上部に、カルコゲナイド膜 CG が形成され、カルコゲナイド膜 CG が、ビット線 BL 1 に電氣的に接続される。

【 0 0 5 9 】

このヒータ HT の間の領域に、ワード線杭打ち線 1 a および 1 b が配置される。このワー

50

ド線杭打ち線 1 a および 1 b をカルコゲナイド膜 CG よりも下層に形成することにより、基板領域 4 表面に形成される N 型不純物層 IMN ( IMN 0 - IMN 2 を総称的に示す ) との電氣的コンタクトをとる場合、容易にその電氣的コンタクトをとることができる。また、メモリセル全体の高さを、このワード線杭打ち線を配置しても、不必要に高くする必要がない。

#### 【 0 0 6 0 】

この半導体基板領域 4 は、メモリセル MC の選択トランジスタのコレクタ領域として機能する。このメモリセル MC の選択トランジスタは、従来と同様、不純物領域 IMP と N 型不純物層 IMN と P 型半導体基板領域 4 とで構成される。この半導体基板領域 4 下層に、高濃度 P 型不純物層 3 を形成することにより、半導体基板領域 4 の等価抵抗を低減することができ、図 4 7 に示すコレクタ線 CK ( CK 0 - CK 2 ) における基板抵抗 R p s 成分を低減することができる。

10

#### 【 0 0 6 1 】

図 3 は、図 1 に示す線 L 3 - L 3 に沿った断面構造を概略的に示す図である。この図 3 に示すレイアウトにおいては、メモリセル MC は存在せず、メモリセル MC の間の領域の断面構造が、図 3 において示される。この場合、半導体基板領域 4 表面に、行方向に延在して不純物層 IMN 0、IMN 1、および IMN 2 が形成される。列方向に、ワード線杭打ち線 1 a および 1 b が延在して形成され、これらは、それぞれ、対応の不純物層 IMN 0 - IMN 1 とコンタクト CNT を介して電氣的に接続される。図 3 においては、図 1 に示すワード線 WL 2 の右側に配置されるワード線杭打ち線 1 c を示す。このワード線杭打ち線 1 c も、同様、コンタクト CNT を介して対応の不純物層 IMN 2 に電氣的に接続される。

20

#### 【 0 0 6 2 】

この図 3 に示すように、メモリセル MC が存在せず、ヒータ HT が形成されていない領域において、ワード線杭打ち線 1 a - 1 c を、列方向に延在させ、対応の不純物層 IMN 0 - IMN 2 と、それぞれ、電氣的コンタクトをとる。すなわち、このワード線杭打ち線 1 a - 1 c を、列方向においてヒータ HT の間の領域にそれぞれ行方向に沿って行線的に延在させ、かつ行方向において隣接するメモリセル MC の間の領域において、ワード線杭打ち線 1 a - 1 c を、それぞれワード線 WL 0 - WL 2 と電氣的接続をとる。メモリセル MC のレイアウトに影響を及ぼすことなく、ワード線杭打ち構造を実現して、ワード線 WL を低抵抗化することができる。

30

#### 【 0 0 6 3 】

図 4 は、図 1 から 3 に示すワード線の電氣的等価回路を示す図である。図 4 において、不純物層 IMN には、寄生抵抗 R p w が、その拡散抵抗により存在する。この不純物層 IMN に対し、低抵抗のワード線杭打ち線 1 が設けられ、このワード線杭打ち線 1 が、コンタクト CNT を介して不純物層 IMN に電氣的に接続される。したがって、この不純物層 IMN における寄生抵抗 R p w が、低抵抗のワード線杭打ち線 1 により短絡され、ワード線 WL の等価抵抗が低減され、高速で、ワード線 WL を介して信号を伝達することができる。また、ワード線の電圧分布を低減することができ、正確に選択メモリセルを選択状態に駆動して同一の条件で動作させることができる。

40

#### 【 0 0 6 4 】

このワード線杭打ち構造においては、ワード線 WL が、不純物層 IMN とワード線杭打ち線 1 とで構成される。

#### 【 0 0 6 5 】

図 5 は、コレクタ配線 CK の電氣的等価回路を示す図である。コレクタ線 CK は、高濃度 P 型不純物層 3 と P 型基板領域 4 とで構成される。これらの不純物層 3 および基板領域 4 は、メモリセルアレイ内に配置されるメモリセルに共通に設けられ、メモリセルのトランジスタのコレクタがすべて共通に結合される。これらの不純物層 3 および基板領域 4 は、たとえば、接地電圧レベルにバイアスされる。この図 5 においては、メモリセルトランジスタ TR a ないし TR c を代表的に示す。メモリセルトランジスタ TR a - TR c のペー

50



スは、それぞれ、ワード線  $W L a$  ないし  $W L c$  に接続される。メモリセルトランジスタ  $T R a$  から  $T R c$  のコレクタは、基板領域 4 および高濃度 P 型不純物層 3 に結合される。

【0066】

基板領域 4 には、その基板抵抗による寄生抵抗  $R p s$  が存在する。この高濃度 P 型不純物層 3 は、その抵抗値が小さく、寄生抵抗  $R p s$  が短絡される。したがって、ワード線杭打ち線と同様、コレクタ線  $C K$  の抵抗を低減でき、このコレクタ線  $C K$  における電圧分布をなくすることができる。これにより、選択メモリセルにおいて、データの書込/読出時において安定に電流を流すことができ、正確にデータの書込/読出を行なうことができる。

【0067】

また、この高濃度 P 型不純物層 3 は、半導体基板 2 表面に、エピタキシャル成長された不純物層で構成されてもよく、また、その注入エネルギーを調整して、イオン注入されるイオン注入層により形成されてもよい。

【0068】

図 6 は、この発明の実施の形態 1 に従う不揮発性半導体記憶装置のメモリアレイ部のレイアウトをより具体的に示す図である。図 6 において、メモリセル  $M C$  が行列状に配列される。このメモリセル  $M C$  は、カルコゲナイド膜  $C G$  と、ヒータ  $H T$  とを有する。このメモリセル  $M C$  の各行に対応して、不純物層  $19 a - 19 e$  が行方向に連続的に延在して配置される。これらの不純物層  $19 a - 19 e$  は、図 2 および図 3 に示す不純物層  $I M N (I M N 0 - I M N 2)$  に対応する。このメモリセル  $M C$  に含まれる選択トランジスタが、このヒータ  $H T$  の下部と対応の不純物層  $19 (19 a - 19 e)$  を総称的に示す) の間に形成される。

【0069】

このメモリセル  $M C$  の各行に対応して、ワード線杭打ち線  $11 a - 11 e$  が配置される。これらのワード線杭打ち線  $11 a - 11 e$  の各々は、対応のメモリセル行において、行方向において隣接するメモリセルの間の領域において列方向に延在する突起領域を有し、この突起領域において下層に形成された不純物層  $19 (19 a - 19 e)$  と電気的に接続される。

【0070】

このメモリセル行の間に、ダミーセル  $D M C 1$  が 1 列に整列して配置される。このダミーセル  $D M C 1$  は、メモリセル  $M C$  と同じレイアウトを有し、またカルコゲナイド膜  $C G$  およびヒータ  $H T$  を含む。このダミーセル  $D M C 1$  の行に対応して、コレクタ線杭打ち線  $12$  が行方向に延在して配置される。このコレクタ線杭打ち線  $12$  は、行方向において隣接するダミーセル  $D M C 1$  の間の領域においてコンタクト  $23$  を介して基板領域と電気的に接続される。

【0071】

ダミーセル  $D M C 1$  に対しては拡散ワード線は形成されない。P 型基板領域が、このダミーセル行においては露出する。ヒータ  $H T$  が P 型基板領域と結合される。この場合、ダミーセル  $D M C 1$  については、ヒータ  $H T$  と P 型基板領域との間のコンタクト抵抗を十分に大きくする。ダミーセル  $D M C 1$  と同一列のメモリセルの選択時において、選択ビット線からダミーセル  $D M C 1$  を介して P 型基板領域へ電流が流れるのを防止する。

【0072】

これに代えて、ダミーセル  $D M C 1$  行に対してダミーの拡散ワード線 (N 型不純物層) を形成し、コレクタ線杭打ち線  $12$  と基板領域とのコンタクトを、ダミーセル  $D M C 1$  とメモリセルとの間の領域において形成してもよい。この構成においては、ダミーセル  $D M C a$  においてヒータ  $H T$  が、N 型不純物層を介して基板領域に結合される。ダミー拡散ワード線を H レベル電圧に固定することにより、ダミーセル  $D M C 1$  においてヒータ  $H T$  を介して電流が流れるのを確実に防止することができる。

【0073】

また、コレクタ線杭打ち線  $12$  と基板領域との間のコンタクトを、コンタクト領域  $22$  と整列するように形成しても、このコンタクト領域の行方向に沿った両側にはヒータが形成

10

20

30

40

50

されていないため、十分にコンタクト領域を配置することができる。ダミーセルDMC1を介して電流が流れるのを確実に防止することができ、正確にデータの書込および読出を行うことができる。

【0074】

このコレクタ線杭打ち線12は、ワード線杭打ち線11(11a-11eを総称的に示す)と同じレイアウトパターンを有する。したがって、このコレクタ線杭打ち線12を配置しても、ワード線杭打ち線11のレイアウトパターンの特性が中断されることがなく、写真製版工程において、正確に、これらのワード線杭打ち線11およびコレクタ線杭打ち線12をパターンニングすることができる。また、メモリセルMCと同一レイアウトパターンを有するダミーセルDMC1を、このコレクタ線杭打ち線12に対応して配置することにより、メモリセルMCの列方向におけるパターンの繰返しの規則性が中断されることはない。したがって、メモリセルMCが微細化されても、正確に、メモリセルをパターンニングすることができる。

10

【0075】

なお、コレクタ線杭打ち線12の断面構造は、ワード線杭打ち線11の断面構造と同じとなる。単に、図3の断面構造において、拡散ワード線1(1a等)のN型不純物層に代えて、P型基板領域またはP型不純物領域を介して基板領域に、コレクタ線杭打ち線が電氣的に接続される。

【0076】

コレクタ線杭打ち線と基板領域の電氣的コンタクト形成領域23において、基板領域表面にP型不純物が注入されてもよい。また、直接コレクタ線杭打ち線12が基板領域に電氣的に接続されてもよい。コレクタ線杭打ち線12は、低抵抗のメタル配線であり、直接基板領域とコレクタ線杭打ち線とが電氣的に接続されても、非オーミックな接触が形成される可能性は低い。

20

【0077】

行方向において、列方向に延在するコレクタ線杭打ち線13が行方向において隣接するメモリセルの間に配置される。このコレクタ線杭打ち線13は、コンタクト領域22において、行方向に延在するコレクタ線杭打ち線12と電氣的に接続される。このコレクタ線杭打ち線13は、基板領域と電氣的コンタクトをとるため、ワード線杭打ち線11と同一配線層またはそれに近い配線層に形成される。したがって、このコレクタ線杭打ち線13とワード線杭打ち線11a-11eが衝突するのを防止するために、ワード線杭打ち線11a-11eが、このコレクタ線杭打ち線13との交差領域において上層配線20により、コレクタ線杭打ち線13と交差するように形成される。

30

【0078】

この上層配線20は、コンタクト21aおよび21bを介して、対応のワード線杭打ち線11a-11eに電氣的に接続される。この上層配線20を用いてワード線杭打ち線11a-11eを電氣的に接続している。したがって、この列方向に延在するコレクタ線杭打ち線13を設けることにより、メモリセルMCとワード線杭打ち線11とのパターン上の繰返し性が損なわれる。また、列方向に延在するコレクタ線杭打ち線13に隣接するメモリセルに対してワード線杭打ちをすることができない。したがって、このコレクタ線杭打ち線13に対応して配置されるビット線15aおよび15bを、常時非選択状態に維持し、このビット線15aおよび15bそれぞれに対して接続されるメモリセルをダミーセルDMC2およびDMC3として利用する。

40

【0079】

メモリセルMCの各列には、ビット線14a-14fが列方向に延在して配置され、これらのビット線14a-14fには、それぞれ対応の列のメモリセルMCが接続される。ダミービット線15aおよび15bを配置することにより、メモリセルMCおよびワード線杭打ち線11の列方向についての繰返しパターンが中断される場合においても、その繰返しパターン境界領域におけるパターンニングのずれの影響は、ダミーセルDMC2およびDMC3に現われるだけである。したがって、このダミーセルDMC2およびDMC3に接

50

続されるダミービット線 15 a および 15 b として常時非選択状態に維持する。これにより、正確にパターンニングされたメモリセル MC を用いて、データを記憶することができる。メモリセルサイズが微細化されても、確実に、これらのワード線杭打ち線 11、コレクタ線杭打ち線 12 および 13 を設けても、正確にメモリセルをパターンニングすることができ、メモリセル特性を保証することができる。

**【0080】**

なお、この図 6 に示す構成において、列方向に延在するコレクタ線杭打ち線 13 は、ワード線杭打ち線 11 と同一またはそれに近い配線層に形成されるとしている。しかしながら、この列方向に延在するコレクタ線杭打ち線 13 は、ワード線杭打ち線 11 よりも上層に形成し、このワード線杭打ち線 11 a - 11 e を、連続的に行方向に沿って延在させ、このワード線杭打ち線 11 上層に形成されるコレクタ線杭打ち線 13 を、コンタクト領域 22 において、行方向に延在するコレクタ線杭打ち線 12 と電氣的に接続される構成が用いられてもよい。すなわち、この上層配線 20 と同層の配線を、列方向に延在するコレクタ線杭打ち線 13 として利用する。

10

**【0081】**

また、このコレクタ線杭打ち線 12 および 13 は、メモリアレイ上において、行方向および列方向に延在させてこれらの交差領域において相互接続することにより、コレクタ線杭打ち線が、メッシュ状に形成され、コレクタ線杭打ち線の抵抗をより低減することができる。メッシュ状のコレクタ線杭打ち線構造により、メモリセルの選択トランジスタのコレクタの電圧分布を抑制することができ、正確なデータの書込および読出を行なうことができる。

20

**【0082】**

図 7 は、メモリアレイの全体の構成を概略的に示す図である。図 7 において、メモリアレイは、複数のノーマルセルブロック NMB に行方向および列方向それぞれにおいて分割される。これらのノーマルセルブロック NMB の間の領域および外側の領域に、行方向に沿ってコレクタ配線 12 a、12 b、... 12 j が配置される。また行方向において隣接するノーマルセルブロック NMB の間の領域に、列方向に延在するコレクタ線杭打ち線 13 a、13 b、... 13 k が配置される。このコレクタ線杭打ち線 12 a、12 b... 12 j が配置される。また行方向において隣接するノーマルセルブロック NMB の間の領域に、列方向に延在するコレクタ線杭打ち線 13 a、13 b、... 13 k が配置される。

30

**【0083】**

コレクタ線杭打ち線 12 a、12 b、... 12 j が配設される領域それぞれに対応して、ダミーセル (DMC1) が行方向に整列して配置される。また列方向に延在するコレクタ線杭打ち線 13 a、13 b、... 13 k それぞれに対応する領域において、ダミーセル (DMC2, DMC3) が列方向に整列して配置される。これらのコレクタ線杭打ち線 12 a から 12 j および 13 a から 13 k が、それぞれ交差部において電氣的に接続される。

**【0084】**

したがって、このコレクタ線杭打ち線が、メモリアレイにおいてメッシュ状に配置されるため、その抵抗値を十分に小さくすることができる。

**【0085】**

コレクタ線が、基板領域により形成されるため、基板抵抗をより低減することができ、基板領域の電圧分布をより低減することができる。

40

**【0086】**

また、このメモリアレイの外周部に沿っても、ダミーセルを配置することにより、ノーマルセルのアレイ境界領域におけるパターンずれが生じるのを防止することができ、セルが微細化される場合においても、正確にメモリセルのパターンニングを行なうことができ、メモリセルの微細化時においてもメモリセルの動作特性を保証することができる。

**【0087】**

なお、図 7 においては、1つのワード線杭打ち線 11 を代表的に示す。コレクタ線杭打ち線 12 a - 12 j および 13 a - 13 k が配設される間隔は、コレクタ線杭打ち線全体の

50

抵抗値およびコレクタ線杭打ち線に対して利用することのできる配線領域に応じて適当に定められればよい。なお、これらのコレクタ線杭打ち線 1 2 a - 1 2 j および 1 3 a - 1 3 k は、基板領域と同様、たとえば接地電圧に固定される。

【 0 0 8 8 】

以上のように、この発明の実施の形態 1 に従えば、メモリセルのトランジスタのコレクタ線およびワード線の少なくとも一方を杭打ち構造として、低抵抗の配線でこれらのコレクタ線およびワード線の少なくとも一方を裏打ちしており、メモリセルに対する電圧分布が生じることがなく、微細化時においても安定にかつ高速で動作することのできる不揮発性半導体記憶装置を実現することができる。

【 0 0 8 9 】

また、これらの杭打ち線に対応してダミーセルを配置しており、メモリセルおよびワード線のパターンの連続性を維持することができ、セル微細化時においてもパターンずれが生じることがなく、安定に動作する不揮発性半導体記憶装置を実現することができる。

【 0 0 9 0 】

なお、図 6 に示すレイアウトにおいては、明確に示していないが、高濃度の P 型不純物層が、このメモリセル形成領域下部に形成される。

【 0 0 9 1 】

[ 実施の形態 2 ]

図 8 は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置のレイ部の構成を概略的に示す図である。図 8 においても、3 行 3 列に配列されるメモリセル M C を代表的に示す。メモリセル M C の各行に対応してワード線として機能する N 型不純物層 3 0 a - 3 0 c が、行方向に連続的に延在して形成される。これらの不純物層 3 0 a - 3 0 c とそれぞれ交差するように列方向に連続的に延在して導電層 3 2 a - 3 2 c が形成される。これらの導電層 3 2 a - 3 2 c は、ビット線 B L として機能する。

【 0 0 9 2 】

メモリセル M C は、カルコゲナイド膜を含む力相変化素子部 3 3 と、この相変化素子部 3 3 のカルコゲナイド膜を加熱するヒータを含む加熱素子部 3 4 を含む。各メモリセル M C において、相変化素子部 3 3 は、ビット線となる導電層 ( ビット線導電層 ) 3 2 a - 3 2 c と行方向において実質的に同じ幅を有する。すなわち、行方向においては、この相変化素子部 3 3 は、ビット線となる導電層 3 2 a - 3 2 c をマスクとしてパターンニングされ、その行方向の長さは、ビット線導電層 3 2 a - 3 2 c のそれぞれと実質的に同じ長さに設定される。また、この相変化素子部 3 3 は、ワード線となる不純物層 3 0 a - 3 0 c の幅よりも狭くされる。

【 0 0 9 3 】

したがって、このメモリセル M C のレイアウトにおいては、相変化素子部 3 3 の製造工程においては、不純物層 3 0 a - 3 0 c と同様、行方向に連続的に延在する帯状配線を形成した後、ビット線となる導電層 3 2 a - 3 2 c をマスクとしてエッチングして、個々のメモリセルに分離する。相変化素子部 3 3 は、ビット線導電層に対して自己整合的に形成される。したがって、相変化素子部 3 3 を個々に、パターンニングする場合に比べて、ビット線との重なりを考慮して相変化素子部 3 3 のマージンを大きくする必要がなく、メモリセル M C のレイアウト面積を低減することができる。

【 0 0 9 4 】

図 9 は、図 8 に示す線 L 9 - L 9 に沿った断面構造を概略的に示す図である。図 9 において、P 型半導体基板領域 4 0 表面に、行方向に選択的に延在する N 型不純物層 4 2 が各メモリセル行に対応して形成される。この N 型不純物層 4 2 表面には、メモリセルのパイポーラトランジスタのエミッタとなる P 型不純物領域 4 4 が、各メモリセルに対応して形成される。

【 0 0 9 5 】

加熱素子部 3 4 は、電流通電時、ジュール熱により発熱するヒータ 3 7 と、ヒータ 3 7 と N 型不純物層 4 2 の間に設けられて、このヒータ 3 7 の生成する熱の伝達を防止する熱伝

10

20

30

40

50

播ブロック層 38 を含む。この熱伝播ブロック層 38 は、好ましくは、ボロン B、アルミニウム Al、砒素 As などの III 族元素を含み、固相拡散により、P 型不純物領域 44 を形成する。これにより、選択バイポーラトランジスタのエミッタ領域をヒータに対して自己整合的に形成することができ、バイポーラトランジスタの占有面積を低減することができる。

【0096】

また、この熱伝播ブロック層 38 は、ヒータ 37 の構成材料が P 型不純物領域に拡散してメモリセルトランジスタの特性を劣化させるのを防止する。さらに、熱伝播ブロック層 38 は、P 型不純物層 44 とヒータ 37 の格子不整合を防止するため、これらのヒータ 37 と P 型不純物領域の格子定数の中間の格子定数を有し、ヒータ 37 と P 型不純物領域 44 との密着性を改善する。この熱伝播ブロック層 38 の材料としては、熱伝導度が低くかつ格子定数がヒータ 38 の格子定数と P 型不純物領域の格子定数の中間の格子定数を有する材料であればよい。

10

【0097】

相変化素子部 33 は、ヒータ 37 の加熱によりその結晶状態が設定されるカルコゲナイド膜 36 と、カルコゲナイド膜 36 とビット線導電層 32 の間に接続される熱伝播ブロック層 35 を含む。カルコゲナイド膜 36 は、硫黄 S、セレン Se およびテルル Te などのカルコゲン族元素を構成要素として含む。したがってこのカルコゲナイド膜 36 とビット線導電層 32 の間に熱伝播ブロック層 35 を設けることにより、この熱伝播ブロック層 35 を、格子整合を取るための緩衝層として利用することができ、カルコゲナイド膜 36 における格子不整合を抑制し、確実に、ビット線導電層 32 とカルコゲナイド膜 36 を電氣的に結合する。

20

【0098】

また、この熱伝播ブロック層 35 は、カルコゲナイド膜 36 により生成された熱が、ビット線導電層 32 を介して伝達されるのを防止する。非選択メモリセルなどへの熱伝達を防止することができ、発熱に起因する誤動作を防止することができる。

【0099】

さらに、この熱伝播ブロック層 35 は、ビット線導電層 32 からカルコゲナイド膜 35 にビット線導電層を構成する材料が拡散してカルコゲナイド膜 35 の特性を劣化させるのを防止する。

30

【0100】

従って、この熱伝播ブロック層 35 の材料としては、熱伝導度が低くかつ格子定数がカルコゲナイド膜およびビット線導電層の格子定数の中間の値を取り、また、拡散係数が小さいかしくはカルコゲナイド膜に対してその構成材料が拡散してもカルコゲナイド膜の特性に対して悪影響を及ぼさない材料であればよい。

【0101】

また、製造工程数の増加を抑制するために、熱伝播ブロック層 35 およびカルコゲナイド膜 36 は、同一製造工程でエッチングすることのできる材料で構成されるのが好ましく、またヒータ 37 と熱伝播ブロック層 38 が、同一工程でエッチング（パターンニング）することができる材料であるのが好ましい。

40

【0102】

また、熱伝播ブロック層 35 および 38 をヒータ 37 およびカルコゲナイド膜 36 を挟むように形成しており、ヒータ 37 およびカルコゲナイド膜 36 において生成された熱が、選択トランジスタおよびビット線導電層 32 へ伝達されるのを防止でき、このメモリセル領域内に熱を閉じ込めることができる。

【0103】

したがって効率的にヒータ 37 の生成する熱を利用して、カルコゲナイド膜 36 の加熱を行ない、カルコゲナイド膜 36 全体において相変化を生じさせることができる。これにより、カルコゲナイド膜 36 の体積が小さい場合においても、記憶データに応じて、カルコゲナイド膜 36 の抵抗値を大きく変化させることができる。応じて、カルコゲナイド膜 3

50

6の占有面積を低減でき、メモリセルを微細化することができる。

【0104】

次に、この発明の実施の形態2に従う不揮発性半導体記憶装置の製造方法について説明する。

【0105】

工程A：

まず、図10(A)に示すように、基板領域表面に、行方向に連続的に延在してN型不純物層42a、42bおよび42cが形成される。これらのN型不純物層42a-42cの形成においては、通常の、イオン注入法を用いた拡散層形成と同様の方法が用いられる。

【0106】

この状態においては、図10(B)に、図10(A)の線L10-L10に沿った断面構造を示すように、P型基板領域40表面に、所定の間隔で、N型不純物層42a-42cが形成される。これらのN型不純物層42a-42cにより拡散ワード線が形成される。

【0107】

メモリセルのトランジスタの形成時において、先の実施の形態1と同様、N型不純物層42a-42c形成の前に、基板領域に高濃度P型埋込層が形成されていてもよい。

【0108】

拡散ワード線の形成の後、基板全面に、熱伝播ブロック層51およびヒータ層52を順次堆積する。これらの熱伝播ブロック層51およびヒータ層52は、たとえばMOCVD法などの気相成長法を用いて形成されてもよく、またMBE(モリキュラー・ビーム・エピタキシ)法を用いて形成されてもよい。

【0109】

工程B：

次に、図11(A)に示すように、レジスト膜を全面に塗布した後、メモリセルの加熱素子部に対応する位置に、レジスト54が残るようにこのレジストのパターニングを行ない、不純物層42a-42cと整列して、メモリセルの加熱素子部の領域に対応する位置に、レジスト54を形成する。

【0110】

この場合、図11(A)の線L11-L11に沿った断面構造を図11(B)に示すように、ヒータ層52上にメモリセル位置に対応して、レジスト54が形成される。このレジスト54をマスクとしてエッチングを行ない、ヒータ層52および熱伝播ブロック層51をパターニングする。

【0111】

工程C：

ヒータ層51および熱伝播ブロック層52のエッチング/パターニングの後、レジスト54を除去すると、図12(A)に示すように、N型不純物層42a-42cに整列して、所定の間隔で、加熱素子部34が形成される。この加熱素子部34の形成の後、図12(B)に示すように、半導体基板領域40表面上に層間絶縁膜56を形成し、この加熱素子部34を各メモリセルごとに分離する。各メモリセルに対応して、ヒータ37および熱伝播ブロック膜38が形成される。ここで、図12(B)は、図12(A)の線L12-L12に沿った断面構造を示す。

【0112】

次いで、図12(B)に示すように、所定の温度条件下で加熱処理を行なうことにより、加熱素子部34に含まれる熱伝播ブロック膜38からの固相拡散により、P型不純物が、その下部に形成されるN型不純物層42a-42cへそれぞれ拡散し、P型不純物領域44aが形成される。このP型不純物領域44aは、メモリセルトランジスタのエミッタとして機能する。従って、この固相拡散により、加熱素子部34に対し、メモリセルトランジスタのエミッタ領域を自己整合的に形成することができ、このエミッタ面積を低減することができる。また、この固相拡散により、不純物領域44aと不純物層42a-42cの間のPN接合を浅くすることができ、エミッタ抵抗を小さくすることができる。

10

20

30

40

50

## 【 0 1 1 3 】

層間絶縁膜 5 6 形成後においては、たとえばCMP（ケミカル・メカニカル・ポリッシング）処理により、層間絶縁膜 5 6 およびヒータ 3 7 の表面が平坦化される。

## 【 0 1 1 4 】

工程 D :

この加熱素子部 3 4 からの熱拡散によるエミッタ領域の形成の後、カルコゲナイド層および熱伝播ブロック層を順次積層する。この場合、図 1 3 ( A ) においては明確に示していないものの、図 1 3 ( B ) に、図 1 3 ( A ) の線 L 1 3 - L 1 3 に沿った断面構造を示すように、アレ全全面にわたって、カルコゲナイド層 6 0 および熱伝播ブロック層 6 2 が積層される。このカルコゲナイド層 6 0 には、図 1 2 ( B ) に示す層間絶縁膜 5 6 が形成されてお

10

## 【 0 1 1 5 】

工程 E :

次いで、この熱伝播ブロック層 6 2 上全面にわたってレジスト層を形成した後、このレジスト層をパターニングする。このパターニングされたレジスト膜 6 4 a - 6 4 c は、図 1 4 ( A ) に示すように、不純物層 4 2 a - 4 2 c それぞれと整列し、行方向に延在して連続的に形成される。このレジスト膜 6 4 a - 6 4 c は、それぞれ対応の不純物層 4 2 a - 4 2 c の幅よりもその幅が少し狭くされる。不純物層 4 2 a - 4 2 c は、イオン注入後の熱拡散により、その幅は、最小の線幅（設計ルール）よりも広くなり、レジスト膜 6 4 a - 6 4 c の幅よりも、少し広がる。

20

## 【 0 1 1 6 】

この場合、図 1 4 ( B ) に、図 1 4 ( A ) の線 L 1 4 - L 1 4 に沿った断面構造を示すように、熱伝播ブロック層 6 2 上に、レジスト膜 6 4 a - 6 4 c が、それぞれ下部に形成される不純物層 4 2 a - 4 2 c と整列して形成される。この状態においては、加熱素子部 3 4 上に形成されるカルコゲナイド層 6 0 は、アレ全全面にわたって形成されておりまだパターニングされていない。

## 【 0 1 1 7 】

この状態において、レジスト膜 6 4 a - 6 4 c をマスクとして熱伝播ブロック層 6 2 およびカルコゲナイド層 6 0 のエッチングを行なうと、これらの熱伝播ブロック層 6 2 およびカルコゲナイド層 6 0 のパターニングを行なう。これらの熱伝播ブロック層 6 2 およびカルコゲナイド層 6 0 は、このエッチング工程時において同時にエッチングされる。

30

## 【 0 1 1 8 】

工程 F :

図 1 4 ( A ) および ( B ) に示すレジスト膜 6 4 a - 6 4 c をマスクとしてエッチング処理を行なうことにより、図 1 5 ( A ) に示すように、行方向に連続的に延在してかつ不純物領域 4 2 a - 4 2 c と整列して、カルコゲナイド / 熱伝播ブロック層 6 6 a - 6 6 c が形成される。このカルコゲナイド / 熱伝播ブロック層 6 6 a - 6 6 c が、その下方に形成される加熱素子部 3 4 に結合される。

40

## 【 0 1 1 9 】

この図 1 5 ( B ) において、図 1 5 ( A ) の線 L 1 5 - L 1 5 に沿った断面構造を示すように、各行ごとに分離されるカルコゲナイド / 熱伝播ブロック層 6 6 a - 6 6 c が形成される。これらのカルコゲナイド / 熱伝播ブロック膜 6 6 a - 6 6 c の各々は、加熱素子部 3 4 に結合されるカルコゲナイド層 6 8 と、このカルコゲナイド層 6 8 上層に形成される熱伝播ブロック層 6 7 を含む。これらのカルコゲナイド層 6 8 および熱伝播ブロック層 6 7 は、行方向に連続して帯状に形成される。

## 【 0 1 2 0 】

工程 G :

次に、図 1 6 ( A ) に示すように、行方向において隣接するメモリセルの間の領域に、絶

50

縁膜 70 を形成する。すなわち、ビット線を形成する領域に対応して、絶縁膜 70 により溝が形成される。この絶縁膜 70 と交差する方向に、先の工程 F において形成されたカルコゲナイド/熱伝播ブロック層 66 a - 66 c が、それぞれ不純物層 42 a - 42 c と整列して配置される。メモリセル形成領域においては、加熱素子部 34 が形成される。

【 0 1 2 1 】

図 16 ( B ) は、図 16 ( A ) に示す線 L 16 B - L 16 B に沿った断面構造を概略的に示す図である。この図 16 ( B ) に示すように、メモリセルが列方向に整列して配置される領域においては絶縁膜 70 は形成されない。各メモリセル行のカルコゲナイド/熱伝播ブロック層 66 a - 66 c が、下層に形成される加熱素子部 34 とともに、層間絶縁膜により分離される。

10

【 0 1 2 2 】

図 16 ( C ) は、図 16 ( A ) に示す線 L 16 C - L 16 C に沿った断面構造を示す図である。この図 16 ( C ) に示すように、不純物層 42 a が、半導体基板領域表面に行方向に連続して延在して配置される。メモリセル形成領域において、加熱素子部 34 が形成され、また不純物領域 44 が、各加熱素子部 34 に対応してこの不純物層 42 a 表面に形成される。カルコゲナイド/熱伝播ブロック層 66 a は、行方向に連続して延在して配置される。

【 0 1 2 3 】

このカルコゲナイド/熱伝播ブロック層 66 a 上に、絶縁膜 70 が列方向に延在して形成される。この絶縁膜 70 は、メモリセル形成領域においては配置されていない。すなわち、ビット線を形成する領域が、絶縁膜 70 の間の溝領域 72 により規定される。絶縁膜により溝領域を形成し、下地層を露出させるプロセスは、銅 ( C u ) 配線形成時のダマシンプロセスとして知られており、このダマシンプロセスを、ビット線形成のために利用する。

20

【 0 1 2 4 】

工程 H :

図 17 ( A ) に示すように、この図 16 に示す絶縁膜 70 により形成される溝領域に、ビット線を構成する導電材料を堆積し、その後 CMP などの処理によりエッチング処理を施して表面を平坦化する。したがって、図 17 ( A ) に示すように、列方向に連続的に延在してビット線導電層 72 a - 72 c が形成される。これらのビット線導電層 72 a - 72 c の間の領域には、絶縁膜 70 に対応する絶縁膜 71 が形成される。この図 17 ( A ) においては、ワード線となる不純物層 42 a - 42 c と、これらの不純物層 42 a - 42 c と並行して配置されるカルコゲナイド/熱伝播ブロック層 66 a - 66 c と、加熱素子部 34 を示す。

30

【 0 1 2 5 】

図 17 ( B ) は、図 17 ( A ) に示す線 L 17 B - L 17 B に沿った断面構造を概略的に示す図である。図 17 ( B ) に示すように、ビット線導電層 72 b は列方向に連続的に延在して形成される。これらのビット線導電層 72 b には、それぞれ列方向において所定の間隔をおいて配置されるカルコゲナイド/熱伝播ブロック層 66 a - 66 c が接続される。これらのカルコゲナイド/熱伝播ブロック層 66 a - 66 c には、それぞれ加熱素子部 34 が接続される。

40

【 0 1 2 6 】

図 17 ( C ) は、図 17 ( A ) に示す線 L 17 C - L 17 C に沿った断面構造を概略的に示す図である。この図 17 ( C ) に示すように、図 16 ( C ) に示す溝領域 72 にビット線導電層 72 a、72 b および 72 c がそれぞれ形成され、下層のカルコゲナイド/熱伝播ブロック層 66 a に結合される。これらのビット線導電層 72 a - 72 c の間には、絶縁膜 71 が形成される。この絶縁膜 71 は、図 16 ( A ) - ( C ) において示す絶縁膜 70 を CMP によりエッチングした絶縁膜である。したがって、このビット線導電層 72 a - 72 c が形成された状態においては、カルコゲナイド/熱伝播ブロック層 66 a - 66 c は、それぞれ行方向に連続して延在している。

50



## 【 0 1 2 7 】

加熱素子部 3 4 およびその下部に形成される不純物領域 4 4 が、メモリセル領域に応じて列方向において互いに分離して形成される。ビット線導電層となる材料を、絶縁膜の溝領域に埋込み、その後 C M P エッチングによりパターンニングするプロセスは、C u 配線の形成プロセスで用いられるめっきプロセスに対応する。このプロセスを利用することにより、銅などの微細エッチング加工が困難な材料をビット線材料として用いても、ビット線を小さなピッチで形成することができる。

## 【 0 1 2 8 】

工程 I :

図 1 7 ( C ) に示す絶縁膜 7 1 をエッチング除去し、ビット線導電層 7 2 a - 7 2 c 表面および熱伝搬ブロック層 6 6 a - 6 6 c の表面を露出させる。この状態で、図 1 8 ( A ) に示すように、ビット線導電層 7 2 a - 7 2 c をマスクとしてエッチングを行ない、カルコゲナイド/熱伝搬ブロック層に対するエッチング処理を行なう。したがって、このカルコゲナイド/熱伝搬ブロック層は、ビット線と交差する領域においてのみ残り、残りのビット線間の領域においては、分離される。このカルコゲナイド/熱伝搬ブロック層が、行方向において各メモリセルごとに分離される。これにより、各メモリセルに対する相変化素子部 3 3 がそれぞれ、不純物層 4 2 a - 4 2 c とビット線導電層 7 2 a - 7 2 c との交差部に対応して配置される。

## 【 0 1 2 9 】

ビット線導電層 7 2 a - 7 2 c が銅 ( C u ) 配線で形成される場合、銅 ( C u ) 配線は通常のエッチングではエッチングされにくいいため、たとえば C u で形成されるビット線導電層 7 2 a - 7 2 c をマスクとしてエッチング処理を行なうことにより、カルコゲナイド層および熱伝播ブロック層をエッチングしてパターンニングすることができる。カルコゲナイド/熱伝搬ブロック層 6 6 a - 6 6 c のエッチング処理 ( パターンニング ) 時においては、行方向において、ビット線導電層 7 2 a - 7 2 c に対して、その寸法制御が自己整合的に行なわれており、メモリセルのレイアウト面積を低減することができる。

## 【 0 1 3 0 】

図 1 8 ( B ) は、図 1 8 ( A ) に示す線 L 1 8 B - L 1 8 B に沿った断面構造を示す図である。この列方向においてはビット線導電層 7 2 b が列方向に直線的に延在され、ビット線 3 2 c が形成される。各行に対応して、拡散ワード線 3 0 a - 3 0 c が形成され、拡散ワード線 3 0 a - 3 0 c それぞれに対応して、加熱素子部 3 4 および相変化素子部 3 3 が配置される。

## 【 0 1 3 1 】

図 1 8 ( C ) は、図 1 8 ( A ) に示す線 L 1 8 C - L 1 8 C に沿った断面構造を概略的に示す図である。

## 【 0 1 3 2 】

この図 1 8 ( C ) に示すように、行方向においては、拡散ワード線 3 0 a を形成する不純物層 4 2 a が連続的に延在して配置される。メモリセル列の位置に対応して、不純物領域 4 4 が形成される。これらの不純物領域 4 4 に対応して、加熱素子部 3 4 および相変化素子部 3 3 が各メモリセルに対応して形成される。この各列に対応してビット線導電層 7 2 a - 7 2 c が、それぞれ間を置いて形成され、ビット線 3 2 a - 3 2 c のピッチで、メモリセルが形成される。

## 【 0 1 3 3 】

相変化素子部 3 3 の行方向の幅が、対応のビット線導電層 7 2 a - 7 2 c 行方向の幅と実質的に同じとされる。これらの相変化素子部 3 3 がビット線導電層に対して自己整合的に形成されており、正確にビット線導電層と相変化素子とを重なり合わせることができる。

## 【 0 1 3 4 】

このカルコゲナイド層および熱伝搬ブロック層を行方向に連続的に延在して形成し、ビット線をマスクとしてパターンニングすることにより、メモリセルの行方向の幅を最小で加工することができる。またこのカルコゲナイド層および熱伝搬ブロック層とビット線との重

10

20

30

40

50

なりマージンも不要となり、メモリセルサイズを最小にすることができる。これにより、メモリセルのレイアウト面積を低減でき、高密度でメモリセルを配置することができる。

【0135】

以上のように、この発明の実施の形態2に従えば、メモリセルの相変化素子を、行方向について連続的に延在させて相変化層を形成した後に、ビット線をマスクとしてエッチングしており、ビット線と相変化素子との重なり合いについてのマージンを考慮する必要がなく、最小面積のメモリセルを形成することができる。

【0136】

また、加熱素子部からの固相拡散により、メモリセルのトランジスタのエミッタ領域を形成しており、メモリセルトランジスタを最小面積で形成することができる。また、このメモリセルトランジスタのPN接合を浅くすることができ、メモリセルトランジスタの特性を改善することができる。これにより、メモリセルを微細化しても、高速で安定にデータの書込/読出を行なうことのできるメモリセルを実現することができる。

10

【0137】

また、ヒータ層に対して熱伝播ブロック層を配置して、熱の伝搬を防止しており、微細セルにおいても、書込時の発熱が非選択メモリセルに悪影響を及ぼすのを防止することができる。

【0138】

また熱伝播ブロック層により、熱を相変化素子に集中させることができ、相変化素子全体を相変化させることができる。これにより、小体積の相変化素子を用いてもデータに応じて大きな抵抗値変化を生じさせることができ、微細メモリセルを用いて安定にデータを記憶することができる。

20

【0139】

また、この熱伝播ブロック層を用いることにより、ビット線とカルコゲナイド層およびヒータと基板領域(不純物領域)の間における不要な材料の拡散を防止することができまた格子不整合を抑制することができ、メモリセル特性を安定に維持することができる。

【0140】

[実施の形態3]

図19は、この発明の実施の形態3に従う不揮発性半導体記憶装置の全体の構成を概略的に示す図である。図19において、不揮発性半導体記憶装置は、行列状に配列されるメモリセルMCを含むメモリセルアレイ100を含む。メモリセルMCは、相変化素子を含む可変抵抗素子と、この可変抵抗素子を選択する選択トランジスタとを含む。

30

【0141】

このメモリセルアレイ100においては、メモリセルMCの行に対応してワード線WLが配置され、メモリセルMCの各列に対応してビット線BLが配置される。このメモリセルアレイ100において、さらに、ダミーセルDMC aおよびDMC bが、それぞれメモリセルMCの各行に整列して配置される。ダミーセルDMC aは、ダミービット線DBL aに接続され、またダミーセルDMC bが、ダミービット線DBL bに接続される。1つのワード線WLに対しては、メモリセルMCおよびダミーセルDMC aおよびDMC bが接続される。ダミーセルDMC aおよびDMC bは、それぞれ互いに相補なデータを固定的に記憶する。

40

【0142】

ダミーセルの符号として実施の形態2において図7を参照して示す形状ダミーセルと同一の符号DMCを用いる。しかしながら、本実施の形態3におけるダミーセルは、正規メモリセルのパターンを維持するための形状ダミーセルではなく、データを記憶し、選択メモリセルのデータ読出時の基準データを生成する。これらのダミーセルDMC aおよびDMC bは、データの書込/読出を行うことのできるものの、通常動作モード時には外部からアクセスされないメモリセルである。

【0143】

ダミーセルDMC aおよびDMC bをメモリセルアレイの端部に配置した場合、境界領域

50

の正規メモリセルに対するレイアウトパターンの規則性が維持されるため、本実施の形態3においても、実施の形態2のダミーセルと機能が異なるものの、ダミーセルに対して実施の形態2と同一の符号DMCを用いる。

【0144】

メモリセルアレイ100内において、このダミーセルDMC aおよびDMC bを、メモリセルMCと整列して配置することにより、ダミーセルDMC aおよびDMC bをメモリセルMCと同一レイアウトパターン(同一構造)で、同一製造工程で作成することができる。これにより、ダミーセルDMC aおよびDMC bとメモリセルMCの特性を同じとでき、また、ビット線BLとダミービット線DBL aおよびDBL bの寄生抵抗および寄生容量も同じとすることができる。したがって、データ読出時、選択メモリセルMCとダミーセルDMC aおよびDMC bの記憶データ(読出電流)とを比較することにより、正確にデータの読出を行なうことができる。

10

【0145】

不揮発性半導体記憶装置は、さらに、ワード線アドレス信号ADXをデコードし、メモリセルアレイ100内のワード線を指定するワード線選択信号を生成するワード線デコーダ102と、このワード線デコーダ102からのワード線選択信号に従って、選択されたワード線を選択状態へ駆動するワード線ドライブ回路104と、書込指示信号WRの活性化時活性化されて、ビット線アドレス信号ADYをデコードして、書込対象のビット線を選択するライトドライバデコーダ106と、ライトドライバデコーダ106の出力信号に従って選択ビット線にデータ書込時、書込電圧(電流)パルスを供給するビット線ドライブ回路108を含む。

20

【0146】

ライトドライバデコーダ106は、書込対象のビット線を選択し、かつ書込データに応じて、後に示す書込回路114から与えられる書込制御信号に従って書込対象のビット線へ書込電流パルスを供給するための制御信号を生成する。ビット線ドライブ回路108は、データ書込時、このライトドライバデコーダ106の出力信号に従って、選択ビット線へ書込電流パルスを供給する。ビット線ドライブ回路108は、データ書込動作時を除く期間は、出力ハイインピーダンス状態に維持される。

【0147】

従って、本実施の形態3においては書込電流パルスは、内部データ線から選択ビット線に伝達されない。ライトドライバデコーダ106を利用することにより、書込データをラッチして、連続的に選択メモリセルにデータを書込むことが可能となる。また、同時に選択されるビット線の数、動作モードに応じて変更される場合においても、容易に、データを選択ビット線に書き込むことができる。

30

【0148】

書込回路114は、書込活性化信号WEの活性化に従って、この書込データに基づいて選択ビット線に対する書込制御信号を生成する。この書込回路114からの書込制御信号が、ライトドライバデコーダ106へ与えられて、データの書込が、選択ビット線に対して実行される。

【0149】

書込活性化信号WEは、書込み指示信号WRの活性化時、実際にデータを選択メモリセルに書込むときに活性化される。書込み指示信号WRは、動作モードがデータ書込モードであることを示す。

40

【0150】

不揮発性半導体記憶装置は、さらに、ビット線アドレス信号ADYをデコードして、選択ビット線を指定するビット線選択信号を生成するビット線デコーダ110と、ビット線デコーダ110からのビット線選択信号に従って対応のビット線を選択し、選択列のビット線を内部データバス120に結合する列選択回路112と、データ読出時、この内部データバス120上に読出されたデータに基づいて内部読出データを生成する読出回路116と、内部データバス120に結合され、外部データDQの入出力を行なう入出力回路11

50

8を含む。

【0151】

ビット線デコーダ110へは、モード指示信号MODが与えられる。このモード指示信号MODは、1ビットのデータを2つのメモリセルで記憶する1ビット/2セルモードと、1ビットのデータを1ビットのメモリセルで記憶する1ビット/1セルモードを指定する。したがって、このビット線デコーダ110は、モード指示信号MODが、1ビット/2セルモードを指定するときには、2つのビット線BLを選択する信号を生成し、1ビット/1セルモード時には、1つのビット線を選択する信号を生成する。

【0152】

モード指示信号MODは、外部から与えられてもよく、内部で固定的に発生されてもよい。また、このモード指示信号MODは、内部のレジスタなどに外部指示に従って格納されて、生成されてもよい。

10

【0153】

読出回路116は、差動増幅回路を含み、1ビット/1セルモード時には、選択ビット線BLに読出されたデータと、ダミービット線DBLaおよびDBLbに読出されたデータを比較し、その比較結果に基づいて内部読出データを生成する。1ビット/2セルモード時には、この読出回路116は、同時に選択された2つのビット線(正規ビット線)のデータを差動増幅して内部読出データを生成する。

【0154】

このモード指示信号MODにより、データの記憶モードを、1ビット/2セルモードと1ビット/1セルモードとの間で切換えることにより、不揮発性メモリの用途に応じて、その記憶容量を変更することができ、また特定のアドレス領域を1ビット/2セルモードに設定することができる。たとえば画像データおよび音声データなどの大量のデータの場合には、1ビットのエラーが生じててもデータ処理には大きな影響は及ぼさない。したがって、このような場合には、1ビット/1セルモードでデータを記憶する。一方、コードなどのデータは、1ビットのデータの誤りが生じた場合、誤処理が生じる。したがって、このようなコードなどのデータについては、データの信頼性が必要とされる。この場合、1ビット/2セルモードでデータを記憶し、メモリセルが微細化されても、確実に、データを記憶する。

20

【0155】

次に、各部の具体的構成について説明する。

30

[アレイ部の構成]

図20は、図19に示すメモリセルアレイ100、ビット線ドライブ回路108およびワード線ドライブ回路104の構成を示す図である。図20を参照して、メモリセルアレイ100においては、メモリセルMCが行列状に配列され、またこのメモリセルMCの各行に対応して、ダミーセルDMCaおよびDMCbが配設される。メモリセルMCおよびダミーセルDMCa, DMCbは、同一構成を有し、選択トランジスタTRと、記憶データに応じて抵抗値が変化する可変抵抗素子VRを含む。可変抵抗素子VRは、結晶状態により抵抗値が変化する相変化素子と、この相変化素子を加熱するためのヒータが含まれる。

【0156】

メモリセルMCの各行に対応してワード線WL(WL0-WL3)が配設され、またメモリセルMCの各列に対応してビット線BL(BL0, BL1)が配設される。

40

【0157】

また、ダミーセルDMCaの列に対応してダミービット線DBLaが配設され、ダミーセルDMCbの列に対応して内部ビット線DBLbが配設される。ダミーセルDMCaおよびDMCbは、対応の行のワード線WLに接続される。

【0158】

この図20において、各メモリセルMC、DMCaおよびDMCbに対し、個々に、コレクタ線が配置されるように示す。しかしながら、このコレクタ線CKは、基板領域により形成され、これらの各行に対応して配置されるコレクタ線CKは共通に接続される。この

50

コレクタ線CKは、図20においては、接地電位に固定される。

【0159】

ダミーセルDMC aの可変抵抗素子VRの相変化素子は、結晶状態が非晶質状態に設定され、抵抗値Rmaxを有する。一方、ダミーセルDMC bにおいて、相変化素子(可変抵抗素子VR)は、多結晶状態にその結晶状態が設定され、抵抗値Rminを有する。抵抗値Rmaxは、抵抗値Rminよりも大きい。したがって、ダミービット線DBLaへは、高抵抗状態のダミーセルDMC aが接続され、ダミービット線DBLbには、低抵抗状態のダミーセルDMC bが接続される。

【0160】

メモリセルMCは、この高抵抗状態および低抵抗状態のいずれかの状態に、可変抵抗素子(相変化素子)VRが設定される。したがって、列選択回路112において、1つの列を選択する場合、ダミービット線DBLaおよびDBLbに現われる相補データを、選択メモリセルデータと比較することにより、選択メモリセルを介して流れる電流が小さい場合であっても、正確にデータを読み出すことができる。

10

【0161】

ワード線ドライブ回路104は、ワード線WLに対応して設けられるワード線ドライバWVを含む。図20においては、ワード線WL0-WL3に対して設けられるワード線ドライバWV0-WV3を代表的に示す。このワード線ドライバWV0-WV3は、対応のワード線が非選択状態のときには、その出力信号をHレベル(電源電圧レベル)に維持し、一方、選択状態のワード線をLレベル(接地電圧レベル)に設定する。

20

【0162】

ビット線ドライブ回路108は、ビット線BLに対して設けられるビット線ドライバBVと、ダミービット線DBLaおよびDBLbそれぞれに対応して設けられるダミービット線ドライバDBVaおよびDBVbを含む。図20においては、ビット線BL0およびBL1に対して設けられるビット線ドライバBV0およびBV1を代表的に示す。

【0163】

これらのビット線ドライバBV(BV0, BV1)およびダミービット線ドライバDBVa, DBVbは、同一構成を有し、プルアップトランジスタUNTおよびプルダウントランジスタDNTを含む。

【0164】

ビット線ドライバBV(BV0, BV1を総称的に示す)とダミービット線ドライバDBVaおよびDBVbは、データ書込動作時以外は、出力ハイインピーダンス状態に設定される。データ読出時においては、列選択回路112を介して内部データバスから、選択列に対応して設けられるビット線BL(BL0, BL1を総称的に示す)とダミービット線DBLaおよびDBLbとに対して電流が供給される。選択メモリセルの記憶データに応じて、選択メモリセルを流れる電流量が異なる。ダミーセルDMC aは、高抵抗状態に設定され、ダミーセルDMC bは、低抵抗状態に設定される。従って、選択ビット線を流れる電流量は、ダミービット線DBLaおよびDBLbの一方を流れる電流量に近い。選択ビット線を流れる電流量がいずれのダミービット線の電流量に近いかを検出して、内部データの読出を行なう。

30

40

【0165】

データ書込時においては、選択列に対応するビット線に対して設けられたビット線ドライバBVが活性化される。高抵抗状態の書込時においては、ビット線ドライバBVは、対応のビット線へ短い期間のパルスで、Hレベルの電圧を供給し、次いで、選択ビット線のプルアップ動作完了後プルダウントランジスタを導通状態とする。選択メモリセルにおいて、可変抵抗素子VRの相変化素子において、結晶状態が加熱により溶融状態となった後、急速に冷却され、非晶質状態となる。一方、低抵抗状態に設定する場合には、ビット線ドライバBVは、まず対応のビット線を電源電圧レベルにプルアップした後、プルダウントランジスタを導通させ、徐々に、選択ビット線の流れる電流を低減し、その後、ビット線のプルアップ動作を完了して、プルダウンのみを実行する。この場合、可変抵抗素子(相

50

変化素子)VRにおいては、結晶状態が溶融状態になってから、緩やかに冷却されるため、結晶状態が多結晶状態となり、低抵抗状態が実現される。

【0166】

この書込時の動作制御は、図19に示す書込回路114からの書込制御信号に基づいてライトドライバデコーダ106により実行される。

【0167】

図21は、図19に示す列選択回路112、ビット線デコーダ110および読出回路116の構成を示す図である。図21において、ビット線デコーダ110は、ビット線アドレス信号ADYの特定のアドレスビットADY0とモード指示信号MODとを受けて2ビットのデコード信号S0およびS1を生成するデコーダ130と、アドレス信号ビットADY0の残りのビットをプリデコードしてプリデコード信号PDYを生成するプリデコーダ132と、ビット線BLそれぞれに対応して設けられ、プリデコード信号PDYの所定の組合せのプリデコード信号を受けるデコード回路DKを含む。図21においては、ビット線BL0およびBL1に対応して設けられるデコード回路DK0およびDK1を代表的に示す。

10

【0168】

モード指示信号MODは、Hレベルのときに、1ビットのデータを2ビットのメモリセルで記憶する1ビット/2セルモードを指定し、Lレベルのときに1ビットのデータを1ビットのメモリセルで記憶する1ビット/1セルモードを指定する。

【0169】

特定のアドレスビットADY0は、ビット線の偶数および奇数を指定する。デコーダ130は、1ビット/1セルモード時には、デコード信号S0およびS1のいずれかを活性化し、1ビット/2セルモード時には、これらのデコード信号S0およびS1を非活性状態に維持する。

20

【0170】

ビット線デコーダ110は、さらに、ビット線BLそれぞれに対応して配置され、対応のデコード回路DKの出力信号とデコーダ130からのデコード信号S0およびS1の一方を受けるゲート回路GAと、ビット線BLそれぞれに対応して配置され、対応のデコード回路DKの出力信号とモード指示信号MODを受けるゲート回路GBを含む。

【0171】

図21に示す構成において、ビット線BL0については、ゲート回路GA0およびGB0が設けられ、ゲート回路GA0が、デコード信号S0とデコード回路DK0の出力信号を受ける。ゲート回路GB0が、モード指示信号MODとデコード回路DK0の出力信号を受ける。

30

【0172】

ビット線BL1については、ゲート回路GA1およびGB1が設けられる。このゲート回路GA1は、デコーダ130からのデコード信号S1と、デコード回路DK1の出力信号を受け、ゲート回路GB1がモード指示信号MODとデコード回路DK1の出力信号を受ける。

【0173】

このビット線デコーダ110の構成においては、プリデコーダ132の出力するプリデコード信号PDYに従って、2列のビット線が選択される。ここで、図21に示すように、デコード回路DK0およびDK1は、異なる組合せのプリデコード信号PDYを受けているように示される。しかしながら、これらのデコード回路DK0およびDK1は、同時に選択状態へ駆動される。すなわち、1ビット/1セルモードおよび1ビット/2セルモードいずれにおいても、これらでコード回路DK0およびDK1が同時に選択される。

40

【0174】

デコーダ130が、モード指示信号MODがLレベルのときにデコード動作を行ない、アドレス信号ビットADY0に従ってデコード信号S0およびS1を生成する。したがって、1ビット/1セルモード時には、プリデコード信号PDYにより指定された2列

50

のビット線のうち、信号S 0およびS 1に従って1列のビット線が指定される。

【0175】

一方、デコード130は、モード指示信号MODがHレベルに設定され、1ビット/2セルモードが指定された場合には、デコード信号S 0およびS 1をともにLレベルに固定する。この場合には、ゲート回路GB 0およびGB 1は、対応のデコード回路DK 0およびDK 1の出力信号に従って選択される。

【0176】

したがって、この1ビット/2セルモード時においては、2ビットのメモリセルデータが読出される。この1ビット/2セルモード時において同時に選択されるビット線の組は、隣接ビット線で構成されてもよく、また、離れた位置のビット線で構成されてもよい。1ビット/2セルモード時において、同時に選択されたビット線に接続されるメモリセルにおいては、相補データが格納される。

10

【0177】

列選択回路112は、ビット線BLそれぞれに対応して設けられる読出選択ゲートRSGを含む。図21においては、ビット線BL 0およびBL 1に対してそれぞれ設けられる読出選択ゲートRSG 0およびRSG 1を示す。これらの読出列選択ゲートRSG 0およびRSG 1は、それぞれ、対応のゲート回路GA (GA 0, GA 1)の出力信号に従って導通し、対応のビット線BL (BL 0, BL 1)を内部データ線120 aに結合する選択ゲートTgaと、対応のゲート回路GB (GB 0, GB 1)の出力信号に従って導通し、対をなすビット線 (BL 0, BL 1)を内部データ線120 aおよび120 bにそれぞれ結合する選択ゲートTgbを含む。

20

【0178】

図21においては、ゲート回路GB 0およびGB 1の出力信号がともにHレベルとなったとき、ビット線BL 0およびBL 1が、それぞれ内部データ線120 aおよび120 bに結合される構成が一例として示される。

【0179】

この列選択回路112は、さらに、読出タイミング信号SRの活性化に従って、ダミービット線DBL aおよびDBL bをそれぞれ内部参照データ線120 d aおよび120 d bにそれぞれ結合する選択ゲートDRG aおよびDRG bを含む。この読出タイミング信号SRは、データ読出時活性化される。この読出タイミング信号SRは、デコード回路DK、およびゲート回路GAまたはGBを含む回路と同一の構成を有する回路により生成され、プリデコード132およびデコード130の活性化にしたがって、ゲート回路GAまたはGBから生成される列選択信号が活性化されるタイミングと同じタイミングで、読出タイミング信号SRが活性化される。

30

【0180】

この読出タイミング信号SRは、1ビット/2セルモード時においては、常時非活性状態に維持されてもよい。

【0181】

読出回路116は、内部データ線120 aおよび120 bと内部参照データ線120 d aおよび120 d bにそれぞれ設けられる電流供給素子135 a - 135 dを含む。これらの電流供給素子135 e - 135 dは、図21に示す構成においては、ダイオード接続されるNチャネルMOSトランジスタで構成される。この電流供給素子135 a - 135 dにより、データ読出時、選択列に対応するビット線およびダミービット線DBL aおよびDBL bに電流が供給される。

40

【0182】

この図21に示す構成においては、電流供給素子135 a - 135 dは、常時電流を供給するように示される。しかしながら、これらの電流供給素子135 a - 135 dの電源ノードに対し、データ読出時活性化されるたとえばカレントミラー回路で構成される電流源の出力電流が供給されてもよい。

【0183】

50

また、これらの電流供給素子135 aないし135 dが、データ読出指示信号の活性化時、所定電圧レベルの電圧を供給する電源ノードにスイッチングトランジスタを介して電氣的に結合されてもよい。この電源ノードの電圧は、ビット線およびダミービット線を流れる電流により生じる内部データ線の電圧変化が、次段の差動増幅回路140および142において最も感度のよい領域で検出される電圧レベルであればよい。

**【0184】**

読出回路116は、さらに、モード指示信号MODに従って内部参照データ線120 d aと内部データ線120 aの一方を選択する選択回路137 aと、モード指示信号MODに従って内部参照データ線120 d bと内部データ線120 bの一方を選択する選択回路137 bと、内部データ線120 a上のデータと選択回路137 aにより選択されたデータ線上の信号とを差動的に増幅する差動増幅回路140と、選択回路137 bにより選択されたデータ線上のデータと内部データ線120 a上のデータとを差動的に増幅する差動増幅回路142と、これらの差動増幅回路140および142の出力信号をさらに増幅する増幅回路144と、増幅回路144の出力信号をラッチするラッチ146を含む。

10

**【0185】**

選択回路137 aおよび137 bは、モード指示信号MODが、1ビット/1セルモードを指定するときには、内部参照データ線120 d aおよび120 d bをそれぞれ選択する。モード指示信号MODが、1ビット/2セルモードを指定するときには、選択回路137 aおよび137 bは、ともに、内部データ線120 bを選択する。

20

**【0186】**

差動増幅回路140および142は、内部データ線120 a上のデータ信号を、相補入力のうち互いに異なる入力にそれぞれ受ける。図21においては、差動増幅回路140が、負入力に内部データ線120 aの信号を受け、また、差動増幅回路142が、正入力に内部データ線120 a上の信号を受ける。これらの差動増幅回路140および142は、与えられた信号の電圧差に応じた信号を出力するアナログ増幅回路として機能する。

**【0187】**

差動増幅回路144は、これらの差動増幅回路140および142によりアナログ的に差動増幅された信号を、さらにデジタル的に差動増幅して、2値信号を生成する。差動増幅回路140および142が、カレントミラー型アンプでたとえば構成され、差動増幅回路144が、交差結合されたラッチ型アンプで構成される。

30

**【0188】**

ラッチ146は、内部データの外部読出タイミングを調整するために設けられ、また、これらの差動増幅回路140、142および144の動作期間を短くし、消費電流を低減する。

**【0189】**

入出力回路118においては、ラッチ146によりラッチされたデータをバッファ処理して外部読出データQを生成する出力バッファ148を含む。この出力バッファ148は、データ読出時、読出活性化信号(図示せず)に従って活性化されて、ラッチ146のラッチデータをバッファ処理して外部読出データQを生成する。

40

**【0190】**

図22は、図21に示すデコーダ130の構成の一例を示す図である。図22において、デコーダ130は、モード指示信号MODとビット線アドレス信号ビットADY0とを受けるゲート回路130 aと、モード指示信号MODとビットADY0とを受けるゲート回路130 bを含む。

**【0191】**

ゲート回路130 aは、モード指示信号MODおよびビット線アドレス信号ビットADY0がともにLレベルのときに、デコード信号S0をHレベルに設定する。ゲート回路130 bは、モード指示信号MODがLレベルであり、かつビット線アドレス信号ビットADY0がHレベルのときに、デコード信号S1をHレベルに設定する。

**【0192】**

50



モード指示信号MODがHレベルにあり、1ビット/2セルモードが指定されるときには、これらのゲート回路130aおよび130bが出力するデコード信号S0およびS1は、Lレベルに固定される。

【0193】

図23は、図21に示す読出タイミング信号SRを発生する部分の構成の一例を示す図である。図23において読出タイミング信号発生回路150は、電源電圧VCCとデコードイネーブル信号DENとを受け、ゲート回路150aと、モード指示信号MODとゲート回路150aの出力信号を受け、図21に示す選択ゲートDRGaに対する読出タイミング信号SRを生成するゲート回路150bと、ゲート回路150aの出力信号とモード指示信号MODを受けて図21に示す選択ゲートDRGbに対する読出タイミング信号SRを生成するゲート回路150cを含む。

10

【0194】

ゲート回路150aは、図21に示すデコード回路DKと同様の構成を備え、デコードイネーブル信号DENが活性化されるとHレベルの信号を出力する。デコードイネーブル信号DENは、図21に示すプリデコード132の活性化タイミングを与えるプリデコード活性化信号の遅延信号に相当し、このプリデコード活性化信号にしたがってプリデコード132が活性化されて、プリデコード信号PDYが確定状態となるタイミングと実質的に同じタイミングで活性化される。ゲート回路150aの信号伝搬遅延が、デコード回路DK(DK0, DK1)の信号伝搬遅延と同じ程度に設定される。

【0195】

ゲート回路150bおよび150cは、ともにモード指示信号MODがLレベルのときに、ゲート回路150aの出力信号に従って読出タイミング信号SRをHレベルに駆動する。一方モード指示信号MODがHレベルに設定される場合には、これらのゲート回路150bおよび150cからの読出タイミング信号SRはLレベルに維持される。したがって、1ビット/1セルモード時においてのみ、読出タイミング信号SRがゲート回路150aの出力信号に従って活性化される。1ビット/2セルモード時においては、リードタイミング信号SRはLレベルに固定され、ダミービット線DBLaおよびDBLbと内部参照データ線120daおよび120dbは分離状態を維持する。

20

【0196】

これらのゲート回路150a、150bおよび150cの信号伝搬遅延は、列選択のためのデコード回路DKおよびゲート回路GA, GBと同じ信号伝搬遅延に設定することにより、1ビット/1セルモード時において、選択ビット線が内部データ線に接続されるタイミングとダミービット線が内部参照データ線に接続されるタイミングを同じに設定することができる。

30

【0197】

図24は、1セル/1ビットモード時のメモリセルのデータ読出部の接続を概略的に示す図である。この図24においては、ビット線BLが選択され、このビット線BLに接続されるメモリセルMCのデータを読出す場合のデータ読出部の接続を示す。

【0198】

1ビット/1セルモード時においては、図21に示すモード指示信号MODがLレベルに固定される。図24において、転送ゲートTGaが、ビット線アドレス信号に従って選択状態へ駆動され、そのゲートに電源電圧を受け、ビット線BLを内部データ線120aに接続する。ダミービット線DBLaおよびDBLbが、それぞれ内部参照データ線120daおよび120dbに接続される。

40

【0199】

これらの内部データ線120aと内部参照データ線120daおよび120dbは、それぞれ電流源トランジスタ135a、135cおよび135eによりこの転送ゲートTGa、DRGaおよびDRGbの導通前に所定電圧レベルにプリチャージされる。選択ビット線BLと内部データ線120aとの接続時に、電流源からの電流によりビット線に電流スパイクが発生して、誤読出が生じるのを防止する。すなわち、列選択時においては、ワー

50

ド線が選択状態にあり、選択ビット線に供給される電流が選択メモリセルを介して放電される。これにより、選択ビット線にリングングが発生しまた選択ビット線電位が過剰に上昇するのを防止する。

#### 【0200】

メモリセルMCにおいては、可変抵抗素子（相変化素子）VRは、記憶データに応じた抵抗値Rを有する。ダミーセルDMC aにおいては、可変抵抗素子（相変化素子）VRが抵抗値Rmaxを有し、ダミーセルDAC bにおいては、可変抵抗素子（層変化素子）VRが抵抗値Rminを有する。

#### 【0201】

図21に示すスイッチ選択回路137 aおよび137 bは、それぞれ内部参照データ線120 d aおよび120 d bを選択している。差動増幅回路140は、内部データ線120 aおよび内部参照データ線d aの信号を差動増幅し、差動増幅回路142は、内部データ線120 a上の信号と、内部参照データ線120 d b上の信号を差動増幅する。差動増幅回路140は正入力、内部データ線120 aに結合され、差動増幅回路142は負入力、内部データ線120 aに結合される。増幅回路144は、正入力に差動増幅回路140の出力信号を受け、負入力に差動増幅回路142の出力信号を受けて、差動的に増幅して内部読出信号QFを生成する。

#### 【0202】

この選択メモリセルMCの可変抵抗素子（相変化素子）VRに抵抗値Rが、ダミーセルDMC aの可変抵抗素子（相変化素子）VRの抵抗値Rmaxとほぼ等しい場合には、内部データ線120 aと内部参照データ線120 d aにおいては、同じ大きさの電流が流れ、これらの電圧レベルはほぼ同じとなり、差動増幅回路140の出力信号の振幅は小さい。一方、ダミーセルDMC bにおいては、メモリセルMCを流れる電流よりも大きな電流が流れ、内部データ線120 aと内部参照データ線120 d bの電圧差が大きくなり、差動増幅回路142の出力信号が大きく変化する。差動増幅回路140および142の出力信号において大きく変化する際に同一方向に変化させる。これらの差動増幅回路140および142の出力信号をさらに増幅回路144で差動的に増幅することにより、大きく変化した出力信号を生成する差動増幅回路に応じて、増幅回路144の出力信号の論理レベルが異なり、内部データの読出を行なうことができる。

#### 【0203】

図25は、この選択メモリセルMCの可変抵抗素子（相変化素子）VRの抵抗値Rが、メモリセルDMC aの可変抵抗素子（相変化素子）VRの抵抗値Rmaxにほぼ等しい場合のデータ読出時の信号波形を示す図である。この図25においては、ビット線BL、およびダミービット線DBL aおよびDBL bの電圧レベルの相対的関係を示す。これらのビット線BLおよびダミービット線DBL aおよびDBL bのプリチャージ電圧レベルと読出電流源の電圧レベルとの関係に従ってビット線BLおよびダミービット線DBL a、DBL bの電圧変化波形が異なる。

#### 【0204】

図25においては、これらのビット線BLおよびダミービット線DBL aおよびDBL bが読出電流源の供給電圧と同じ電圧レベルにプリチャージされる場合を説明を簡略化するために示す。また、増幅回路140、142および144が、それぞれ出力信号が、中間電圧レベルに初期化されている場合の信号波形を示す。

#### 【0205】

これらのビット線BLおよびダミービット線DBL aおよびDBL bが初期状態時、接地電圧レベルにプリチャージされ、また増幅回路140、142および144が、それぞれ初期状態において出力信号がLレベルに設定されている場合についても、同様の信号波形が得られる。単に、初期状態の接地電圧レベルから、中間電圧レベルへのプリチャージ動作がさらに行なわれるだけである。

#### 【0206】

以下の説明においては、初期状態においては、これらの信号が、読出電圧レベルにプリチ

10

20

30

40

50

ャージされている場合について説明する。

【0207】

データ読出が始まると、図24に示す電流源135a、135cおよび135eにより、ビット線に読出電流が供給される。この場合、ビット線BLおよびDBLaは、対応の選択メモリセルを介しての放電電流量は小さいため、それぞれの電圧レベルはプリチャージレベルを維持する。一方、メモリビット線DBLbのメモリセルは抵抗値が小さく、大きな電流を放電するため、ダミービット線DBLaは、これらのビット線BLおよびDBLaよりもその電圧レベルが低下する。

【0208】

差動増幅回路140は、ビット線BLおよびダミービット線DBLaの電位差が少ないため、その出力信号が、中間電圧レベルから少し変化するだけであり、その出力信号振幅は小さい。ここで、差動増幅回路140および142は、それぞれ、両入力と同じ電圧レベルとなると、中間電圧レベルの信号を出力する構成を想定する。この場合、ビット線BLおよびダミービット線DBLaにおいて電位差が、選択メモリセルMCの実際の抵抗値Rと選択ダミーセルDMC aの可変抵抗素子(相変化素子)VRの抵抗値Rmaxの実際の値との関係に応じて、決定され、応じて、差動増幅回路140の出力信号電圧レベルが設定される。しかしながら、この差動増幅回路140の出力信号の中間電圧レベルからのずれは、小さい。

10

【0209】

一方、差動増幅回路142は、ビット線BLとダミービット線DBLbの電位差が大きいため、その出力信号は、中間電圧レベルから大きく変化する。図25においては、中間電圧レベルから、差動増幅回路142は、その負入力にダミービット線からの信号を受けており、その出力信号が大きく上昇する。従って、差動増幅回路140の出力信号が、差動増幅回路142の出力信号よりも低い電圧レベルとなる。

20

【0210】

増幅回路144は、差動増幅回路140および142の出力信号をそれぞれ正および負入力に受けて、増幅するため、Lレベルの信号TFが増幅回路144から出力される。

【0211】

図26は、選択メモリセルMCの可変抵抗素子(相変化素子)VRの抵抗値Rが、ダミーセルDMC bの可変抵抗素子(相変化素子)VRの抵抗値Rminに等しい場合の読出信号波形を示す図である。

30

【0212】

図26においても、ビット線BLとダミービット線DBLaおよびDBLbが読出電圧レベルにプリチャージされ、また増幅回路140、142および144の中間電圧レベルに、それぞれの出力信号がプリチャージされている場合の動作波形を示す。

【0213】

選択メモリセルMCの抵抗値Rが、ダミーセルDMC bの抵抗値Rminにほぼ等しい場合、ビット線BLおよびダミービット線DBLbの電位は、ダミービット線DBLaの電圧レベルに較べて大きく低下する。したがって、差動増幅回路140は、ビット線BLとダミービット線DBLaの電圧を差動増幅するため、その出力信号が、中間電圧レベルよりも大きく変化する。差動増幅回路140は、正入力にダミービット線DBLaからの信号を受けているため、その出力信号が大きく中間電圧レベルから上昇する。

40

【0214】

一方、差動増幅回路142は、ビット線BLとダミービット線DBLbの電圧差が少ないため、中間電圧レベルから小振幅の範囲で変化する信号を出力する。したがって、差動増幅回路140の出力信号は、差動増幅回路142の出力信号よりも十分高いため、差動増幅回路144は、正入力に差動増幅器140の出力信号を受けており、その出力信号(内部読出データ)QFはHレベルとなる。

【0215】

これにより、メモリセルMCが微細化され、メモリセルの抵抗値Rを流れる電流量が、抵

50

抗値  $R_{max}$  および  $R_{min}$  の間で大きく変化しない場合においても、これらの増幅回路 140、142 および 144 を利用することにより、微小電流差を確実に拡大して、正確に、内部読出データ  $Q_F$  を生成することができる。

【0216】

なお、図 25 および図 26 において、メモリセル  $MC$  の可変抵抗素子  $VR$  が高抵抗状態のときに、L レベルの内部読出データ  $Q_F$  を生成し、この可変抵抗素子  $VR$  が低抵抗状態のときに H レベルの内部読出データ  $Q_F$  を生成している。しかしながら、メモリセル  $MC$  は、高抵抗状態が H レベルデータの記憶、低抵抗状態は L レベルデータの記憶状態に、それぞれ、対応づけられてもよい。

【0217】

図 27 は、1 ビット / 2 セルモードのデータ読出時のデータ読出部の接続経路を概略的に示す図である。この 1 ビット / 2 セルモード時においては、図 21 に示す構成において、モード指示信号  $MOD$  が H レベルに設定され、応じて、デコード信号  $S_0$  および  $S_1$  が、L レベルに固定される。したがって、図 21 に示すゲート回路  $GB$  ( $GB_0$ ,  $GB_1$ ) が、対応のデコード回路  $DK$  ( $DK_0$ ,  $DK_1$ ) の出力信号に従って対応の読出列選択ゲートに設けられた転送ゲート  $RS_G$  ( $RS_G_0$ ,  $RS_G_1$ ) の導通 / 非導通を制御する。

【0218】

また、図 21 に示すスイッチ選択回路 137a および 137b が、このモード指示信号  $MOD$  に従って、内部データ線 120b および 120a をそれぞれ内部参照データ線 120da および 120db に代えて選択する。したがって、差動増幅回路 140 は、内部データ線 120a および 120b に結合され、また差動増幅回路 142 においても、内部データ線 120a および 120b が結合される。この差動増幅回路 140 および 142 に対する内部データ線 120a および 120b の接続は、互いに相補的である。すなわち、図 27 においては、内部データ線 120a が差動増幅回路 140 の負入力に結合され、また差動増幅回路 142 の正入力に結合される。内部データ線 120b が、差動増幅回路 140 の正入力に結合され、また差動増幅回路 142 の負入力に結合される。

【0219】

今、図 27 に示すように、ビット線  $BL_0$  および  $BL_1$  が選択された状態を考える。この場合、読出選択ゲート  $RS_G_0$  および  $RS_G_1$  に含まれる転送ゲート  $TG_b$  がともに導通し、ビット線  $BL_0$  が内部データ線 120a に結合され、ビット線  $BL_1$  が内部データ線 120b に結合される。内部データ線 120a および 120b には電流源 135a および 135b が結合されており、それぞれ基準電流を供給する。ビット線  $BL_0$  に接続されるメモリセル  $MC_a$  およびビット線  $BL_1$  に接続するメモリセル  $MC_b$  には、それぞれ相補データが格納される。したがって、メモリセル  $MC_a$  および  $MC_b$  において一方が高抵抗状態、他方が低抵抗状態となる。

【0220】

図 28 は、図 27 に示すメモリセル  $MC_a$  および  $MC_b$  の選択時のデータ読出時の動作を示す信号波形図である。以下、この図 28 を参照して、メモリセル  $MC_a$  および  $MC_b$  のデータ読出動作について説明する。なお、図 28 においては、メモリセル  $MC_a$  が低抵抗状態、メモリセル  $MC_b$  が高抵抗状態の場合の信号波形を一例として示す。

【0221】

メモリセルのデータ読出動作が始まり、内部データ線 120a および 120b が電流源 135a および 135b によりプリチャージされる。この内部データ線 120a および 120b の電流源 135a および 135b の所定電圧レベルのプリチャージにより、差動増幅回路 140 および 142 の入力が、同一電圧レベルとなる。

【0222】

次いで、ビット線読出信号に従って、この転送ゲート  $TG_b$  が導通し、ビット線  $BL_0$  および  $BL_1$  が、それぞれ、内部データ線 120a および 120b に電氣的に結合される。電流源 135a および 135b からの電流が、メモリセル  $MC_a$  および  $MC_b$  に流れる。今、メモリセル  $MC_a$  が低抵抗状態、メモリセル  $MC_b$  が高抵抗状態であるため、メモリ

10

20

30

40

50

セルMC aに大きな電流が流れ、ビット線BL 1がプリチャージ電圧レベル、一方、ビット線BL 0はプリチャージ電圧レベルからその電圧レベルが低下し、ビット線BL 0およびBL 1、すなわち内部データ線120 aおよび120 bの間に電位差が生じる。

【0223】

差動増幅回路140および142は、互いに相補的にこれらの内部データ線120 aおよび120 b上の電圧を差動増幅している。したがって差動増幅回路140の出力信号が、初期状態からハイレベルに立上がり、一方、差動増幅回路142の出力信号は、初期状態からローレベルに低下する。増幅回路144が、これらの差動増幅回路140および142が出力信号を増幅しており、Hレベルの内部読出データQFを生成する。

【0224】

メモリセルMC aが高抵抗状態、メモリセルMC bが低抵抗状態の場合には、ビット線BL 0がプリチャージ電圧レベル、ビット線BL 1がローレベルとなる。したがって差動増幅回路140の出力信号がローレベル、差動増幅回路142の出力信号がハイレベルとなり、増幅回路144からの内部読出データQFがLレベルとなる。

【0225】

メモリセルMC aおよびMC bそれぞれの駆動電流量が小さい場合においても、この1ビット/2セルモードにおいては、これらのメモリセルMC aおよびMC bに相補データが格納されているため、ビット線BL 0およびBL 1には十分な大きさの電位差を生じさせることができる。したがって、差動増幅回路140および142により、その出力信号を十分に变化させることができ、最終段の増幅回路144により正確に内部読出データQFを生成することができる。

【0226】

モード指示信号MODを、外部からのコマンドなどで設定することにより、メモリセルアレイの特定の領域を1ビット/2セルモードでデータを記憶し、残りの領域を1ビット/1セルモードでデータを記憶するように、アドレス領域を分けることができる。したがって、1つの不揮発性半導体記憶装置において、信頼性を要求されるデータを1ビット/2セルモードで格納するとともに、大量に処理されるデータを1ビット/1セルモードで記憶することにより、汎用性の高い大記憶容量のメモリを実現することができる。

【0227】

また、このモード指示信号MODを、特定のアドレス信号ビットを用いて生成することにより、特定のアドレス領域を1ビット/1セルモードのデータを記憶し、また別のアドレス領域を、1ビット/2セルモードでデータを記憶することができる。単にアドレス信号を与えるだけで、データの記憶モードを設定することができ、モード設定の制御が容易となる。

【0228】

[書込部の構成]

図29は、図19に示す書込回路114とこの書込に関連する列選択回路112およびビット線デコーダ110の部分の構成を示す図である。メモリセルアレイ100においては、メモリセルMCおよびダミーセルDMC a, DMC bが行列状に配列される。図29においては、1列に配列されるメモリセルMCおよびダミーセルDMC a, DMC bを代表的に示す。

【0229】

メモリセルMCおよびダミーセルDMC aおよびDMC bに対しては、ワード線WLおよびコレクタ線CKが設けられる。メモリセル列に対応してビット線BLが配設される。図29において、2つのビット線BL 0およびBL 1を代表的に示し、またダミーセルDMC aおよびDMC bそれぞれに対して、ダミービット線DBL aおよびDBL bが設けられる。

【0230】

ビット線デコーダ110においては、各ビット線に対応して、プリデコード信号PDYを受けるデコード回路DWK 0およびDWK 1が設けられる。これらの2つのビット線BL

10

20

30

40

50

0 および B L 1 に対してそれぞれ設けられるデコード回路 D W K 0 および D W K 1 は、同時に選択状態となる。これはデータ読出部のビット線デコード回路の構成と同じである。1 ビット / 2 セルモード時において2つのビット線を同時に選択して、相補データを書き込む。

#### 【 0 2 3 1 】

デコード回路 D W K ( D W K 0 , D W K 1 ) に対応して、セル動作モードに応じて同時に選択されるビット線の数を変更するため、ゲート回路 G C および G D が設けられる。デコード回路 D W K 0 に対しては、デコード回路 D W K 0 の出力信号とデコード信号 S 0 を受けるゲート回路 G C 0 と、モード指示信号 M O D とデコード回路 D W K 0 の出力信号を受けるゲート回路 G D 0 が設けられる。デコード回路 D W K 1 に対しては、デコード回路 D W K 1 の出力信号とデコード信号 S 1 を受けるゲート回路 G C 1 と、モード指示信号 M O D とデコード回路 D W K 1 の出力信号を受けるゲート回路 G D 1 が設けられる。

10

#### 【 0 2 3 2 】

モード指示信号 M O D は、図 2 1 に示す構成と同様、1 ビット / 1 セルモードおよび1 ビット / 2 セルモードを指定する。デコード信号 S 0 および S 1 は、図 2 1 に示すデコーダ 1 3 0 から生成され、またプリデコード信号 P D Y は、図 2 1 に示すプリデコーダ 1 3 2 から生成される。

#### 【 0 2 3 3 】

ビット線 B L ( B L 0 , B L 1 ) それぞれに対応して書込列選択ゲート W S G ( W S G 0 , W S G 1 ) が設けられる。これらの書込列選択ゲート W S G については、偶数ビット線および奇数ビット線に対して設けられた書込列選択ゲート W S G においては、1 ビット / 2 セルモード時において接続経路が異なる。すなわち、偶数ビット線 B L 0 に対して設けられる書込列選択ゲート W S G 0 は、ゲート回路 G C 0 の出力信号に従って導通して、内部データ線 1 2 0 c をラッチ回路 L T 0 に結合する転送ゲート T G c と、ゲート回路 G D 0 の出力信号に従って内部データ線 1 2 0 c をラッチ回路 L T 0 に接続する転送ゲート T G d とを含む。奇数ビット線 B L 1 に対して配置される書込列選択ゲート W S G 1 は、ゲート回路 G C 1 の出力信号に従って内部データ線 1 2 0 c をラッチ回路 L T 1 に結合する転送ゲート T G c と、ゲート回路 G D 1 の出力信号に従って、ラッチ回路 L T 1 をインバータ I V を介してメモリデータ線 1 2 0 c に接続する転送ゲート T G a とを含む。

20

#### 【 0 2 3 4 】

ラッチ回路 L T 0 および L T 1 は、ビット線 B L 0 および B L 1 それぞれに対応して設けられ、データ書込動作モード時、対応の書込列選択ゲートを介して与えられるデータをラッチする。したがって、偶数番号のラッチ L T 0 に対しては、内部データ線 1 2 0 c のデータが格納され、奇数番号のラッチ L T 1 に対しては、インバータ I V を介して内部データ線 1 2 0 c 上のデータの反転データが格納される。したがって1 ビット / 2 セルモード時においては、これらのラッチ回路 L T 0 および L T 1 においては、互いに相補なデータが格納される。

30

#### 【 0 2 3 5 】

ダミービット線 D B L a および D B L b に対しては、それぞれダミーデータ D a x および D m i を格納するラッチ回路 D L T b および D L T a が設けられる。ダミーデータ D a x および D n i は互いに相補なデータであり、たとえばデータ D a x は高抵抗状態に対応するデータであり、データ D n i は低抵抗状態に対応するデータである。

40

#### 【 0 2 3 6 】

ラッチ回路 L T ( L T 0 , L T 1 ) それぞれに対してはトライステート制御回路 T C K ( T C K 0 , T C K 1 ) が設けられ、またラッチ回路 D L T a および D L T b それぞれに対応してトライステート制御回路 D T C K a および D T C K b が設けられる。

#### 【 0 2 3 7 】

これらのトライステート制御回路 T C K ( T C K 0 , T C K 1 を総称的に示す ) および D T C K a , D T C K b は、それぞれ対応のラッチ回路のラッチデータに従って、ライトドライバデコーダ 1 0 6 のビット線ドライバ制御動作を設定する。すなわち、トライステー

50

ト制御回路TCK ( TCK0 , TCK1 を総称的に示す ) は、対応のラッチ回路のラッチデータに応じて書込制御信号UP ( UP0 , UP1 を総称的に示す ) およびDWN ( DWN0 , DWN1 を総称的に示す ) を生成してライトドライバデコーダ106へ与える。

【0238】

トライステート制御回路DTCKaが、ラッチ回路DLTaに格納されるデータDaxに従ってダミーデータ書込制御信号DUPaおよびDDWNaを生成してライトドライバデコーダへ与える。トライステート制御回路DTCKaは、ラッチ回路DLTbに格納されるデータDniに従って書込制御信号DUTbおよびDDWNbを生成してライトドライバデコーダ106へ与える。

【0239】

ライトドライバデコーダ106は、図示しないアドレス信号に従って選択ビット線に対応して設けられるビット線ドライバをイネーブルし、そのイネーブルされたビット線ドライバに対し、書込制御信号UP, DWNまたはDUP, DDWNに従って動作制御信号を生成して、対応のビット線に書込み電流パルスを供給する。

【0240】

ここで、ビット線BL ( BL0 , BL1 ) に対しては、ビット線ドライバBV ( BV0 , BV1 ) が設けられ、ダミービット線DBLaおよびDBLbに対しては、ダミービット線ドライバDBVaおよびDBVbが設けられる。ビット線ドライバBV ( BV0 , BV1 ) は、対応のビット線をプルアップするためのプルアップトランジスタUNTと、対応のビット線をプルダウンするためのプルダウントランジスタDNTを含む。ビット線ドライバDBVaおよびDBVbも同様、プルアップトランジスタUNTおよびプルダウントランジスタDNTを含む。

【0241】

ライトドライバデコーダ106は、ビット線アドレス信号に従って、選択されたビット線に対応するビット線ドライバBVを選択し、対応のトライステート制御回路からの制御信号に従って、選択ビット線ドライバのプルアップトランジスタUNTおよびプルダウントランジスタDNTのオン/オフの制御を行なう。

【0242】

トライステート制御回路TCK ( TCK0 , TCK1 ..... を総称的に示す ) およびDTCKa, DTCKbは、対応のラッチ回路LT ( LT10 , LT1 を総称的に示す ) およびDLTa, DLTbのラッチデータに従って、対応の制御信号UTおよびDWL, DUT, DWNを生成する。

【0243】

このトライステート制御回路TCKの動作について簡単に説明する。まず、図30に示すように、ラッチ回路LTに高抵抗状態に対応するデータが格納されている場合、トライステート制御回路TCKは、制御信号UPをHレベルに設定し、制御信号DWNをLレベルに設定する。ライトドライバデコーダ106においては、このHレベルの制御信号UPとLレベルの制御信号DWNとに従って、まず対応のビット線ドライバBVのプルアップトランジスタUNTを所定時間オン状態に設定する。次いで、このプルアップトランジスタUNTをOFF状態に設定するとともに、プルダウントランジスタDNTをオン状態に設定する。これにより、選択ビット線に対しては急激に電流が流れ、選択メモリセルにおいて相変化素子が急速に加熱および冷却され、非晶質状態となる。

【0244】

対応のラッチ回路LTに、低抵抗状態に対応するデータが格納されている場合には、図31で示すように、トライステート制御回路TCKは、制御信号UPをLレベルに、制御信号DWNをHレベルに設定する。ライトドライバデコーダ106においては、制御信号UPおよびDWNのLレベルおよびHレベルにตอบสนองして、まず、対応のビット線ドライバBVのプルアップトランジスタUNTをオン状態へ駆動する。選択メモリセルにおいて相変化素子を溶融状態に設定する。この状態で、続いて、ライトドライバデコーダ106は、プルダウントランジスタDNTをオン状態に設定する。したがって、選択ビット線ドライ

10

20

30

40

50

バ B V においては、プルアップトランジスタ U N T およびプルダウントランジスタ D N T がともにオン状態となるため、選択ビット線へ供給される電流が低減される。これにより、選択メモリセルにおいて相変化素子が、徐々に冷却され、多結晶状態となる。

【 0 2 4 5 】

この選択メモリセルが多結晶状態となると、プルアップトランジスタ U N T がオフ状態に設定され、この状態において、プルダウントランジスタ D N T をオン状態に維持する。これにより、選択ビット線に対する電流供給を停止し、選択メモリセルの相変化素子を高速で冷却状態へ駆動する。所定時間が経過すると、このプルダウントランジスタ D N T をオフ状態に設定する。

【 0 2 4 6 】

すなわち、書込データが低抵抗状態に対応するデータの場合には、選択メモリセルの相変化素子へ電流を供給して、溶融状態に駆動し、続いて徐々に電流を低減して、その相変化素子を徐々に冷却し、溶融状態（非晶質状態）から多結晶状態へ駆動する。

【 0 2 4 7 】

書込動作以外では、書込活性化信号 W E が L レベルであり、図 3 2 に示すように、トライステート制御回路 T C K の出力する制御信号 U P および D W N がともに L レベルに設定される。この状態においては、ライトドライバデコーダ 1 0 6 は、対応のビット線ドライバ B V のプルアップトランジスタ U N T およびプルダウントランジスタ D N T 両者をオフ状態に設定し、ビット線をフローティング状態に維持する。

【 0 2 4 8 】

データの書込時においては、ワード線を選択状態に駆動してから、ビット線に電流を供給する。ビット線に電流が供給されるときに、メモリセルにおいては、このワード線の信号に従って選択トランジスタがオン状態である。したがって、ビット線電流が供給されたときには、選択メモリセルにおいてメモリセルの選択トランジスタを介して電流がコレクタ線に流れる。ビット線においてオーバーシュートが生じるのを防止し、応じて必要以上に高い電圧がビット線に印加されるのを防止する。これにより、メモリセルに対し、高電圧または高電流が印加されるのを防止し、メモリセルが破壊されるのを防止する。したがって、このビット線への電流供給時においても、急激に電流を供給するのではなく、ビット線電流の立上がりは比較的緩やかにされる。このビット線電流の緩やかな立上りは、ライトドライバデコーダ 1 0 6 からプルアップトランジスタ U N T のゲートへ与えられる制御信号の立上がり特性を緩やかにすることにより容易に実現される。

【 0 2 4 9 】

図 3 3 は、図 2 9 に示すラッチ回路および対応のトライステート制御回路の構成の一例を示す図である。図 3 3 においてラッチ回路 L T は、書込列選択ゲート W S G から与えられたデータを反転するインバータ 1 6 0 と、インバータ 1 6 0 の出力信号を反転してインバータ 1 6 0 の入力へ転送するインバータ 1 6 1 と、補の書込モード指示信号 / W R の非活性化時導通し、インバータ 1 6 0 の入力ノードを接地電圧レベルに設定するリセットトランジスタ 1 6 2 を含む。このリセットトランジスタ 1 6 2 は、N チャネル M O S トランジスタで構成される。

【 0 2 5 0 】

ラッチ回路 L T は、実質的にインバータラッチで構成され、書込列選択ゲート W S G を介して与えられた信号を反転してラッチする。このラッチ回路 L T が非選択状態のときには、そのラッチデータは、リセットトランジスタ 1 6 2 により設定されたデータとなる。

【 0 2 5 1 】

トライステート制御回路 T C K は、ラッチ回路 L T のラッチデータを反転するインバータ 1 6 3 と、インバータ 1 6 3 の出力信号と書込活性化信号 W E とを受けて制御信号 U P を生成する A N D ゲート 1 6 4 と、ラッチ回路 L T の出力信号と書込活性化信号 W E とを受けて制御信号 D W N を生成する A N D ゲート 1 6 5 とを含む。

【 0 2 5 2 】

書込活性化信号 W E が L レベルのときには、制御信号 U P および D W N はともに L レベル

10

20

30

40

50



である。データの書込時、書込活性化信号WEの活性化時において、制御信号UPおよびDWNが、ラッチ回路LTのラッチデータに応じて、それぞれの電圧レベルが設定される。ラッチ回路LTのインバータ160の出力信号がLレベルのときには、制御信号UPがHレベル、制御信号DWNがLレベルとなり、高抵抗状態が指定される。一方、ラッチ回路LTのインバータ160の出力信号がHレベルのときには、制御信号UPがLレベル、制御信号DWNがHレベルとなり、低抵抗状態が指定される。

#### 【0253】

書込活性化信号WEが、図21に示すように、各ビット線BLおよびダミービット線DBL aおよびDBL bに対して設けられるトライステート制御回路へ共通に与えられる。したがって、これらの回路から並行して、制御信号UPおよびDWNが出力される。ライトドライバデコーダ106において、ビット線アドレス信号と制御信号UPおよびDWNに基づいて、選択ビット線に対応するビット線ドライバが駆動される。

10

#### 【0254】

図34は、図21に示すラッチ回路DLT aおよびDLT bとトライステート制御回路DTCK aおよびDTCK bの構成を示す図である。ダミービット線DBL aおよびDBL bに対して設けられるラッチ回路およびトライステート制御回路は同一構成を有するため、図34においてはラッチ回路DLTおよびトライステート制御回路DTCKを代表的に示す。ラッチ回路DLTおよびトライステート制御回路DTCKは、その構成は、正規のビット線BLに対して設けられるラッチ回路LTおよびトライステート制御回路TCKと同じである。したがって、これらのラッチ回路DLTおよびトライステート制御回路DTCKにおいては、ラッチ回路LTおよびTCKの対応する部分と同一参照番号を付し、その詳細説明は省略する。

20

#### 【0255】

図34に示すラッチ回路DLTにおいては、ダミーデータDaxおよびDmiに応じて、インバータ160の入力が、電源電圧を供給するノードおよび接地電圧を供給するノードの一方に選択的にかつ固定的に接続される。また、リセット用のMOSトランジスタ162のゲートは、接地電圧レベルに固定され、常時非導通状態を維持する。したがって、このラッチ回路DLTにおいては、常にダミーデータDaxまたはDmiが維持される。

#### 【0256】

ダミーデータDaxおよびDmiは、マスク配線でその接続経路が設定される。これは、製造工程完了後、ダミーセルDMC aおよびDMC bをそれぞれ高抵抗状態、低抵抗状態にプログラムする必要があるためである。これらのダミーセルDMC aおよびDMC bを、それぞれ高抵抗状態および低抵抗状態にプログラムした後に、各種テストが実行される。ダミーセルDMC aおよびDMC bに対するデータの書込は、以下に示す正規メモリセルMCに対するデータ書込と同様に行われる。

30

#### 【0257】

図35は、ラッチ回路LTおよびトライステート制御回路TCKの変更例を示す図である。この図35に示す構成においては、内部書込データ線が、相補データ線120caおよび120cbで構成され、それぞれ相補書込データDiおよびZDiを転送する。したがって、書込列選択ゲートWSGもこれらの相補書込データ線120caおよび120cbそれぞれに対応して配置される転送ゲートを含む。

40

#### 【0258】

ラッチ回路LTは、これらの相補データ線120caおよび120cbそれぞれに対して設けられるラッチLT aおよびLT bを含む。これらのラッチLT aおよびLT bは、図33に示すラッチ回路LTと同様の構成を有する。書込モード指示信号WRの反転信号/WRの非活性化時のデータ書込以外のときには、これらのラッチLT aおよびLT bは、そのラッチデータがLレベルに固定される。

#### 【0259】

トライステート制御回路TCKは、ラッチLT aのラッチデータを反転するインバータ170と、インバータ170の出力データと書込活性化信号WEとを受けて制御信号UPを

50

生成するANDゲート171と、ラッチLTbのラッチデータと書込活性化信号WEとを受けて制御信号DWNを生成するANDゲート172を含む。

【0260】

この図35に示す構成において、データ書込時、非選択状態のラッチLTaおよびLTbは、データの書込が行なわれないと、初期状態を維持する。従って、非選択ビット線に対するラッチLTaおよびLTbの出力データは、Hレベルとなる(ラッチLTa、LTbは、それぞれ図33に示すラッチ回路LTと同一回路構成である)。

【0261】

非選択ビット線に対するトリステート制御回路TCkにおいては、インバータ170および172により、ラッチLTaおよびLTbのラッチデータが反転される。したがって、書込活性化信号WEがHレベルとなっても、ANDゲート171および173の出力する制御信号UPおよびDWNはLレベルを維持する。書込活性化信号WEの非活性化時には、この制御信号UPおよびDWNはLレベルである。

【0262】

したがって、この図35に示すように、相補書込データ線を利用する場合、選択ビット線に対してのみ制御信号UPおよびDWNの充放電を行なうだけでよく、データ書込時の消費電流を低減することができる。

【0263】

なお、ラッチLTaおよびLTbが、その初期化時、出力データがLレベルとなるように構成される場合には、トリステート制御回路TCkにおいてインバータ170および172は不要である。この構成のラッチLTaおよびLTbにおいては、単に、図33に示すリセットトランジスタ162が、ラッチLTaおよびLTbの入力部に代えて出力部に配置されればよい。

【0264】

[ライトドライバデコーダの構成]

図36は、図20に示すライトドライバデコーダ106の構成の一例を示す図である。図36においては、1つのビット線BLに関連する部分の構成を代表的に示す。

【0265】

図36において、ライトドライバデコーダ106は、書込活性化信号WEの活性化に従って、メモリセルを高抵抗状態に設定するための高抵抗パルスが発生する高抵抗パルス発生回路177と、書込活性化信号WEの活性化にตอบสนองして、メモリセルを低抵抗状態に置く低抵抗パルスが発生する低抵抗パルス発生回路179を含む。これらの高抵抗パルス発生回路177および低抵抗パルス発生回路179は、対応のメモリアレイのビット線ドライバに対して共通に設けられる。しかしながら、このメモリアレイを複数のブロックに分割し、各ブロック単位でこれらの高抵抗パルス発生回路177および低抵抗パルス発生回路179が設けられてもよい。ブロック単位で書込パルスの発生を制御することにより、信号線の充放電電流を低減でき、応じて消費電流を低減でき、また高速で書込パルスを変化させることができる。しかしながら、書込パルスは、その立上がり特性に対して、急峻さが要求されないため(選択ビット線BLが急速に充放電されオーバーシュート/アンダーシュートが生じるのを防止するため)、特に、これらの高抵抗パルス発生回路177および低抵抗パルス発生回路179を対応のメモリアレイのビット線に共通に設けても特に問題は生じない。

【0266】

高抵抗パルス発生回路177は、プルアップトランジスタを制御するためのパルス信号PHUと、プルダウントランジスタを制御するためのパルス信号PHDを所定のシーケンスで発生する。低抵抗パルス発生回路179は、プルアップトランジスタを制御するためのパルス信号PLUと、プルダウントランジスタDNTを制御するためのパルス信号PLDを生成する。

【0267】

ライトドライバデコーダ106は、さらに、対応のトリステート制御回路からの制御信

10

20

30

40

50

号UPに従って高抵抗パルス発生回路177の出力するパルス信号PHUおよびPHDを選択するトランスファゲート180aおよび180bと、対応のトライステート制御回路からの制御信号DWNに従って低抵抗パルス発生回路179の発生するパルス信号PLUおよびPLDを選択するトランスファゲート182aおよび182bを含む。これらのトランスファゲート180aおよび180bは、指示信号UPをゲートに受けるNチャンネルMOSトランジスタで構成されるように示す。しかしながら、これらのトランスファゲート180aおよび180bは、制御信号UPをゲートに受けるNチャンネルMOSトランジスタと制御信号DWNをゲートに受けるPチャンネルMOSトランジスタでそれぞれ構成してもよい。すなわち、これらの転送ゲート180aおよび180bは、CMOSトランスミッションゲートで構成されてもよい。

10

## 【0268】

トランスファゲート182aおよび182bについても同様、これらの転送ゲート182aおよび182bはそれぞれ、制御信号DWNをゲートに受けるNチャンネルMOSトランジスタと、制御信号UPをゲートに受けるPチャンネルMOSトランジスタで構成されてもよい。すなわち、これらの転送ゲート182aおよび182bも、CMOSトランスミッションゲートで構成されてもよい。

## 【0269】

ライトドライバデコーダ106はさらに、図示しないデコーダからの選択信号SELと転送ゲート180aおよび182aにより選択された信号とを受けるANDゲート184aと、選択信号SELと転送ゲート180bおよび182bにより選択された信号とを受けるANDゲート184bを含む。ANDゲート184aの出力信号が、ビット線ドライバBVのプルアップトランジスタUNTのゲートに与えられ、ANDゲート184bの出力信号が、ビット線ドライバBVのプルダウントランジスタDNTのゲートへ与えられる。

20

## 【0270】

この転送ゲート180aおよび182aの転送するパルス信号を受けるノードには、プルダウン抵抗186aが設けられ、また転送ゲート180bおよび182bの転送するパルス信号を受けるノードにはプルダウン抵抗186bが設けられる。制御信号UPおよびDWNがともにLレベルのときに、このANDゲート184aおよび184bのそれぞれのノードがフローティング状態になるのを防止する。

## 【0271】

この転送ゲート180a、180b、182a、182bと、ANDゲート184aおよび184bの組は、ビット線ドライバBVそれぞれに対応して設けられる。

30

## 【0272】

選択信号SELは、ビット線アドレス信号をデコードして生成される。

この図36に示すライトドライバデコーダ106の構成においては、選択信号SELにより指定されたビット線ドライバBVに対し、制御信号UPおよびDWNにより決定されるパルスが与えられる。制御信号UPがHレベルのときには、高抵抗パルス発生回路177からのパルスPHUおよびPHDに従って、ビット線ドライバBVのプルアップトランジスタUNTおよびプルダウントランジスタDNTの導通の制御が行なわれる。一方、制御信号DWNがHレベルのときには、低抵抗パルス発生回路179からのパルスPLUおよびPLDに従って、ビット線ドライバBVのプルアップトランジスタUNTおよびプルダウントランジスタDNTの導通の制御が行なわれる。

40

## 【0273】

非選択ビット線ドライバBVに対しては、選択信号SELがLレベルである。したがって、ANDゲート184aおよび184bの出力信号がLレベルであり、非選択ビット線ドライバBVは、出力ハイインピーダンス状態となる。非書込時においては、制御信号UPおよびDWNがともにLレベルであるため、プルダウン抵抗186aおよび186bにより、ANDゲート184aおよび184bの出力信号はLレベルに維持され、同様、ビット線ドライバBVは出力ハイインピーダンス状態に維持される。

## 【0274】

50

図37は、図36に示す高抵抗パルス発生回路177の構成の一例を概略的に示す図である。図37において、高抵抗パルス発生回路177は、書込活性化信号WEの立上がりに対応して所定の時間幅を有するワンショットのパルス信号を発生するワンショットパルス発生回路177aと、このワンショットパルス発生回路177aの出力パルスの立下がりに対応して所定の時間幅を有するワンショットのパルス信号を生成するワンショットパルス発生回路177bを含む。ワンショットパルス発生回路177aおよび177bから、それぞれ、パルスPHUおよびPHDが出力される。

【0275】

図38は、図37に示す高抵抗パルス発生回路177の動作を示す信号波形図である。以下、図38を参照して、図37に示す高抵抗パルス発生回路177の動作について説明する。

10

【0276】

書込活性化信号WEがHレベルに立上がると、ワンショットパルス発生回路177aがワンショットのパルス信号をパルスPHUとして生成する。このパルスPHUが所定時間経過後にLレベルに立下がると、ワンショットパルス発生回路177bからのパルスPHDが所定時間Hレベルとなる。

【0277】

したがって、図37に示すようなワンショットパルス発生回路177aおよび177bを用いることにより、ビット線ドライバBVにおいて、プルアップトランジスタUNTを、そのゲート電圧を所定時間Hレベルに駆動してオン状態に維持し、このプルアップトランジスタUNTがオフ状態へ移行すると、プルダウントランジスタDNTをオン状態へ移行させることができる。これにより、選択メモリセルにおいて加熱溶融および急速冷却を行なって相変化素子を非晶質状態に設定することができる。

20

【0278】

図39は、図36に示す低抵抗パルス発生回路179の構成の一例を概略的に示す図である。図39において、低抵抗パルス発生回路179は、書込活性化信号WEの活性化時に応答して、所定の時間幅を有するワンショットのパルスPLUを発生するワンショットパルス発生回路179aと、ワンショットパルス発生回路179aの出力パルスPLUを所定時間遅延する遅延回路179bと、遅延回路179bの出力信号の立上がりに対応して所定の時間幅を有するワンショットのパルスPLDを生成するワンショットパルス発生回路179cを含む。この遅延回路179bの有する遅延時間により、選択メモリセルの相変化素子が、確実に溶融状態に設定される。

30

【0279】

図40は、この図39に示す低抵抗パルス発生回路179の動作を示す信号波形図である。以下、簡単に図39に示す低抵抗パルス発生回路179の動作について説明する。

【0280】

書込活性化信号WEが活性状態となると、ワンショットパルス発生回路179aの出力パルスPLUが所定時間Hレベルに保持される。このパルスPLUに従って、選択ビット線ドライバにおいてプルアップトランジスタUNTが導通し、対応のビット線へ電流が供給され、選択メモリセルの相変化素子が溶融状態へ移行する。

40

【0281】

遅延回路179bの有する遅延時間が経過すると、ワンショットパルス発生回路179cが所定の時間幅を有するパルスPLDを発生する。これらのパルスPLUおよびPLDがともにHレベルにある期間、選択ビット線ドライバから対応のビット線への供給電流が低減され、選択メモリセルの相変化素子が徐々に冷却される。

【0282】

パルスPLUがLレベルとなり、ビット線電流への供給が停止した後、パルスPLDのHレベル期間により、選択ビット線を接地電圧レベルにまで駆動して選択メモリセルの相変化素子の冷却を行う。したがって、パルス信号PLDのみをHレベルに維持することにより、ビット線電流がビット線ドライバにより放電され、メモリセルへの電流供給が停止さ

50

れ、パルス P L U および P L D がともに H レベルにある除冷期間により多結晶状態に維持された相変化素子が、急速に冷却されて、その多結晶状態を維持する。

【 0 2 8 3 】

この選択メモリセルが熔融状態に移行されるまでの期間、すなわち遅延回路の遅延時間 1 7 9 b は、レーザービームなどによりトリミング可能としておくことにより、メモリセルの相変化素子の特性に応じて、適当な時間にこの加熱時間および徐冷期間を設定することができる。

【 0 2 8 4 】

[ 変更例 ]

図 4 1 は、ライトドライバデコーダ 1 0 6 の変更例を示す図である。この図 4 1 においては、ビット線ドライバ B V それぞれに対応して、制御パルスを発生する回路が設けられる。

10

【 0 2 8 5 】

図 4 1 において、ライトドライバデコーダ 1 0 6 は、対応のトライステート制御回路からの制御信号 U P および D W N を受ける O R 回路 2 0 0 と、O R 回路 2 0 0 の出力信号と選択信号 S E L を受ける A N D 回路 2 0 1 と、A N D 回路 2 0 1 の出力信号を反転しかつ所定時間遅延する反転遅延回路 2 0 2 と、反転遅延回路 2 0 2 の出力信号を所定時間遅延する遅延回路 2 0 3 と、対応のトライステート制御回路からの制御信号 U P の活性化時に遅延回路 2 0 3 を短絡する転送ゲート 2 0 4 と、A N D 回路 2 0 1 の出力信号と遅延回路 2 0 3 または転送ゲート 2 0 4 の出力信号を受ける A N D 回路 2 0 5 を含む。この A N D 回路 2 0 5 の出力信号が、対応のビット線ドライバ B V のプルアップトランジスタ U N T のゲートへ与えられる。

20

【 0 2 8 6 】

遅延回路 2 0 2 は、遅延時間 T 1 を有し、遅延回路 2 0 3 は、遅延時間 T 3 を有する。

【 0 2 8 7 】

ライトドライバデコーダ 1 0 6 は、さらに、反転遅延回路 2 0 2 の出力信号を反転するインバータ回路 2 0 6 と、反転遅延回路 2 0 2 の出力信号を所定時間遅延する遅延回路 2 0 7 と、遅延回路 2 0 7 の出力信号をさらに遅延する遅延回路 2 0 8 と、対応のトライステート制御回路からの制御信号 U P に従って遅延回路 2 0 8 を短絡する転送ゲート 2 0 9 と、インバータ回路 2 0 6 の出力信号と遅延回路 2 0 8 または転送ゲート 2 0 9 の出力信号

30

【 0 2 8 8 】

遅延回路 2 0 7 および 2 0 8 は、それぞれ、遅延時間 T 3 および T 4 を有する。

【 0 2 8 9 】

図 4 2 は、制御信号 U P が L レベルであり、制御信号 D W N が H レベルのときの図 4 1 に示すライトドライバデコーダ 1 0 6 の動作を示す信号波形図である。以下、この図 4 2 を参照して、図 4 1 に示すライトドライバデコーダ 1 0 6 の動作について説明する。

【 0 2 9 0 】

制御信号 U P が L レベルのときには、転送ゲート 2 0 4 および 2 0 9 は、非導通状態である。選択信号 S E L が H レベルに立上がると、O R 回路 2 0 0 の出力信号は H レベルであるため、A N D 回路 2 0 1 の出力信号が、H レベルに立上がる。この選択信号 S E L の立上がりに対応して、A N D 回路 2 0 5 の出力信号が H レベルに立上がる。反転遅延回路 2 0 2 の有する遅延時間 T 1 が経過すると、インバータ 2 0 6 の出力信号が H レベルとなり、応じて A N D 回路 2 1 0 からプルダウントランジスタ D N T のゲートへ与える信号が H レベルに立上がる。

40

【 0 2 9 1 】

反転遅延回路 2 0 2 の出力信号が L レベルに立下がってから遅延回路 2 0 3 の有する遅延時間 T 2 が経過すると、A N D 回路 2 0 5 の出力信号が L レベルとなり、プルアップトランジスタ U N T が非導通状態となる。一方、A N D 回路 2 1 0 は、その出力信号が H レベ

50

ルに立上がってから遅延回路207および208の有する遅延時間T3およびT4が経過した後に、その出力信号をLレベルに立下げる。

【0292】

したがって、反転遅延回路202の有する遅延時間T1の期間により、選択メモリセルにおいて相変化素子が熔融状態へ駆動され、そのうち、プルアップトランジスタUNTおよびプルダウントランジスタDNTをともしオン状態に設定して選択メモリセルへの供給電流を低減して、相変化素子を除冷する。その後、プルダウントランジスタDNTをオン状態に維持して、ビット線を接地電圧レベルにまで駆動して、相変化素子を冷却する。

【0293】

この一連の処理により、選択メモリセルの相変化素子を、多結晶状態の低抵抗状態に設定することができる。

10

【0294】

図43は、制御信号UTがHレベルであり、制御信号DWNがLレベルのときの、図41に示すライトドライバデコーダ106の動作を示す信号波形図である。以下、図43を参照して、高抵抗状態データの書込動作について説明する。

【0295】

制御信号UPがHレベルであるため、図41に示す転送ゲート204および209が導通し、遅延回路203および208がそれぞれ短絡される。したがって、選択信号SELがHレベルとなり、応じて、AND回路205の出力信号がHレベルに立上がってから反転遅延回路202の有する遅延時間T1が経過すると、AND回路205の出力信号がLレベルに駆動される。反転遅延回路202の出力信号の立下がりに対応して、AND回路210の出力信号がHレベルとなり、プルダウントランジスタDNTが導通する。

20

【0296】

この状態において、遅延回路207の有する遅延時間T3が経過すると、AND回路210の出力信号がLレベルとなり、プルダウントランジスタDNTがオフ状態となる。したがって、この場合には、プルアップトランジスタUNTの電流供給により、選択メモリセルの相変化素子が熔融状態となると、電流供給を停止して、プルダウントランジスタDNTによりビット線電流を引抜く。熔融状態の相変化素子が急冷されて、選択メモリセルの相変化素子が非晶質状態となる。

【0297】

この図41に示すライトドライバデコーダ106の構成を利用する場合、ビット線ドライバBVそれぞれに対応して、ビット線ドライバ制御回路を配置することができる。また、ライトドライバデコーダ106内において制御パルスを全ビット線に共通に生成する必要がなく、消費電流を低減することができる。

30

【0298】

選択信号SELは、図29に示すビット線デコーダから生成される。そのため、1ビット/1セルモード時において、選択信号SELは1つのビット線を指定し、1ビット/2セルモード時においては、選択信号SELが2つのビット線を指定する。したがって、1ビット/1セルモード時において、ビット線単位でデータの書込が行なわれ、1ビット/2セルモード時においては、ビット線対単位でデータの書込が行なわれる。

40

【0299】

なお、この制御信号UPおよびDWNの状態を固定し、すなわち書込活性化信号WEを活性化状態に維持した状態で、選択信号SELを順次更新することにより、図29に示すラッチ回路LTに書込データをラッチした状態で、順次、選択行上のメモリセルへデータを書込むことができる。

【0300】

また、消費電流および発熱の観点から余裕がある場合には、この選択信号SELは、活性化信号WEで置換することにより、1行のメモリセルに対し同時にデータを書込むことができる。

【0301】

50

なお、図36から図39に示すライトドライバデコーダの構成においても、書込活性化信号WEに代えて、列選択信号変化検出信号（データ書込時のアドレス変化検出信号）を利用することにより、各データ書込時において、高抵抗パルスPHUおよびPHDと低抵抗パルスPLUおよびPLDを生成して、順次選択行上のメモリセルを選択して、データを書込むことができる。

【0302】

なお、ダミーセルDMCaおよびDMCbにおいても、この図41に示す構成と同様の構成が設けられる。選択信号SELとして、ダミービット線DBLaおよびDBLbを選択するように、ダミーセルDMCaおよびDMCbのプログラム時に設定する。通常動作モード時においては、既に、これらのダミーセルDMCaおよびDMCbは、データを不揮発的に記憶しているため、これらのダミービット線DBLaおよびDBLbに対し、選択信号SELが非選択状態に維持されていても特に問題は生じない。

10

【0303】

なお、図29に示す構成においては、内部データ線120cは、データ読出を行なうデータ線と別に設けられている。しかしながら、データ読出のために内部データ線120aおよび120bが設けられている。従って、データ書込時に、これらの内部データ線120aおよび120bに相補データを転送する構成が用いられれば、データ書込とデータ読出のための列選択回路およびビット線デコーダを共有化することができる。ただし、データ書込時においては、内部データ線に設けられる電流源35a - 35bはすべて非活性状態に維持することが要求される。

20

【0304】

なお、ビット線ドライバBVにおいて、プルアップトランジスタUNTおよびプルダウントランジスタDNTが、それぞれ複数の並列に設けられた単位トランジスタで構成されてもよい。これらの複数の単位トランジスタを、順次オン状態へ駆動する。オフ状態へ移行する場合には、同時または異なるタイミングでオフ状態へ駆動されてもよい。各単位トランジスタのゲートへ、遅延回路を通してゲート制御信号を与える。これにより、ビット線電流を徐々に増加させ、また徐々に低減することができる。

【0305】

以上のように、この発明の実施の形態3に従えば、データの記憶を1ビット/1セルモードおよび1ビット/2セルモードいずれでも行なえるように構成しており、メモリセルサイズが微細化される場合においても、正確にデータを記憶することができる。特に、信頼性の要求される構造データなどについては、1ビット/2セルモードで記憶し、大量のデータを記憶し、信頼性がそれほど要求されないデータは、1ビット/1セルモードで記憶することにより、小占有面積で汎用性の高いメモリを実現することができる。

30

【0306】

なお、実施の形態1から3は、個々に用いられてもよく、また、組合せて用いられてもよい。

【0307】

【発明の効果】

以上のように、この発明に従えば、微細化されたメモリセルを用いて安定にデータを記憶し、かつ高速でデータアクセスを行なうことができる。

40

【0308】

本発明に従う不揮発性半導体記憶装置の構成の代表的な技術的效果を列挙すれば、以下のとおりとなる。

【0309】

すなわち、メモリセルアレイ内において、メモリセルの行および列の少なくとも一方においてこのメモリセルと整列して同一レイアウトを有するダミーセルを配置することにより、メモリセルのレイアウトパターンを境界領域および周辺部において正確にパターンニングすることができ、メモリセルサイズが微細化される場合においても、所望のパターンに、メモリセルをパターンニングすることができ、メモリセルの動作特性およびデータ記憶特性

50

を安定化させることができる。

【0310】

また、メモリセルが、可変抵抗素子とメモリセルを選択するトランジスタスイッチとで構成される場合、行方向に整列して形状ダミーセルを配置し、この形状ダミーセル行に沿って選択トランジスタスイッチのコレクタ領域となる基板領域を所定間隔で基板杭打ち線に接続することにより、基板領域の抵抗を低減することができ、選択トランジスタの動作特性を安定化させることができる。また、この基板杭打ち配線に対応してダミーセルを配置することにより、基板杭打ち配線をダミーセルを介して基板領域に電氣的に接続することができる。これにより、メモリセルの動作特性に悪影響を及ぼすことなく、基板杭打ち配線を形成することができる。

10

【0311】

また、基板杭打ち配線を列方向に沿って延在して形成することにより、基板抵抗を低減することができる。この基板杭打ち配線に対応してダミーセルを配置することにより、基板杭打ち配線により特性が異なるメモリセルを、ダミーセルとして利用することができ、メモリセル特性にバラツキが生じるのを防止することができる。また、メモリセルがダミーセルとして利用されるため、メモリセルのレイアウトパターンの規則性は維持することができる。

【0312】

また、形状ダミーセルを行および列方向にそって配置し、これらの形状ダミーセルに対応して基板杭打ち配線を形成することにより、基板抵抗をさらに低減することができる。

20

【0313】

また、これらの行方向および列方向の基板杭打ち配線を、交差部において電氣的に接続することにより、メッシュ状に基板杭打ち配線を配置することができ、基板抵抗をより低減することができる。

【0314】

この可変抵抗素子として、結晶状態により、その抵抗値が変化する相変化素子を利用することにより、相変化メモリセルのサイズを低減しても、安定かつ正確にデータの書込/読出および記憶を行なうことができる。

【0315】

また、行方向に沿って形状ダミーセルをメモリアレイ内に配置することにより、メモリアレイ内において他の杭打ち配線などが用いられる場合においても、メモリセルのレイアウトパターンの規則性を維持することができ、微細メモリセルサイズにおいても、正確にメモリセル特性を維持することができる。

30

【0316】

また、メモリセルの選択トランジスタを選択状態へ駆動するワード線を杭打ち構造とすることにより、ワード線の電圧分布を防止することができ、安定に選択トランジスタを動作させることができ、また高速で、選択トランジスタを選択状態へ駆動することができる。また、ワード線杭打ち配線と基板杭打ち配線を同じレイアウトで形成することにより、このワード線杭打ち配線のパターンの規則性が中断されるのを防止することができ、ワード線の信号伝搬特性を、確実にすべてのワード線について同一とすることができる。

40

【0317】

また、メモリセルがその結晶状態に従ってデータを記憶する相変化メモリセルで構成される場合、このメモリセルから加熱素子による熱が伝搬するのを抑制する熱阻止層を設けることにより、データ書込時の発熱が、他のメモリセルへ悪影響を及ぼすのを防止することができる。また、熱阻止層により、加熱素子から発生された熱を、相変化素子へ効率的に供給することができ、相変化素子全体を相変化させることができ、メモリセル微細化時においても正確にデータを記憶することができ、また正確にデータの書込/読出を行なうことができる。また、この熱阻止層を不要な材料の拡散を防止する膜または格子不整合を抑制する緩衝膜として利用することができ、メモリセルの動作特性を安定化することができる。

50



## 【0318】

また、相変化メモリにおいて、メモリセルそれぞれにおいて加熱阻止膜と選択トランジスタとの間または相変化素子とビット線との間に熱の伝播を阻止する膜を配置することにより、効率的に相変化素子において熱を利用することができ、相変化素子全体において相変化を生じさせることができ、微細サイズのメモリセルを用いても正確にデータの書込/読出を行うことができる不揮発性メモリを実現することができる。

## 【0319】

また、相変化素子は、ビット線に対して自己整合的に形成することにより、ビット線と垂直な方向の相変化素子のマージンを不要とでき、メモリセルサイズを低減することができる。

10

## 【0320】

また、この相変化メモリ素子の相変化素子層をビット線の行方向の幅と実質的に同じ幅に形成することにより、メモリセルの相変化素子のマージンを最小に設定することができ、メモリセルサイズを低減することができる。

## 【0321】

また、ビット線配線をマスクとして相変化層をエッチングして相変化素子を形成することにより、この相変化素子とビット線との重なりのマージンを考慮して相変化素子を個々に形成する必要がなく、最小寸法で相変化素子を形成することができ、応じてメモリサイズを低減することができる。

## 【0322】

また、メモリセルを選択する選択トランジスタの一方導通ノードとなる不純物領域を杭打ち構造とすることにより、この不純物領域の等価抵抗を低減でき、電圧分布をなくして高速で信号を伝達することができ、また、メモリセルのトランジスタ特性のバラツキを抑制することができる。

20

## 【0323】

この選択トランジスタがバイポーラトランジスタであり、ベース領域を杭打ち構造とすることにより、ワード線杭打ち構造が実現され、ワード線の抵抗を低減でき、高速でワード線を選択状態へ駆動することができる。また、ワード線の電圧分布が抑制され、メモリセルトランジスタの動作特性がアレイ内においてばらつくのを防止することができる。

## 【0324】

また、データ読出時、1ビット/1セルモード時においては、ダミーセルと選択メモリセルのデータの比較に基づいてデータを読出し、1ビット/2セルモード時においては、同時に選択された2ビットのメモリセルのデータを比較して、データを読出すことにより、メモリセルサイズ微細時においても、正確にデータの読出を行なうことができる。また、1ビット/1セルモードおよび1ビット/2セルモードのモード指示信号に設定することにより、信頼性が要求されるデータおよび大量に処理するデータとともに処理することができ、汎用性の高いメモリを実現することができる。また、1ビット/2セルモードを利用することにより、メモリセルサイズが微細化された場合においても、確実に、データの読出を行なうことができる。

30

## 【0325】

また、データ書込時において、モード指示信号に従って、1ビット/2セルモード指定時においては、2つのビット線に相補データを書込むことにより、容易に、データの種類に応じて1ビット/1セルモードおよび1ビット/2セルモードでデータを格納することができる。

40

## 【0326】

また、ビット線それぞれに対応して書込みデータをラッチする回路と、この書込データとアドレス信号とにしたがって対応のビット線に電流を供給する回路を配置することにより、容易に選択ビット線に書込パルスを供給することができる。また、セル動作モードが1ビット/2セルモードおよび1ビット/1セルモードにおいて、同様の書込みシーケンスで選択メモリセルに対してデータを書き込むことができる。

50

## 【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 に従う半導体記憶装置のメモリアレイのレイアウトを概略的に示す図である。

【図 2】 図 1 に示す線 L 2 - L 2 に沿った断面構造を概略的に示す図である。

【図 3】 図 1 に示す線 L 3 - L 3 に沿った断面構造を概略的に示す図である。

【図 4】 図 1 に示すワード線杭打ち配線の電氣的等価回路を示す図である。

【図 5】 図 2 および図 3 に示す構造のトランジスタの電氣的等価回路を示す図である。

【図 6】 この発明の実施の形態 1 に従う不揮発性半導体記憶装置のメモリアレイ部のレイアウトをより具体的に示す図である。

【図 7】 図 6 に示すレイアウトの基板杭打ち配線の配置を概略的に示す図である。

10

【図 8】 この発明の実施の形態 2 に従うメモリセルアレイのレイアウトを概略的に示す図である。

【図 9】 図 8 に示す線 L 9 - L 9 に沿った断面構造を概略的に示す図である。

【図 10】 (A) は、この発明の実施の形態 2 における不揮発性半導体記憶装置の製造工程の平面レイアウトを示す図であり、(B) は、図 10 (A) の線 L 10 - L 10 に沿った断面構造を概略的に示す図である。

【図 11】 (A) は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 11 (A) に示す線 L 11 - L 11 に沿った断面構造を概略的に示す図である。

【図 12】 (A) は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 12 (A) の線 L 12 - L 12 に沿った断面構造を概略的に示す図である。

20

【図 13】 (A) は、この発明の実施の形態 2 における不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 13 (A) の線 L 13 - L 13 に沿った断面構造を概略的に示す図である。

【図 14】 (A) は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 14 (A) の線 L 14 - L 14 に沿った断面構造を概略的に示す図である。

【図 15】 (A) は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 15 (A) に示す線 L 15 - L 15 に沿った断面構造を概略的に示す図である。

30

【図 16】 (A) は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 16 (A) に示す線 L 16 B - L 16 B に沿った断面構造を示し、(C) は、図 16 (A) に示す線 L 16 C - L 16 C に沿った断面構造を概略的に示す図である。

【図 17】 (A) は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 17 (A) に示す線 L 17 B - L 17 B に沿った断面構造を概略的に示し、(C) は、図 17 (A) の線 L 17 C - L 17 C に沿った断面構造を概略的に示す図である。

【図 18】 (A) は、この発明の実施の形態 2 に従う不揮発性半導体記憶装置の製造工程の平面レイアウトを示し、(B) は、図 18 (A) に示す線 L 18 B - L 18 B に沿った断面構造を示し、(C) は、図 18 (A) に示す線 L 18 C - L 18 C に沿った断面構造を概略的に示す図である。

40

【図 19】 この発明の実施の形態 3 に従う不揮発性半導体記憶装置の全体の構成を概略的に示す図である。

【図 20】 図 19 に示すメモリセルアレイ部の構成を具体的に示す図である。

【図 21】 図 19 に示す列選択回路およびビット線デコーダおよび読出回路の構成を具体的に示す図である。

【図 22】 図 21 に示すデコーダの構成の一例を示す図である。

【図 23】 図 21 に示すダミービット線選択信号を発生する部分の構成の一例を示す図

50

である。

【図24】 1ビット/1セルモード時のデータ読出部の接続を概略的に示す図である。

【図25】 高抵抗状態のメモリセルデータ読出時の動作を示す信号波形図である。

【図26】 低抵抗状態のメモリセルデータの読出時の動作を示す信号波形図である。

【図27】 1ビット/2セルモード時のデータ読出部の接続を概略的に示す図である。

【図28】 図27に示す構成のデータ読出動作を示す信号波形図である。

【図29】 図19に示す書込回路および書込列選択回路の構成を概略的に示す図である。

【図30】 図29に示す構成の高抵抗状態データ書込時の動作を示す信号波形図である。

。

【図31】 図29に示す構成の低抵抗状態データを格納するときの動作を示す信号波形図である。

【図32】 図29に示す構成の書込モード時の状態を示す信号波形図である。

【図33】 図29に示すトライステート制御回路およびラッチ回路の構成の一例を示す図である。

【図34】 図29に示すダミービット線に対するラッチ回路およびトライステート制御回路の構成の一例を示す図である。

【図35】 ラッチ回路およびトライステート制御回路の変更例を示す図である。

【図36】 図29に示すライトドライバデコーダの構成の一例を示す図である。

【図37】 図36に示す高抵抗パルス発生回路の構成の一例を示す図である。

【図38】 図37に示す高抵抗パルス発生回路の動作を示す信号波形図である。

【図39】 図36に示す低抵抗パルス発生回路の構成の一例を示す図である。

【図40】 図39に示す低抵抗パルス発生回路の動作を示す信号波形図である。

【図41】 図29に示すライトドライバデコーダの変更例を示す図である。

【図42】 図41に示すライトドライバデコーダの動作を示す信号波形図である。

【図43】 図41に示すライトドライバデコーダの動作を示す信号波形図である。

【図44】 従来の不揮発性半導体記憶装置のメモリアレイのレイアウトを概略的に示す図である。

【図45】 図44に示す線L45-L45に沿った断面構造を概略的に示す図である。

【図46】 図44に示すメモリセルの電気的等価回路を示す図である。

【図47】 図46に示すメモリセルアレイの寄生抵抗を示す図である。

【符号の説明】

IW0-IW2 不純物層、1a, 1b ワード線杭打ち線、MC メモリセル、BL0-BL2, BL ビット線、CG カルコゲナイド膜、HT ヒータ、IMP 不純物領域、IMN0-IMN2 不純物層、2 半導体基板領域、3 高濃度半導体層、4 基板領域、11a-11e ワード線杭打ち線、12 基板杭打ち線、14a-14f ビット線、15a, 15b ダミービット線、20 上層配線、21a, 21b, 23 コンタクト、19a-19e 不純物層、12a-12j, 13, 13a-13k 基板杭打ち線、MNB メモリセルブロック、30a-30c 不純物層、33 相変化素子部、34 加熱素子部、35 熱伝播ブロック膜、36 カルコゲナイド膜、37 ヒータ、38 熱伝播ブロック膜、44 不純物領域、42 不純物層、60a-60c カルコゲナイド/熱伝播ブロック層、67 熱伝播ブロック層、68 カルコゲナイド層、70 絶縁膜、72a-72c ビット線導電層、100 メモリアレイ、102 ワード線デコーダ、104 ワード線ドライブ回路、106 ライトドライバデコーダ、108 ビット線ドライブ回路、110 ビット線デコーダ、112 列選択回路、114 書込回路、116 読出回路、120 内部データ線、DBLa, DBLb ダミービット線、BV0, BV1 ビット線ドライバ、DBVa, DBVb ダミービット線ドライバ、TR 選択トランジスタ、VR 可変抵抗素子(相変化素子)、WV0-WV3 ワード線ドライバ、UNT プルアップトランジスタ、DNT プルダウントランジスタ、DMCa, DMCb ダミーセル、RSG0, RSG1 読出列選択ゲート、DRGa,

10

20

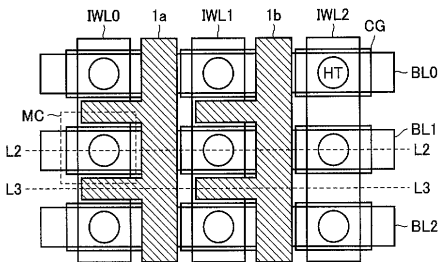
30

40

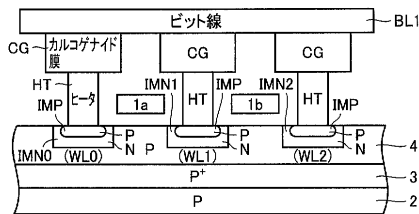
50

DRGb ダミービット線読出ゲート、130 デコーダ、132 プリデコーダ、135a-135d 電流源トランジスタ、137a, 137b 選択回路、140, 142, 144 差動増幅回路、LT0, LT1, DLTa, DLTb ラッチ回路、TCK0, TCK1, DTCKa, DTCKb トライステート制御回路、LT, DLT ラッチ回路、TCK, DTCK トライステート制御回路、177 高抵抗パルス発生回路、179 低抵抗パルス発生回路、180a, 180b, 182a, 182b 転送ゲート、184a, 184b ANDゲート、200 OR回路、201 AND回路、202 反転遅延回路、203, 207, 208 遅延回路、204, 209 転送ゲート、205, 210 AND回路。

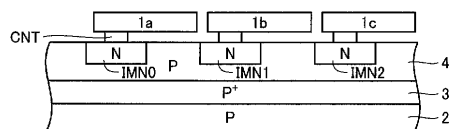
【図1】



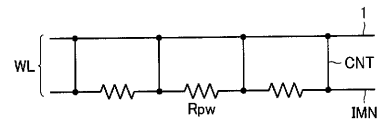
【図2】



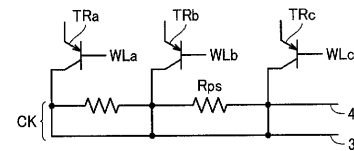
【図3】



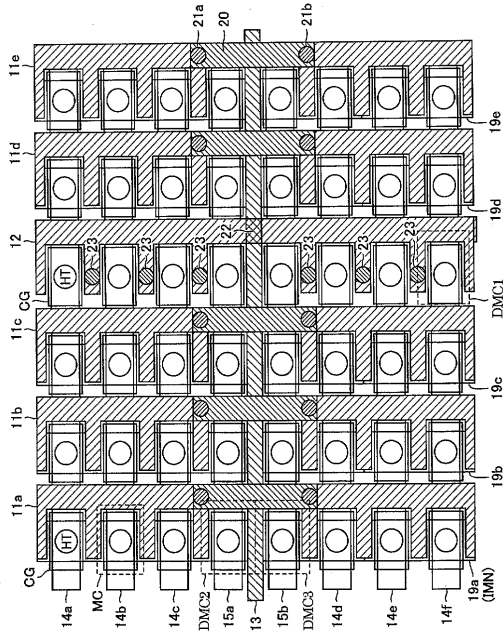
【図4】



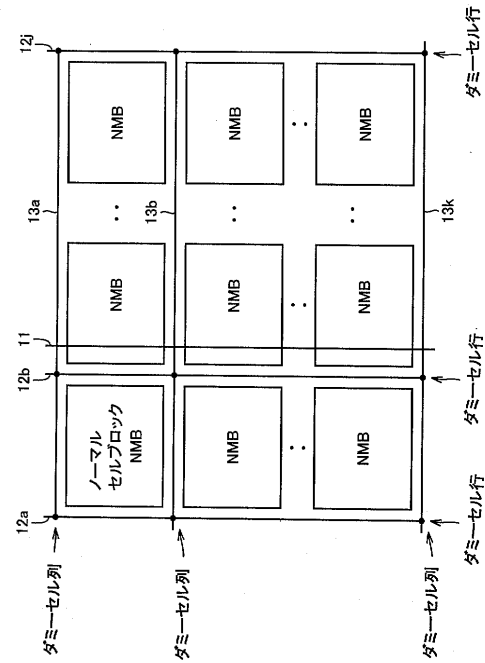
【図5】



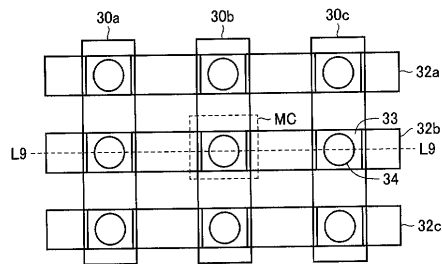
【図6】



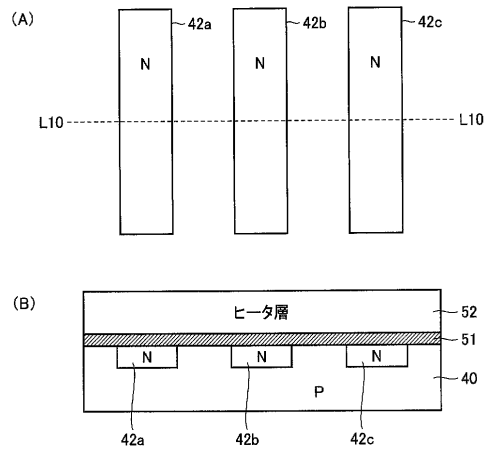
【図7】



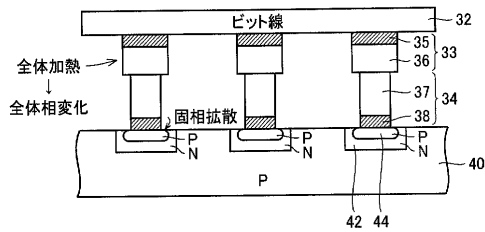
【図8】



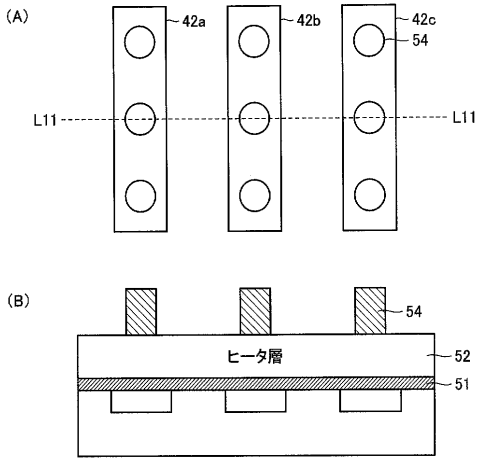
【図10】



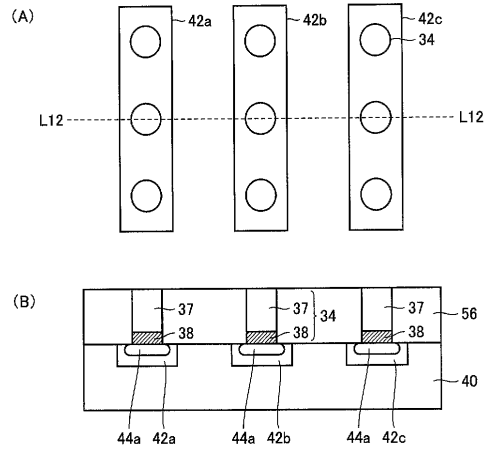
【図9】



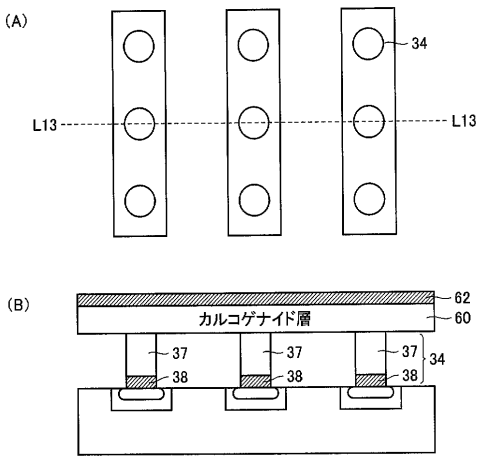
【図 1 1】



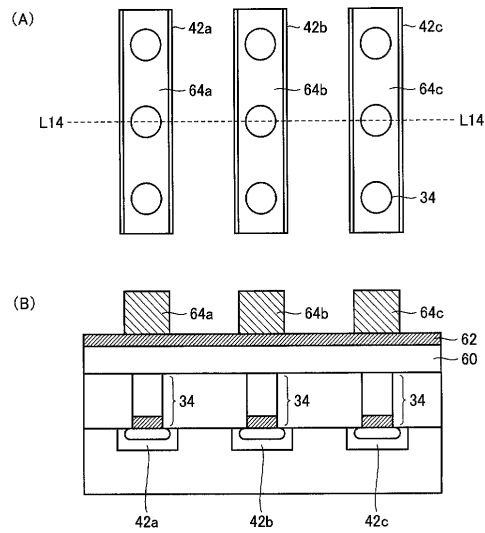
【図 1 2】



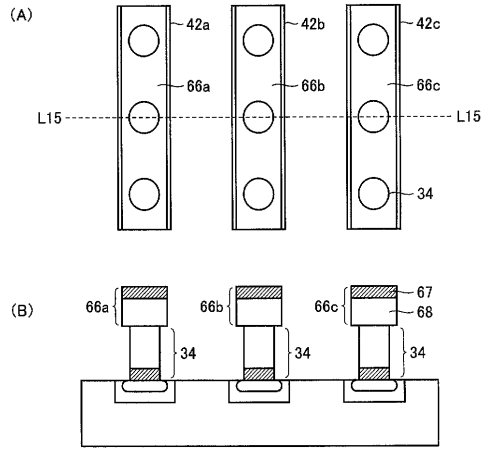
【図 1 3】



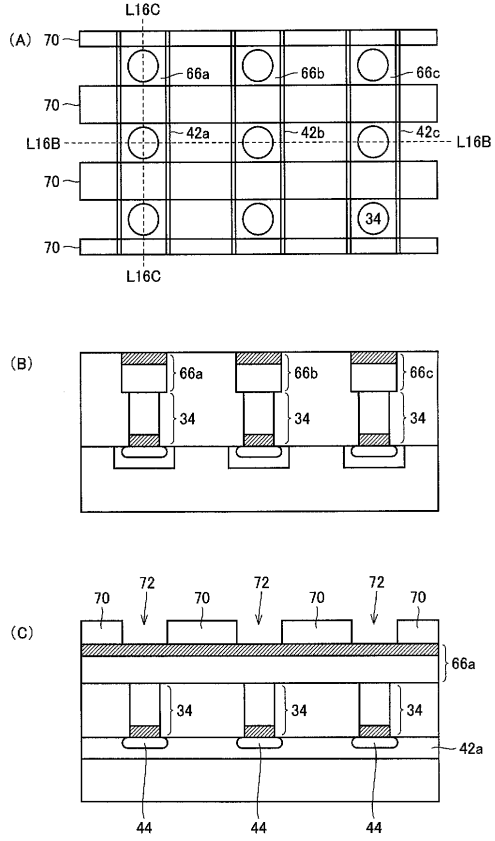
【図 1 4】



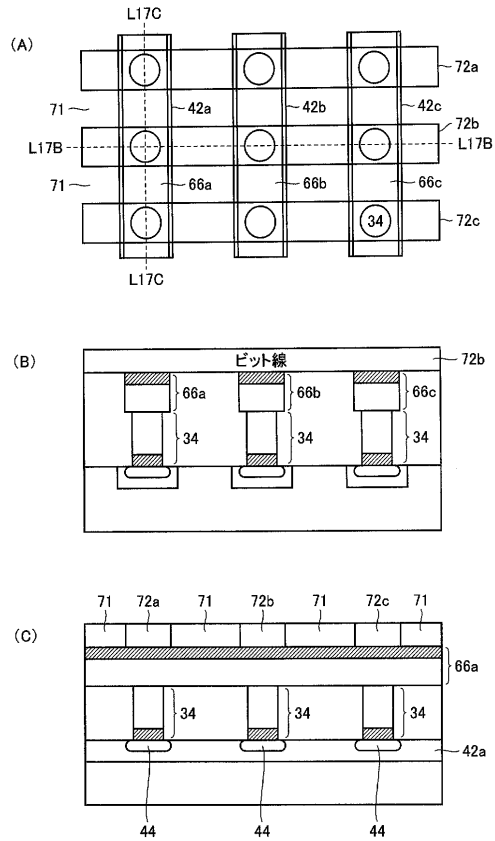
【図15】



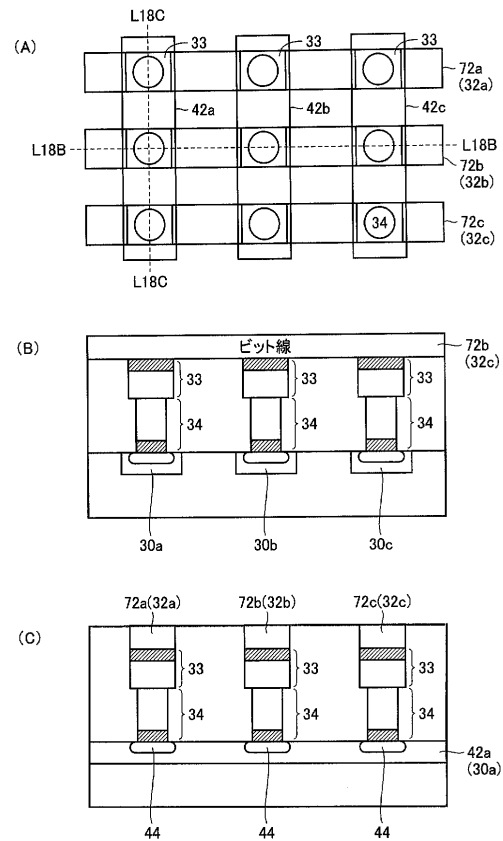
【図16】



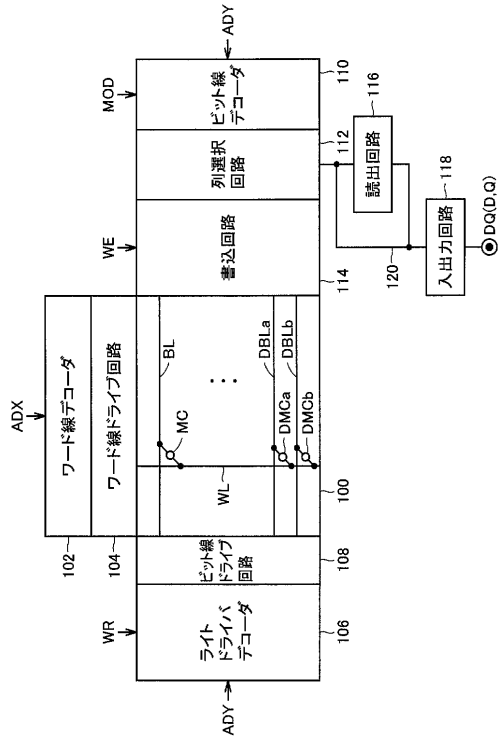
【図17】



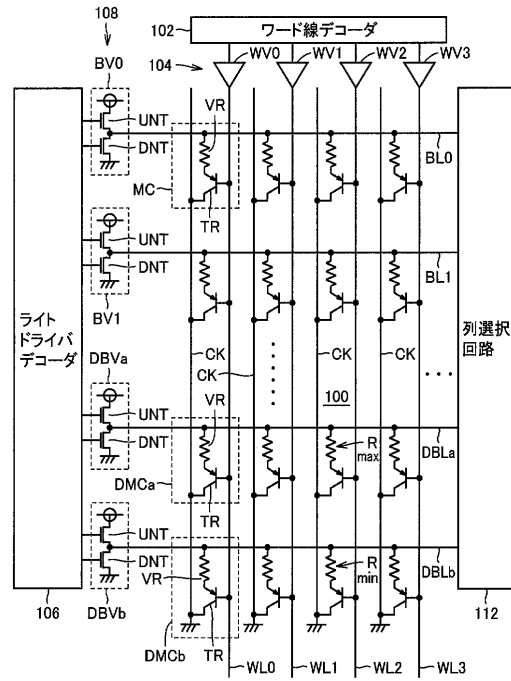
【図18】



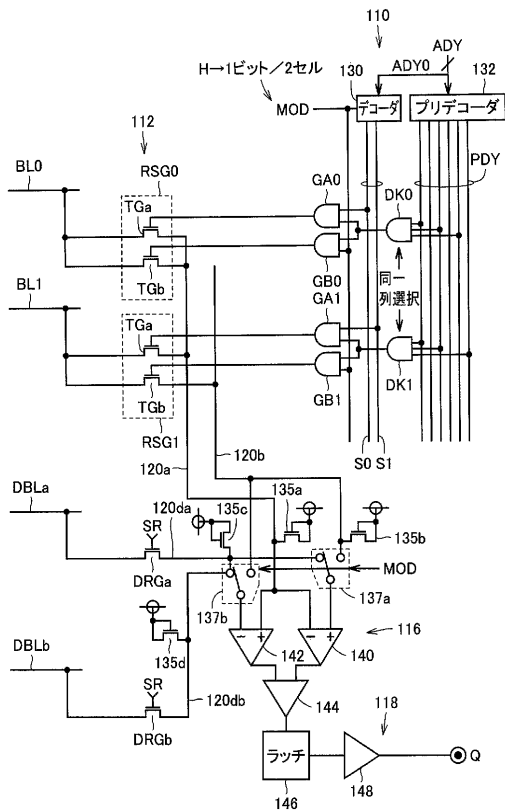
【図19】



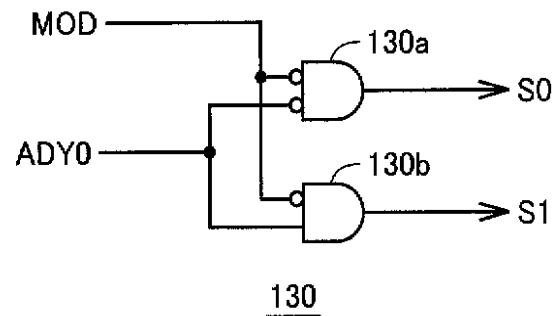
【図20】



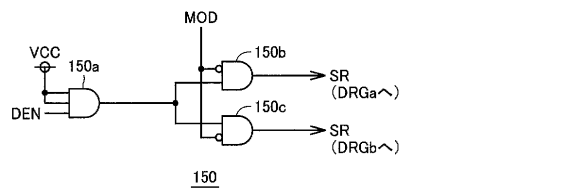
【図21】



【図22】

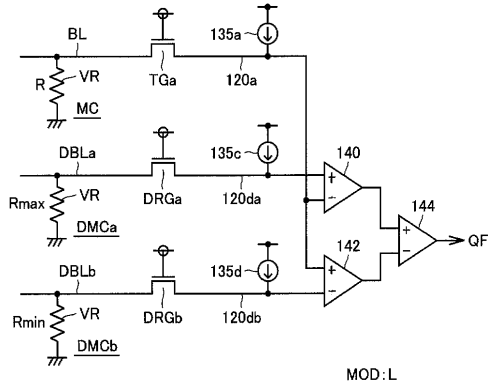


【図23】

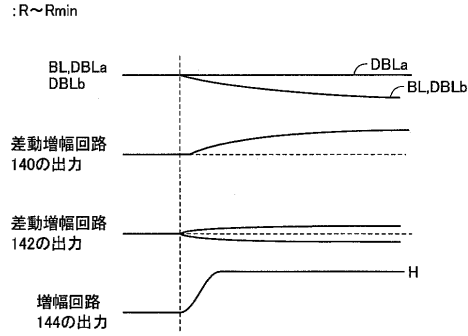




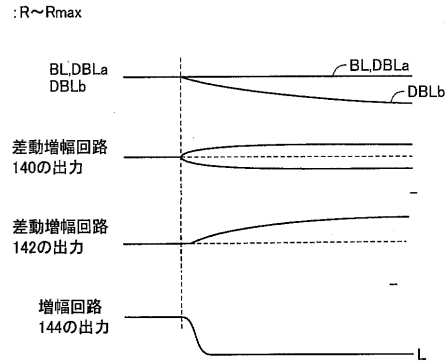
【図24】



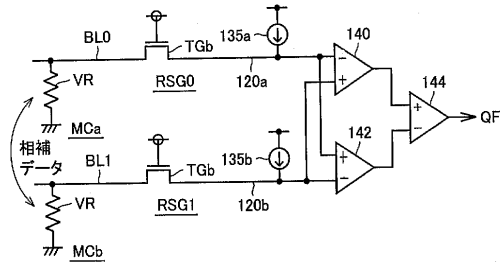
【図26】



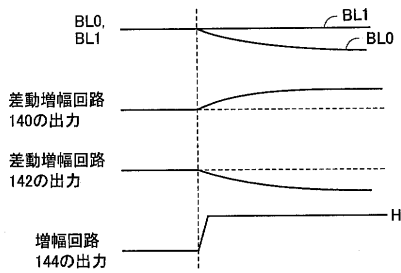
【図25】



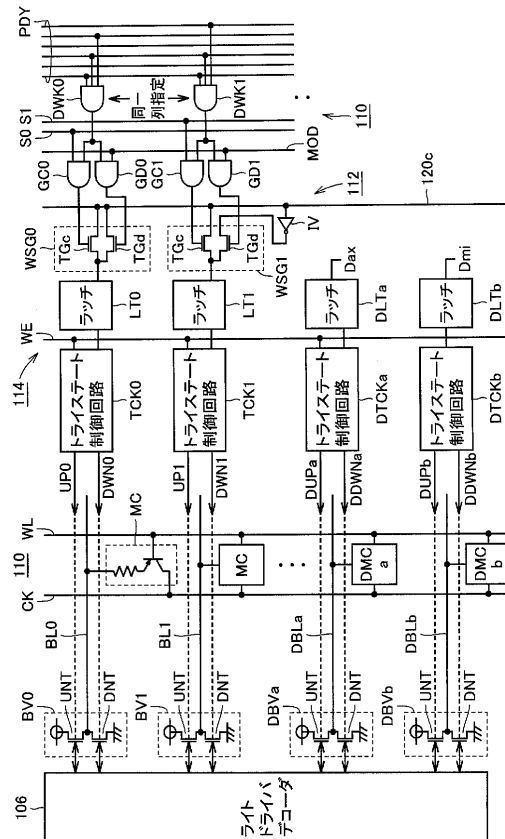
【図27】



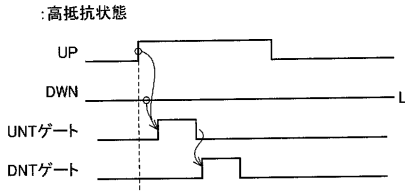
【図28】



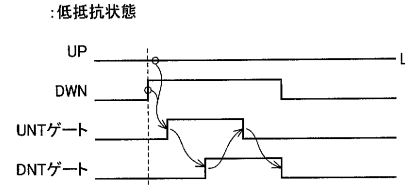
【図29】



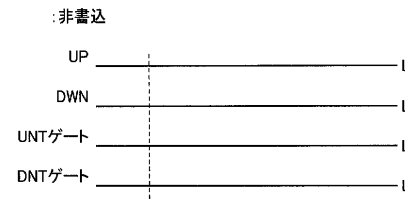
【図30】



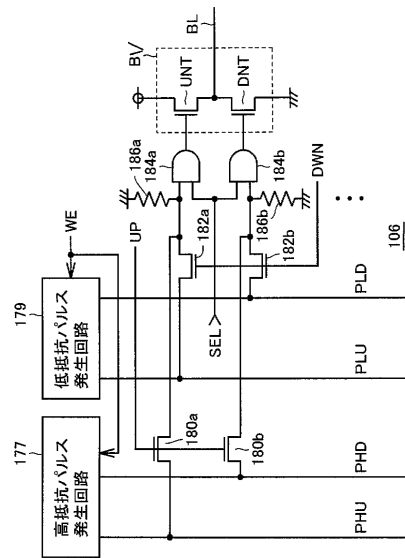
【図31】



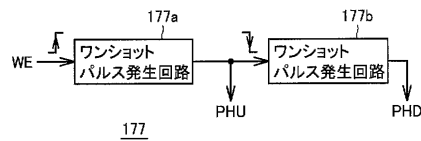
【図32】



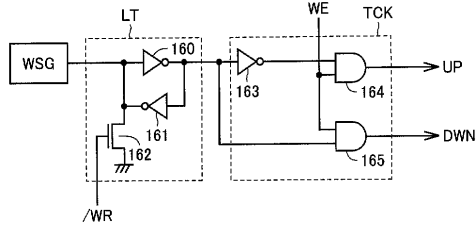
【図36】



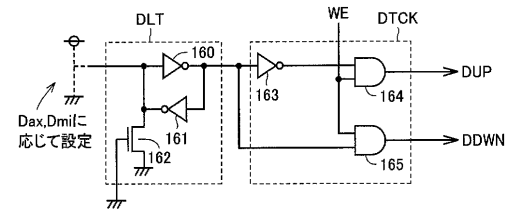
【図37】



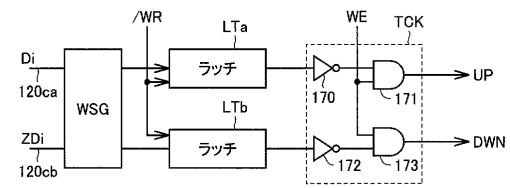
【図33】



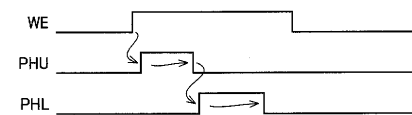
【図34】



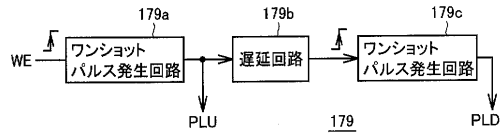
【図35】



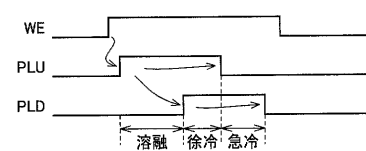
【図38】



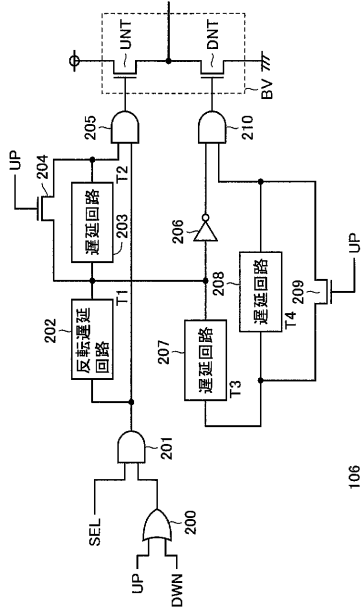
【図39】



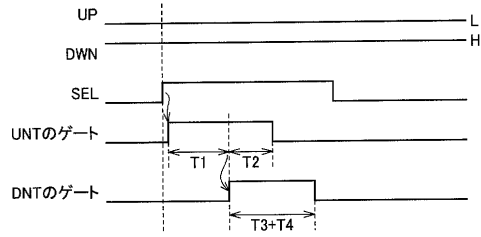
【図40】



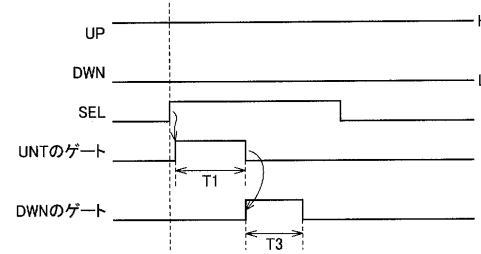
【 図 4 1 】



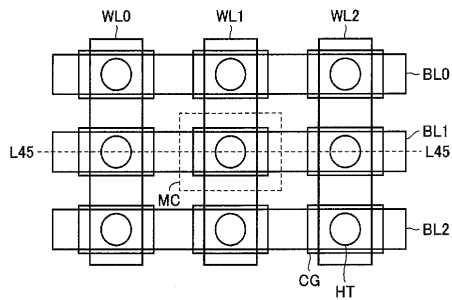
【 図 4 2 】



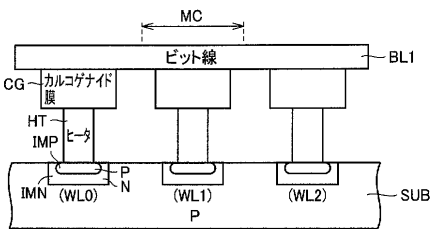
【 図 4 3 】



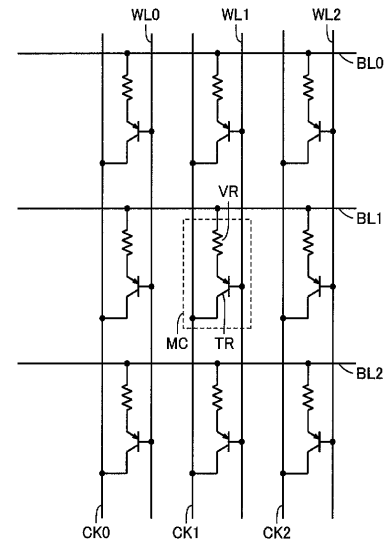
【 図 4 4 】



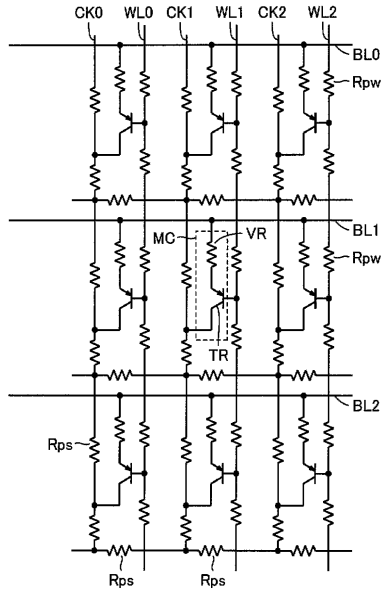
【 図 4 5 】



【 図 4 6 】



【 図 47 】



---

フロントページの続き

(72)発明者 大石 司  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 高野 芳徳

(56)参考文献 特開2001-068635(JP, A)  
米国特許出願公開第2002/0081804(US, A1)

(58)調査した分野(Int.Cl., DB名)  
G11C 13/00