



(12) 发明专利

(10) 授权公告号 CN 102369668 B

(45) 授权公告日 2014. 09. 17

(21) 申请号 201080013413. 3

(22) 申请日 2010. 03. 24

(30) 优先权数据
2009-083786 2009. 03. 30 JP

(85) PCT国际申请进入国家阶段日
2011. 09. 23

(86) PCT国际申请的申请数据
PCT/JP2010/055029 2010. 03. 24

(87) PCT国际申请的公布数据
W02010/113713 JA 2010. 10. 07

(73) 专利权人 太阳诱电株式会社
地址 日本东京都

(72) 发明人 弘中哲夫 谷川一哉 户口博昭
平川直树 石黑隆 佐藤正幸

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 朱丽娟

(51) Int. Cl.
H03K 19/177(2006. 01)
H01L 21/82(2006. 01)
H03K 19/00(2006. 01)

(56) 对比文件

US 2001043082 A1, 2001. 11. 22,
US 2001043082 A1, 2001. 11. 22,
US 6215327 B1, 2001. 04. 10,
US 7365567 B2, 2008. 04. 29,
CN 101310443 A, 2008. 11. 19,
JP 2020923 A, 1990. 01. 24,

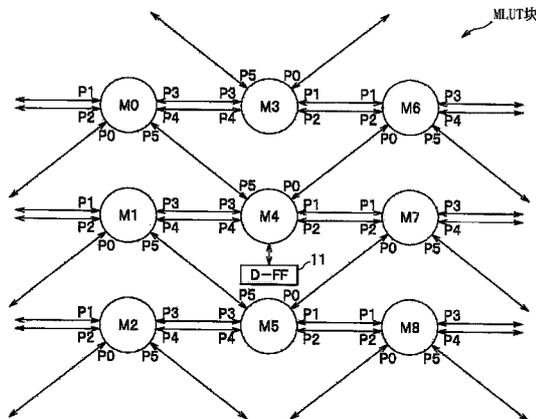
审查员 谢宜瑾

权利要求书1页 说明书16页 附图17页

(54) 发明名称
半导体装置

(57) 摘要

作为以往的可编程的半导体装置的 FPGA 或 MPLD 的性价比恶化, 并且对较长信号线的考虑不充分。在由具有存储器和地址 - 数据对的多个 MLUT 构成的 MLUT 块中内置了触发器。并且, 在相邻的 MLUT 之间的近距离布线中导入交替配置布线, 在不相邻的 MLUT 之间的布线中设置了专用的间隔布线、进一步设置了环形布线网。



CN 102369668 B

1. 一种半导体装置,其特征在于,该半导体装置以由N个MLUT构成的MLUT块为基本单位,排列多个该基本单位的MLUT块,并且在所述MLUT块中配置有触发器,所述MLUT具有存储器、以及将地址线和数据线成对地进行配置布线而成的地址-数据对,其中N为1以上的整数。

2. 根据权利要求1所述的半导体装置,其特征在于,所述触发器是D型触发器。

3. 根据权利要求1所述的半导体装置,其特征在于,具有多个所述触发器。

4. 根据权利要求2所述的半导体装置,其特征在于,具有多个所述触发器。

5. 根据权利要求1所述的半导体装置,其特征在于,所述存储器是SRAM。

6. 根据权利要求1所述的半导体装置,其特征在于,所述存储器是非易失性存储器。

7. 根据权利要求1所述的半导体装置,其特征在于,

使所述MLUT之间的地址-数据对的引出方式和配置是在所述MLUT之间构成为对称形式的交替配置布线,所述交替配置布线是指,在一个方向上交替配置所述地址-数据对的位置关系为左右和上下的关系且形成对称形式的两种MLUT,并据此进行使用所述地址-数据对的近距离布线。

8. 根据权利要求2所述的半导体装置,其特征在于,

使所述MLUT之间的地址-数据对的引出方式和配置是在所述MLUT之间构成为对称形式的交替配置布线,所述交替配置布线是指,在一个方向上交替配置所述地址-数据对的位置关系为左右和上下的关系且形成对称形式的两种MLUT,并据此进行使用所述地址-数据对的近距离布线。

9. 根据权利要求1~4、7、8中的任意一项所述的半导体装置,其特征在于,

在所述MLUT之间或者MLUT块之间的信号连接中,具有在同一平面上不相互相邻的MLUT之间或者MLUT块之间进行布线的间隔布线。

10. 根据权利要求9所述的半导体装置,其特征在于,

在所述间隔布线中包含一边跳过一个单元一边将所述地址-数据对布线成环状,确保均匀且稳定的性能的环形布线。

半导体装置

技术领域

[0001] 本发明涉及由具有逻辑功能单元的部件构成的可编程的半导体装置的结构,该逻辑功能单元包含存储器、并且具备地址线 and 数据线对。

背景技术

[0002] 以往,搭载了作为集成电路的 LSI (Large Scale Integration:大规模集成电路)的半导体装置一般进行功能设计、逻辑设计等,并根据这些设计,大量制造了具有相同功能的产品。这些技术面向批量生产,因此能够高效且低成本地得到产品,另一方面,即使功能稍微不同也不能使用。因此,不适合于多品种少量生产的产品、和需要多次进行规格或功能变更的产品。

[0003] 因此,是单一的半导体装置、并且能够在顾客侧设定功能,或者能够在使用中途进行功能变更的可编程的半导体装置出现了。

[0004] 作为可编程的半导体装置,代表性的一个例子有 FPGA (Field Programmable Gate Array:现场可编程门阵列),FPGA 具有可变功能电路单元组、可变信号布线组、开关元件组和存储器,根据该存储器的信息使使用晶体管的所述开关接通 / 断开 (ON/OFF) 来切换所述可变功能电路单元组和可变信号布线组,从而可编程地实现期望功能的电路。

[0005] 但是,以往的 FPGA 使用基于晶体管的开关来进行各电路和各信号布线的变更,但是电路和布线的占有区域分别被固定,因此自由度小,根据期望的功能电路有时会成为非常浪费的结构。因此,布局上的面积效率一般较差,需要相对大芯片面积的 LSI,从而性价比较低。此外,还存在如下问题:制造工序还包含较多的布线层,长且复杂,制造成本高。此外,在以往的 FPGA 中,在连接各电路的布线到达较远位置的情况下,寄生静电电容和寄生电阻引起的传送延迟成问题,有时会引起错误动作。或者,为了回避与该传送延迟相关的问题,需要在信号线的中途设置几级的缓冲器,元件的使用效率和芯片面积的增加等随着长距离的信号布线增加而成为大的问题。

[0006] 另外,作为与这些 FPGA 相关的专利文献,有专利文献 1 和专利文献 2。

[0007] 根据以上背景,如下记述的初始 MPLD 出现了。MPLD 如下构成。

[0008] 即, MPLD 为如下元件:搭载地址线的条数和数据线的条数为相同数量的存储器,在存储器中写入用于形成期望功能的数据,在逻辑动作时根据与输入信号相当的地址数据,设由从所述存储器读出与逻辑电路动作相当的输出数据的功能构成的 MLUT 为单位单元,排列配置多个所述 MLUT 的单位单元,并且相互布线,由此发挥与各种电路等效的功能。

[0009] 另外,此处 MPLD 是指 Memory - based Programmable Logic Device (基于存储器的可编程逻辑器件)的简称,MLUT 是 MPLD Look Up Table (MPLD 查找表)的简称。此外,作为这些技术的现有专利文献,有专利文献 3 和非专利文献 1。

[0010] 现有技术文献

[0011] 专利文献

[0012] 专利文献 1:日本特开 2000 - 36738 号公报

- [0013] 专利文献 2 :日本特开 2002 - 164780 号公报
- [0014] 专利文献 3 :W02007/060738 号说明书
- [0015] 非专利文献
- [0016] 非专利文献 1 :ITC - CSCC2008(The23rd International Technical Conference on Circuits/Systems, Computers and Communications)P557 - 560 “Low Cost PLD with High Speed Partial Reconfiguration”Naoki Hirakawa, Masayuki Sato, Kazuya Tanigawa, and Tetsuo Hironaka.

发明概要

[0017] 发明所要解决的课题

[0018] 但是,在以往 MPLD 中使用触发器的情况下,触发器配置在 MPLD 外部,因此触发器与 MLUT 之间的布线连接没有效率。此外,存在连接的布线变长、延迟时间变大、不能实现高速化等课题。

[0019] 此外,在 MPLD 中还存在如下的 MPLD :在需要触发器或锁存电路的情况下,将 MLUT 作为电路要素资源,转用构成触发器或锁存电路后,采取了使用该电路构成需要触发器的逻辑电路的方法,但是这些 MPLD 存在面积效率、元件效率差的课题。

[0020] 此外,在构成根据基准信号获取定时的同步电路的情况下,MLUT 之间的布线连接没有效率,且布线的长度变长,其结果,存在延迟时间变大、高速化困难等课题。

[0021] 如上所述,在以往 MPLD 中,在构成以顺序电路为代表的之前的状态影响到逻辑功能的电路的情况下,和在构成根据基准信号获取定时的同步电路的情况下,大多会出现上述的课题。

[0022] 因此,本发明解决这种问题,其目的在于提供一种具有高功能和稳定的特性,并且设计上的自由度高、芯片面积效率好,因此性价比高的可编程的半导体装置,尤其提供由针对上述课题进行了进一步改良的 MPLD 构成的半导体装置。

[0023] 用于解决课题的手段

[0024] 为了解决上述课题,达到本发明的目的,如下构成了各发明。

[0025] 即,第 1 发明的半导体装置以由 N 个 MLUT 构成的 MLUT 块为基本单位,排列多个该基本单位的 MLUT 块,并且在所述 MLUT 块中配置有触发器,所述 MLUT 具有存储器、以及将地址线 and 数据线成对地进行配置布线而成的地址 - 数据对,其中 N 为 1 以上的整数。

[0026] 第 2 发明在第 1 发明中,所述触发器是 D 型触发器 (Delay 型触发器)。

[0027] 第 3 发明在第 1 发明中,具有多个所述触发器。

[0028] 第 4 发明在第 2 发明中,具有多个所述触发器。

[0029] 第 5 发明在第 1 发明中,所述存储器是 SRAM (Static Random Access Memory :静态随机存取存储器)。

[0030] 第 6 发明在第 1 发明中,所述存储器是非易失性存储器。

[0031] 第 7 发明在第 1 发明中,使所述 MLUT 之间的地址 - 数据对的引出方式和配置是在所述 MLUT 之间构成对称形式的交替配置布线,所述交替配置布线是指,在一个方向上交替配置所述地址 - 数据对的位置关系为左右和上下的关系且形成对称形式的两种 MLUT,并据此进行使用所述地址 - 数据对的近距离布线。

[0032] 第 8 发明在第 2 发明中,使所述 MLUT 之间的地址 - 数据对的引出方式和配置是在所述 MLUT 之间构成为对称形式的交替配置布线,所述交替配置布线是指,在一个方向上交替配置所述地址 - 数据对的位置关系为左右和上下的关系且形成对称形式的两种 MLUT,并据此进行使用所述地址 - 数据对的近距离布线。

[0033] 第 9 发明在第 1 发明至第 4 发明的任意一个发明中,或者第 7 发明或第 8 发明中,在所述 MLUT 之间或者 MLUT 块之间的信号连接中,具有在同一平面上不相互相邻的 MLUT 之间或者 MLUT 块之间进行布线的间隔布线。

[0034] 第 10 发明在第 9 发明中,在所述间隔布线中包含一边跳过一个单元一边将所述地址 - 数据对布线成环状,确保均匀且稳定的性能的环形布线。

[0035] 发明的效果

[0036] 因此,根据上述结构,与以往 MPLD 相比,在本发明中,在 MLUT 块内设置专用的触发器,因此不仅能够构成组合电路还能够构成顺序电路,更容易获取控制时的同步,因此具有更快速地容易地构成高功能的电路的效果。

[0037] 此外,改善了面积效率、元件效率,因此具有能够以更低成本进行提供的效果。

附图说明

[0038] 图 1 是示出与本发明的实施例相关的 MLUT 块的各 MLUT 的配置、和各 MLUT 之间的近距离布线的关系的电路框图。

[0039] 图 2 是示出在与本发明的实施例相关的 MLUT 块中,进行交替配置布线的 MLUT 的两种近距离布线图案的布线图案图。

[0040] 图 3 是示出了本发明的另一实施例中的地址线 and 数据线对的信号线的端子配置的电路框图。

[0041] 图 4 是示出与本发明的实施例相关的 MLUT 的电路结构的电路框图。

[0042] 图 5 是示出了与本发明的实施例相关的 MLUT 的多条地址线 and 数据线对、以及存储动作时的输入地址线和输入输出数据线的结构的电路框图。

[0043] 图 6 是示出了在平面上规则地排列与本发明的实施例相关的 MLUT 块, MLUT、触发器和近距离布线之间的关系的电路框图。

[0044] 图 7 是表示以往电路的全加法电路的动作功能的功能图和示出电路结构例的电路图。

[0045] 图 8 是示出采用了与本发明的实施例相关的 MLUT 的 4 位加法电路的结构的电路框图。

[0046] 图 9 是示出在本发明和现有例中采用的 D 型触发器的第 1 例的电路图。

[0047] 图 10 是示出在本发明和现有例中采用的 D 型触发器的第 2 例的电路图。

[0048] 图 11 是示出在本发明和现有例中采用的 D 型触发器的第 3 例的电路图。

[0049] 图 12 是示出在本发明和现有例中采用的 D 型触发器的第 4 例的电路图。

[0050] 图 13 是示出在本发明和现有例中采用的 D 型触发器的第 5 例的电路图。

[0051] 图 14 是表示与本发明的实施例相关的 MLUT 和 D 型触发器的连接关系的电路框图。

[0052] 图 15 是表示与本发明的实施例相关的 MLUT 和 D 型触发器的配置关系的布局框图。

图。

[0053] 图 16 是示出和与本发明的实施例相关的 MLUT 块的各 MLUT 的间隔布线的接线的布线图。

[0054] 图 17 是示出和与本发明的实施例相关的 MLUT 块的各 MLUT 的间隔布线的接线的两种图案的布线图。

[0055] 图 18 是示出与本发明的实施例相关的 MLUT 块和 MLUT 的间隔布线的接线的布线图。

[0056] 图 19 是示出对与本发明的实施例相关的 MLUT 块和 MLUT 高效进行设计上的配置时的 MLUT 块的结构块配置图。

[0057] 图 20 是示出了与本发明的实施例相关的 MLUT 块中的环形布线(网)的间隔布线的接线的布线图。

[0058] 图 21 是示出了在本发明和现有例中采用的环形布线、和环形布线网的布线图。

[0059] 图 22 是示出了在现有例中采用的信号布线的第一例的布线图。

[0060] 图 23 是示出了在现有例中采用的信号布线的第二例的布线图。

[0061] 图 24 是示出了在本发明和现有例中采用的环形布线的布线图。

具体实施方式

[0062] 以下,参照附图来说明本发明的实施方式。

[0063] (构成本发明的半导体装置的 MLUT 块的实施方式)

[0064] 图 1 是示出作为本发明的半导体装置的主要要素的 MLUT 由 9 个构成的 MLUT 块的结构第 1 例的电路框图。

[0065] 在图 1 中, M0 ~ M8 是 MLUT。通过 MLUT M0 ~ M8 构成了 MLUT 块。MLUT M0 ~ M8 在同一平面上相互相邻的 MLUT 之间进行由地址线 and 数据线对(以下有时还称作“地址—数据对”)构成的信号的交换来构成电路。将在该同一平面上相互相邻的 MLUT 之间进行布线称作近距离布线。此外,将在该同一平面上不相互相邻的 MLUT 之间进行布线称作间隔布线。

[0066] 在图 1 中,仅对作为本发明的特征 of 的地址线 and 数据线对的近距离布线标注编号进行了图示,为了避免混乱,未对其他布线进行图示。在图 1 中未进行图示的信号布线将使用图 4 和图 5 后述。此外,在 MLUT M4 中,附带配置有 D 型(Delay:延迟)的触发器。另外,在附图中,有时将 D 型触发器简记作 D-FF 进行使用。此外,在说明图 1 的功能时构成 MLUT M0 ~ M8 的 MLUT 自身的结构比较重要,因此先说明 MLUT。

[0067] (关于 MLUT)

[0068] 图 4 是示出作为构成本发明的半导体装置的基本单位的电路的 MLUT 的具体结构的电路框图。以下说明结构和动作。

[0069] 在图 4 中,存储块 40 将 n 个 $\times (2$ 的 n 次方) (将 n 设为正的整数) 的由 SRAM(Static Random Access Memory:静态随机存取存储器)构成的存储单元排列成矩阵状来构成。此外,存储块 40 的地址线 51 有 $(2$ 的 n 次方) 条,存储动作时数据输入 44 为 n 条,数据输出 52 也为 n 条。

[0070] 此外,以如下的顺序向该存储块 40 输入发挥电路功能的期望值数据。将输入动作

切换信号 49 设为存储动作的信号。于是,从地址切换电路 41 取入存储动作时输入地址 (n 条) 45, 在地址解码器 42 中指定 2 的 n 次方的地址, 使存储块 40 仅激活与所述地址相当的一列 n 个 SRAM 单元, 从输入动作时数据输入 44 通过 n 条信号线将 n 个该地址所需的期望值数据存储在到该列的 SRAM 单元中。接着, 从存储动作时输入地址 45 取入其他地址, 仅激活在地址解码器 42 中从 2 的 n 次方的地址中另外指定的一列 n 个 SRAM 单元, 从输入动作时数据输入 44 通过 n 条信号线将 n 个该地址所需的其他期望值数据存储在到该列的 SRAM 单元中。由此, 依次在 $n \times (2 \text{ 的 } n \text{ 次方})$ 个 SRAM 单元中写入作为功能电路的期望值。如上, 写入过程结束。另外, 写入到存储块 40 的数据组是针对作为设定了 MLUT 的功能电路的各输入值 (地址) 的输出值的期望值。

[0071] 接着, 在使该 MLUT 进行电路动作的情况下, 用动作切换信号 49 选择逻辑动作。于是, 从地址切换电路 41 取入逻辑动作时输入地址 (n 条) 47, 仅激活与经由地址解码器 42 选择的期望地址相当的 n 个 SRAM 单元, n 个数据被取出到存储块 40 的数据线 (n 条) 52, 并作为输出数据经过输出数据切换电路 43 被取出到逻辑动作时数据输出 (n 条) 48。该输出数据是针对作为期望的逻辑电路的输入值的输出期望值, 因此等效发挥了作为逻辑电路的功能。另外, 如果作为输入值的地址变化, 则能够得到与该输入值对应的其他输出值。因此, 相对于预定的输入值, 进行与期望的逻辑电路等效的动作。

[0072] 以上为使该 MLUT 进行逻辑电路动作的情况, 但是还能够用作单纯的存储电路。此时, 首先, 在存储动作中选择动作切换信号 49, 从存储动作时输入地址 45 依次选择地址, 并经过地址解码器 42 激活存储块 40 的 n 个 SRAM 单元, 从存储动作时数据输入 44 写入 n 个数据。对各地址进行该操作, 从而写入动作完成。

[0073] 接着, 在从存储块 40 读出作为存储电路的数据的情况下, 用动作切换信号 49 选择存储动作。于是, 从地址切换电路 41 取入存储动作时输入地址 45, 仅激活与经由地址解码器 42 选择的期望地址 51 相当的 n 个 SRAM 单元, n 个数据被取出到存储块 40 的数据线 52, 并作为输出数据经过输出数据切换电路 43 被取出到存储动作时数据输出 (n 条) 46。可知利用该操作得到针对各输入地址的存储单元的输出, 发挥了作为一般的存储电路的功能。

[0074] 另外, 不同时使用存储动作时数据输入 44 和存储动作时数据输出 46, 因此有时可兼用作双向的输入输出线。

[0075] 如上所述, 无论对 MLUT 分配作为逻辑电路, 还是作为存储电路的功能都可以。

[0076] 另外, 在用 SRAM 构成了存储块 40 的情况下, 当暂时截断电源时, 存储器的数据消失, 因此在再次接通了电源的情况下, 如果不是在存储块 40 中再次写入了数据后, 则不进行期望的电路动作。

[0077] 图 5 是示出了用于使示出 MLUT 中的结构的图 4 和示出 MLUT 的近距离布线的连接关系的图 1 的关系更清楚的布线结构的电路框图。在图 5 中, 存储块 40 和存储动作时输入地址 45 均与图 4 的存储块 40 和存储动作时输入地址 45 对应。图 5 的存储动作时输入输出数据 4446 与在双向上兼用图 4 的存储动作时数据输入 44 和存储动作时数据输出 46 对应。在图 5 中, 组合了 2 条信号线的地址—数据对 P0 ~ P6 对应于图 4 中以下所述: 逻辑动作时输入地址 47 和逻辑动作时数据输出 48 分别为 $n = 7$ 条的情况, 且分别按每 1 条进行划分, 并重新构成 7 组输入地址线 and 数据输出线的对。另外, 在图 5 中, 为了避免表现上和理解的混乱, 不对图 4 中的地址切换电路 41、地址解码器 42、输出数据切换电路 43 和动作

切换信号 49 进行图示。

[0078] (关于 MLUT 块)

[0079] 图 5 中的重新构成了逻辑动作时输入地址和逻辑动作时数据输出的地址—数据对 P0 ~ P6 内的 P0 ~ P5 对与图 1 中的地址—数据对 P0 ~ P5 对应。在图 1 中,地址—数据对 P0 ~ P5 用 1 条线表示,但是如图 5 所示,是地址线和数据线的对,实际上由 2 条构成。图 5 中的剩余的地址—数据对 P6 被用作在图 1 中未图示的间隔布线用。在图 1 中,MLUT M0 ~ M8 分别由前述的 MLUT 构成,根据写入到 MLUT 中的存储块的存储数据而具有各种电路功能。使用作为近距离布线的地址—数据对 P0 ~ P5 相互连接这些 MLUT M0 ~ M8,地址相当于输入信号,数据线相当于输出信号,因此组合各功能电路构成了更复杂的电路。

[0080] 另外,在 MLUT M4 中,特别配置有 D 型触发器 11。该 MLUT M4 与 D 型触发器 11 的信号布线的连接使用了在近距离布线中没有采用的地址—数据对 P6。这样,在 MLUT M4 中,在与 D 型触发器 11 的连接中使用了地址—数据对 P6,因此仅针对 MLUT M4 不采用间隔布线。在图 1 中,MLUT M0 ~ M3 和 MLUT M5 ~ M8 不附带 D 型触发器,取而代之设置了间隔布线用端子,使用图 5 的剩余的地址—数据对 P6 进行间隔布线,与相对较远配置的电路进行信号交换。

[0081] 在图 1 中,MLUT M0 和 MLUT M3 成为地址—数据对 P0 ~ P5 的方式为上下相反的关系的配置。如图 2 所示,关于其他 MLUT,也存在两种类型。在图 2 中,以 M0 为代表的第 1 种 MLUT 的地址—数据对 P1 和 P2 配置在左方,地址—数据对 P3 和 P4 配置在右方。分别用作与位于横向的 MLUT 的近距离布线。此外,地址—数据对 P0 位于左下方,地址—数据对 P5 位于右下方,分别被用作与下级的位于左侧和右侧的 MLUT 的近距离布线。第 1 种 MLUT 的地址—数据对的配置结构如上所述。

[0082] 此外,以 M3 为代表的第 2 种 MLUT 的地址—数据对 P1 和 P2 配置在右方,地址—数据对 P3 和 P4 配置在左方。分别用作与位于横向的 MLUT 的近距离布线。此外,地址—数据对 P0 位于右上方,地址—数据对 P5 位于左上方,分别被用作与上级的位于右侧和左侧的 MLUT 的近距离布线。第 2 种 MLUT 的地址—数据对的配置结构如上所述。

[0083] 因此,在以 M0 为代表的第 1 种 MLUT 和以 M3 为代表的第 2 种 MLUT 中,被用作近距离布线的地址—数据对的配置成为关于上下和左右对称形式的结构,因此如图 1 所示,在各 MLUT 与接近的 MLUT 之间,将地址—数据对作为近距离布线进行连接,从而成为高效率的结构。这样在一个方向上交替配置在图 2 中观察到的地址—数据对的位置关系为左右和上下的关系且形成对称形式的两种 MLUT,将基于此进行使用地址—数据对的近距离布线的布线称作交替配置布线。

[0084] 另外,在图 1 中,列举了由上述的两种 MLUT 构成的交替配置布线效率高的配置和布线的例子,但是在图 1 中,在 MLUT 的 M0、M1、M2 的纵向上没有配置地址—数据对。因此,还考虑在纵向上也配置了地址—数据对的各种其他 MLUT 的布局 and 地址—数据对的配置。但是,虽然在图 1 中未图示,但是如示出了 MLUT 中的结构的图 5 所示,除了在近距离布线中使用的地址—数据对 P0 ~ P5 以外,在间隔布线中使用的地址—数据对 P6、存储动作时输入地址 45 和存储动作时输入输出数据 4446 实际上也存在。并且,这些在图 1 中未图示的布线在图 1 中主要配置在纵向上。

[0085] 因此,考虑到近距离布线以外的在纵向上配置的所述间隔布线用地址—数据对

P6、存储动作时输入地址 45 和存储动作时输入输出数据 4446 的存在时,必须采用纵向的近距离布线的情况综合上不能说是效率高的配置和布线。因此,当考虑到所述近距离布线以外的在纵向上配置的布线的存在时,可以说图 1 所示的所述交替配置布线作为近距离配置布线是优异的结构。

[0086] 另外,在以上的交替配置布线中,关于 MLUT 的配置有如下两种情况:根据包含晶体管在内各元件构成的布局图案在布局图案上配置两种上下左右对称的 MLUT 的情况,和仅对于以地址—数据对的近距离布线层为主的布线层采用两种上下左右对称的 MLUT 布线的情况。

[0087] (关于多个 MLUT 块)

[0088] 图 6 表示进一步重复配置了由图 1 的 9 个 MLUT 构成的 MLUT 块的状态。在图 6 中,用虚线 601 表示的区域表示图 1 中的 MLUT 块。此外,还在用虚线 601 示出的 MLUT 的外侧规则地配置 MLUT611、612 和触发器 621。

[0089] 在图 6 中,为了简明,对于布线仅图示了使用地址—数据对的近距离布线,未对间隔布线和 MLUT 的控制线等进行图示。组合以上的多个 MLUT 块来构成具有期望功能的电路。通过设置多个该 MLUT 块形成半导体装置。

[0090] 另外,在图 1 中示出了将 MLUT M0 ~ M8 配置成整齐的格子状的状态,在图 6 中示出了将 MLUT M0 ~ M8 配置成大致位于菱形顶点的簇状的状态,但是在图 1 中,是为了容易观察近距离布线的位置关系进行了图示,并且,在图 6 中,是为了容易显示 D 型触发器的存在进行了图示,在实际的布局图案中,正方形或长方形的格子状,菱形的簇状均有可能。

[0091] (电路功能结构例)

[0092] 在图 8 中示出使用 MLUT 块组实现 4 位加法器的例子。

[0093] (1 位全加法电路的结构)

[0094] 首先,在图 7(a) 中示出表现了作为 1 位的全加法电路的真值。在图 7 中,A 是被运算数、B 是运算数、C 是来自上一位的进位、S 是和的运算结果、Ca 是向下一位的进位。此处,利用作为和的输入值的被运算数 A 和运算数 B 的各组合、以及是否存在来自上一位的进位 C 的组合,表示运算结果 S、和向下一位的进位 Ca 分别如何。

[0095] 图 7(b) 是实现以上的各真值的关系的标准电路的例子。图 7(b) 是一般熟知的电路结构,因此省略详细说明。

[0096] 另外,在图 4 所示结构的 1 个 MLUT 中,首先向存储动作时输入地址 45 分配图 7(a) 的输入 A、B、C,并且向存储动作时数据输入 44 分配输出 S、Ca,向存储动作时输入地址 45 分别输入 A、B、C 的各组合,在被指定为此时的地址并激活的 2 位的 SRAM 单元中,通过存储动作时数据输入 44 在所述被激活的 2 位的 SRAM 单元中写入与该组合对应的输出 S、Ca 的各值。利用该写入,MLUT 具有作为 1 位的全加法电路的功能。

[0097] 接着,如果从图 4 中的逻辑时输入地址 47 输入图 7(a) 的输入 A、B、C 的任意组合,则从逻辑动作时数据输出 48 输出作为全加法电路的输出 S、Ca 的各值。另外,从图 1、图 5 可知,逻辑时输入地址 47 和逻辑动作时数据输出 48 被包含在地址—数据对 P0 ~ P5 这 6 条中,能够作为近距离布线与相邻的多个 MLUT 进行输入输出信号的交换。

[0098] (采用了 MLUT 的 4 位加法电路)

[0099] 图 8 是在 MLUT 块组中构成了 4 位的加法电路的电路框图。在图 8 中,MLA1、MLA2、

MLA3、MLA4 通过上述方法分别使 MLUT 具有 1 位的全加法电路的功能。此外,MLS1、MLS2、MLS3、MLS4 分别使 MLUT 具有输入值和输出值为相同值的功能,具有与开关的接通 (ON) 状态对应的功能。

[0100] 在具有全加法电路功能的 MLA1 中,从输入地址—数据对的输入地址输入与第 1 位的被运算值和运算值相当的输入信号 A1、B1。此外,从输入地址—数据对的输出数据输出第 1 位的运算结果作为 S1。

[0101] 在具有全加法电路功能的 MLA2 中,从输入地址—数据对的输入地址输入与第 2 位的被运算值和运算值相当的输入信号 A2、B2。此外,从输入地址—数据对的输出数据输出第 2 位的运算结果作为 S2。

[0102] 在具有全加法电路功能的 MLA3 中,从输入地址—数据对的输入地址输入与第 3 位的被运算值和运算值相当的输入信号 A3、B3。此外,从输入地址—数据对的输出数据输出第 3 位的运算结果作为 S3。

[0103] 在具有全加法电路功能的 MLA4 中,从输入地址—数据对的输入地址输入与第 4 位的被运算值和运算值相当的输入信号 A4、B4。此外,从输入地址—数据对的输出数据输出第 4 位的运算结果作为 S4。

[0104] 具有布线开关功能的 MLS1 从所述全加法电路 MLA1 输入向下一位的进位 Ca,作为输出通过输入地址—数据对与所述全加法电路 MLA2 的来自上一位的进位 C 连接。

[0105] 具有布线开关功能的 MLS2 从所述全加法电路 MLA2 输入向下一位的进位 Ca,作为输出通过输入地址—数据对与所述全加法电路 MLA3 的来自上一位的进位 C 连接。

[0106] 具有布线开关功能的 MLS3 从所述全加法电路 MLA3 输入向下一位的进位 Ca,作为输出通过输入地址—数据对与所述全加法电路 MLA4 的来自上一位的进位 C 连接。

[0107] 具有布线开关功能的 MLS4 从所述全加法电路 MLA4 输入向下一位的进位 Ca,并输出作为 4 位加法器的进位。

[0108] 如上所述,成为如下的电路结构:将由 4 位构成的 (A1、A2、A3、A4) 的被运算值和由 4 位构成的 (B1、B2、B3、B4) 的运算值作为输入信号,并得到作为运算结果的 (S1、S2、S3、S4) 和作为进位信号的进位输出信号 Ca。

[0109] (采用触发器的电路)

[0110] 以上示出了对图 7 中的 1 位全加法电路、图 8 中的 4 位加法电路的应用例,但是均为用此时的输入信号唯一决定的所谓的组合电路。与此相对,将即使为相同的输入信号,输出结果也根据事先的状态而不同的电路称作顺序电路。在顺序电路中,一般需要存储了上一状态的锁存电路或触发电路。

[0111] 此外,即使是组合电路也存在各种输入,在向功能电路输入时,如果在各信号之间存在延迟或到达定时存在偏差,则有时过渡性地产生错误动作或不适当的输出信号。在这种情况下,使用触发器等获取信号的同步是权威方法。

[0112] 在本发明中,以在图 1 的 M4 上附带的 D 型触发器为例进行了示出。此外,图 14 是进一步详细示出了图 1 中的 MULT M4 与 D 型触发器的连接关系的电路框图。在图 14 中,在 MLUT1401 与 D 型触发器 1402 之间采用图 5 中的地址—数据对 P6。地址—数据对 P6 与用作近距离布线的地址—数据对 P0 ~ P5 不同,是为了与 D 型触发器的信号交换而保留的地址—数据对。在图 14 中,MLUT1401 的地址—数据对 P6 与 D 型触发器 1402 的 D 端子 1411

及 Q 端子 1412 连接。此外,在 D 型触发器 1402 的 CL 信号端子 1413 中选择作为用于获取同步的基准的信号并进行连接。

[0113] 图 15(a)、(b) 是示出了各 MLUT 和 D 型触发器的配置关系的布局框图。在图 15(a) 中示出排列有多个 MLUT1561 ~ 1563 等的状态,并配置有多个 D 型触发器组 1521。表示在 MLUT 组的外侧一并配置了许多个 D 型触发器的状态。此外,图 15(b) 示出了如图 1 和图 6 所示,在 MLUT 组 (1552 ~ 1553 等) 中广泛地均匀地配置了 D 型触发器 1512、1513 的状态。

[0114] 图 15(a) 在 MLUT 分别使用 D 型触发器的情况下,成为相分离的位置关系,因此产生布线的浪费和混杂、不是适当配置的情况较多。与此相对,在图 15(b) 中, D 型触发器比较接近各 MLUT 而存在,因此能够有效利用。从这些也可知,图 1 的 MLUT 块的结构优异。

[0115] (关于触发器的电路结构)

[0116] 图 9 是示出在图 6 中示出的 D 型触发器的具体电路结构的第 1 例的电路图。另外,图 9 所示的电路是 1 位的主型的 D 型触发器。以下记述结构和动作。

[0117] 在图 9 中,D 型触发器由反相电路 904、902 和时钟脉冲门反相电路 901、903 构成。另外,所谓时钟脉冲门反相电路,是根据时钟信号是 1 还是 0 来决定是否发出输出信号的反相电路(反转电路)。

[0118] 另外,在反相电路 904 的输入端子中输入控制动作定时的时钟信号(CL),从输出端子输出时钟信号的反转信号。在时钟脉冲门反相电路 901 的输入端子中输入应控制的数据信号(D)905,使输出端子输出数据信号的反转信号。其中,通过时钟信号(CL)(端子 906)控制是否对输出信号进行输出。反相电路 902 的输入端子与时钟脉冲门反相电路 901 的输出端子连接,反相电路 902 的输出端子与作为 D 型触发器端子的输出端子(Q)907 连接。此外,反相电路 902 的输出端子与时钟脉冲门反相电路 903 的输入端子连接。时钟脉冲门反相电路 903 的输出端子与反相电路 902 的输入端子连接。其中,时钟脉冲门反相电路 903 的输出被以由反相电路 904 的输出信号进行控制的方式进行连接,因此被控制为时钟信号(CL)的反转信号。

[0119] 另外,在将信号设为 2 值并分别用 1、0 表现正信号和负信号时,在从端子 906 输入的时钟信号(CL)为 1 的情况下,D 型触发器的输入信号端子 905 的数据信号(D)被时钟脉冲门反相电路 901 反转,进一步被反相电路 902 反转,从而与数据信号(D)相同的信号被立即输出到 D 型触发器的输出信号端子 907。另外,此时在时钟脉冲门反相电路 903 的输入端子中输入了输出信号端子 907 的与数据信号(D)相同的信号,但由于通过作为时钟信号(CL)的反转信号的反相电路 904 的输出信号来控制,因此不向时钟脉冲门反相电路 903 的输出端子中输出输出信号(不输出 1 或 0,而处于高阻抗状态)。

[0120] 接着,在从端子 906 输入的时钟信号(CL)变为 0 时,不向时钟脉冲门反相电路 901 的输出端子发出输出信号。另一方面,时钟脉冲门反相电路 903 的控制信号为 1,因此输出信号端子 907 的数据信号(D)的反转信号被输出到时钟脉冲门反相电路 903 的输出端子。接收该信号,反相电路 902 的输出端子输出数据信号(D)的反转信号的反转信号、即数据信号(D),并且与时钟脉冲门反相电路 903 的输入端子连接,因此反相电路 902 和时钟脉冲门反相电路 903 构成锁存电路,并在时钟信号(CL)为 0 的期间,存储并保持上一状态的数据信号(D)。在该时钟信号(CL)为 0 的期间,当 D 型触发器的输入信号端子 905 的数据如何发生改变时,保持并输出上一状态的数据信号(D)。该 D 型触发器在时钟信号(CL)变为 1

后根据新的数据信号 (D) 输出新的输出信号。在那之前, 存储并持续输出上一状态的数据信号 (D)。以上为图 9 的 1 位的主型的 D 型触发器的基本动作。

[0121] 图 11 是示出 D 型触发器的具体电路结构的第 2 例的电路图。另外, 图 11 所示的电路是 2 位的主—从型的 D 型触发器。

[0122] 在图 11 中, 由如下的 D 型触发器构成: 主部的 1 位的 D 型触发器, 其由反相电路 904、902 和时钟脉冲门反相电路 901、903 构成; 以及从部的 1 位的 D 型触发器, 其由反相电路 1104、1102 和时钟脉冲门反相电路 1101、1103 构成。图 11 的主部的反相电路 904、902 和时钟脉冲门反相电路 901、903 的结构与图 9 的反相电路 904、902 和时钟脉冲门反相电路 901、903 为完全相同的结构, 对应元件的各编号也相同。因此, 上述的主部具有作为 1 位的 D 型触发器的功能。

[0123] 此外, 图 11 的从部的反相电路 1104、1102 以及时钟脉冲门反相电路 1101、1103 的结构与图 11 的主部的反相电路 904、902 和时钟脉冲门反相电路 901、903 为完全相同的结构, 各编号的下一位分别依次对应。因此, 图 11 的由反相电路 1104、1102 和时钟脉冲门反相电路 1101、1103 构成的从部也具有作为 1 位的 D 型触发器的功能。

[0124] 其中, 被提供给时钟脉冲门反相电路 1101、1103 的时钟信号 CL 及其反转信号与被提供给时钟脉冲门反相电路 901、903 的时钟信号 CL 及其反转信号分别为相反的相位关系。此外, 作为主部的输出部的反相器 902 的输出端子 M 与作为从部的输入端子的时钟脉冲门反相电路 1101 的输入端子连接。另外, 输入到从部的输入端子的主部的输出端子 M 经过从部的 1 位的 D 型触发器, 作为从部的输出信号 Q 输出到反相电路 1102 的输出信号。

[0125] 因此, 图 11 中的主部的 1 位的 D 型触发器和从部的 1 位的 D 型触发器被合体, 并且动作的相位被反转, 因此作为 2 位的主—从型的 D 型触发器进行动作。

[0126] 图 12 是示出 D 型触发器的具体电路结构的第 3 例的电路图。另外, 图 12 所示的电路是 2 位的主—从型的 D 型触发器。

[0127] 在图 12 中, 主部的 D 型触发器由反相电路 1222、1223 和传输门电路 1224、1225 构成。另外, 所谓传输门电路是如下电路: 将 N 型 MOSFET 和 P 型 MOSFET 并联连接, 具有各个栅极电极施加相反相位的信号来进行导通 / 截止 (ON/OFF) 控制的开闭器的功能。另外, 所谓 MOSFET, 是场效应型晶体管, 是 Metal-Oxide-Semiconductor Field-Effect Transistor 的简称。在主部的 D 型触发器中, 反相电路 1222 和 1223 经由传输门电路 1225 构成锁存电路。此外, 经由传输门电路 1224、1225 具有数据传送 (在图 12 中为从 D 向 M 的反转) 功能、和数据 (M 的反转) 的锁存功能。

[0128] 此外, 从部的 D 型触发器由反相电路 1232、1233 和传输门电路 1234、1235 构成。

[0129] 在从部的 D 型触发器中, 反相电路 1232 和 1233 经由传输门电路 1235 构成锁存电路。此外, 经由传输门电路 1234、1235 而具有数据传送 (在图 12 中为从 M 反转为 Q) 功能、和数据 (M 的反转) 的锁存功能。

[0130] 此外, 在图 12 中, 反相电路 1204 和 1205 分别生成 CL 的反转信号和双重的反转信号 (即正转信号), 并提供给传输门电路 1224、1225、1234、1235。

[0131] 如上所述, 在图 12 中, 上述主部的 D 型触发器和从部的 D 型触发器由相互相反相位的控制信号 CL 控制, 因此图 12 的电路作为 2 位的主—从型的 D 型触发器进行动作。

[0132] 图 10 是与图 9 的结构不同的 D 型触发器的电路图。另外, 图 10 的电路是 1 位的

主型的 D 型触发器。

[0133] 在图 10 中,组合使 NAND 电路 1002、1003 的输入输出线为相互交叉式结构的锁存电路、NAND 电路 1001、1004 和反相电路 1005,作为 D 型触发器具有输入数据信号 D、控制时钟信号 CL、输出信号 Q 和 Q 的反转输出信号。图 10 是的电路结构是熟知的,因此省略详细说明。

[0134] 图 13 是将 2 个图 10 的 1 位的主型的 D 型触发器重叠作为 2 位的主—从型的触发器的结构的电路图。

[0135] 在图 13 中,由 NAND 电路 1001、1002、1003、1004 和反相电路 1005 构成的电路与图 10 的电路完全相同。在图 13 中,NAND 电路 1301、1302、1303、1304 的结构与 NAND 电路 1001、1002、1003、1004 分别对应,基本具有相同功能。虽然省略详细说明,但是图 13 为 2 位的主—从型的触发器。

[0136] 如上所述,从图 9 到图 13 示出了 1 位的主型的 D 型触发器和 2 位的主—从型的触发器的各种结构例。因此可知,即使都称作 D 型触发器也具有各种功能和结构。根据用途选择最佳的 D 型触发器的结构即可。

[0137] 此外,触发器不仅有 D 型触发器,还存在 RS 型触发器、JK 型触发器、T 型触发器等各种。这些触发器的功能和结构是熟知的,因此省略详细说明。

[0138] 其中,能够根据需要选择各种搭载于 MLUT 块的触发器。

[0139] (关于间隔布线)

[0140] 接着,说明 MLUT 之间的间隔布线。另外,关于间隔布线与近距离布线的不同,已经简单进行了记述,但是为了容易理解,虽然一部分重复,以下详细进行记载。

[0141] 另外,图 1、图 6 等中的布线仅图示近距离布线,未对间隔布线进行图示。以下详细叙述间隔布线。

[0142] 另外,以下再次列举间隔布线和近距离布线的定义。

[0143] 将在同一平面上相互相邻的 MLUT 之间进行布线称作近距离布线。

[0144] 将在同一平面上不相互相邻的 MLUT 之间、或者 MLUT 块之间进行布线称作间隔布线。

[0145] 此外,关于近距离布线,使用图 5 的地址—数据对 P0 ~ P5。

[0146] 此外,关于间隔布线,使用图 5 的地址—数据对 P6。

[0147] 另外,在图 1 中,关于 MLUT M4,地址—数据对 P6 被用于 D 型触发器用,但是 MLUT M0 ~ M3 和 MLUT M5 ~ M8 的地址—数据对 P6 全部用于间隔布线。其中,在图 1 中进行图示的布线全部是仅为使用地址—数据对 P0 ~ P5 的近距离布线,未对使用地址—数据对 P6 的间隔布线进行图示。

[0148] 接着,图 16 的布线图中,对在由 MLUT M0 ~ M8 构成的 MLUT 块中使用对地址—数据对 P0 ~ P5 的近距离布线未进行图示,仅对使用地址—数据对 P6 的间隔布线进行了图示。

[0149] 在图 16 中,由 MLUT M0 ~ M89 个 MLUT 构成。此外,仅在 MLUT M4 中附带 D 型触发器。其中,未对 D 型触发器进行图示。如上所述,在 MLUT M4 中附带了 D 型触发器,因此地址—数据对 P6 被用于触发器用,不能使用于间隔布线。示出了 MLUT M0 ~ M3 和 MLUT M5 ~ M8 的各地址—数据对 P6 的间隔布线延伸到 MLUT 块的外部的状态。此外,如上所述,仅 MLUT M4 配置了 D 型触发器的方面、和不使用间隔布线的方面与其他 MLUT M0 ~ M3 以及

MLUT M5 ~ M8 不同,因此用方形围起 M4 来进行表现,与用圆形围起其他的 M0 ~ M3 和 M5 ~ M8 的表现进行区别。

[0150] 图 17 是示出间隔布线的接线的两种图案的布线图。在 MLUT 块中,间隔布线的连接方式存在种种可能性,在图 17 中示出了两种间隔布线图案。图 17(a) 将 MLUT M0、M5 中的地址—数据对 P6 的间隔布线布线为下方向,将 MLUT M3、M8 中的地址—数据对 P6 的间隔布线布线为上方向。将该图 17(a) 称作间隔布线图案 1。此外,图 17(b) 将 MLUT M0、M5 中的地址—数据对 P6 的间隔布线布线为上方向,将 MLUT M3、M8 中的地址—数据对 P6 的间隔布线布线为下方向。将该图 17(b) 称作间隔布线图案 2。

[0151] 另外,在将分别具有图 17(a)、(b) 的间隔布线图案 1 和间隔布线图案 2 的 2 个 MLUT 块配置成上下关系时,间隔布线图案 1 的图 17(a) 的 MLUT M0、M5 中的地址—数据对 P6 的间隔布线被布线为下方向,并且间隔布线图案 2 的图 17(b) 的 MLUT M0、M5 中的地址—数据对 P6 的间隔布线被布线为上方向,因此分别具有间隔布线图案 1 和间隔布线图案 2 的 2 个 MLUT 块的 MLUT M0、M5 被连接了位置关系适合的布线。

[0152] 此外,与上述情况相反,在将分别具有图 17(a)、(b) 的间隔布线图案 1 和间隔布线图案 2 的 2 个 MLUT 块配置成间隔布线图案 2 在上、间隔布线图案 1 在下的位置关系时,间隔布线图案 2 的图 17(b) 的 MLUT M3、M8 中的地址—数据对 P6 的间隔布线被布线为下方向,并且间隔布线图案 1 的图 17(a) 的 MLUT M3、M8 中的地址—数据对 P6 的间隔布线被布线为上方向,因此分别具有间隔布线图案 2 和间隔布线图案 1 的 2 个 MLUT 块的 MLUT M3、M8 被连接了位置关系适合的布线。

[0153] 另外,在上述间隔布线图案 1 和间隔布线图案 2 中,关于 MLUT M1、M2、M6、M7,具有相同类型的间隔布线图案。即使在左右配置了上述间隔布线图案 1 和间隔布线图案 2 的两个 MLUT 块的情况下,在图 17(a)、(b) 的情况下,也能够没有障碍地连接适合的布线。因此,即使在组合了相同类型的间隔布线图案的情况下,也能够连接位置关系适合的布线。

[0154] 图 18 是图示了利用图 17(a)、(b) 所示的间隔布线图案 1 和间隔布线图案 2 的组合将 MLUT 块配置成瓷砖状,经由各 MLUT 块的各 MLUT 的间隔布线的一部分的布线图。另外,以示出上下、左右的各 MLUT 块之间的各 MLUT 中的间隔布线的配置状态为目的,因此对于位于可能妨碍理解的其他位置的 MLUT 块、和间隔布线重叠显示可能变烦杂的其他 MLUT 的间隔布线有意不进行图示。

[0155] 在图 18 中,MLUT 块 1801 由上述间隔布线图案 1 构成,MLUT 块 1802 由间隔布线图案 2 构成。可知在 MLUT 块 1801 中的 MLUT M0、M5 中的间隔布线、和 MLUT 块 1802 中的 MLUT M0、M5 中的间隔布线为上下方向的布线中,进行了位置关系适合的布线连接。

[0156] 此外,在图 18 中,MLUT 块 1803 由上述间隔布线图案 2 构成。如上所述,MLUT 块 1801 由间隔布线图案 1 构成。因此,可知在 MLUT 块 1803 中的 MLUT M3、M8 中的下方向的间隔布线、和 MLUT 块 1801 中的 MLUT M3、M8 中的上方向的间隔布线为上下方向的布线中,进行了位置关系适合的布线连接。

[0157] 图 19 是示出在平面上规则地配置了包含间隔布线的 MLUT 块时的布局图案的高效组合的布局的块配置图。

[0158] 图 19 排列了与图 18 形状相同的 MLUT 块。但是,在自动重复并高效配置布局图案的情况下,在图 18 的 MLUT 块的组合中包含多种间隔布线图案,因此有时比较烦杂,在布局

设计上需要大量的时间,或者可能引起错误。

[0159] 在图 19 中,示出利用同一图案的重复而获得的高效的 MLUT 块的组合。图 19 中的 MLUT 块 1801、1802、1803 与图 18 中的 MLUT 块 1801、1802、1803 直接对应。在图 19 中,以由包含用虚线 1910 示出的 MLUT 块 1801、1802,但不包含 MLUT 块 1803 的 4 个 × 4 个构成的块为单位来考虑。

[0160] 此时,当考虑到 MLUT 块 1802 为间隔布线图案 2、MLUT 块 1803 也为间隔布线图案 2 时,在虚线 1901 的横向虚线的上下关系 4 个 × 4 个的 MLUT 块之间重复相同图案,并且在虚线 1901 处,横向的间隔布线图案在各 MLUT 块之间相同,因此如果以图 19 的虚线示出的 4 个 × 4 个的 MLUT 块为基本单位,在平面上规则地进行配置,则能够获得在间隔布线被进行了位置关系适合的布线连接的状态下自动排列全体 MLUT 块的结构。

[0161] (环形布线和环形网)

[0162] 接着,将叙述在间隔布线中作为用于使信号传递特性优化的方法的环形布线。在平面上排列许多相同结构的单元的情况下,有时各单元共用同一信号线。图 22 是用 1 条信号线单纯连接各单元之间的布线图。此时,如图 22 所示,在用一条信号线连接了各单元之间的情况下,位于端点的 0 号单元和 5 号单元仅接受一条信号线,与此相对,1 号单元至 4 号单元接受两条信号线。因此,在位于端点的 0 号和 5 号单元、与位于中间的 1 号单元至 4 号单元之间,至少在接收到的信号线的数量方面丧失了对称性,因此有时在各单元之间的特性中出现差异。此时产生了端点的特异性。

[0163] 图 23 是如下的布线图:以稍微消除端点的信号线数量的特异性为意图,从图 17 的状态用追加的信号线连接了端点的 0 号单元和 5 号单元之间。利用该方法,消除了在各单元之间接收的信号线的条数的差异。但是,在图 23 中,直接连接端点的 0 号单元和 5 号单元之间的信号线的长度与其他单元之间的连接线的长度相比非常长。因此,在电气上,在寄生静电电容和容易受噪声影响等方面产生特性差,从而不能确保各单元之间的对称性。

[0164] 图 24 是尝试进一步消除端点的信号线数量的特异性的布线图。在图 24 中,左端的 0 号单元与跳过一个单元的位置的 2 号单元之间连接信号线,2 号单元与跳过一个单元的位置的 4 号单元之间连接信号线。并且,右端的 5 号单元与跳过一个单元的位置的 3 号单元之间连接信号线。此外,3 号单元与跳过一个单元的位置的 1 号单元之间连接信号线。另外,从 4 号单元向 5 号单元的连接、以及从 1 号单元向 0 号单元的连接是彼此相邻,但这是例外,原则上采取与跳过一个的单元连接的方法。于是,所有的信号线都收敛于最大的信号线间隔,即为跳过一个单元的位置的距离。因此,接收到的信号线的数量、和信号线的连接间隔在所有单元之间大致相等,各单元的电特性均匀,容易进行控制,并且能够确保稳定的性能。一般将这种一边跳过一个一边布线成环状、确保均匀且稳定的性能 of 的布线方法称作环形布线。

[0165] 在图 24 中示出了 1 条环形布线,但是图 21 图示了在地址线等中进行多条的情况。此处,在横向上,1 信号由 2 条对构成环状,并且在跳过一个进行布线的同时而成为环形结构。并且,排列这些结构的多个信号对。此外,不仅是横向,在纵向上,1 信号也由 2 条对构成环状,并且在跳过一个进行布线的同时而成为环形结构。并且,排列这些结构的多个信号对。因此,图 21 在横向和纵向上,多个信号线进行环形结构的配置,一般是称作环形网的结构。

[0166] 如上所述,图 18 示出了本发明的 MLUT 之间以及 MLUT 块之间的间隔布线,但只是在一部分中采用了环形结构的例子。在图 18 中,MLUT 和 MLUT 块分别构成了基本单位,因此通过跳过 M (M 为 1 以上的整数) 来对 MLUT 和 MLUT 块进行布线,用环形结构实现了间隔布线。另外,在图 18 中,可以设为跳过 6 个 MLUT 的结构,也可以设为跳过 1 个 MLUT 块的结构。怎样都可以解释。

[0167] 这样,通过以 MLUT 为单位、以 MLUT 块为单位构成环形结构或环形网,本发明能够提供即使分别针对长度不同的距离,各自特性也均匀且稳定的最佳间隔布线。

[0168] 此外,在以上的说明中,示出了跳过 1 个 MLUT 或 MLUT 块的例子,但是还能跳过 2 个以上。只要使跳过的个数具有规则性,则能够得到均匀且稳定的特性的间隔布线。

[0169] (环形布线的间隔布线例)

[0170] 另外,在图 20 中示出在平面上规则地配置了 MLUT 块的本发明中所包含的间隔布线应用了环形布线的布线图的例子。在图 20 中,MLUT 块 2001、2002、2003、2004、2005、2006 作为间隔布线具有图 17(a)、(b) 的间隔布线图案 1 或间隔布线图案 2。因此,能够根据上述环形布线的考虑方法进行间隔布线。

[0171] 在图 20 中在平面上规则地配置的 MLUT 块 2001、2002、2003、2004、2005、2006 中,在 MLUT 块 2002 与 MLUT 块 2004 之间跳过 1 个 MLUT 块 2003 来布线间隔布线 2R24。此外,在 MLUT 块 2004 与 MLUT 块 2006 之间跳过 1 个 MLUT 块 2005 来布线间隔布线 2R46。以上图示为相对于 MLUT 块 2002、2003、2004、2005、2006 在右侧进行布线。

[0172] 此外,在 MLUT 块 2001 与 MLUT 块 2003 之间跳过 1 个 MLUT 块 2002 来布线间隔布线 2L13。此外,在 MLUT 块 2003 与 MLUT 块 2005 之间跳过 1 个 MLUT 块 2004 来布线间隔布线 2L35。以上图示为相对于 MLUT 块 2001、2002、2003、2004、2005 在左侧进行布线。

[0173] 如上所述,对于 MLUT 块 2001、2002、2003、2004、2005、2006,逐个跳过 MLUT 块在右侧布线间隔布线 2R24 和 2R46,并且逐个跳过 MLUT 块在左侧布线间隔布线 2L13 和 2L35。以下,省略对所有区域的说明,但是如上所述可知,能够在平面上规则地配置了 MLUT 块的状态下将上述环形布线应用于纵向的间隔布线。并且可知,在左右方向上,也能够能够在平面上规则地配置了 MLUT 块的状态下将上述环形布线应用于间隔布线。因此,在纵向的间隔布线、和左右方向的间隔布线中都能够应用环形布线,因此可知图 20 的 MLUT 块组构成了环形布线网。

[0174] (其他实施方式)

[0175] 本发明不受上述实施方式限定。以下列举例子。

[0176] 示出了构成本发明的 MLUT 块为组合了 9 个 MLUT 的结构,但是一般可以是 K 个 \times L 个 (K 、 L 为 1 以上的整数) 的结构。

[0177] 此外,在该 K 个 \times L 个的结构的情况下,能够在 MLUT 块内配置多个附带触发器的 MLUT。

[0178] 此外,将 K 个 \times L 个 (K 、 L 为 1 以上的正整数) 的结构设为基本结构,但是还能够在其一部分的方格框架中替代 MLUT 而配置其他电路要素。

[0179] 此外,以上示出了在平面上排列 MLUT 或 MLUT 块的例子,但是如果采取层叠芯片的方式,则也可以三维装配。

[0180] 此外,在图 1、图 2、图 5 中,示出了地址—数据对由 7 条构成,其中 6 条 (6 对) 被

用于近距离布线、并且 1 条 (1 对) 被用于间隔布线的例子,但是也可以如图 3 所示用 P0 ~ P7 合计 8 条构成地址—数据对。此外,也可以是这以上的条数。在该 P0 ~ P7 合计为 8 条的情况下,图 4 中的存储块的存储容量增加,但是还能够将图 1 中的近距离布线的地址—数据对增加 1 条,并且还能够将图 1 中未图示的间隔布线进一步增加 1 对。

[0181] 此外,如上所述,在组合 MLUT 的结构为 3×3 以外的、一般为 K 个 $\times L$ 个 (K, L 为 1 以上的正整数) 的结构的情况下,地址—数据对的条数根据实际情况为上述条数以外的适当的条数。

[0182] 此外,以上,如图 4 所示,MLUT 所包含的存储块 40 用 SRAM 进行了说明,但是也可以由非易失性存储器构成。在存储块 40 由非易失性存储器构成、图 4 的 MLUT 具有逻辑电路功能的情况下,当暂时截断电源,并再次接通电源时,由于存储器是非易失性的,因此具有在电源接通后立即开始所设定的电路功能动作的效果。此外,同样,如果存储器为非易失性,则在用作存储电路的情况下,也具有在电源接通后能够立即使用的效果。此处,作为非易失性存储器,有 EEPROM (Erasable Programmable Read Only Memory :电可擦除可编程只读存储器) (包含 FLASH 型)、FeRAM (Ferroelectric Random Access Memory :铁电体随机存取存储器)、MRAM (Magnetoresistive Random Access Memory :抗磁电随机存取存储器) 等。

[0183] 此外,以上,对于 MLUT 例示了图 4 所示的结构,但是不一定限于图 4 的结构。将存储块的结构设为 $n \times (2$ 的 n 次方) 的结构,但是也可以设为其他的存储块结构,根据情况还能够实现地址线或数据线的共用。

[0184] 此外,以上,叙述了存在于图 1、图 6 中的触发器由 1 个构成的情况,但是还有搭载多个触发器的情况。在搭载多个触发器时,在用作顺序电路的情况下,使上一状态的状态数的数量增多,因此能够实现复杂的顺序电路。

[0185] 此外,为了获取基于控制信号的同步,在采用触发器的情况下,能够进行利用 2 相的时钟信号和不同的多个控制信号的同步和控制,因此能够构成更高功能的电路。

[0186] 此外,以上,存在于图 1、图 6 中的触发器用 D 型触发器进行了说明,作为其他触发器的情况下,列举了 RS 型、JK 型、T 型触发器的例子,但是有时不一定非要单纯的触发器,其他电路要素也有效。例如也可以是寄存器或计数器。如果搭载了寄存器,则像在图 8 中设为例子的 4 位的加法电路那样,如不等待来自下一位的进位,各位并行地大致同时地进行计算的流水线加法器那样,能够搭载更高速、高功能的电路。

[0187] 此外,在图 17 (a)、(b) 中,在上下方向的布线中记述了两种间隔布线图案 1 和间隔布线图案 2,但是关于左右方向的布线也存在两种间隔布线图案。因此,在上下方向存在两种、在左右方向存在两种,因此如果进行组合,则最低也存在 4 种间隔布线图案。也可以组合使用这种其他的间隔布线图案。

[0188] 此外,示出在间隔布线中应用环形布线的例子,在环形布线的情况下,端点的特异性的影响抵消电气特性的偏差的一个方法如前所述。但是,当考虑二维、三维的平面、曲面时,存在许多具有环形以外的拓扑 (相位几何结构) 的布线。如果使用多层布线,则能够虚拟构成这些其他的拓扑。例如与球面或超立方体等相当的虚拟结构不仅消除上述的端点的特异性,而且还能够具有抵消由于制造过程的空间位置而产生的偏差、根据位置而存在差异的噪声等的结构。

[0189] 产业上的可利用性

[0190] 本发明是可随时变更功能的可编程的 LSI, 并且与以往的 FPGA 相比, 价廉且性能稳定。并且, 与初始的 MPLD 相比, 比较低价, 并且容易构成同步电路和顺序电路, 成为高功能和高性能。因此, 作为性价比好的可编程 LSI, 能够广泛使用多品种少量生产的设备种类、能够引起功能变更的设备种类, 在新产品的开发现场, 作为可编程 LSI, 能够置换为以往的 FPGA 等, 能广泛进行使用。

[0191] 标号说明

[0192] M0 ~ M8、611 ~ 612、1401、1551 ~ 1553、1561 ~ 1563 :MLUT

[0193] P0 ~ P6 :使用地址—数据对的近距离布线

[0194] 11、621、1402、1551 :D 型触发器

[0195] 40 :由 SRAM 构成的存储块

[0196] 41 :地址切换电路

[0197] 42 :地址解码器

[0198] 43 :输出数据切换电路

[0199] 44 :存储动作时数据输入

[0200] 45 :存储动作时输入地址

[0201] 46 :存储动作时数据输出

[0202] 47 :逻辑动作时输入地址

[0203] 48 :逻辑动作时数据输出

[0204] 49 :动作切换信号

[0205] 51 :地址线数据输入

[0206] 52 :数据输出

[0207] 4446 :存储动作时数据输入输出

[0208] 601、1801 ~ 1803、2001 ~ 2006 :MLUT 块

[0209] MLA1 ~ MLA4 :由 MLUT 构成的 1 位加法器

[0210] MLS1 ~ MLS4 :由 MLUT 构成的开关

[0211] 1521 :多个 D 型触发器组

[0212] 2L13、2L35、2R24、2R46 :间隔布线

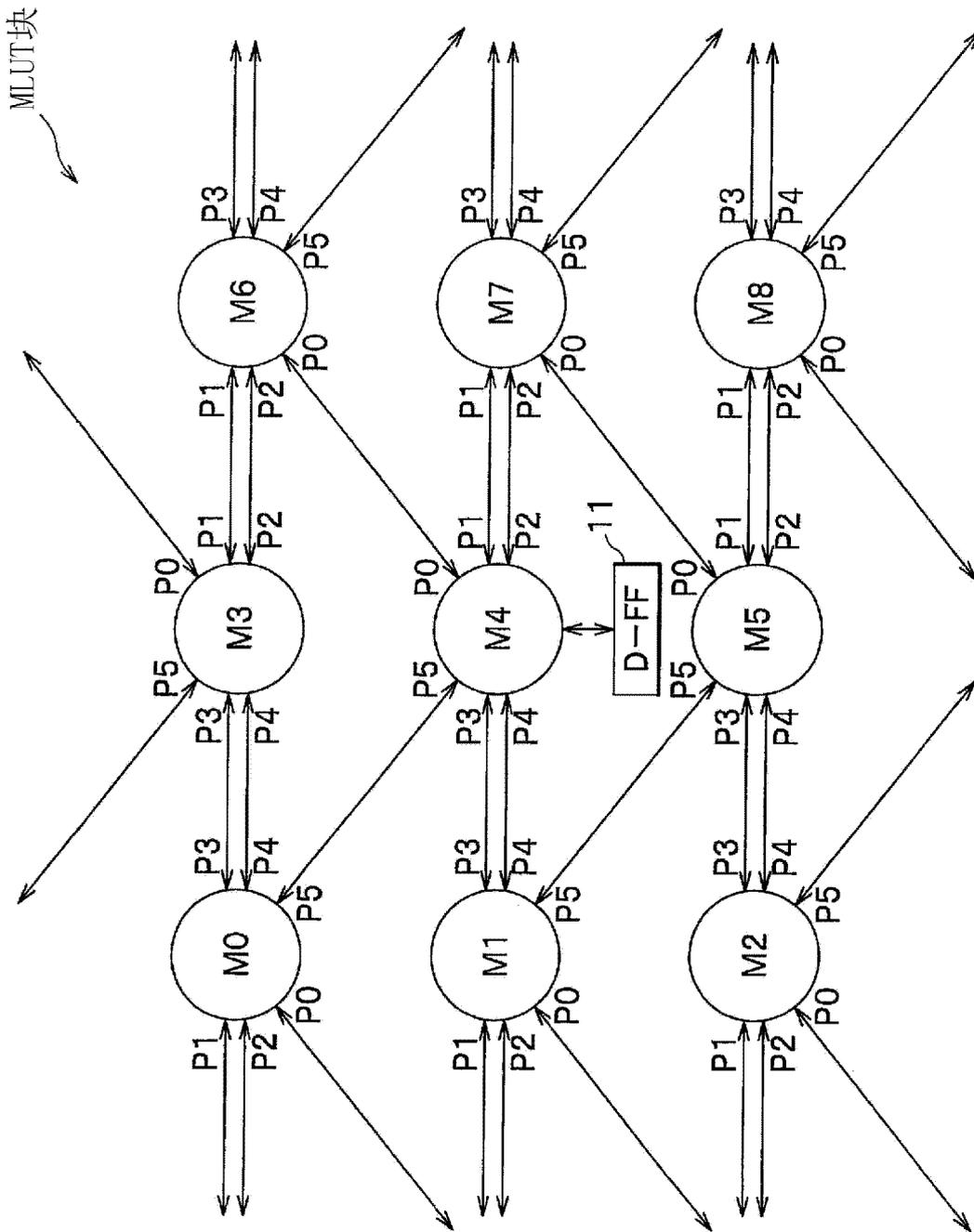
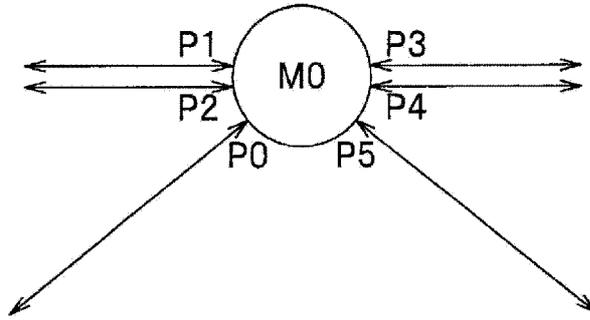


图 1

(a)



(b)

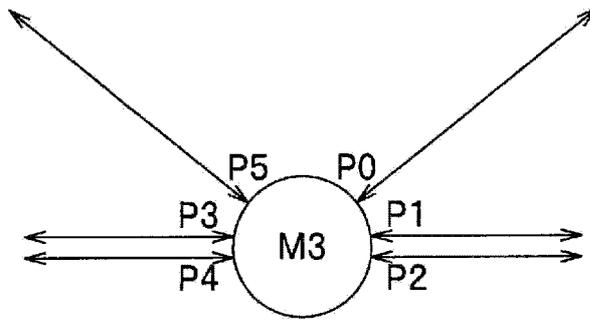


图 2

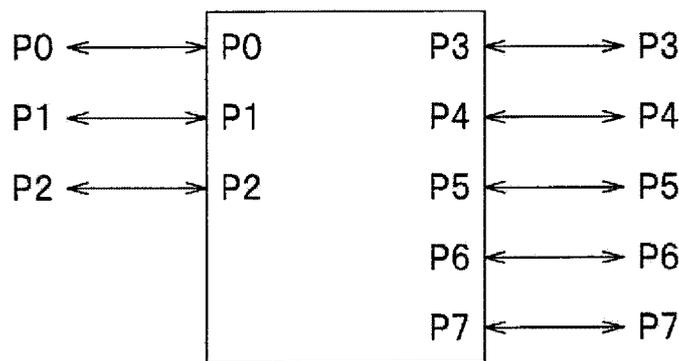


图 3

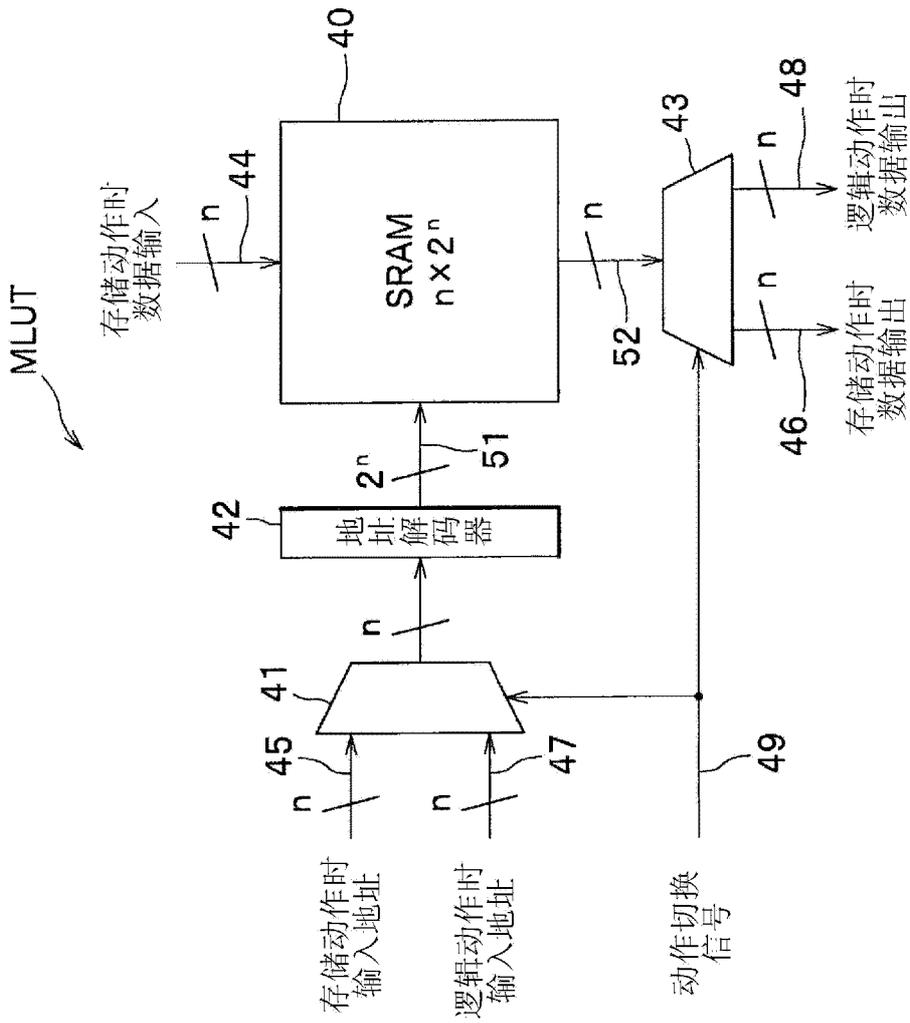


图 4

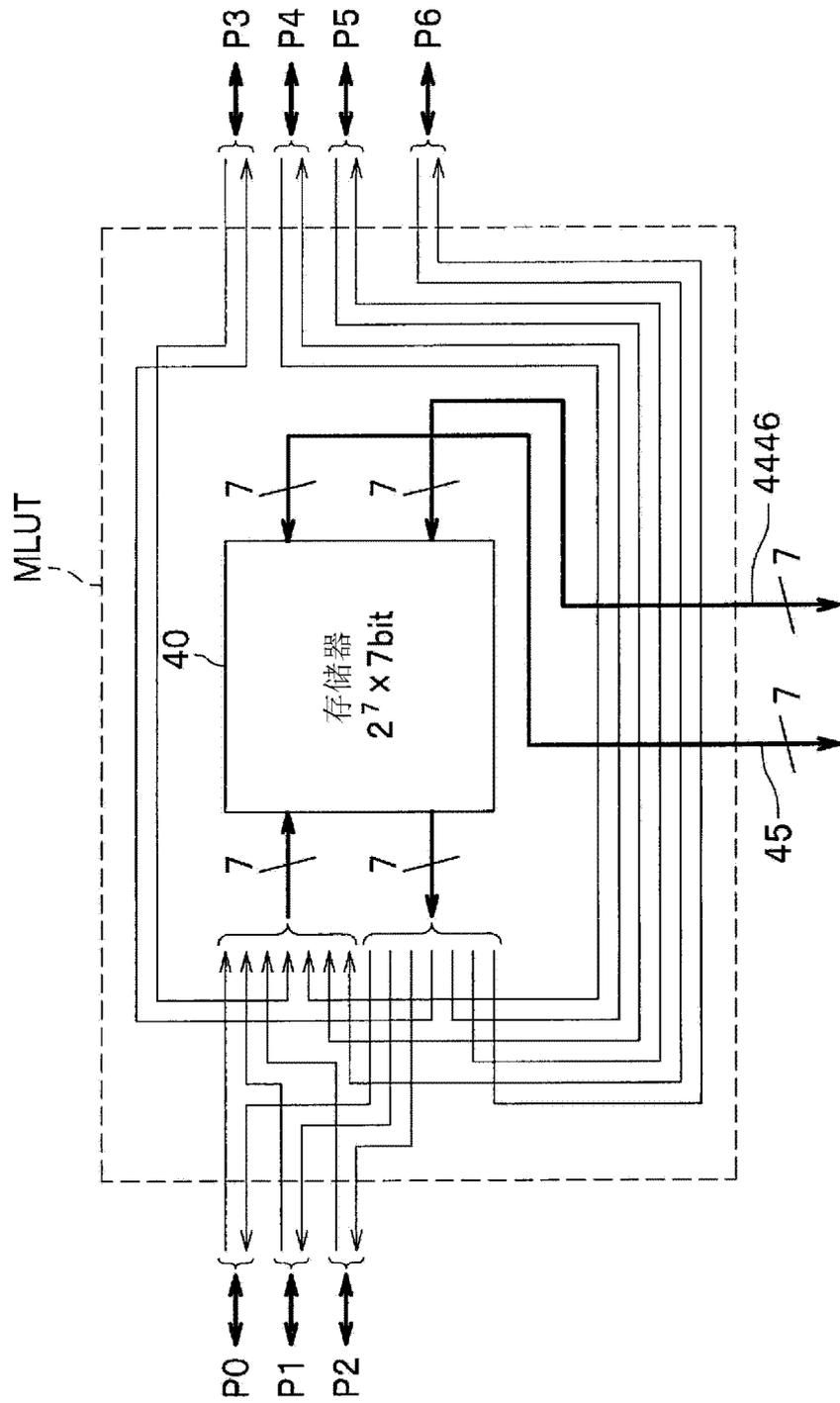


图 5

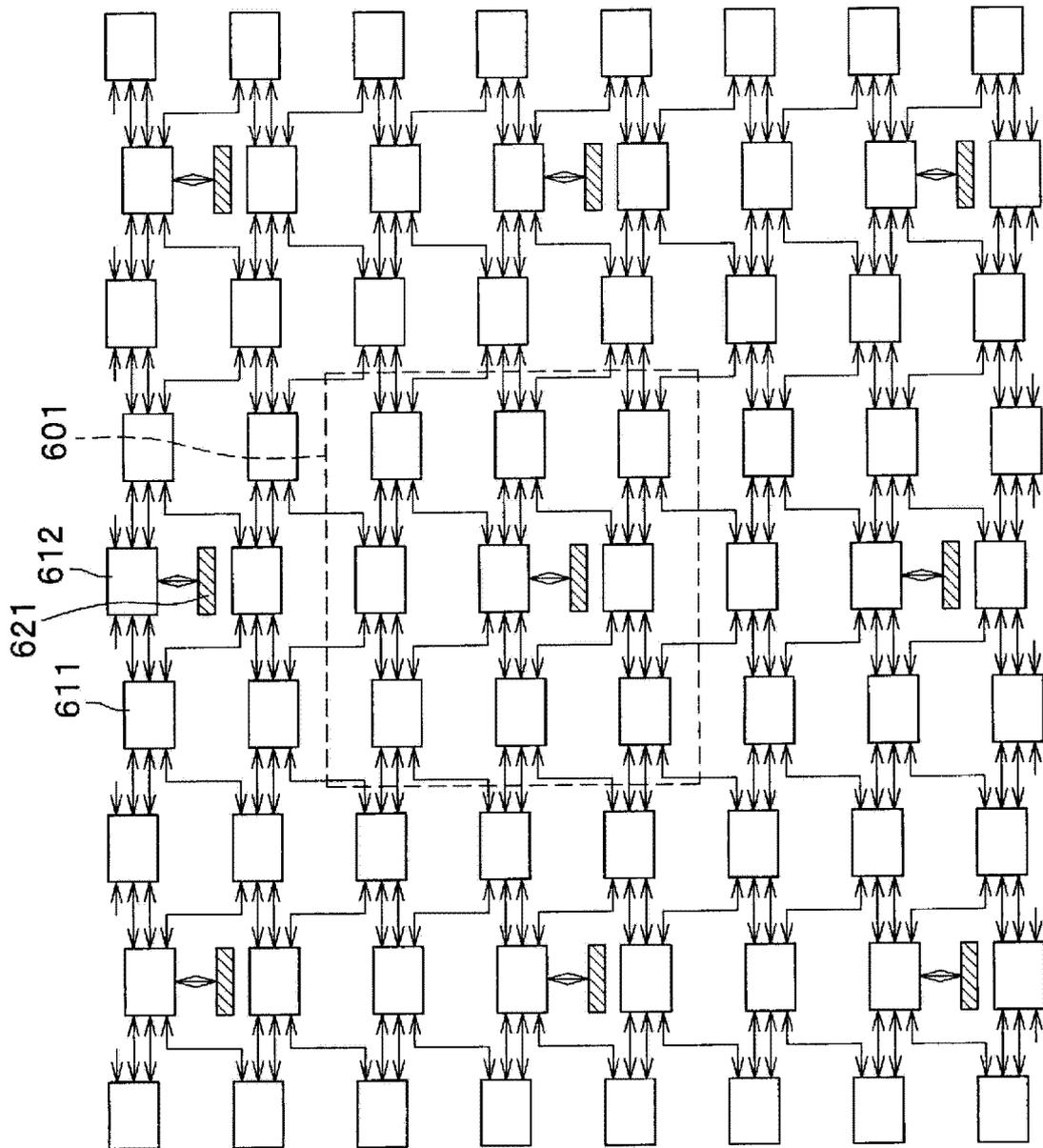


图 6

(a)

输入			输出	
A	B	C	S	Ca
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

(A : 被运算数 C : 来自上一位的进位
 B : 运算数 S : 通过运算得到的和
 Ca : 进位)

(b)

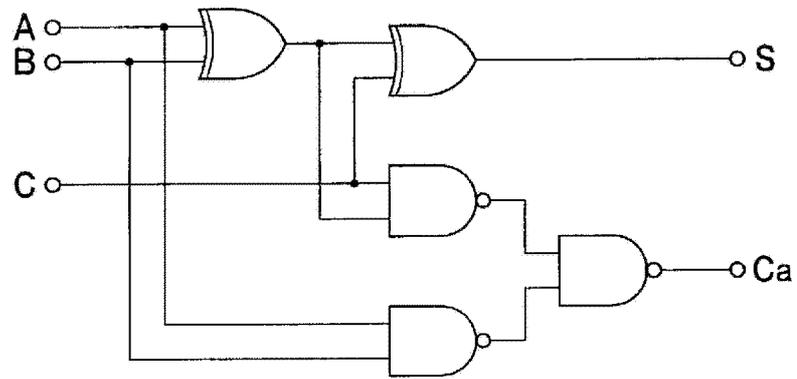


图 7

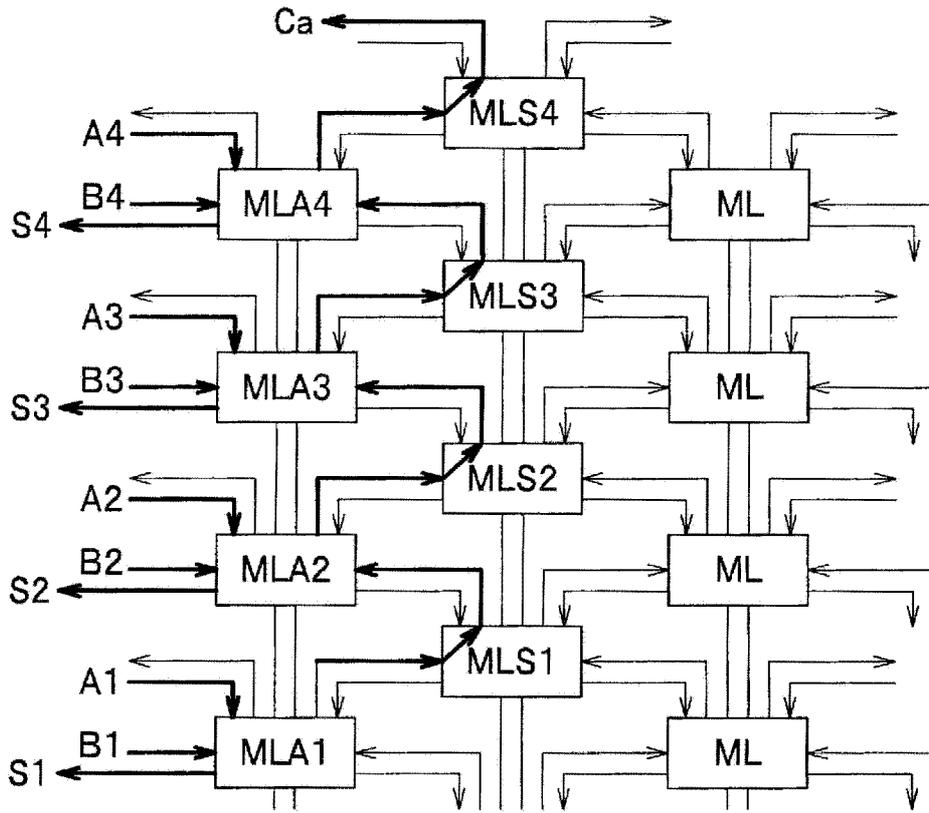


图 8

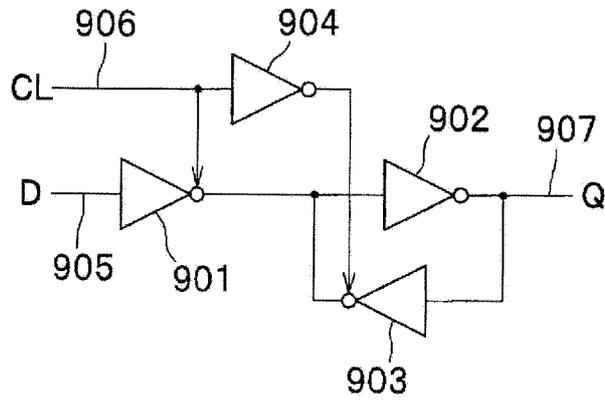


图 9

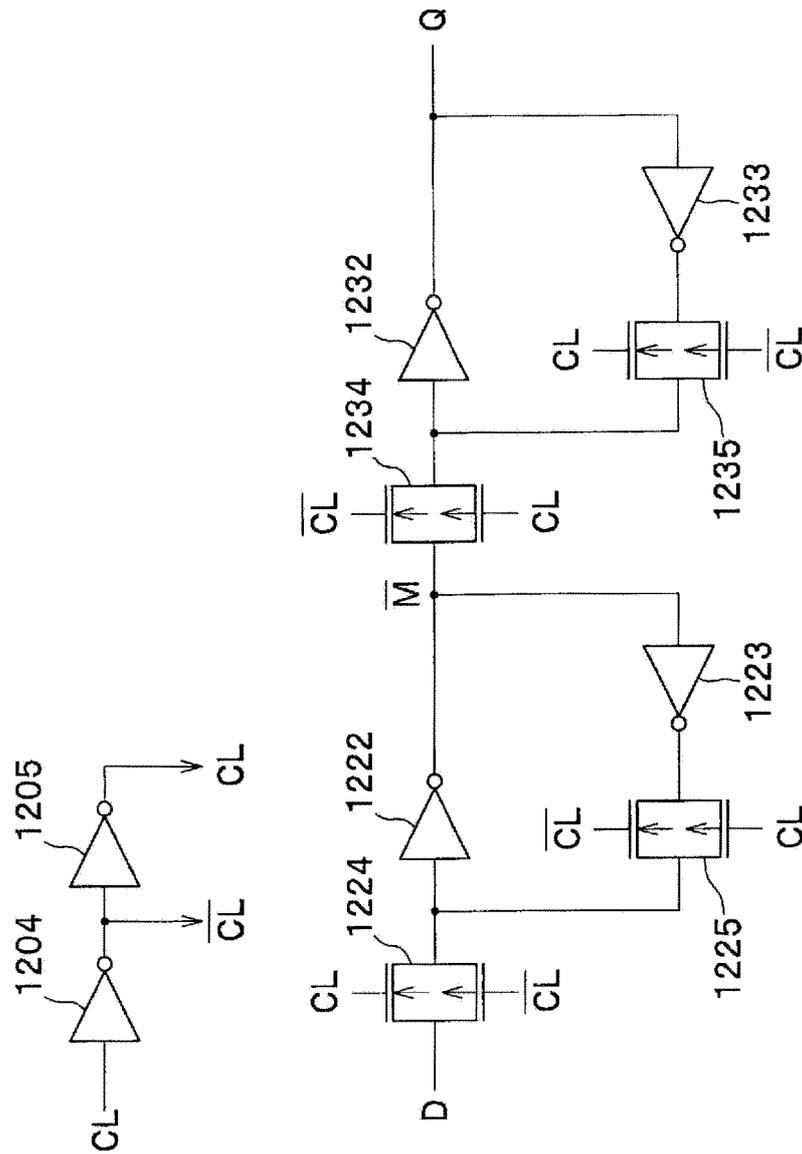


图 12

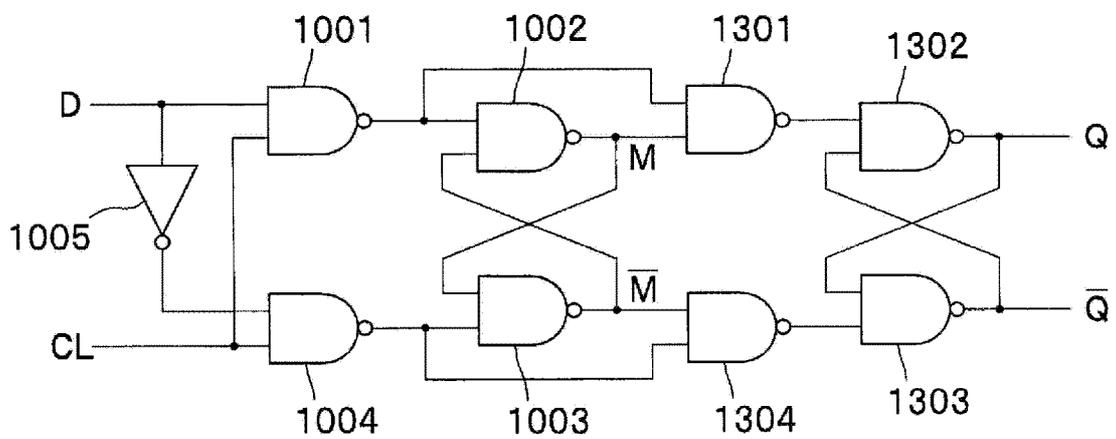


图 13

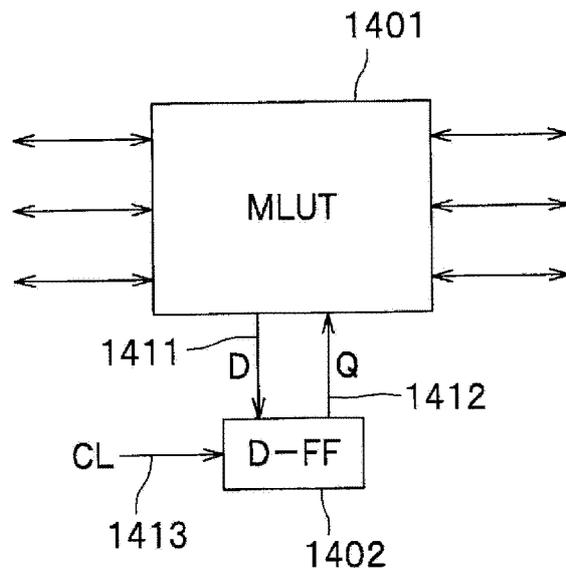
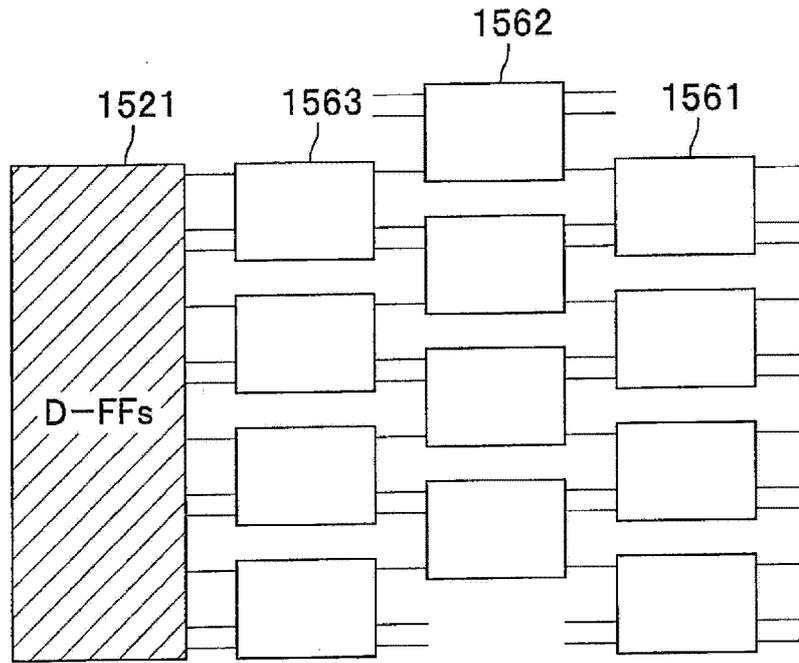


图 14

(a)



(b)

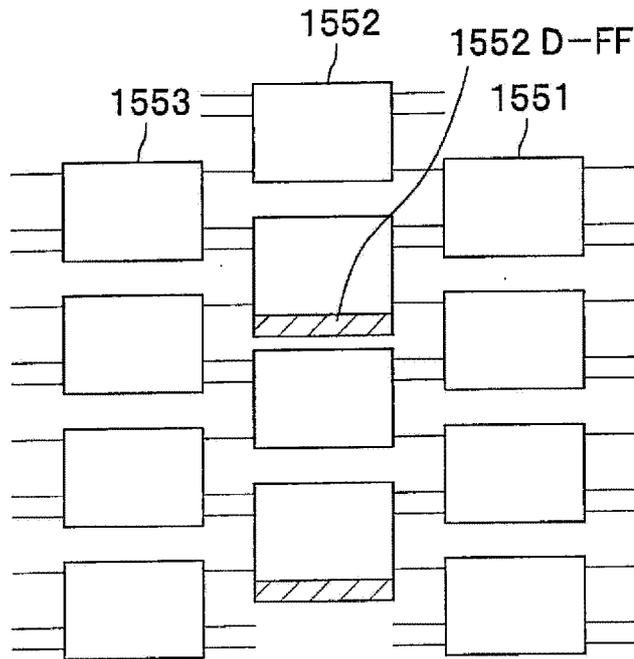


图 15

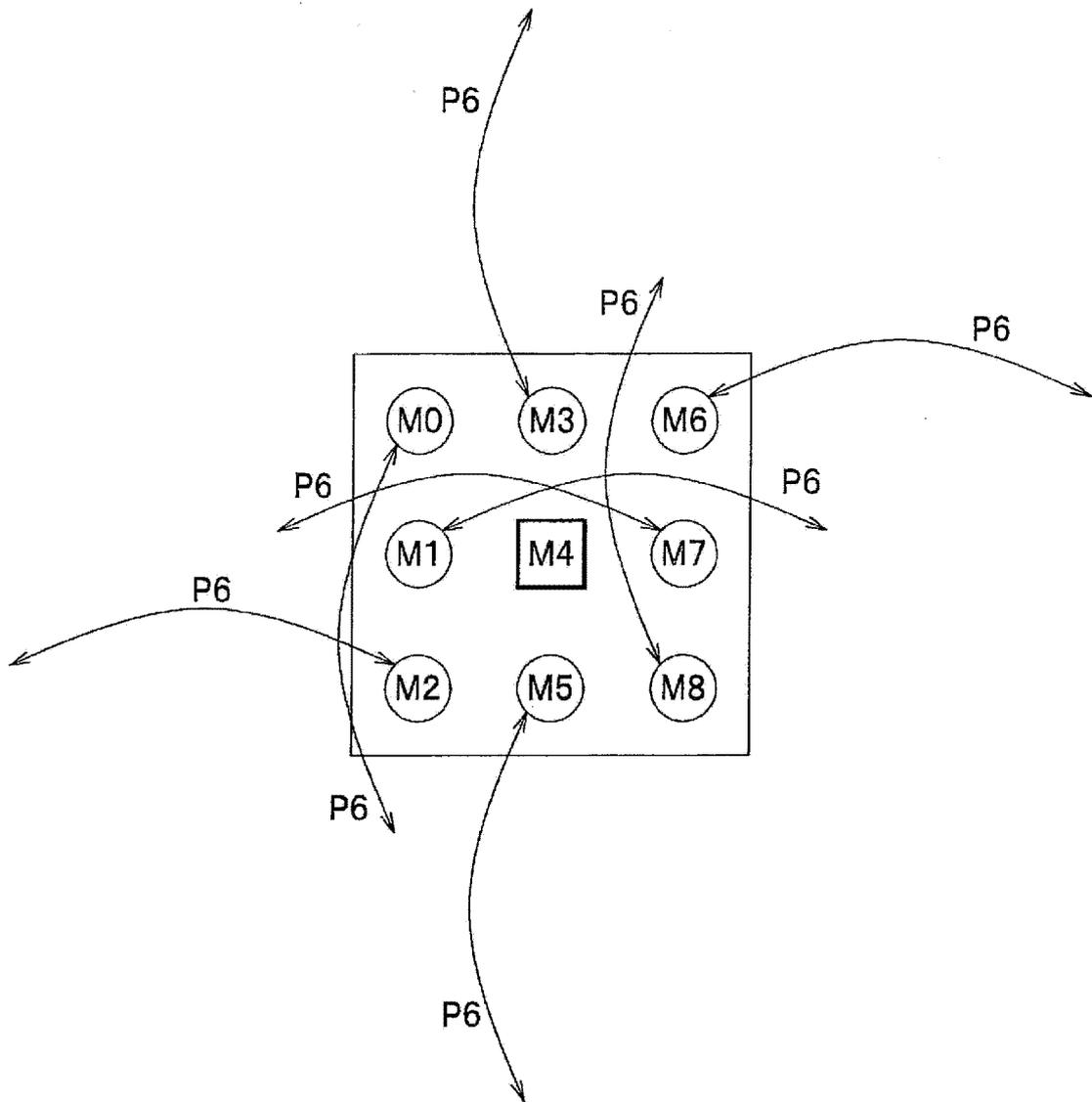
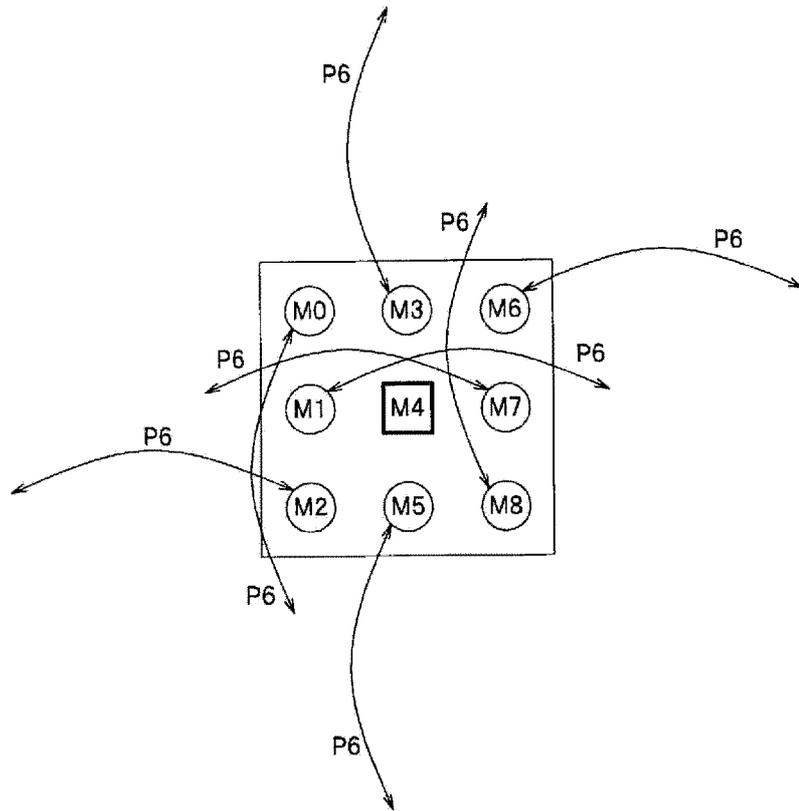


图 16

(a)



(b)

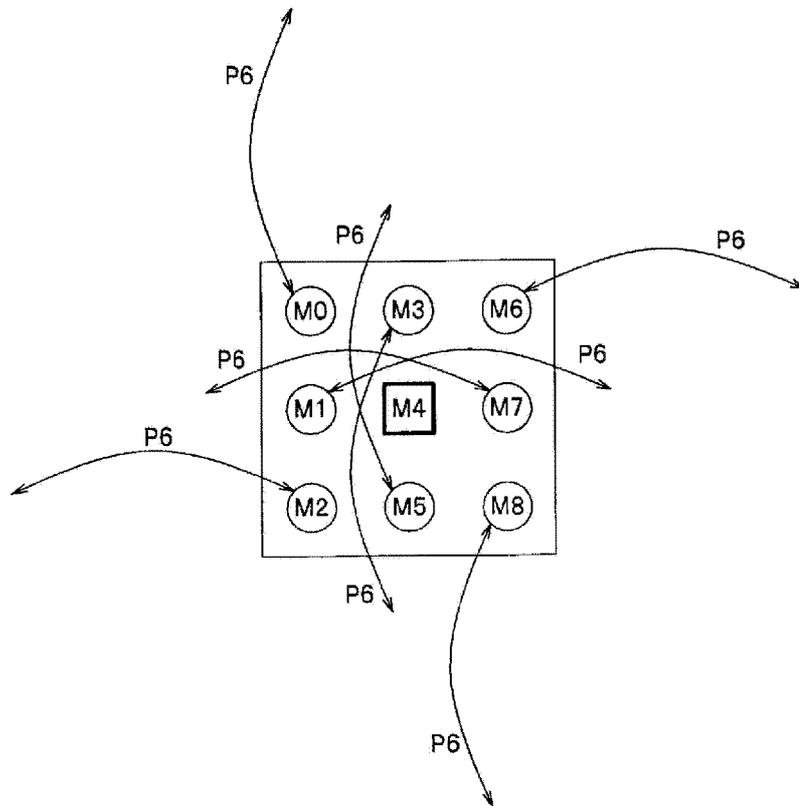


图 17

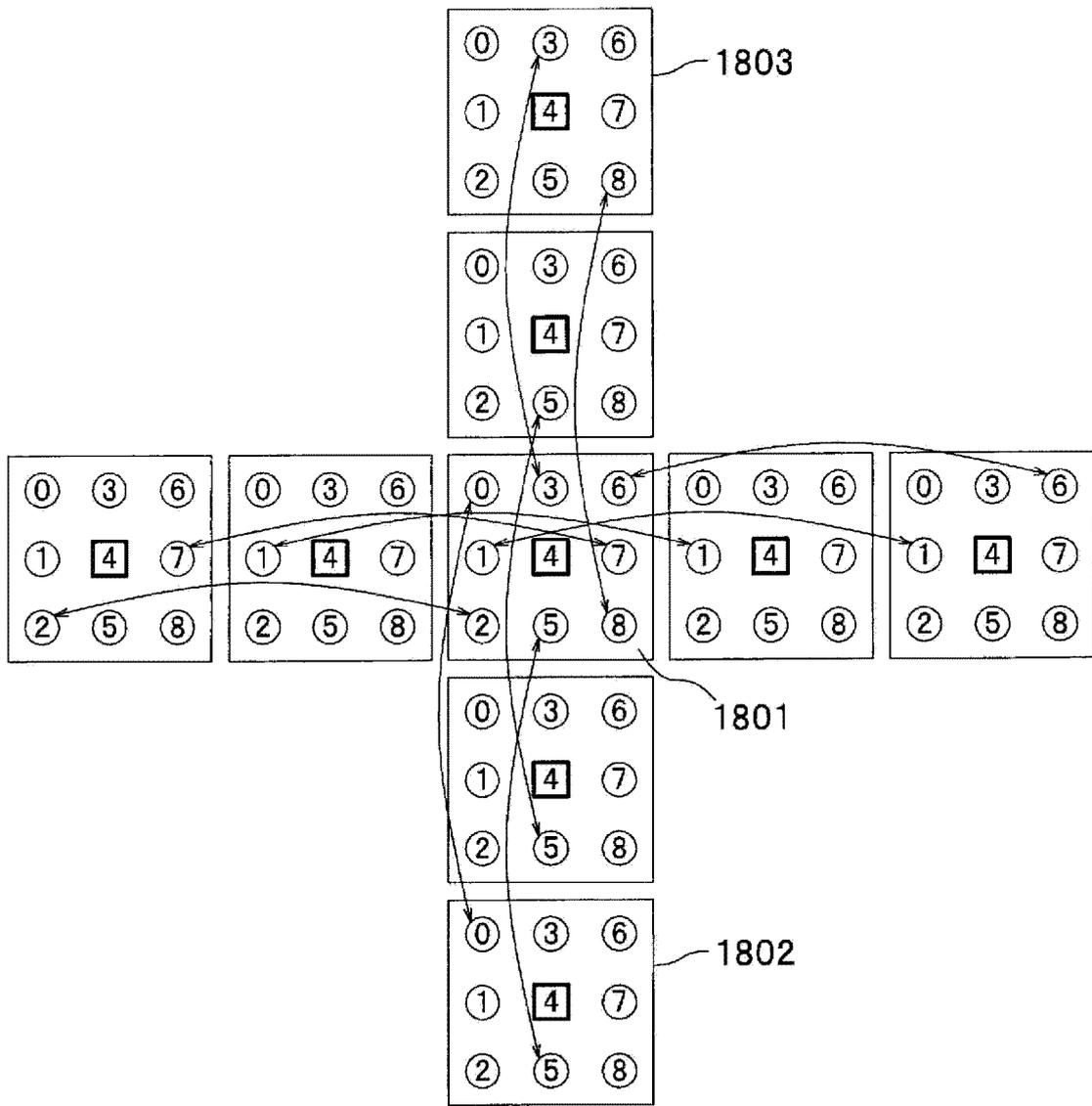


图 18

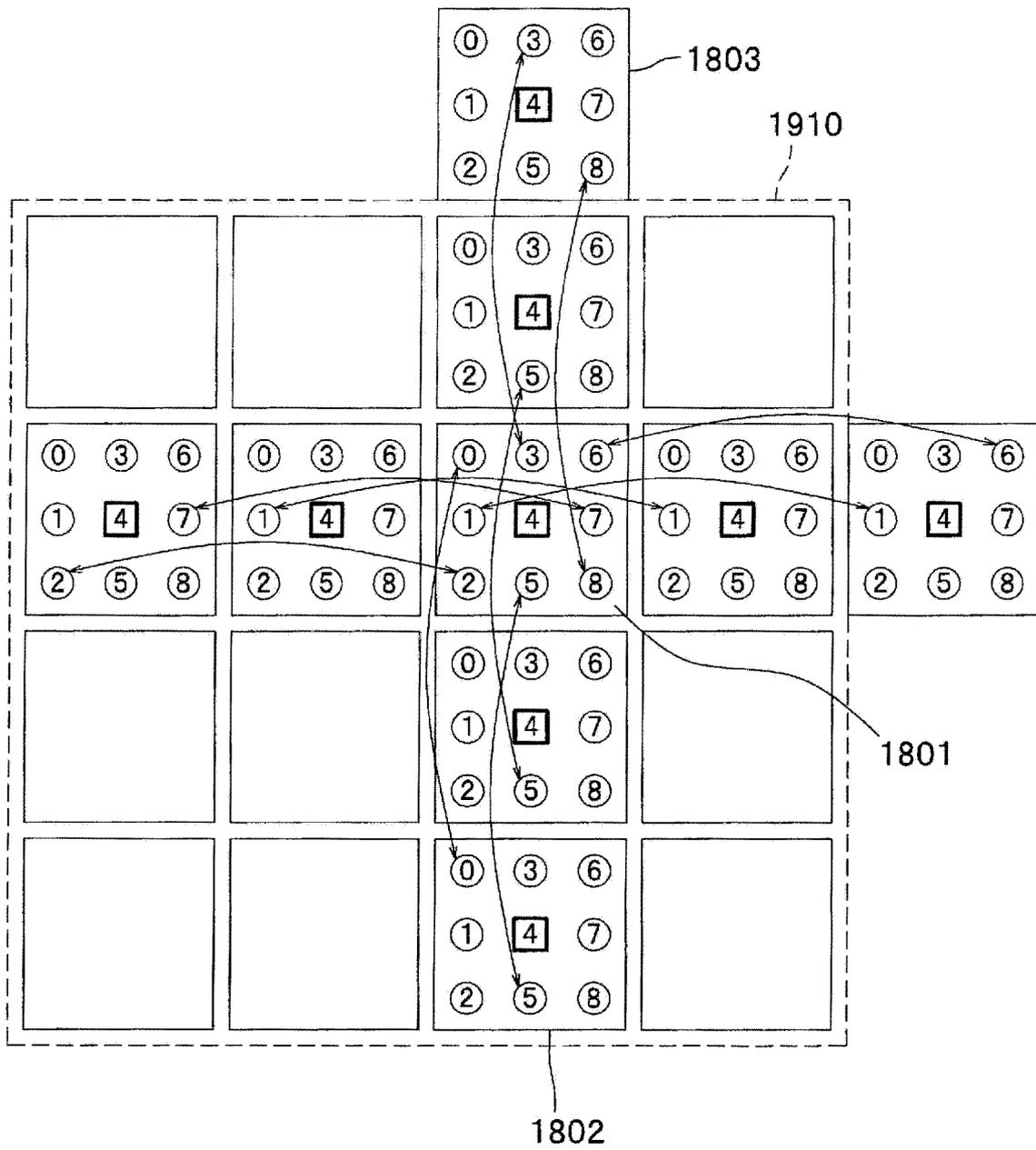


图 19

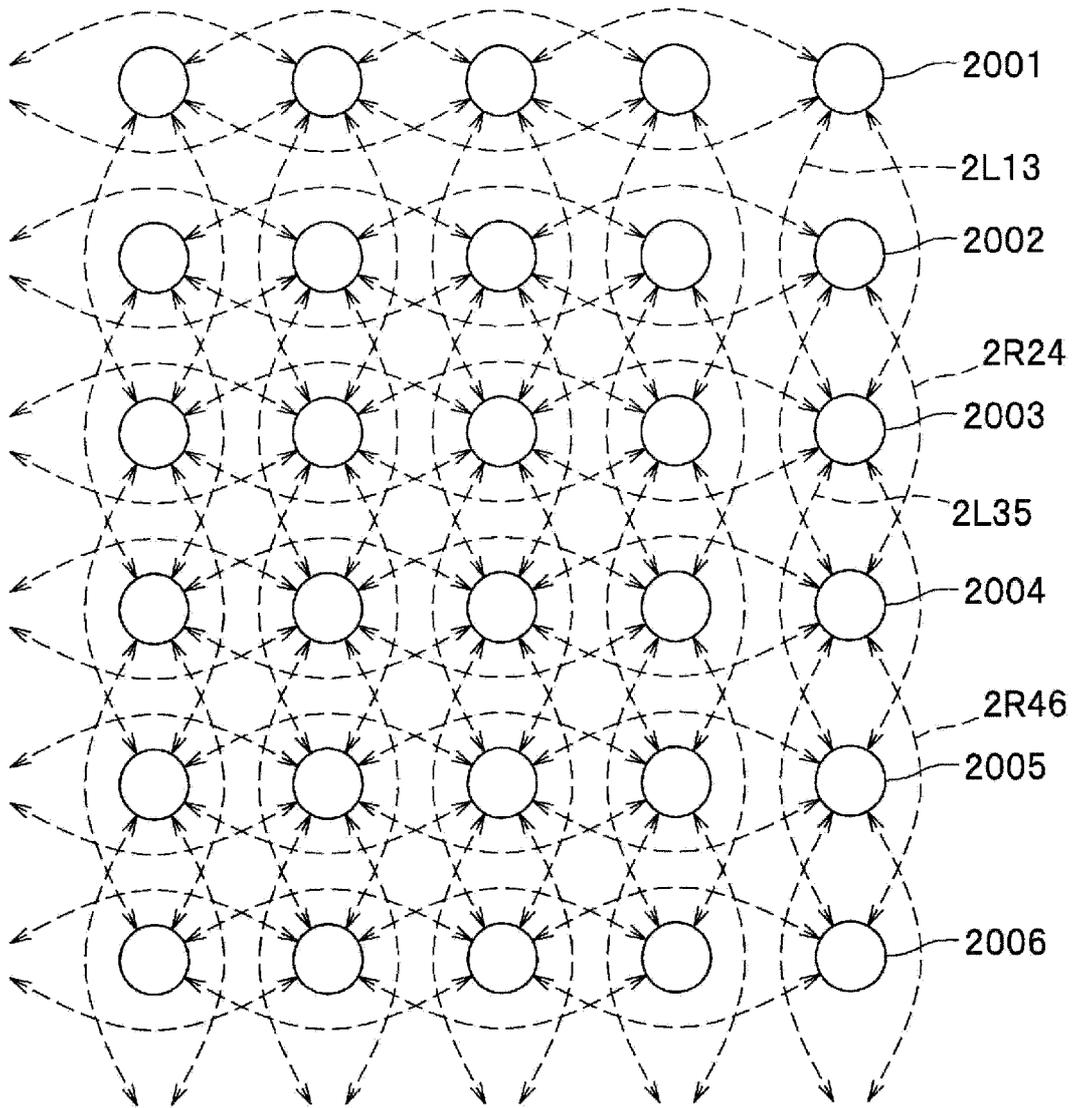


图 20

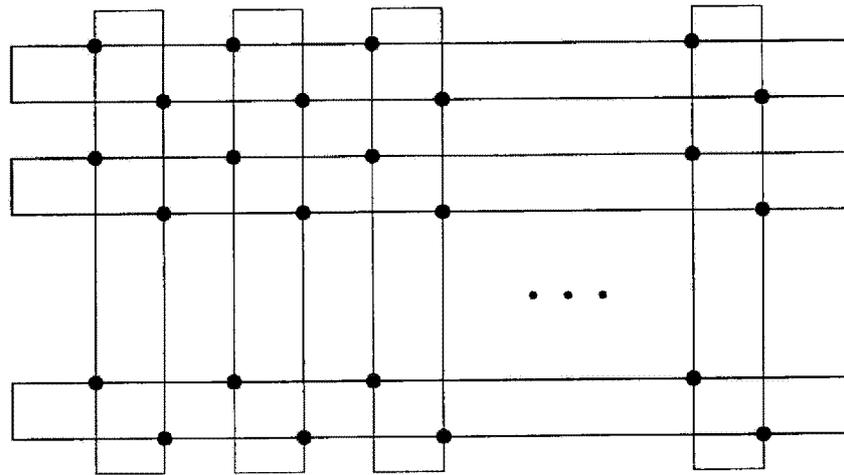


图 21



图 22

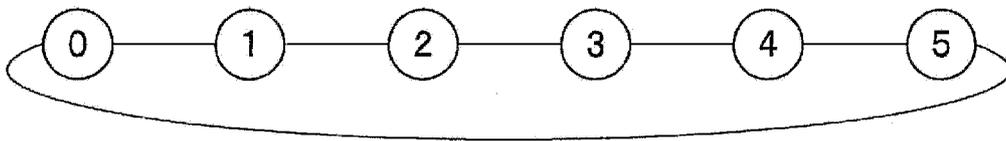


图 23

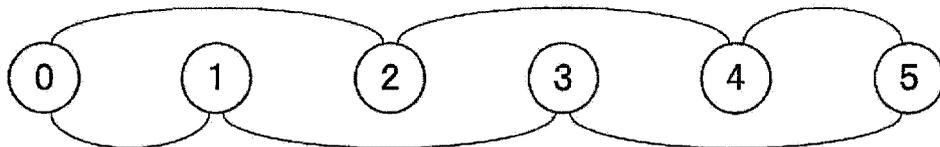


图 24