



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월30일
(11) 등록번호 10-1913519
(24) 등록일자 2018년10월24일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/3266* (2016.01)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3266 (2013.01)

(21) 출원번호 10-2017-7000879
(22) 출원일자(국제) 2016년02월16일
심사청구일자 2017년01월11일
(85) 번역문제출일자 2017년01월11일
(65) 공개번호 10-2017-0056503
(43) 공개일자 2017년05월23일
(86) 국제출원번호 PCT/CN2016/073841
(87) 국제공개번호 WO 2017/045351
국제공개일자 2017년03월23일

(30) 우선권주장
201510596058.1 2015년09월17일 중국(CN)

(56) 선행기술조사문현
KR1020130071438 A
KR1020150069773 A
US20100245337 A1
US20140133621 A1

전체 청구항 수 : 총 15 항

심사관 : 신영교

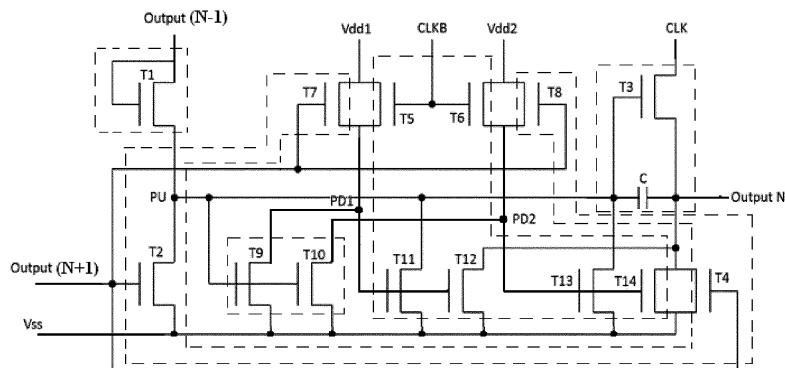
(54) 발명의 명칭 시프트 레지스터와 그 구동 방법, 게이트 구동 회로 및 디스플레이 디바이스

(57) 요 약

본 발명은 시프트 레지스터와 그 구동 방법, 게이트 구동 회로 및 디스플레이 디바이스를 제공하고, 게이트 구동 기술 분야에 속하며, 전류 게이트 구동 회로의 시프트 레지스터에서의 장시간 지연 및 큰 전력 소모의 문제를 해결할 수 있다. 본 발명의 시프트 레지스터는, 이전 레벨 시프트 레지스터의 출력 단자의 신호를 풀-업 노드에

(뒷면에 계속)

대 표 도 - 도2



도입하기 위한 입력 모듈; 상기 풀-업 노드의 전기적 레벨에 기초하여 상기 제1 클록 신호 단자의 신호를 상기 출력 단자에 도입하기 위한 출력 모듈; 다음 레벨 시프트 레지스터의 출력 단자의 신호의 제어 하에 상기 OFF 신호 단자, 상기 제1 신호 단자, 및 상기 제2 신호 단자의 신호들을 이용하여 상기 풀-업 노드, 상기 출력 단자, 상기 제1 풀-다운 노드, 및 상기 제2 풀-다운 노드를 재설정하기 위한 재설정 모듈; 상기 풀-업 노드의 전기적 레벨에 기초하여 상기 OFF 신호 단자의 신호를 상기 제1 풀-다운 노드 및 상기 제2 풀-다운 노드에 도입하기 위한 전압 설정 모듈; 및 상기 제2 클록 신호 단자의 제어 하에, 상기 제1 신호 단자 및 상기 제2 신호 단자의 신호들을 상기 제1 풀-다운 노드 및 상기 제2 풀-다운 노드에 각각 도입하기 위한 훌딩 모듈을 포함한다.

(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

풀-업 노드, 제1 풀-다운 노드, 제2 풀-다운 노드, 제1 클록 신호 단자, 제2 클록 신호 단자, 제1 신호 단자, 제2 신호 단자, OFF 신호 단자, 및 출력 단자를 포함하는 시프트 레지스터로서, 상기 시프트 레지스터는,

이전 레벨 시프트 레지스터의 출력 단자의 신호를 상기 풀-업 노드에 도입하는데 사용되는 입력 모듈;

상기 풀-업 노드의 전기적 레벨에 기초하여, 상기 제1 클록 신호 단자의 신호를 상기 출력 단자에 도입하는데 사용되는 출력 모듈;

다음 레벨 시프트 레지스터의 출력 단자의 신호의 제어 하에, 상기 OFF 신호 단자, 상기 제1 신호 단자, 및 상기 제2 신호 단자의 신호들을 이용하여 상기 풀-업 노드, 상기 출력 단자, 상기 제1 풀-다운 노드, 및 상기 제2 풀-다운 노드를 재설정하는데 사용되는 재설정 모듈;

상기 풀-업 노드의 전기적 레벨에 기초하여, 상기 OFF 신호 단자의 신호를 상기 제1 풀-다운 노드 및 상기 제2 풀-다운 노드에 도입하기 위한 전압 설정 모듈; 및

상기 제2 클록 신호 단자의 제어 하에, 상기 제1 신호 단자 및 상기 제2 신호 단자의 신호들을 상기 제1 풀-다운 노드 및 상기 제2 풀-다운 노드에 각각 도입하여, 상기 OFF 신호 단자의 신호를 상기 풀-업 노드 및 상기 출력 단자에 도입하기 위한 훌딩 모듈을 추가로 포함하는, 시프트 레지스터.

청구항 2

제1항에 있어서, 상기 입력 모듈은,

상기 이전 레벨 시프트 레지스터의 상기 출력 단자에 둘 다 연결된 게이트와 제1 전극, 및 상기 풀-업 노드에 연결된 제2 전극을 갖는 제1 트랜지스터를 포함하는, 시프트 레지스터.

청구항 3

제1항에 있어서, 상기 출력 모듈은,

상기 풀-업 노드에 연결된 게이트, 상기 제1 클록 신호 단자에 연결된 제1 전극, 및 상기 출력 단자에 연결된 제2 전극을 갖는 제3 트랜지스터; 및

상기 풀-업 노드에 연결된 제1 전극, 및 상기 출력 단자에 연결된 제2 전극을 갖는 저장 커패시터 C를 포함하는, 시프트 레지스터.

청구항 4

제1항에 있어서, 상기 재설정 모듈은,

상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 풀-업 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제2 트랜지스터;

상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 출력 단자에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제4 트랜지스터;

상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 제1 신호 단자에 연결된 제1 전극, 및 상기 제1 풀-다운 노드에 연결된 제2 전극을 갖는 제7 트랜지스터; 및

상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 제2 신호 단자에 연결된 제1 전극, 및 상기 제2 풀-다운 노드에 연결된 제2 전극을 갖는 제8 트랜지스터를 포함하는, 시프트 레지스터.

청구항 5

제1항에 있어서, 상기 전압 설정 모듈은,

상기 풀-업 노드에 연결된 게이트, 상기 제1 풀-다운 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제9 트랜지스터; 및

상기 풀-업 노드에 연결된 게이트, 상기 제2 풀-다운 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제10 트랜지스터를 포함하는, 시프트 레지스터.

청구항 6

제5항에 있어서, 상기 훌딩 모듈은,

상기 제2 클록 신호 단자에 연결된 게이트, 상기 제1 신호 단자에 연결된 제1 전극, 및 상기 제1 풀-다운 노드에 연결된 제2 전극을 갖는 제5 트랜지스터;

상기 제2 클록 신호 단자에 연결된 게이트, 상기 제2 신호 단자에 연결된 제1 전극, 및 상기 제2 풀-다운 노드에 연결된 제2 전극을 갖는 제6 트랜지스터;

상기 제1 풀-다운 노드에 연결된 게이트, 상기 풀-업 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제11 트랜지스터;

상기 제1 풀-다운 노드에 연결된 게이트, 상기 출력 단자에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제12 트랜지스터 T12;

상기 제2 풀-다운 노드에 연결된 게이트, 상기 풀-업 노드에 연결된 제1 전극, 및 OFF 신호 단자에 연결된 제2 전극을 갖는 제13 트랜지스터; 및

상기 제2 풀-다운 노드에 연결된 게이트, 상기 출력 단자에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제14 트랜지스터를 포함하는, 시프트 레지스터.

청구항 7

제6항에 있어서,

상기 제9 트랜지스터의 기생 저항은 상기 제5 트랜지스터의 기생 저항보다 작으며;

상기 제10 트랜지스터의 기생 저항은 상기 제6 트랜지스터의 기생 저항보다 작은, 시프트 레지스터.

청구항 8

제7항에 있어서,

상기 모든 트랜지스터들은 N형 트랜지스터들인, 시프트 레지스터.

청구항 9

제7항에 있어서,

상기 모든 트랜지스터들은 P형 트랜지스터들인, 시프트 레지스터.

청구항 10

복수의 캐스케이드 시프트 레지스터들을 포함하는 게이트 구동 회로로서,

상기 시프트 레지스터는 제1항 내지 제9항 중 어느 한 항의 상기 시프트 레지스터인, 게이트 구동 회로.

청구항 11

어레이 기판을 포함하는 디스플레이 디바이스로서,

상기 어레이 기판은 제10항의 상기 게이트 구동 회로를 포함하는, 디스플레이 디바이스.

청구항 12

시프트 레지스터의 구동 방법으로서, 상기 시프트 레지스터는 제1항 내지 제9항 중 어느 한 항의 상기 시프트

레지스터이고, 상기 시프트 레지스터의 구동 방법은,

충전 단계에서, 상기 입력 모듈에 의해 상기 이전 레벨 시프트 레지스터의 상기 출력 단자의 신호를 상기 풀-업 노드에 도입하는 단계;

출력 단계에서, 상기 출력 모듈에 의해 상기 제1 클록 신호 단자의 신호를 상기 출력 단자에 도입하여, 상기 출력 단자가 ON 신호를 출력하게 하는 단계;

재설정 단계에서, 상기 재설정 모듈에 의해 상기 OFF 신호 단자, 상기 제1 신호 단자, 및 상기 제2 신호 단자의 신호들을 이용하여 상기 풀-업 노드, 상기 출력 단자, 상기 제1 풀-다운 노드, 및 상기 제2 풀-다운 노드를 재설정하는 단계; 및

홀딩 단계에서, 상기 홀딩 모듈에 의해 상기 OFF 신호 단자의 신호를 상기 풀-업 노드 및 상기 출력 단자에 도입하여, 상기 출력 단자가 오프 신호를 계속 출력하게 하는 단계를 포함하는, 시프트 레지스터의 구동 방법.

청구항 13

제12항에 있어서,

상기 시프트 레지스터는 제8항의 상기 시프트 레지스터이고, 상기 시프트 레지스터의 구동 방법은,

상기 충전 단계에서, 상기 제1 클록 신호 단자를 로우 레벨로, 상기 제2 클록 신호 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로 설정하는 단계;

상기 출력 단계에서, 상기 제1 클록 신호 단자를 하이 레벨로, 상기 제2 클록 신호 단자를 로우 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로 설정하는 단계;

상기 재설정 단계에서, 상기 제1 클록 신호 단자를 로우 레벨로, 상기 제2 클록 신호 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로 설정하는 단계; 및

상기 홀딩 단계에서, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자 및 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨들로 설정하는 단계를 포함하고;

상기 단계들에서, 상기 OFF 신호 단자는 연속적으로 로우 레벨이고, 상기 제1 신호 단자 및 상기 제2 신호 단자 중 하나는 하이 레벨이고, 다른 하나는 로우 레벨인, 시프트 레지스터의 구동 방법.

청구항 14

제12항에 있어서, 상기 시프트 레지스터는 제9항의 상기 시프트 레지스터이고, 상기 시프트 레지스터의 구동 방법은,

상기 충전 단계에서, 상기 제1 클록 신호 단자를 하이 레벨로, 상기 제2 클록 신호 단자를 로우 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로 설정하는 단계;

상기 출력 단계에서, 상기 제1 클록 신호 단자를 로우 레벨로, 상기 제2 클록 신호 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로 설정하는 단계;

상기 재설정 단계에서, 상기 제1 클록 신호 단자를 하이 레벨로, 상기 제2 클록 신호 단자를 로우 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로 설정하는 단계; 및

상기 홀딩 단계에서, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자 및 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨들로 설정하는 단계를 포함하고;

상기 단계들에서, 상기 OFF 신호 단자는 연속적으로 하이 레벨이고, 상기 제1 신호 단자 및 상기 제2 신호 단자 중 하나는 하이 레벨이고, 다른 하나는 로우 레벨인, 시프트 레지스터의 구동 방법.

청구항 15

제13항에 있어서,

상기 제1 신호 단자의 상기 레벨과 상기 제2 신호 단자의 상기 레벨을 스위칭하여, 상기 제1 신호 단자 및 상기 제2 신호 단자 중 하이 레벨에 있는 어느 하나가 로우 레벨이 되고, 로우 레벨에 있는 다른 하나가 하이 레벨이 되게 하는 단계를 추가로 포함하는, 시프트 레지스터의 구동 방법.

발명의 설명

기술 분야

[0001]

본 발명은 게이트 구동 기술의 분야에 속하고, 특히 시프트 레지스터와 그 구동 방법, 게이트 구동 회로 및 디스플레이 디바이스에 관련된다.

배경 기술

[0002]

어레이 기판은 디스플레이 디바이스(액정 디스플레이 디바이스, 유기 발광 다이오드 디스플레이 디바이스, 기타 등등)의 중요한 부분들 중 하나이다. 어레이 기판은 ON-신호들이 교대로 흐르는 복수의 게이트 라인들을 포함한다. 게이트 라인들을 구동하기 위해, 현재의 방법은 게이트 드라이버 온 어레이(gate driver on array: GOA)를 사용하는 것, 즉 어레이 기판 내의 게이트 라인들을 구동하기 위한 회로를 준비하는 것이다. 게이트 구동 회로는 복수의 캐스케이드 시프트 레지스터들에 의해 일반적으로 형성되고, 그 각각은 단일 게이트 라인을 구동하기 위해 이용된다.

[0003]

도 1은 복수의 트랜지스터들, 커패시터 등을 포함하는 전류 시프트 레지스터를 도시한다. 도 1로부터, 시프트 레지스터의 풀-다운 노드 PD의 전기적 레벨은 트랜지스터 M을 통해 제2 클록 신호 단자 CLKB에 의해 제어되고; 풀-다운 노드 PD는 모두 소정의 기생 커패시턴스들, 기생 저항들 등을 갖는 다른 복수의 트랜지스터들에도 접속되는 것을 알 수 있다. 따라서, 제2 클록 신호 단자 CLKB로부터의 신호가 풀-다운 노드 PD의 전기적 레벨을 끌어와서 변환 때(예를 들어, 로우에서 하이로), 비교적 높은 전력 소모가 발생할 수 있고, 이에 따라 비교적 긴 지연을 야기한다. 특히, 복수의 시프트 레지스터들의 제2 클록 신호 단자 CLKB의 신호들은 일반적으로 동일한 포트에 의해 제공되므로, 각자의 시프트 레지스터들의 전력 소모가 서로 중첩되어, 결국 제2 클록 신호 단자 CLKB의 신호가 상당히 지연되어, 디스플레이 효과에 영향을 미치게 되고, 매우 큰 전력 소모를 발생시키며 에너지를 낭비하게 된다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0004]

본 발명은 전류 게이트 구동 회로의 시프트 레지스터에서의 지연이 길어지고 전력 소모가 크다는 문제점을 감안하여, 지연 및 전력 소모를 줄일 수 있는 시프트 레지스터와 그 구동 방법, 게이트 구동 회로 및 디스플레이 디바이스를 제공한다.

[0005]

본 발명의 제1 양태에 있어서, 시프트 레지스터가 제공되는데, 이는, 풀-업 노드, 제1 풀-다운 노드, 제2 풀-다운 노드, 제1 클록 신호 단자, 제2 클록 신호 단자, 제1 신호 단자, 제2 신호 단자, OFF 신호 단자, 및 출력 단자를 포함하고, 상기 시프트 레지스터는,

[0006]

이전 레벨 시프트 레지스터의 출력 단자의 신호를 상기 풀-업 노드에 도입하는데 사용되는 입력 모듈;

[0007]

상기 풀-업 노드의 전기적 레벨에 기초하여, 상기 제1 클록 신호 단자의 신호를 상기 출력 단자에 도입하는데 사용되는 출력 모듈;

[0008]

다음 레벨 시프트 레지스터의 출력 단자의 신호의 제어 하에, 상기 OFF 신호 단자, 상기 제1 신호 단자, 및 상기 제2 신호 단자의 신호들을 이용하여 상기 풀-업 노드, 상기 출력 단자, 상기 제1 풀-다운 노드, 및 상기 제2 풀-다운 노드를 재설정하는데 사용되는 재설정 모듈;

[0009] 상기 풀-업 노드의 전기적 레벨에 기초하여, 상기 OFF 신호 단자의 신호를 상기 제1 풀-다운 노드 및 상기 제2 풀-다운 노드에 도입하는데 사용되는 전압 설정 모듈; 및

[0010] 상기 제2 클록 신호 단자의 제어 하에, 상기 제1 신호 단자 및 상기 제2 신호 단자의 신호들을 상기 제1 풀-다운 노드 및 상기 제2 풀-다운 노드에 각각 도입하여, 상기 OFF 신호 단자의 신호를 상기 풀-업 노드 및 상기 출력 단자에 도입하기 위한 홀딩 모듈을 추가로 포함한다.

[0011] 바람직하게는, 상기 입력 모듈은, 상기 이전 레벨 시프트 레지스터의 출력 단자에 연결된 게이트와 제1 전극 및 상기 풀-업 노드에 연결된 제2 전극을 갖는 제1 트랜지스터를 포함한다.

[0012] 더 바람직하게는, 상기 출력 모듈은, 상기 풀-업 노드에 연결된 게이트, 상기 제1 클록 신호 단자에 연결된 제1 전극, 및 상기 출력 단자에 연결된 제2 전극을 갖는 제3 트랜지스터; 및 상기 풀-업 노드에 연결된 제1 단자, 및 상기 출력 단자에 연결된 제2 전극을 갖는 저장 커패시터 C를 포함한다.

[0013] 더 바람직하게는, 상기 재설정 모듈은, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 풀-업 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제2 트랜지스터; 상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 출력 단자에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제4 트랜지스터; 상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 제1 신호 단자에 연결된 제1 전극, 및 상기 제1 풀-다운 노드에 연결된 제2 전극을 갖는 제7 트랜지스터; 및 상기 다음 레벨 시프트 레지스터의 상기 출력 단자에 연결된 게이트, 상기 제2 신호 단자에 연결된 제1 전극, 및 상기 제2 풀-다운 노드에 연결된 제2 전극을 갖는 제8 트랜지스터를 포함한다.

[0014] 더 바람직하게는, 상기 전압 설정 모듈은, 상기 풀-업 노드에 연결된 게이트, 상기 제1 풀-다운 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제9 트랜지스터; 및 상기 풀-업 노드에 연결된 게이트, 상기 제2 풀-다운 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제10 트랜지스터를 포함한다.

[0015] 더 바람직하게는, 상기 홀딩 모듈은, 상기 제2 클록 신호 단자에 연결된 게이트, 상기 제1 신호 단자에 연결된 제1 전극, 및 상기 제1 풀-다운 노드에 연결된 제2 전극을 갖는 제5 트랜지스터; 상기 제2 클록 신호 단자에 연결된 게이트, 상기 제2 신호 단자에 연결된 제1 전극, 및 상기 제2 풀-다운 노드에 연결된 제2 전극을 갖는 제6 트랜지스터; 상기 제1 풀-다운 노드에 연결된 게이트, 상기 풀-업 노드에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제11 트랜지스터; 상기 제1 풀-다운 노드에 연결된 게이트, 상기 출력 단자에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제12 트랜지스터 T12; 상기 제2 풀-다운 노드에 연결된 게이트, 상기 풀-업 노드에 연결된 제1 전극, 및 OFF 신호 단자에 연결된 제2 전극을 갖는 제13 트랜지스터; 및 상기 제2 풀-다운 노드에 연결된 게이트, 상기 출력 단자에 연결된 제1 전극, 및 상기 OFF 신호 단자에 연결된 제2 전극을 갖는 제14 트랜지스터를 포함한다.

[0016] 더 바람직하게는, 상기 제9 트랜지스터의 기생 저항은 상기 제5 트랜지스터의 기생 저항보다 작으며; 상기 제10 트랜지스터의 기생 저항은 상기 제6 트랜지스터의 기생 저항보다 작다.

[0017] 더 바람직하게는, 모든 트랜지스터들은 N형 트랜지스터들이다.

[0018] 대안적으로, 모든 트랜지스터들은 P형 트랜지스터들이다.

[0019] 본 발명의 제2 양태는 전술한 복수의 캐스케이드 시프트 레지스터들을 포함하는 게이트 구동 회로를 제공한다.

[0020] 본 발명의 제3 양태는 어레이 기판을 포함하는 디스플레이 디바이스를 제공하고, 상기 어레이 기판은 상기 게이트 구동 회로를 포함한다.

[0021] 본 발명의 제4 양태는 상기 시프트 레지스터의 구동 방법을 제공하는데, 이는,

[0022] 충전 단계에서, 상기 입력 모듈에 의해 상기 이전 레벨 시프트 레지스터의 상기 출력 단자의 신호를 상기 풀-업 노드에 도입하는 단계;

[0023] 출력 단계에서, 상기 출력 모듈에 의해 상기 제1 클록 신호 단자의 신호를 상기 출력 단자에 도입하여, 상기 출력 단자가 ON 신호를 출력하게 하는 단계;

[0024] 재설정 단계에서, 상기 재설정 모듈에 의해 상기 OFF 신호 단자, 상기 제1 신호 단자, 및 상기 제2 신호 단자의 신호들을 이용하여 상기 풀-업 노드, 상기 출력 단자, 상기 제1 풀-다운 노드, 및 상기 제2 풀-다운 노드를 재

설정하는 단계; 및

[0025] 홀딩 단계에서, 상기 홀딩 모듈에 의해 상기 OFF 신호 단자의 신호를 상기 풀-업 노드 및 상기 출력 단자에 도입하여, 상기 출력 단자가 오프 신호를 계속 출력하게 하는 단계를 포함한다.

[0026] 바람직하게는, 상기 트랜지스터들이 모두 N형 트랜지스터들인 경우, 상기 시프트 레지스터의 구동 방법은, 상기 충전 단계에서, 상기 제1 클록 신호 단자를 로우 레벨로, 상기 제2 클록 신호 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로 설정하는 단계; 상기 출력 단계에서, 상기 제1 클록 신호 단자를 하이 레벨로, 상기 제2 클록 신호 단자를 로우 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로 설정하는 단계; 상기 재설정 단계에서, 상기 제1 클록 신호 단자를 로우 레벨로, 상기 제2 클록 신호 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로 설정하는 단계; 및 상기 홀딩 단계에서, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자 및 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨들로 설정하는 단계를 포함하고; 상기 단계들에서, 상기 OFF 신호 단자는 연속적으로 로우 레벨이고, 상기 제1 신호 단자 및 상기 제2 신호 단자 중 하나는 하이 레벨이고, 다른 하나는 로우 레벨이다.

[0027] 바람직하게는, 상기 모든 트랜지스터들이 P형 트랜지스터들인 경우, 상기 시프트 레지스터의 구동 방법은, 상기 충전 단계에서, 상기 제1 클록 신호 단자를 하이 레벨로, 상기 제2 클록 신호 단자를 로우 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로 설정하는 단계; 상기 출력 단계에서, 상기 제1 클록 신호 단자를 로우 레벨로, 상기 제2 클록 신호 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로 설정하는 단계; 상기 재설정 단계에서, 상기 제1 클록 신호 단자를 하이 레벨로, 상기 제2 클록 신호 단자를 로우 레벨로, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨로, 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 로우 레벨로 설정하는 단계; 및 상기 홀딩 단계에서, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자 및 상기 다음 레벨 시프트 레지스터의 상기 출력 단자를 하이 레벨들로 설정하는 단계를 포함하고; 상기 단계들에서, 상기 OFF 신호 단자는 연속적으로 하이 레벨이고, 상기 제1 신호 단자 및 상기 제2 신호 단자 중 하나는 하이 레벨이고, 다른 하나는 로우 레벨이다.

[0028] 더 바람직하게는, 상기 시프트 레지스터의 구동 방법은, 상기 제1 신호 단자의 레벨과 상기 제2 신호 단자의 레벨을 스위칭하여, 상기 제1 신호 단자 및 상기 제2 신호 단자 중 하이 레벨에 있는 어느 하나가 로우 레벨이 되고, 로우 레벨에 있는 다른 하나가 하이 레벨이 되게 하는 단계를 추가로 포함한다.

[0029] 본 발명의 시프트 레지스터에 있어서, 더 적은 수의 트랜지스터들이 클록 신호에 접속되어 있기 때문에, 그 자연 및 에너지 소비는 둘 다 작고; 클록 신호는 각각의 노드의 전기적 레벨을 직접적으로 제어하지는 않지만, 제1 신호 단자, 제2 신호 단자 등의 안정된 신호들을 통해 각각의 노드의 전기적 레벨을 제어함으로써, 자연이 있는 경우에도 클록 신호가 디스플레이 효과에 미치는 영향이 거의 없는데, 이는 시프트 레지스터의 안정된 동작을 보장하고 디스플레이 효과를 향상시킬 수 있게 한다.

도면의 간단한 설명

[0030] 도 1은 전류 시프트 레지스터의 회로도이다.
 도 2는 본 발명의 실시예의 시프트 레지스터의 회로도이다.
 도 3은 도 2의 시프트 레지스터를 구동하기 위한 타이밍도이다.
 도 4는 본 발명의 또 다른 실시예의 시프트 레지스터의 회로도이다.
 도 5는 도 4의 시프트 레지스터를 구동하기 위한 타이밍도이다.
 도 6은 본 발명의 일 실시예의 게이트 구동 회로의 일부 구조의 블록도이다.

참조 번호들: T1: 제1 트랜지스터; T2: 제2 트랜지스터; T3: 제3 트랜지스터; T4: 제4 트랜지스터; T5: 제5 트랜지스터; T6: 제6 트랜지스터; T7: 제7 트랜지스터; T8: 제8 트랜지스터; T9: 제9 트랜지스터; T10: 제10 트랜지스터; T11: 제11 트랜지스터; T12: 제12 트랜지스터; T13: 제13 트랜지스터; T14: 제14 트랜지스터; M: 트랜지스터; C: 저장 커패시터; Output(N-1): 이전 레벨 시프트 레지스터의 출력 단자; Output(N+1): 다음 레벨 시프트 레지스터의 출력 단자; Output N: 출력 단자; Vdd1: 제1 신호 단자; Vdd2: 제2 신호 단자; Vss: OFF 신

호 단자; CLK: 제1 클록 신호 단자; CLKB: 제2 클록 신호 단자; PU: 풀-업 노드; PD1: 제1 풀-다운 노드; PD2: 제2 풀-다운 노드.

발명을 실시하기 위한 구체적인 내용

[0031] 본 분야의 기술자에게 본 발명의 기술적 해결책에 대한 더 나은 이해를 제공하기 위해, 본 발명은 도면 및 특정 구현 예와 관련하여 이하에서 더 상세하게 설명된다.

[0032] 제1 실시예

[0033] 도 2 및 도 3에 도시된 바와 같이, 본 실시예는 풀-업 노드 PU, 제1 풀-다운 노드 PD1, 제2 풀-다운 노드 PD2, 제1 클록 신호 단자 CLK, 제2 클록 신호 단자 CLKB, 제1 신호 단자 Vdd1, 제2 신호 단자 Vdd2, OFF 신호 단자 Vss, 및 출력 단자 Output N을 포함하는 시프트 레지스터를 제공한다. 상기 시프트 레지스터는,

[0034] 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)의 신호를 풀-업 노드 PU에 도입하는데 사용되는 입력 모듈;

[0035] 상기 풀-업 노드 PU의 전기적 레벨에 기초하여 상기 제1 클록 신호 단자 CLK의 신호를 상기 출력 단자 Output N에 도입하는데 사용되는 출력 모듈;

[0036] 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)의 신호의 제어 하에 상기 OFF 신호 단자 Vss, 상기 제1 신호 단자 Vdd1, 및 상기 제2 신호 단자 Vdd2의 신호들을 이용하여 상기 풀-업 노드 PU, 상기 출력 단자 Output N, 상기 제1 풀-다운 노드 PD1, 및 상기 제2 풀-다운 노드 PD2를 재설정하는데 사용되는 재설정 모듈;

[0037] 상기 풀-업 노드 PU의 전기적 레벨에 기초하여 상기 제1 풀-다운 노드 PD1 및 상기 제2 풀-다운 노드 PD2에 상기 OFF 신호 단자 Vss의 신호를 도입하는데 사용되는 전압 설정 모듈; 및

[0038] 상기 제2 클록 신호 단자 CLKB의 제어 하에, 상기 제1 신호 단자 Vdd1 및 상기 제2 신호 단자 Vdd2의 신호들을 각각 상기 제1 풀-다운 노드 PD1 및 상기 제2 풀-다운 노드 PD2에 도입하여, 상기 OFF 신호 단자 Vss의 신호를 상기 풀-업 노드 PU 및 상기 출력 단자 Output N에 도입하는데 사용되는 홀딩 모듈을 추가로 포함한다.

[0039] 본 실시예의 시프트 레지스터에 있어서, 적은 수의 트랜지스터들이 각각의 클록 신호에 접속되기 때문에, 지연 및 에너지 소비가 작고; 클록 신호는 각각의 노드의 전기적 레벨을 직접적으로 제어하지 않지만, 제1 신호 단자 Vdd1, 제2 신호 단자 Vdd2 등의 안정된 신호들을 통해 각각의 노드의 전기적 레벨을 제어하므로, 지연이 있어도 디스플레이 효과에 대한 클록 신호의 영향이 적은데, 이는 안정적으로 시프트 레지스터의 동작을 보장할 수 있고 디스플레이 효과를 향상시킬 수 있다.

[0040] 바람직하게는, 상기 입력 모듈은, 제1 트랜지스터 T1, 상기 이전 레벨 시프트 레지스터의 상기 출력 단자 Output(N-1)에 연결되는 게이트와 제1 전극, 및 상기 풀-업 노드 PU에 연결되는 제2 전극을 포함한다.

[0041] 더 바람직하게는, 상기 출력 모듈은, 게이트가 상기 풀-업 노드 PU에 연결되고, 제1 전극이 상기 제1 클록 신호 단자 CLK에 연결되고, 제2 전극이 상기 출력 단자 Output N에 연결되는 제3 트랜지스터 T3; 및 제1 전극이 상기 풀-업 노드 PU에 연결되고, 제2 전극이 상기 출력 단자 Output N에 연결되는 저장 커패시터 C를 포함한다.

[0042] 더 바람직하게는, 상기 재설정 모듈은,

[0043] 게이트가 상기 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)에 연결되고, 제1 전극이 상기 풀-업 노드 PU에 연결되고, 제2 전극이 상기 OFF 신호 단자 Vss에 연결되는 제2 트랜지스터 T2;

[0044] 게이트가 상기 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)에 연결되고, 제1 전극이 상기 출력 단자 Output N에 연결되고, 제2 전극이 상기 OFF 신호 단자 Vss에 연결되는 제4 트랜지스터 T4;

[0045] 게이트가 상기 다음 레벨 시프트 레지스터의 상기 출력 단자 Output(N+1)에 연결되고, 제1 전극이 상기 제1 신호 단자 Vdd1에 연결되고, 제2 전극이 상기 제1 풀-다운 노드 PD1에 연결되는 제7 트랜지스터 T7; 및

[0046] 게이트가 상기 다음 레벨 시프트 레지스터의 상기 출력 단자 Output(N+1)에 연결되고, 제1 전극이 상기 제2 신호 단자 Vdd2에 연결되고, 제2 전극이 상기 제2 풀-다운 노드 PD2에 연결되는 제8 트랜지스터 T8을 포함한다.

[0047] 더 선택적으로, 전압 설정 모듈은,

[0048] 게이트가 상기 풀-업 노드 PU에 연결되고, 제1 전극이 상기 제1 풀-다운 노드 PD1에 연결되고, 제2 전극이 상기

OFF 신호 단자 Vss에 연결되는 제9 트랜지스터 T9; 및

[0049] 게이트가 상기 풀-업 노드 PU에 연결되고, 제1 전극이 상기 제2 풀-다운 노드 PD2에 연결되고, 제2 전극이 상기 OFF 신호 단자 Vss에 연결되는 제10 트랜지스터 T10을 포함한다.

[0050] 더 바람직하게는, 상기 훌딩 모듈은,

[0051] 게이트가 상기 제2 클록 신호 단자 CLKB에 연결되고, 제1 전극이 상기 제1 신호 단자 Vdd1에 연결되고, 제2 전극이 상기 제1 풀-다운 노드 PD1에 접속된 게이트가 연결되는 제5 트랜지스터 T5;

[0052] 게이트가 상기 제2 클록 신호 단자 CLKB에 연결되고, 제1 전극이 상기 제2 신호 단자 Vdd2에 연결되고, 제2 전극이 상기 제2 풀-다운 노드 PD2에 연결되는 제6 트랜지스터 T6;

[0053] 게이트가 상기 제1 풀-다운 노드 PD1에 연결되고, 제1 전극이 상기 풀-업 노드 PU에 연결되고, 제2 전극이 상기 OFF 신호 단자 Vss에 연결되는 제11 트랜지스터 T11;

[0054] 게이트가 상기 제1 풀-다운 노드 PD1에 연결되고, 제1 전극이 상기 출력 단자 Output N에 연결되고, 제2 전극이 상기 OFF 신호 단자 Vss에 연결되는 제12 트랜지스터 T12;

[0055] 게이트가 제2 풀-다운 노드 PD2에 연결되고, 제1 전극이 풀-업 노드 PU에 연결되고, 제2 전극이 상기 OFF 신호 단자 Vss에 연결되는 제13 트랜지스터 T13; 및

[0056] 게이트가 상기 제2 풀-다운 노드 PD2에 연결되고, 제1 전극이 상기 출력 단자 Output N에 연결되고, 제2 전극이 상기 OFF 신호 단자 Vss에 연결되는 제14 트랜지스터 T14를 포함한다.

[0057] 더 바람직하게는, 제9 트랜지스터 T9의 기생 저항은 제5 트랜지스터 T5의 기생 저항보다 작고; 제10 트랜지스터 T10의 기생 저항은 제6 트랜지스터 T6의 기생 저항보다 작다.

[0058] 더욱 바람직하게는, 모든 트랜지스터들은 N형 트랜지스터들이다(예를 들어, 모두 N형 박막 트랜지스터들이다).

[0059] 본 실시예는 상기 시프트 레지스터의 구동 방법을 추가로 제공하는데, 이는 다음 단계들을 포함한다:

[0060] 충전 단계에서, 입력 모듈에 의해 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)의 신호를 상기 풀-업 노드 PU에 도입하는 단계;

[0061] 출력 단계에서, 출력 모듈에 의해 상기 제1 클록 신호 단자 CLK의 신호를 상기 출력 단자 Output N에 도입하여, 상기 출력 단자 Output N가 ON 신호를 출력하게 하는 단계;

[0062] 재설정 단계에서, 재설정 모듈에 의해 상기 OFF 신호 단자 Vss, 상기 제1 신호 단자 Vdd1, 및 상기 제2 신호 단자 Vdd2의 신호들을 이용하여 상기 풀-업 노드 PU, 상기 출력 단자 Output N, 상기 제1 풀-다운 노드 PD1, 및 상기 제2 풀-다운 노드 PD2를 재설정하는 단계;

[0063] 훌딩 단계에서, 훌딩 모듈에 의해 상기 풀-업 노드 PU와 상기 출력 단자 Output N에 상기 OFF 신호 단자 Vss의 신호를 도입하여, 상기 출력 단자 Output N가 OFF 신호를 계속 출력하게 하는 단계.

[0064] 일례에 있어서, 모든 트랜지스터들이 N형 트랜지스터들인 상기 시프트 레지스터에 있어서, 상기 OFF 신호 단자 Vss는 계속해서 로우 레벨이며, 상기 제1 신호 단자 Vdd1 및 상기 제2 신호 단자 Vdd2 중 하나는 하이 레벨이며, 다른 하나는 로우 레벨이다.

[0065] 즉, 이 예에서, 상기 OFF 신호 단자 Vss는 항상 로우-레벨 상태에 있어야만 하고(N형 트랜지스터가 로우 레벨에서 오프되기 때문에); 임의의 순간에, 상기 제1 신호 단자 Vdd1 및 상기 제2 신호 단자 Vdd2 중 하나는 하이 레벨 상태에 있어야 하고, 반면에 다른 하나는 로우-레벨 상태에 있어야 한다. 구체적으로, 본 실시예는 상기 제1 신호 단자 Vdd1가 항상 하이 레벨이고, 상기 제2 신호 단자 Vdd2가 항상 로우 레벨인 경우를 예로 들어 설명 하지만, 그 밖의 경우들에 대해서는 후술한다.

[0066] 도 3에 도시된 바와 같이, 이 경우, 시프트 레지스터의 구동 방법은 구체적으로 다음과 같은 단계들을 포함한다.

[0067] S11: 충전 단계에서, 제1 클록 신호 단자 CLK는 로우 레벨로 설정되고, 제2 클록 신호 단자 CLKB는 하이 레벨로 설정되고, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)은 하이 레벨로 설정되고, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)은 로우 레벨로 설정된다.

[0068] 이 단계에서, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)은 로우 레벨로 설정되므로, 제2 트랜지스터 T2, 제4 트랜지스터 T4, 제 7 트랜지스터 T7, 및 제8 트랜지스터 T8은 모두 턴 오프되고; 따라서 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)의 하이 레벨에 의해 제1 트랜지스터 T1가 턴 온되고, 풀-업 노드 PU가 하이 레벨이 되고, 이어서 제3 트랜지스터 T3, 제9 트랜지스터 T9, 및 제10 트랜지스터 T10가 턴 온되고, 저장 커패시터 C의 제1 전극(좌측 전극)은 하이 레벨로 설정되고; 저장 커패시터 C(출력 단자 Output N)의 제2 전극(우측 전극)이 제3 트랜지스터 T3를 통해 제1 클록 신호 단자 CLK의 로우 레벨에 의해 로우 레벨로 설정됨으로써, 시프트 레지스터는 OFF 신호(로우 레벨)를 출력하고, 소정의 레벨 차가 저장 커패시터 C 양단에 생성된다.

[0069] 한편, 제2 클록 신호 단자 CLKB가 하이 레벨이기 때문에, 제2 신호 단자 Vdd2의 로우 레벨이 제6 트랜지스터 T6를 통해 제2 풀-다운 노드 PD2에 도입되고, OFF 신호 단자 Vss의 로우 레벨은 또한 제10 트랜지스터 T10를 통해 제2 풀-다운 노드 PD2에 도입되어, 그의 로우 레벨을 안정화시킨다. 제1 풀-다운 노드 PD1에 대해서는, 그의 한 단자가 제5 트랜지스터 T5를 통해 하이 레벨의 제1 신호 단자 Vdd1에 연결되고, 그의 다른 단자가 제9 트랜지스터 T9를 통해 로우 레벨의 OFF 신호 단자 Vss에 연결되고, 따라서 이 시점에 제1 풀-다운 노드 PD1의 레벨은 제9 트랜지스터 T9와 제5 트랜지스터 T5 사이의 전압 분할에 의해 결정된다. 제9 트랜지스터 T9의 기생 저항은 제5 트랜지스터 T5의 기생 저항보다 작기 때문에, 제9 트랜지스터 T9 양단의 전압 분할은 작고, 제1 풀-다운 노드 PD1은 OFF 신호 단자 Vss의 레벨에 가까운 레벨을 가지며 로우 레벨로 보여질 수 있다. 제1 클록 신호 단자 CLK가 로우 레벨이고 제2 클록 신호 단자 CLKB가 하이 레벨일 때, 제2 풀-다운 노드 PD2는 제1 풀-다운 노드 PD1와 유사한 상태에 있고, 즉 제2 풀-다운 노드 PD2의 레벨은 제10 트랜지스터 T10와 제6 트랜지스터 T6 사이의 전압 분할에 의해 결정된다. 제10 트랜지스터 T10의 기생 저항이 제6 트랜지스터 T6의 기생 저항보다 작기 때문에, 이 경우, 제2 풀-다운 노드 PD2는 마찬가지로 로우 레벨이어야 한다. 따라서, 제11 트랜지스터 T11, 제12 트랜지스터 T12, 제13 트랜지스터 T13, 및 제14 트랜지스터 T14가 모두 턴 오프되고, 풀-업 노드 PU에 영향을 미치지 않으므로, 회로의 안정성을 보장한다.

[0070] S12: 출력 단계에서, 제1 클록 신호 단자 CLK는 하이 레벨로 설정되고, 제2 클록 신호 단자 CLKB는 로우 레벨로 설정되고, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)은 로우 레벨로 설정되고, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)은 로우 레벨로 설정된다.

[0071] 이 단계에서, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)이 로우 레벨로 변하여, 제1 트랜지스터 T1가 턴 오프된다. 제2 클록 신호 단자 CLKB는 로우 레벨로 변하여, 제5 트랜지스터 T5, 제6 트랜지스터 T6, 제1 신호 단자 Vdd1 및 제2 신호 단자 Vdd2의 신호들은 더 이상 회로로 입력될 수 없으므로, 제1 풀-다운 노드 PD1 및 제2 풀-다운 노드 PD2는 OFF 신호 단자 Vss의 로우 레벨로 유지되고, 제11 트랜지스터 T11, 제12 트랜지스터 T12, 제13 트랜지스터 T13, 및 제14 트랜지스터 T14는 오프 상태로 유지되어, 풀-업 노드 PU는 플로팅 상태이고 하이 레벨로 유지된다. 이와 같이, 제3 트랜지스터 T3는 온 상태로 유지되고, 제1 클록 신호 단자 CLK의 하이 레벨이 출력 단자 Output N에 도입되어, 출력 단자 Output N는 ON 신호(하이 레벨)를 출력하게 한다.

[0072] 한편, 풀-업 노드 PU의 레벨은 스토리지 커패시터 C의 부트스트랩(bootstrap) 효과에 의해 더욱 상승되어, 제3 트랜지스터 T3는 더욱 신뢰성 있게 온 상태로 유지되는데, 이는 ON 신호의 출력을 안정화시킨다.

[0073] S13: 재설정 단계에서, 제1 클록 신호 단자 CLK는 로우 레벨로 설정되고, 제2 클록 신호 단자 CLKB는 하이 레벨로 설정되고, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)은 로우 레벨로 설정되고, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)은 하이 레벨로 설정된다.

[0074] 이 단계에서, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)은 하이 레벨에 있고, 이는 제2 트랜지스터 T2, 제4 트랜지스터 T4, 제 7 트랜지스터 T7, 및 제8 트랜지스터 T8을 턴 온시켜, 제2 트랜지스터 T2가 OFF 신호 단자 Vss의 로우 레벨을 풀-업 노드 PU에 도입하고, 제4 트랜지스터 T4가 OFF 신호 단자 Vss의 로우 레벨을 출력 단자 Output N에 도입하여, 시프트 레지스터가 OFF 신호(로우 레벨)를 안정적으로 출력시키게 하고, 저장 커패시터 C의 양쪽 단자들에서 레벨들을 재설정하게 한다.

[0075] 한편, 제1 신호 단자 Vdd1의 하이 레벨은 제 7 트랜지스터 T7를 통해 제1 풀-다운 노드 PD1에 도입되고, 제2 신호 단자 Vdd2의 로우 레벨은 제8 트랜지스터 T8을 통해 제2 풀-다운 노드 PD2에 도입되고, 제11 트랜지스터 T11 및 제12 트랜지스터 T12가 턴 온되어, 제2 트랜지스터 T2 및 제4 트랜지스터 T4를 도와서 OFF 신호 단자 Vss의 로우 레벨을 풀-업 노드 PU 및 출력 단자 Output N에 도입시키므로써, 잡음을 감소시키는 효과를 생성하고, 이들 2 개의 노드들의 레벨들을 최적으로 제어함으로써, 안정된 출력 효과가 얻어진다. 또한, 이 때, 제2 클록 신호 단자 CLKB는 하이 레벨에 있고, 이는 제5 트랜지스터 T5 및 제6 트랜지스터 T6도 턴 온되어, 제 7 트랜지

스터 T7 및 제8 트랜지스터 T8을 도와서 신호들을 전달하게 하고, 이에 의해 회로의 안정성을 증가시킨다.

[0076] 이 단계에서, OFF 신호 단자 Vss의 로우 레벨은 다수의 상이한 트랜지스터들에 의해 저장 커패시터 C의 양쪽 단자들에 도입되어, 저장 커패시터 C의 양쪽 단자들에서 로우 레벨의 안정성을 잘 보장하게 하고, 출력 효과를 향상시키게 한다.

[0077] S14: 홀딩 단계에서, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1) 및 다음 레벨 시프트 레지스터의 출력 단자(Output)(N+1)는 로우 레벨로 설정된다.

[0078] 이 단계에서, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1) 및 다음 시프트 레지스터의 출력 단자 Output(N+1)은 모두 로우 레벨들이므로, 제1 트랜지스터 T1, 제2 트랜지스터 T2, 제4 트랜지스터 T4, 제7 트랜지스터 T7, 및 제8 트랜지스터 T8가 모두 턴 오프되고, 풀-업 노드 PU는 로우 레벨로 유지되고, 이는 제9 트랜지스터 T9 및 제10 트랜지스터 T10도 턴 오프시킨다.

[0079] 한편, 제2 클록 신호 단자 CLKB는 하이 레벨과 로우 레벨 사이에서 스위칭한다. 제2 클록 신호 단자 CLKB가 하이 레벨일 때, 제5 트랜지스터 T5가 턴 온되고, 제1 신호 단자 Vdd1의 하이 레벨이 제1 풀-다운 노드 PD1에 도입되고, 제11 트랜지스터 T11 및 제12 트랜지스터 T12는 턴 온되고, OFF 신호 단자 Vss의 로우 레벨이 저장 커패시터 C의 양쪽 단자들에 도입되어, 시프트 레지스터는 OFF 신호(로우 레벨)를 출력하게 한다. 제2 클록 신호 단자 CLKB가 로우 레벨일 때, 제5 트랜지스터 T5가 턴 오프되고, 제1 풀-다운 노드 PD1는 플로팅 상태가 된다. 제2 클록 신호 단자 CLKB가 로우 레벨일 때 잠깐 동안, 회로 내의 다양한 컴포넌트들의 기생 커패시턴스들 및 제2 클록 신호 단자 CLKB의 고속 신호 스위칭의 효과들 때문에, 제1 풀-다운 노드 PD1은 여전히 제11 트랜지스터 T11 및 제12 트랜지스터 T12를 턴 온시킬 수 있는 하이 레벨로 유지되는데, 이는 차례대로 시프트 레지스터가 오프 신호(로우 레벨)를 계속 출력하게 한다.

[0080] 이 단계에서, 로우 레벨의 신호가 제11 트랜지스터 T11 및 제12 트랜지스터 T12를 통해 저장 커패시터 C의 양쪽 단자들에 도입 됨으로써, 노이즈를 저감하고 출력을 최대한 안정화하는 효과를 달성할 수 있다.

[0081] 바람직하게는, 시프트 레지스터의 상기 구동 방법은, 상기 제1 신호 단자 Vdd1 및 상기 제2 신호 단자 Vdd2의 레벨들을 스위칭하는, 즉 하이 레벨인 상기 제1 신호 단자 Vdd1 및 상기 제2 신호 단자 Vdd2 중 어느 하나를 로우 레벨이 되게 스위칭하고 로우 레벨인 다른 하나를 하이 레벨이 되게 스위칭하는 단계를 포함한다.

[0082] 상기 설명으로부터, 제1 신호 단자 Vdd1가 하이 레벨이고 제2 신호 단자 Vdd2가 로우 레벨인 경우, 제1 풀-다운 노드 PD1만이 하이 레벨일 가능성이 높고, 제2 풀-다운 노드 PD2는 항상 로우 레벨로 유지된다는 것을 알 수 있다. 즉, 제1 신호 단자 Vdd1에 대응하는 제11 트랜지스터 T11 및 제12 트랜지스터 T12만이 턴-온 상태일 수 있으며, 반면에 제2 신호 단자 Vdd2(제2 풀-다운 노드 PD2)에 대응하는 제13 트랜지스터 T13 및 제14 트랜지스터 T14는 항상 턴 오프되고 실체로는 비-작동 "대기" 상태에 있다.

[0083] 도 3으로부터, 제1 신호 단자 Vdd1 및 제2 신호 단자 Vdd2에 대응하는 구조들은 실제로 완전히 등가이기 때문에, 제2 신호 단자 Vdd2가 하이 레벨이고 제1 신호 단자 Vdd1가 로우 레벨일 때, 본 발명은 여전히 제1 풀-다운 노드 PD1의 상태와 제2 풀-다운 노드 PD2의 상태가 서로 바뀌고, 제11 트랜지스터 T11 및 제12 트랜지스터 T12)의 상태들과 제13 트랜지스터 T13 및 제14 트랜지스터 T14의 상태들이 서로 바뀌는 것을 제외하고, 정확하게 동일한 방식으로 구현될 수 있다.

[0084] 따라서, 제1 신호 단자 Vdd1 및 제2 신호 단자 Vdd2에 대응하는 트랜지스터들을 교대로 사용하여 수명을 연장시키기 위해, 바람직하게는 제1 신호 단자 Vdd1 및 제2 신호 단자 Vdd2의 상태들이 잠시 동안 스위칭될 수 있다.

[0085] 물론, 상기 스위칭이 임의의 순간에 수행될 수 있지만, 회로의 안정성을 보장하고 스위칭의 어려움을 감소시키기 위해, 바람직하게는 긴 간격들로 스위칭이 수행되고, 예를 들어, 픽처들의 수 프레임 내지 수백 프레임의 간격들로 스위칭이 수행되며, 특정 시간 간격은 0.1 초에서 10 초 사이일 수 있다.

[0086] 제2 실시예

[0087] 도 4 및 도 5에 도시된 바와 같이, 본 실시예는 시프트 레지스터를 제공한다.

[0088] 구체적으로, 시프트 레지스터는 제1 실시예의 시프트 레지스터와 유사한 구조를 가지고, 차이는 내부의 모든 트랜지스터들이 P형 트랜지스터들이라는 것이다.

[0089] 본 실시예는 또한 상기 시프트 레지스터의 구동 방법을 제공하는데, 이 방법은 다음을 포함한다:

[0090] S21: 충전 단계에서, 제1 클록 신호 단자 CLK를 하이 레벨로, 제2 클록 신호 단자 CLKB를 로우 레벨로, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)을 로우 레벨로, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)을 하이 레벨로 설정하는 단계;

[0091] S22: 출력 단계에서, 제1 클록 신호 단자 CLK를 로우 레벨로, 제2 클록 신호 단자 CLKB를 하이 레벨로, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)을 하이 레벨로, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)을 하이 레벨로 설정하는 단계;

[0092] S23: 재설정 단계에서, 제1 클록 신호 단자 CLK를 하이 레벨로, 제2 클록 신호 단자 CLKB를 로우 레벨로, 이전 레벨 시프트 레지스터의 출력 단자 Output(N-1)을 하이 레벨로, 다음 레벨 시프트 레지스터의 출력 단자 Output(N+1)을 로우 레벨로 설정하는 단계; 및

[0093] S24: 홀딩 단계에서, 이전 레벨 시프트 레지스터의 출력 단자(N-1)와 다음 레벨 시프트 레지스터의 출력 단자(N+1) 둘 다를 하이 레벨들로 설정하는 단계.

[0094] 상기 단계들에서, OFF 신호 단자 Vss는 계속 하이 레벨이고, 제1 신호 단자 Vdd1 및 제2 신호 단자 Vdd2 중 하나는 하이 레벨이고, 다른 하나는 로우 레벨이다.

[0095] 즉, P형 트랜지스터의 턴-온 신호 및 턴-오프 신호의 상태들이 N형 트랜지스터와 반대이기 때문에, P형 트랜지스터를 사용하는 시프트 레지스터에서, 모든 단자들에 의해 제공된 신호들은 N형 트랜지스터를 사용하는 시프트 레지스터와 반대이어야 하고, 이런 방식으로, 시프트 레지스터의 동작 상태는 변하지 않은 채로 유지될 수 있으므로, 여기서는 상세한 프로세스의 상세한 설명은 생략한다.

[0096] 제3 실시예

[0097] 도 6에 도시된 바와 같이, 본 실시예는 전술한 복수의 캐스케이드 시프트 레지스터들을 포함하는 게이트 구동 회로를 제공한다.

[0098] 즉, 복수의 상기 시프트 레지스터들은 캐스케이드되어 게이트 구동 용의 게이트 구동 회로를 형성할 수 있다.

[0099] 구체적으로, 각각의 시프트 레지스터의 출력 단자는 게이트 라인에 연결되어, 이 게이트 라인에 구동 신호를 제공한다. 동시에, 각각의 시프트 레지스터의 출력 단자는 또한 그들 입력들의 일부로서, 이전 레벨 시프트 레지스터 및 다음 레벨 시프트 레지스터에 연결된다. 물론, 전체 회로의 첫 번째 및 마지막 시프트 레지스터들에 대해서, 이전 레벨 또는 다음 레벨 시프트 레지스터가 없으므로, 그 대응하는 입력 단자는 별도의 신호 단자에 연결될 수 있다.

[0100] 상기 복수의 시프트 레지스터들의 제1 신호 단자들, 제2 신호 단자들, 제1 클록 신호 단자들, 및 제2 클록 신호 단자들은 각각 리드 와이어들을 통해 동일한 포트들에 연결되어, 하나의 포트를 이용하여 복수의 시프트 레지스터들에 신호를 제공한다. 각각의 시프트 레지스터의 출력 단계(즉, ON 신호를 출력할 때)는 그의 다음 레벨 시프트 레지스터의 충전 단계(즉, 이전 레벨 시프트 레지스터가 ON 신호를 출력할 때)이고, 이 때 2 개의 시프트 레지스터들은 제1 클록 신호 단자들의 신호들 및 제2 클록 신호 단자들의 신호들에 대해 반대의 요구들을 가져야 한다. 따라서, 인접한 시프트 레지스터들의 동일한 클록 신호 단자들은 각각 상이한 포트들에 연결될 수 있다. 시프트 레지스터를 캐스케이딩(cascading)하기 위한 구체적인 방법은 알려져 있으므로, 여기서는 그 상세한 설명을 생략한다.

[0101] 제4 실시예

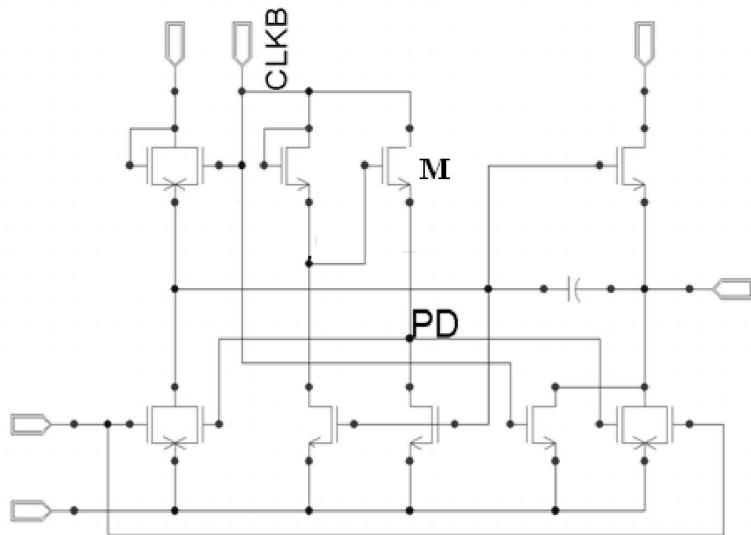
[0102] 본 실시예는 상기 게이트 구동 회로를 포함하는 어레이 기판을 포함하는 디스플레이 디바이스를 제공한다.

[0103] 구체적으로는, 디스플레이 디바이스는 액정 표시 패널, 전자 페이퍼, OLED 패널, 휴대 전화, 태블릿 컴퓨터, TV, 모니터, 노트북 컴퓨터, 디지털 포토 프레임, 내비게이터 등, 표시 기능을 갖는 제품이나 컴포넌트일 수 있다.

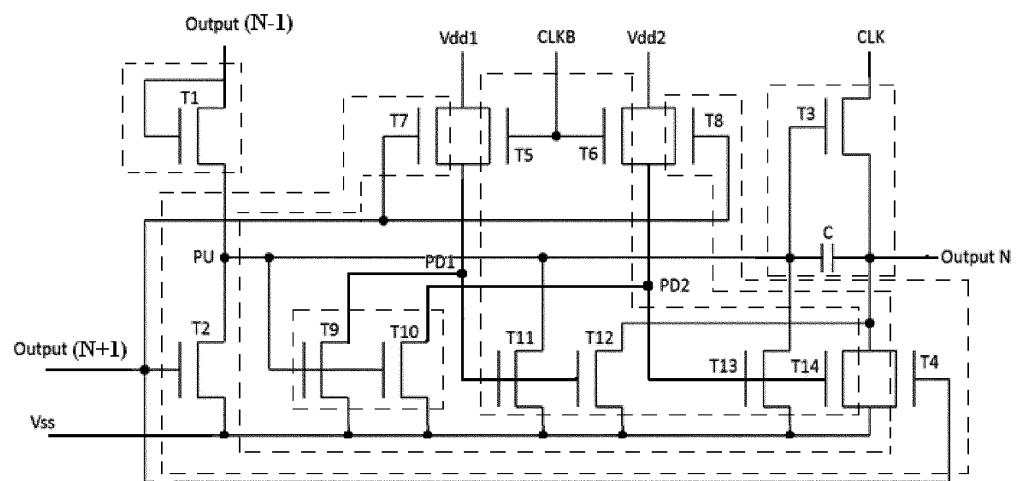
[0104] 상기 구현 예들은 단지 본 발명의 원리를 설명하기 위해 사용된 예시적인 구현 예일 뿐이며, 본 발명은 이에 한정되지 않는다. 본 분야의 기술자들은 본 발명의 정신 및 본질을 벗어나지 않고 다양한 변형 및 수정을 행할 수 있으며, 이러한 변형 및 수정은 본 발명의 보호 범위에 속해야 한다.

도면

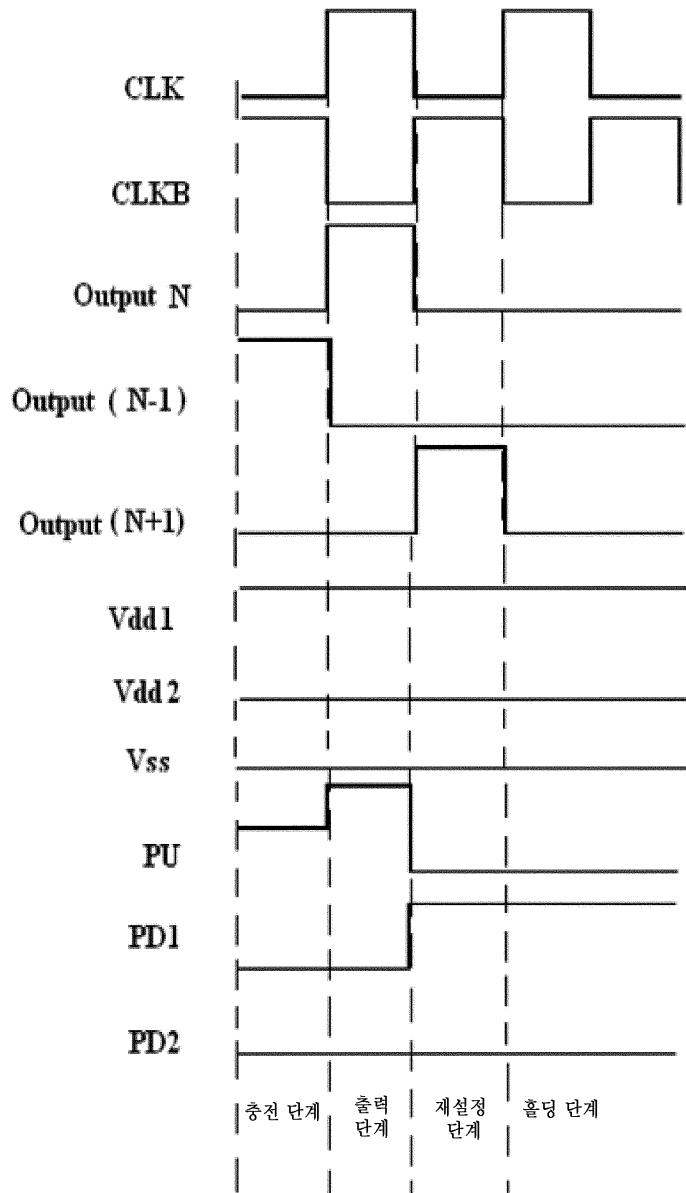
도면1



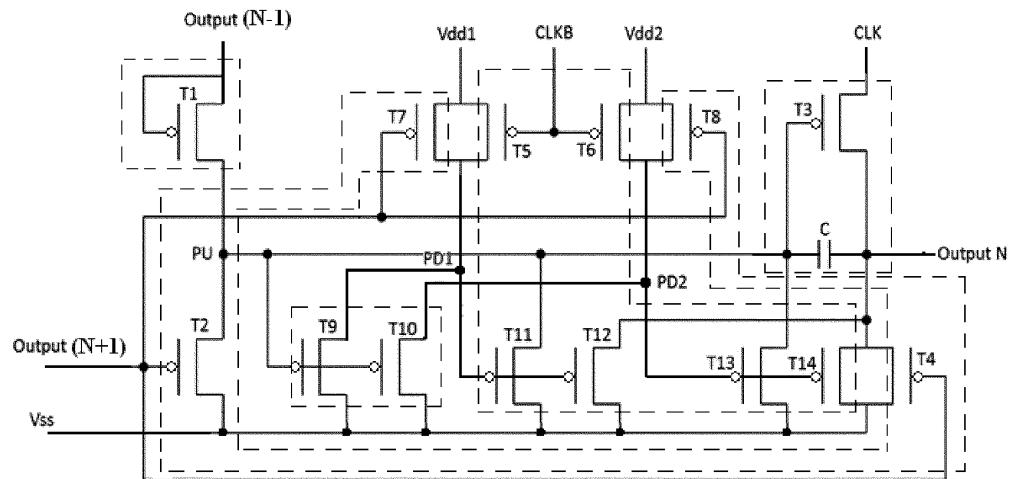
도면2



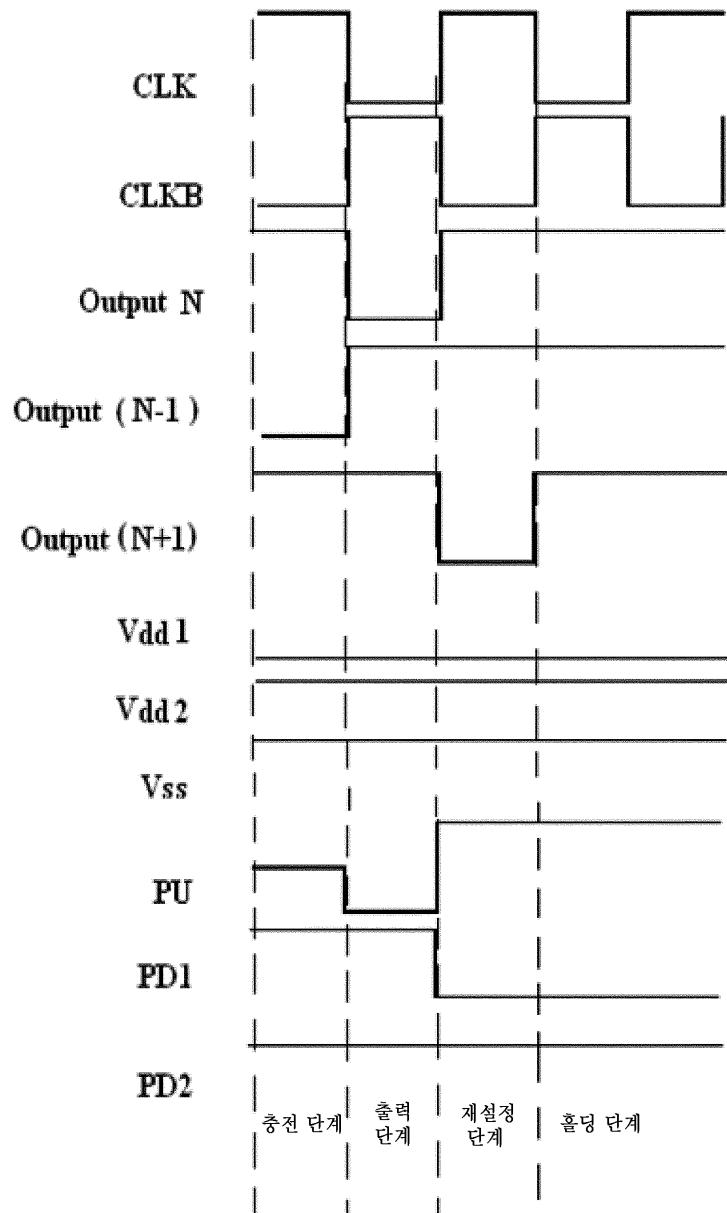
도면3



도면4



도면5



도면6

