

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 21/20 (2006.01)

(45) 공고일자 2006년11월07일
 (11) 등록번호 10-0577615
 (24) 등록일자 2006년05월01일

(21) 출원번호

10-1998-0031637

(65) 공개번호

10-1999-0014341

(22) 출원일자

1998년07월30일

(43) 공개일자

1999년02월25일

(30) 우선권주장

97-219955

1997년07월30일

일본(JP)

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

오누마 히데토
일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주)내

(74) 대리인

정상구
신현문
이범래
이병호**심사관 : 여덕호****(54) 반도체장치제조방법****요약**

촉매 원소가 비정질 실리콘막내에 도입된 후, 비정질 실리콘막은 열처리 및 레이저 조사에 의해 결정성 실리콘막으로 변화된다. 레지스트 마스크가 결정성 실리콘막 위에 형성된 후, 봉소 및 인은 게터링 영역을 형성하도록 결정성 실리콘 막내에 선택적으로 도입된다. 그리고 나서, 열처리가 섭씨 500 내지 650도에서 수행되어, 피게터링 영역에서의 촉매 원소는 게터링 영역에 게터링된다. 그 결과, 촉매 원소 농도가 감소된 결정성 반도체막이 얻어진다. 결정성 반도체막은 반도체 장치의 반도체층내에 패턴된다.

대표도

도 1c

명세서**도면의 간단한 설명**

도 1a 내지 도 1f는 본 발명의 제 1 실시예에 따르는 게터링 공정을 도시하는 기판의 단면도.

도 2a 내지 도 2c는 제 1 실시예에 따르는 게터링 공정을 도시하는 기판의 평면도.

도 3a 내지 도 3e는 제 1 실시예에 따르는 TFT 제조 공정 도시도.

도 4a 내지 도 4f는 본 발명의 제 2 실시예에 따르는 게터링 공정을 도시하는 기판의 단면도.

도 5a 내지 도 5d는 본 발명의 제 3 실시예에 따르는 게터링 공정을 도시하는 기판의 단면도.

도 6a 내지 도 6e는 제 3 실시예에 따르는 게터링 공정을 도시하는 기판의 평면도.

도 7a 내지 도 7g는 본 발명의 제 4 실시예에 따르는 TFT 제조 공정 도시도.

도 8a 내지 도 8g는 본 발명의 제 5 실시예에 따르는 TFT 제조 공정 도시도.

도 9a 내지 도 9f는 본 발명의 제 6 실시예에 따르는 TFT 제조 공정 도시도.

도 10은 샘플을 도시하는 개략도.

도 11은 도 12 내지 도 16에 도시된 샘플의 도핑 조건 도시도.

도 12 내지 도 16은 FPM 처리된 각각의 샘플의 광학 현미경 사진 도시도.

* 도면의 주요 부분에 대한 부호의 설명 *

101 : 유리 기판 105, 106 : 결정성 실리콘막

107 : 레지스트막 108 : 게터링 영역

110 : 서브젝트 영역 111 : 섬모양 영역

112 : 실리콘 산화막 113, 114 : 양극 산화막

119, 120 : 게이트 절연막 122 : 드레인 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야

본 발명은 비정질 반도체 박막을 결정화함으로써 형성되는 결정성 반도체막을 이용하는 반도체 장치의 제조 방법에 관한 것이다. 특히, 본 발명은 박막 트랜지스터(TFT) 등의 반도체 장치의 제조 방법에 관한 것이다.

2. 관련 기술의 설명

최근에, 유리 기판 등의 위에 TFT들을 형성하여 반도체 회로를 구성하는 기술들이 급속도로 발전해왔다. 그러한 반도체 회로들의 전형적인 예로는 액티브 매트릭스 액정 표시 장치와 같은 전자 광학 장치가 있다.

액티브 매트릭스 액정 표시 장치는 픽셀 매트릭스 회로 및 구동 회로가 같은 기판 위에 제공되는 모노리식 표시 장치이다. 또한, 기억(memory) 회로 및 클럭 발생 회로와 같은 논리 회로들을 추가적으로 내장하는 시스템온패널 장치(system-on-panel device)가 개발되고 있다.

구동 회로 및 논리 회로는 고속으로 동작하도록 요구되고 있으므로, 상기 회로들에게는 액티브 층으로서 비정질 실리콘막을 사용하는 것이 적절하지 않다. 그러므로, 액티브 층과 같은 결정성 실리콘막(폴리실리콘막)을 사용하는 TFT들이 이제는 주류가 되고 있다.

반면에, 소위, 저온 처리라 불리는 즉, 석영 기판보다 내열성이 낮은 유리 기판과 같은 기판 상의 넓은 영역 위에 결정성 실리콘막을 형성하는 공정에 대한 연구 및 개발들이 행해지고 있다.

본 발명자들은 유리 기판 위에 결정성 실리콘막을 형성하는 기술(일본 특허출원 공개 공보 평7-130652호 참조)을 발표했다. 상기 공보에 개시된 기술은 비정질 실리콘막에 결정화를 가속화하는 촉매 원소가 첨가되어 비정질 실리콘이 열처리에 의해서 결정화되는 것이다.

상기 결정화 기술은 이전보다 결정화 시간을 1/5 내지 1/10로 줄이고 섭씨 50내지 100도로 비정질 실리콘막의 결정화 온도를 줄이는 것을 가능하게 하였다. 그 결과, 내열성이 낮은 유리 기판상의 넓은 영역 위에 결정성 실리콘막을 형성하는 것이 가능해졌다. 저온 처리에 의해 형성된 결정성 실리콘막이 보다 우수한 결정성을 갖는다는 것이 실험적으로 증명되었다.

상기 결정화 기술에서, 니켈 및 코발트와 같은 금속 원소가 촉매 원소로서 사용된다. 그러한 금속 원소는 실리콘막에서 깊은 에너지 레벨을 형성하여 캐리어들을 포획한다. 그러므로, 금속 원소를 포함하는 결정성 실리콘막을 사용하여 제조된 TFT의 신뢰성 및 전기적 특성에 금속 원소가 불리하게 작용할 가능성성이 있다.

결정성 반도체 박막에 남아있는 촉매 원소가 특히 그레인 경계에서 불규칙한 방식으로 분리된다는 것이 발견되었다. 본 발명자들은 분리된 영역들이 페인트(faint) 전류의 누설 통로로서 작용하고 오프전류의 갑작스런 증가(즉, TFT의 오프상태 동안의 전류)를 야기할 가능성이 있다고 보고 있다.

그러므로, 결정화 이후의 초기 단계에서 전기적 특성들에 영향을 주지 않는 레벨로 촉매 원소의 농도를 줄이거나 촉매 원소를 제거하는 것이 바람직하다. 본 발명자들은 할로겐 원소의 게터링 효과를 이용하여 결정성 실리콘막에서 촉매 원소를 게터링하는 방법에 관한 특허 출원을 이미 하였다.

그러나, 이런 기술은 섭씨 800도 이상의 고온에서 열처리가 수행되도록 요구되기 때문에 내열성이 낮은 유리 기판에 적용될 수는 없다. 그러므로, 촉매 원소를 사용하는 저온 처리의 특징들이 효과적으로 사용될 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명은 기술적으로 상기와 같은 문제점들과 관련하여 이루어진 것이고, 따라서 본 발명의 목적은 저온 처리의 특징들이 유지되면서도, 실리콘을 함유하는 결정성 반도체막으로부터 촉매 원소를 제거하거나 그의 농도를 줄이는 기술을 제공하는 것이다.

상기 목적을 달성하기 위해, 본 발명은, 1) 촉매 원소를 사용하여 실리콘을 포함하는 비정질 반도체막을 결정화하는 단계, 2) 13족 원소(특히, 봉소) 및 15족 원소(특히, 인)로 결정화된 반도체막을 선택적으로 도핑함으로써 게터링 영역을 형성하는 단계, 3) 피게터링 영역에서 촉매 원소를 게터링 영역에 이동시키도록 열처리를 수행하는 단계를 주로 포함하는 반도체 장치 제조 방법을 제공한다. 상기 단계들의 실행에 따라, 13족 원소로도 15족 원소로도 도핑되지 않은 영역에서의 촉매원소는 게터링 영역에 확산되고 그곳에서 게터링된다.

본 발명의 기본적인 목적은 실리콘을 함유하는 비정질 반도체막 결정화에 사용되어왔던 촉매를 결정성 실리콘막으로부터 제거하는 것이다. 이를 위해서, 13족 원소 및 15족 원소가 도입되는 영역이 게터링 싱크로서 이용된다.

상술된 결정화 단계에서, 결정화 원소를 함유하는 용액을 인가하는 방법 또는 플라즈마 도핑, 증발 및 스퍼터링과 같은 기상(vapor-phase) 방법들에 의해 비정질 실리콘막내에 촉매 원소가 도입될 수도 있다. 용액을 이용하는 방법에서, 촉매 원소의 도입 양은 쉽게 조절될 수 있으며 촉매 원소는 매우 작은 양으로 쉽게 첨가될 수 있다.

촉매 원소의 예로는 Ni(니켈), Co(코발트), Fe(철), Pd(팔라듐), Cu(구리) 및 Au(금) 등과 같은 금속 원소들이 있다. 본 발명자들의 실험들은 니켈이 가장 적절한 원소임을 알아냈다.

본 발명에서, 게터링을 위한 13족 불순물 원소는 적어도 B, Al, Ga, In 및 Tl로부터 선택된 하나의 원소이다. B(붕소)는 상기 목적을 위해서 가장 적합하다. 15족 불순물 원소의 예는 N(질소), P(인), As(비소), Sb(안티모니), Bi(비스무드)이다. 인이 가장 현저한 효과를 나타내며 비소가 그 다음이다.

획산된 인을 포함하는 n형 영역이, 단결정 실리콘 기판에서 확산된 금속 원소를 게터링하는 게터링 싱크로서 사용되는 기술이 공지되어 있다. 대조적으로, 본 발명은 반도체 물질에 n형 도전성을 갖게 하는 15족 원소뿐만 아니라 반도체 물질에 p형 도전성을 갖게 하는 13족 원소가 도입되는 영역이, 결정화를 위해 의도적으로 첨가된 측면 원소를 게터링하기 위한 게터링 싱크로서 사용되는 특징을 갖는다.

발명의 구성 및 작용

다음의 여섯 가지의 전형적인 파라미터들이 본 발명의 게터링 단계에 대해 고려되어야 한다.

- (a) 붕소 및 인 도입 단계에서의 도우즈,
- (b) 붕소 및 인 도입 단계에서의 가속 전압,
- (c) 게터링 영역의 모양 및 영역,
- (d) 피게터링 영역의 모양 및 영역,
- (e) 게터링을 위한 열처리의 처리 온도,
- (f) 게터링을 위한 열처리의 처리 시간.

본 발명에서, 상기 파라미터들은 서로 상관되어 있는데, 하나의 파라미터의 값이 변하면, 그에 따라 다른 파라미터의 최적값도 변한다. 본 발명자들에 의해 행해진 실험과 그 실험에 의해 얻어진 지식에 대해 이하에서 기술하기로 한다.

실험은 다음으로 요약된다. (a) 인(15족 원소)만이 도입된 게터링 영역, (b) 붕소(13족 원소)만이 도입된 게터링 영역, (c) 인 및 붕소가 도입된 게터링 영역이 형성되었고, 각 영역의 게터링 효과를 서로 비교하여 연구하였다.

실험에서, 각 게터링 영역의 효과를 비교하면, 게터링 단계에서 샘플은 FPM(0.5:0.5의 몰 비율로 HF 및 H_2O_2 를 혼합함으로써 얻어진 화학적인 액체)으로 불리는 에천트로 처리되었다. FPM 처리를 수행함으로써, 피게터링 영역에 남아있는 (대개 니켈 실리사이드 형태) 니켈이 선택적으로 제거될 수 있다. 그러므로, 게터링 효과는 FPM 처리에 의해 발생된 홀의 수로 평가된다. 그러한 홀은 실온에서 1시간동안 FPM 액체에 샘플을 어닐링함으로써 발생된다. 니켈 농도는 큰 수의 홀이 발생될 때보다 높다고 할 수 있다.

실험에서, 모든 다결정 실리콘막 샘플은 다음 조건하에서 발생된다. 10 ppm의 니켈을 포함하는 니켈 아세테이트염 용액은 스픬 코팅에 의해 55nm 두께의 비정질 실리콘막의 표면에 인가된다. 4시간 동안 섭씨 550도로 열처리한 후, 어닐링이 엑시머 레이저광으로 조사함으로써 수행된다. SIMS 측정에 따르면, 결과로 얻어지는 폴리실리콘막의 니켈 농도는 약 1×10^{19} 내지 $2 \times 10^{19} \text{ atoms/cm}^3$ 이다.

도 10은 실험에서 피게터링 영역(10) 및 게터링 영역(20) 사이의 관계를 도시한다. 그리고 나서, 마스크가 폴리실리콘막 위에 형성되며, 게터링 영역(20)은 이온 도핑에 의해 마스크를 통해 인 및 붕소로 폴리실리콘막을 선택적으로 도핑함으로써 형성된다. 인으로도 붕소로도 도핑되지 않은 영역은 피게터링 영역(10)으로 불린다. 인 및 디보레인은 각각 인 및 붕소의 소스 가스로서 사용된다.

실험에서, 게터링을 위한 열처리의 조건으로서, 열처리는 질소 분위기에서 12시간동안 섭씨 600도로 지속하여 수행된다. 상술된 FPM 처리는 상기 열처리 후 수행된다. 도 12의 (a) 내지 (e) ~ 도 16의 (a) 내지 (e)는 FPM 공정 후 취해진 샘플의 광학 현미경 사진이다.

도 12의 (a) 내지 (e) ~ 도 16의 (a) 내지 (e)는 각 피게터링 영역의 폭 L은 $100\mu m$ 이고 각 게터링 영역(20)의 폭은 10, 20, 30, 50 및 $100\mu m$ 인 실험 결과를 도시한다. FPM액은 고유의 실리콘막이 남는 동안 n형 실리콘막을 선택적으로 제거할 수 있다. 그러므로, 도 13의 (a) 내지 (e)의 경우에서, 게터링 영역(20)에서는 도입된 인만이 제거된다. 도 11은 게터링 영역(20)을 형성하는 도핑 조건 및 광학 현미경 사진의 설정 사이의 관계를 도시하는 표이다.

도 12의 (a) 내지 (e)는 봉소(13족 원소)만이 도입된 경우의 광학 현미경 사진이다. 봉소 도핑 조건에 대해서는, 가속 전압이 $10 kV$ 로 설정되고 도우즈는 게터링 영역(20)이 $2.5 \times 10^{15} \text{ atoms/cm}^2$ 의 봉소 농도를 갖도록 설정된다.

도 13의 (a) 내지 (e)는 인(15족 원소)만이 도입된 경우의 광학 현미경 사진이다. 인 도핑 조건에 대해서는, 가속 전압이 $10 kV$ 로 설정되고 도우즈는 게터링 영역(20)이 인 농도 $1.7 \times 10^{15} \text{ atoms/cm}^2$ 를 갖도록 설정된다.

도 14의 (a) 내지 (e)는 봉소 및 인(각각, 13족 원소 및 15족 원소)이 도입된 경우의 광학 현미경 사진이다. 봉소 도핑 조건은 도 12의 (a) 내지 (e)의 경우와 같고 인 도핑 조건은 도 13의 (a) 내지 (e)의 경우와 같다.

도 12의 (a) 내지 (e) ~ 도 14의 (a) 내지 (e)중의 비교 결과는 다음과 같다. 도 12의 (a) 내지 (e)의 사진은 게터링을 위한 열처리 전 및 후의 홀의 수 사이의 차이가 없는 것을 보여준다. 이것은 거의 게터링 효과가 없는 봉소만으로 게터링 영역(20)이 도프된 결론을 낳는다.

한편, 도 12의 (a) 내지 (e)와 도 13의 (a) 내지 (e)의 사진을 비교함으로써, 인만으로 도프된 게터링 영역(20)이 게터링 기능을 가짐을 알 수 있다. 그러나, 게터링 영역(20)의 폭이 $10 \mu m$ 또는 $20 \mu m$ 으로 적을 때, 홀은 피게터링 영역(10)에서 발생된다. 반면에, 게터링 영역(20)이 봉소 및 인으로 도프된 도 14의 (a) 내지 (e)의 사진에서, 홀은 게터링 영역(20)의 폭이 $10 \mu m$ 또는 $20 \mu m$ 으로 적을 때조차도 피게터링 영역(10)에서는 발생되지 않는다. 홀이 FPM처리에 의해 발생되지 않는 샘플에서, 니켈 농도는 SIMS 검출 하한 농도(약 $5 \times 10^{17} \text{ atoms/cm}^2$ 이하)만큼 낮다.

본 발명에서 이용된 게터링은 측매 원소 확산 현상이다. 실험에서, 니켈 확산 길이는 피게터링 영역(10)의 폭 L에 의존한다. 니켈 확산이 1차원적으로 발생하는 간략한 모델을 가정하면, 즉 피게터링 영역(10)의 폭 L의 방향에서만, 폭 L이 $100 \mu m$ 이라면 최대 폭 $50 \mu m$ 에 걸쳐 니켈을 확산하도록 하는데 충분하다. 피 게터링 영역(10)의 폭 L이 동일한($100 \mu m$) 도 13의 (a) 내지 (e), 및 도 14의 (a) 내지 (e)의 경우에서, 게터링될 때까지 커버되는 니켈의 확산 길이는 동일한 것으로 간주된다. 게터링 영역(20)이 보다 넓어지는 게터링 효과 향상이 기대된다. 이것은 도 13의 사진 (a) 내지 (e)에 의해 증명된다.

그러므로, 도 14의 (a) 내지 (e)와, 도 13의 (a) 내지 (e)의 사진 사이의 비교는 봉소 및 인으로 도프된 게터링 영역(20)이 훨씬 더 적은 영역을 갖고서도 인만으로 도프된 게터링 영역(20)보다 더 떨어져 있는 니켈 원자를 게터링할 수 있다는 결론을 도출해낸다. 즉, 전자는 후자 보다 높은 게터링 효과를 갖는다. 특히, 도 14의 (a)의 사진은 $100 \mu m$ 의 폭 L을 갖는 각 피게터링 영역(10)의 양쪽 위에 $5 \mu m$ 의 폭을 갖는 게터링 영역(20)을 형성함으로써 얻어질 수 있는 만족스러운 결과를 보여준다.

봉소 및 인이 둘다 사용된 경우에서, 게터링 영역(20)의 접유 영역은 적어질 수 있으므로 피게터링 영역(10)은 보다 넓게 만들어질 수 있다. 또, 높은 게터링 효과 때문에, 게터링 처리 시간이 단축될 수 있는 장점이 얻어진다. 인 및 봉소로 게터링 영역(20)이 도프된 한 가지 이유는 높은 니켈 고체 용해도를 갖는 전자인 인만으로 도프된 것보다 더 높은 게터링 효과를 제공한다.

또 다른 실험이 수행되었는데, 여기서는 게터링 효과와 봉소 도입 양 사이의 관계를 관찰하도록 인 도핑 조건은 고정되고 봉소 도핑 조건은 변화된다. 도 15의 (a) 내지 (e), 및 도 16의 (a) 내지 (e)는 FPM 처리된 후의 샘플의 광학 현미경 사진이다. 상기 실험에서, 인 도핑 조건은 도 13의 (a) 내지 (e)와 같이 설정되며, 가속 전압은 $10 kV$ 로 설정되고, 인 농도 $1.7 \times 10^{15} \text{ atoms/cm}^2$ 를 제공하도록 설정된다. 봉소 도핑 시간의 가속 전압 또한 $10 kV$ 로 고정된다.

도 15의 (a) 내지 (e)는 봉소가 대략 인 농도의 절반인 봉소 농도 $8.3 \times 10^{14} \text{ atoms/cm}^2$ 를 제공하도록 설정된 경우에서의 광학 현미경 사진이다. 도 16의 (a) 내지 (e)는 인 농도와 같은 봉소 농도 $1.7 \times 10^{15} \text{ atoms/cm}^2$ 를 제공하도록 봉소가 설정된 경우에서의 광학 현미경 사진이다. 도 14의 (a) 내지 (e)의 경우는 봉소 농도 $2.5 \times 10^{15} \text{ atoms/cm}^2$ 의 실험 결과의 경우와 대응하고 도 13의 (a) 내지 (e)의 경우는 봉소 농도 0인 실험의 경우에 대응한다.

도 15의 (a) 내지 (e)의 사진으로부터 알 수 있는 것은 도프된 붕소의 농도가 도프된 인의 농도 보다 낮은 경우에서의 게터링 효과가 인만이 도입된 경우(도 13의 (a) 내지 (e) 참조)에서 보다 낮다는 것이다.

도프된 붕소의 농도가 도프된 인(1.7×10^{15} atoms/cm²)과 같도록 설정함으로써 도 16의 (a) 내지 (e)의 사진으로부터 알 수 있는 것은, 폭 s가 10 μm 또는 20 μm인 경우에도 FPM 처리에 의해 형성된 홀이 거의 없는데, 즉, 인만이 도입되는 경우(도 13의 (a) 내지 (e) 참조)에 비해 보다 높은 게터링 효과가 얻어진다는 것이다.

그러나, 도 16의 (a) 내지 (e)로부터 알 수 있는 바와 같이, 붕소 농도가 1.7×10^{15} atoms/cm²인 경우에서, 보다 작은 수의 홀이 폭 s가 10 μm, 20 μm, 또는 30 μm일 때 피게터링 영역(10)에서 형성된다.

반면에, 붕소 농도가 인 농도 보다 높았던 2.5×10^{15} atoms/cm² 일 때, 홀은 도 14의 (a)로부터 알 수 있는 바와 같이 폭 s가 10 μm일 때조차 발생되지 않는다.

상기 실험에서, 인 불순물은 인 농도 1.7×10^{15} atoms/cm²를 제공하게 하는 값으로 고정된다. 또 다른 실험에 유도되는 데 여기서 인 불순물은 상기 값의 약 반인 인 농도 8.3×10^{14} atoms/cm²를 제공하도록 설정되고 가속 전압은 10 kV로 고정된다. 붕소 도핑 조건에 관하여는, 가속 전압이 10 kV로 고정되고 불순물은 붕소 농도 0, 8.3×10^{14} atoms/cm², 1.7×10^{15} atoms/cm²를 제공하도록 설정된다. 각각의 경우의 게터링 효과는 서로 비교된다. 붕소가 첨가되고 인 농도가 8.3×10^{14} atoms/cm²인 경우에서의 게터링 효과는 인만이 첨가된(즉, 붕소 불순물은 0) 경우보다 더 낮다.

상기 실험 결과는 다음과 같이 요약된다. 인 및 붕소로 도프된 게터링 영역(20)을 사용하기 위해서, 피게터링 영역(10)에서 니켈 농도가 약 1×10^{19} 내지 2×10^{19} atoms/cm³인 경우에 1.7×10^{15} atoms/cm² 이상의 인 농도를 제공하도록 인 불순물이 설정되게 한다. 붕소 불순물은 1.7×10^{15} atoms/cm² 이상의 붕소 농도를 제공하도록 설정되어야 한다. 인이 인 농도의 약 1.5배인 2.5×10^{15} atoms/cm² 보다 큰 농도로 첨가되는 것이 매우 양호하다.

상기 실험에서의 붕소 및 인 농도 값은 불순물 값으로부터 유도된 것이다. 실제 게터링 영역(20)에서 도입된 붕소 및 인의 농도는 SIMS에 의해 측정된다. SIMS 측정 결과는 인 농도 1.7×10^{15} atoms/cm²를 제공하도록 인 불순물이 설정되고 가속 전압이 10 kV로 설정될 때 게터링 영역(20)에서의 인의 단위 영역 당 농도는 붕소 농도 1.7×10^{15} atoms/cm²를 제공하도록 붕소 불순물이 설정되고 가속 전압이 10 kV로 세트될 때 게터링 영역(20)에서의 붕소의 것과 동일하며, 그들은 약 1.5×10^{15} 내지 2×10^{15} atoms/cm²이다.

단위 영역 당 상기 인 및 붕소 농도의 각각은 (심도(막 두께)방향에서의 변화인 단위 크기 당 농도[atoms/cm²]) SIMS 농도 프로필의 영역 변환된 값이다.

그러므로, 게터링 영역(20)에서의 인 및 붕소의 단위 영역에서의 농도가 1.5×10^{15} atoms/cm² 이상이고, 약 1×10^{19} 내지 2×10^{19} atoms/cm³의 니켈 농도를 갖는 피게터링 영역에서의 FPM 처리에 의해 홀이 발생되지 않는 상태를 제공하기 위해서이다. 반면에, 단위 영역 당 붕소 농도는 단위 영역 당 인 농도보다 같거나 높은데(인의 1배 이상), 생산성의 관점에서 보면, 전자는 후자에 약 1-3배이다. 도 14의 (a) 내지 (e), 및 도 16의 (a) 내지 (e)의 실험 결과 비교를 토대로, 붕소의 단위 영역에서의 농도는 인의 약 1.5-3배인 결론이 나온다. 즉, 게터링 영역(20)에서의 인 및 붕소 농도는 게터링 영역(20)이 거의 p형 도전성을 나타내도록 설정되어야 한다.

인 및 붕소 불순물에서의 상기 조건은 폴리실리콘막의 니켈 농도가 1×10^{19} 내지 2×10^{19} atoms/cm³인 경우에 적용된 하나인 도 12의 (a) 내지 (e) ~ 도 16의 (a) 내지 (e)의 실험 결과로부터 얻어진다. 그러나, 니켈 농도가 상기 범위 이외의 경우에 대해서, 인 및 붕소로 게터링 영역(20)이 도프되어 붕소 농도가 인만으로 도프된 게터링 영역(20)보다 높은 게터링 효과를 제공할 수 있는 약 1배 이상(양호하게 약 1.5-3배)의 인 농도가 기대된다. 또한 니켈 농도가 상기 범위 이하라면, 게터링 영역(20)의 인 농도의 하한은 저농도 측으로 이동되는 것이 기대된다.

붕소 및 인의 도입 방법은 붕소 및 인을 포함하는 층이 용액을 사용하는 고체 상태의 방법 또는 액체 상태의 방법에 의해 형성된 방법이 사용될 수 있고, 이온 도핑 및 플라즈마 도핑과 같은 증기 상태의 방법에 국한되지 않는다.

상기 실험의 조건하에서, 게터링은 피게터링 영역(10)의 폭 L이 100μm의 길이로 수행될 수 있다. 각 측이 100μm 길이인 크기를 갖는 반도체층은 피게터링 영역(10)의 패턴으로부터 얻어질 수 있다. 이것은 실제의 액티브 매트릭스 표시 장치를 구성하는 TFT의 반도체층의 크기 중 하나(특히 큰 것)이다. 그러므로, 상기 실험으로부터 얻어진 지식은 액티브 매트릭스 표시 장치를 구성하는 모든 TFT에 거의 적용 가능하다.

짧은 측의 길이가 100μm 이상의 길이인 큰 크기의 액티브층은 예로서 구동 회로를 구성하는 TFT만에 대해 사용된다, 큰 액티브층의 사용은 예를 들어, 복수의 반도체층을 사용함으로써 쉽게 회피될 수 있다.

상기 실험에서 가열 온도 및 시간이 섭씨 600도 및 12시간으로 설정되었을지라도, 니켈과 같은 촉매 원소의 확산 길이는 가열 온도 및 시간에 의존하며, 확산 길이는 가열 온도가 보다 높게 만들어지거나 가열 시간이 보다 길게 만들어짐으로써 증가한다. 열처리는 피게터링 영역(10)의 폭 L이 더 적어질 때 보다 짧은 시간에 완료된다.

이론적으로, 가열 온도의 하한은 확산할 수 있는 니켈과 같은 촉매 원소로 가장 낮은 온도에서 결정화될 수 있으며, 그의 상한은 게터링 영역(20)에서 도입된 인 및 붕소가 피게터링 영역(10)에 역확산을 이루지 않는 가장 높은 온도에서 결정화된다. 즉, 가열 온도 범위는 섭씨 400 내지 1,050도이고, 양호하게는 섭씨 400–900도이다.

예를 들면, 전형적인 가열 온도는 유리 기판이 사용될 때 섭씨 550–650도이며, 석영 기판이 사용될 때 섭씨 600–750도이다.

반면에, 가열 시간은 가열 온도 및 촉매 원소 확산 길이와 같은 인수로부터 결정화된다. 제조 공정의 관점에서, 지나치게 긴 공정 시간은 바람직하지 않다. 처리 작업량에 관련하여, 발명자는 가열 시간의 상한을 24시간으로 설정하였다. 즉, 가열 시간을 1분에서 24시간의 범위 내로 하여야 하며, 양호하게는 30분에서 3시간이다.

열처리 분위기는 불활성 분위기, 수소 분위기, 산화성 분위기 및 할로겐 원소를 포함하는 산화성 분위기 중 하나일 수 있다.

게터링 효과는 상당히 낮은 가속 전압이 5–30 kV로 수행된 인 및 붕소로 도프될 때 향상된다. 이것은 불순물이 고정될 때의 현상에 기인하고, 낮은 가속 전압은 수백 나노미터의 두께로, TFT의 반도체층으로 사용된 반도체막으로 고농도로 인 및 붕소가 도입되게 한다.

니켈과 같은 촉매 원소의 많은 양을 게터링 단계에서 긴 거리에 걸쳐 확산하도록 하는, 고온 및 장시간의 열처리 이외의 방법은 열처리에 의해 비정질 실리콘막을 결정화함으로써 얻어진 반도체막에 레이저광(양호하게 펄스 밸진형 레이저광)을 인가하는 것이다. 상기 측정치는 FPM 처리에 의해 발생된 홀의 수의 감소를 확인하였다. 상기 현상에 대한 이유는 레이저 광으로의 조사가 보다 쉽게 촉매 원소가 확산하는 비평형 상태의 일종을 야기하기 때문이다.

또한 열처리가 게터링하기 전에 같은 세기의 광 또는 레이저광 적용이 효과적이다. 상기 현상에 대한 이유는 13족 원소 및 15족 원소가 열처리 전에 활동적이라는 이유이다.

본 발명의 일반적인 실시예는 도 1a 내지 도 1f를 참조하여 이하 기술된다. 먼저, 도 1a에 도시된 바와 같이, 실리콘을 포함하는 비정질 반도체막(103)은 기판(101)위에 형성되고, 결정화 가속을 위한 촉매 원소를 포함하는 층(104)은 비정질 반도체막(103)위에 형성되며, 촉매 원소는 비정질 반도체막(103)으로 도입된다.

그리고 나서, 도 1b에 도시된 바와 같이, 비정질 반도체막(103)은 결정성 반도체막(105)으로 열처리에 의해 결정화된다. 그리고 나서, 도 1c에 도시된 바와 같이, 결정성은 레이저광으로 조사함으로써 개선되어, 결정성 반도체막(106)이 얻어진다.

그 후, 도 1d에 도시된 바와 같이, 13족 불순물 원소 및 15족 불순물 원소는 게터링 영역(108)을 형성하도록 결정성 반도체막(106)으로 선택적으로 도입된다. 이것은 용액을 사용하는 액체 상태의 방법 또는, 13족 원소 및 15족 원소를 포함하는 층을 사용하는 고체 상태의 방법, 이온 도핑 또는 플라즈마 도핑과 같은 증기 상태의 방법에 의해 행해질 수 있다.

그리고 나서, 도 1e에 도시된 바와 같이, 열처리는 도입된 불순물 원소가 게터링 영역(108)에 이동되지 않은 결정성 반도체막(106)의 영역(109)에서의 촉매 원소에 의해 수행된다. 결정성 반도체막(110)은 그리하여 얻어지는데 촉매 원소 농도는 저하된다. 도 1f에 도시된 바와 같이, 막(110)은 반도체 장치의 반도체층(111)으로 패턴닝된다. 열처리 때문에, 게터링 영역(108)의 불순물은 엑시머 레이저광과 같은 레이저 광으로 조사함으로써 활성화될 수 있다.

본 발명의 특수한 실시예는 도 1a 내지 도 1f ~ 도 9a 내지 도 9f를 참조로 이하 기술된다

[실시예 1]

본 실시예는 도 1a 내지 표 1f ~ 도 3a 내지 도 3e를 참조로 기술된다. 상기 실시예는 P(인) 및 B(붕소)를 이용함으로써 게터링된 결정성 실리콘막에서의 니켈과 촉매 원소로서 니켈을 사용하는 결정화를 통해 형성된 결정성 실리콘막(폴리실리콘막)에서의 방법에 관한 것이다. 도 1a 내지 도 1f는 기판의 단면도이고 도 2a 내지 도 2c는 각각 도 1d 내지 도 1f에 대응하는 평면도이다.

먼저, 도 1a에 도시된 바와 같이, 언더코트막(102)으로서 200nm 두께의 실리콘 산화막이 플라즈마 CVD에 의해 유리 기판(101)위에 형성된다. 그 후, 비정질 실리콘막(103)이 10~70 nm의 두께, 양호하게 15~45 nm로 저압 플라즈마 CVD 또는 플라즈마 CVD에 의해 형성된다. 상기 실시예에서, 55nm 두께의 비정질 실리콘막(103)이 저압 CVD에 의해 형성된다. 비정질 실리콘막(103)과 달리, $\text{Si}_x\text{Ge}_{1-x}$ ($0 < X < 1$)와 같은 실리콘을 포함하는 비정질 반도체막이 사용될 수 있다.

그리고 나서, 비정질 실리콘막(103)은 다음 방식으로 결정화된다. 먼저, 매우 얇은 산화막(도시되지 않음)이 비정질 실리콘막(103)의 표면에 산소의 UV선으로 조사함으로써 형성된다. 상기 산화막은 후에 응용될 니켈을 포함하는 용액의 습윤성을 개선하는 기능을 갖고있다.

그 후, 니켈을 포함하는 용액은 비정질 실리콘막(103)의 표면에 적용된다. 니켈 함유량(무게)은 0.1~50ppm 양호하게 1~30ppm일 수 있다. 이것은 10^{16} 내지 10^{19} atoms/cm³인 비정질 실리콘막(103)의 니켈 농도를 만드는 것이다. 니켈 농도가 10^{15} atoms/cm³이하라면, 니켈의 촉매 작용은 얻어지지 않으며, 10^{19} atoms/cm³정도라면, 적당한 동작의 TFT 가용성은 게터링 니켈이 없을 때조차 제조될 수 있으며, 게터링 단계가 실행될 때, 효율적으로 실행될 수 있다. 상기 니켈 농도 값은 SIMS 측정값의 최대값으로 규정된 값이다.

상기 실시예에서, 10 ppm의 니켈을 포함하는 니켈 아세테이트염 용액이 적용된다. 니켈 아세테이트염 용액의 초과 부분이 제거되면, 즉, 스펜 코터로 기판(101)을 회전시킴으로써 불려져서 매우 얇은 니켈 함유층(104)인 비정질 실리콘막(103)의 표면 위에 형성된다.

도 1a의 상태가 얻어진 후, 비정질 실리콘막(103)은 질소로 4시간 동안 섭씨 550도로 열처리를 수행함으로써 결정화된다. 결정성 실리콘막(105)은 상기 결정화 단계(도 1b 참조)에 의해 얻어진다. 니켈이 언더코트막(102)(즉, 수직으로)방향으로 첨가된 비정질 실리콘막(103)으로부터 결정화 성장이 진행하므로, 그것은 본 명세서에서는 수직 성장으로 불린다.

그레인 경계를 갖는 폴리실리콘막이 상기 결정화 단계에 의해 형성되는 동안, 비정질 실리콘막이 또한 다른 조건 하에 형성될 수 있다.

상기 열처리는 섭씨 500~700도, 전기로에서는 양호하게 섭씨 550~650도로 수행될 수 있다. 유리 기판(101)의 열저항이 사용된 관점에서, 가열 온도의 상한은 유리 기판(101)의 유리 변형 포인트보다 낮아야 한다. 가열 온도가 유리 변형 포인트보다 높으면, 유리 기판(101)은 휘고, 수축된다. 가열 시간은 약 1~12시간으로 설정될 수 있다. 상기 열처리는 담금질(전기로에서)에 의해 수행된다. 대안으로, 레이저 어닐링, 램프 어닐링 등이 사용될 수 있다.

그리고 나서, 레이저광은 얻어진 결정성 실리콘막(105)에 적용되어, 결정성이 개선된 결정성 실리콘막(106)이 얻어진다 (도 1c 참조) 상기 실시예에서, 펄스 발진형 KrF 엑시머 레이저(파장:248 nm)가 사용된다.

보다 얕은 파장(자외선 범위)과 같은 펄스 발진형 레이저 XeCl 엑시머 레이저 및 보다 긴 파장 YAG 레이저가 사용될 수 있다. 상기 실시예에서 사용된 엑시머 레이저광이 자외선을 방출하므로, 순간적인 녹음 및 고형이 조사된 영역에서 반복된다. 그러므로, 엑시머 레이저광으로의 조사는 니켈이 매우 쉽게 이동하는 일종의 비평형 상태를 야기한다.

비정질 성분은 결정성 실리콘막(105)에서 도 1b의 결정화 단계에 의해 얻어진 것을 비정규적으로 남게 한다. 그러나, 비정질 성분은 레이저광으로의 조사에 의해 완전히 결정화될 수 있으므로, 결정성 실리콘막(106)의 결정성은 크게 개선된다.

레이저 조사 단계가 생략될 수 있을지라도, 결정성 개선의 효과에 더해 나중 게터링 단계의 효율성 개선의 효과를 갖는 것을 알아야 한다. 레이저 조사 후, 결정성 실리콘막(106)에 남아있는 니켈의 농도의 SIMS 측정값의 최대값은 약 1×10^{19} 내지 2×10^{19} atoms/cm³ 이다.

레이저광 조사 완료 후, 결정성 실리콘막(106)의 표면 위의 산화막이 제거되고 얇은 산화막(도시되지 않음)이 다시 산소의 UV선으로 조사함으로써 형성된다. 레지스트막(107)이 산화막 위에 형성된다. 산화막은 레지스트막(107)의 점착성 개선의 효과를 갖는다.

그리고 나서, 결정성 실리콘막(106)은 이온 도핑 또는 이온 주입에 의해 P(인) 원소 및 B(붕소) 원소로 도프된다. 이온 도핑은 상기 실시예에서 사용된다. 포스핀은 소스 가스로서 사용되고 가속 전압은 5-30 kV로 설정된다. 불순물은 1.7×10^{15} atoms/cm² 이상으로 도프된 P의 농도로 설정된다.

B 도핑 조건에 대해서는, 디보레인이 소스 가스로서 사용되고 가속 전압은 5-30 kV로 설정된다. 불순물은 1.7×10^{15} atoms/cm² 이상으로 양호하게는 2.5×10^{15} 내지 5×10^{15} atoms/cm² 도프된 B의 농도로 설정된다.

상기 실시예에서, P는 먼저 도프되고 나서 B가 도입된다. P 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 P 농도 1.7×10^{15} atoms/cm²를 제공하도록 설정된다. B 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 B 농도 2.5×10^{15} atoms/cm²를 제공하도록 설정된다.

P 및 B의 도핑 결과, 영역(108)(이하 게터링 영역(108)이라 언급됨)은 레지스트막(107)으로 덮이지 않아서 고 농도의 P 및 B를 포함하도록 된다. 영역(108)은 도핑 이온의 충돌에 의해 비정질로 된다. 반면에, 영역(109)(이하 피게터링 영역(109)이라 언급됨)은 P 및 B로 도프되지 않으므로 그의 결정성이 유지되는데, 그것이 레지스트 마스크(107)(도 1d 및 도 2a 참조)로 덮여 있기 때문이다.

P 및 B 도핑의 최적 조건은 결정성 실리콘막(106)(또는 비정질 실리콘막(103)의 초기두께)에 따르며 나중에 실행될 게터링 단계의 열처리의 조건에 따라 변한다. 도핑 조건은 게터링 영역(108) 및 피게터링 영역(109)의 크기를 고려하여 설정되어야 한다.

P 및 B 도핑 단계 완료 후, 레지스트 마스크(107)는 전용 제거기에 의해 제거된다. 다음에, 게터링을 위한 열처리가 수행되어 피게터링 영역(109)내에 남아있는 니켈이 게터링 영역(108)으로 이동된다. 상기 실시예에서, 열처리는 질소로 12시간 동안 섭씨 600도로 수행된다. 그리하여 줄어든 니켈 농도를 갖는 피게터링 영역(110)은 얻어진다(도 1e 및 도 2b 참조).

상기 열처리 단계에서, 피게터링 영역(109)내에 남아있는 니켈 원자는 게터링 영역(108)(화살표 방향으로 가리킴)으로 이동된다. 니켈의 상기 이동은 게터링 영역(108)이 비정질로 되고 상술된 레이저 조사에 의해 니켈이 보다 쉽게 이동되는 요인에 의해 가속된다고 생각된다.

그리고 나서, TFT의 반도체층으로 되는 섬모양 영역(111)이 패턴닝에 의해 게터링 영역(108)을 제거함으로써 얻어진다. 섬모양 영역(111)의 니켈 농도가 충분히 저하되므로, 누설 전류는 무시 가능한 레벨로 줄어들 수 있다. TFT는 게이트 절연막 형성 단계 등을 포함하는 공지된 방법에 의해 완성될 수 있다(도 1f 및 도 2c 참조).

게터링 영역(108)에 근접한 피게터링 영역(110)의 주변부에서 니켈 농도가 높을 가능성이 있다. 그러므로, 주변 영역이 섬모양 영역(111)에 포함되지 않도록 패턴닝 시에 주변 영역을 제거하는 것이 바람직하다.

이제, 도 1a 내지 도 1f, 및 도 2a 내지 도 2c의 공정에 의해 얻어진 섬모양 영역(111)을 사용함으로써 n채널 TFT 및 P채널 TFT의 상보 조합으로서 CMOS 회로 제조 공정이 도 3a 내지 도 3e를 참조로 기술된다.

도 3a에서, 참조 기호 (111N 및 111P)는 각각 n채널 TFT 및 P채널 TFT에 대한 반도체층이다. 반도체층(111N 및 111P)은 도 1f 및 도 2c에 도시된 섬모양 영역(111)에 대응한다. 150nm 두께 실리콘 산화막(112)은 플라즈마 CVD 또는 저압 CVD(도 3a 참조)에 의해 반도체층(111N 및 111P)위에 형성된다.

그 후, 주요 성분으로서 알루미늄을 포함하는 금속막이 형성되고 나서 게이트 전극의 시작 패턴으로 패턴링된다. 그리고 나서, 일본 특허 공개 공보 평 7-135318에 기재된 양극 산화 기술은 다음 방식으로 이용된다. 먼저, 다공성 양극 산화막(113 및 114)은 상기 기술을 이용함으로써 게이트 전극 시작 패턴의 측면 위에 형성된다. 그리고 나서, 치밀한 양극 산화막(115 및 116)이 게이트 전극 시작 패턴 주위에 형성된다. 그리하여 양극이 산화되지 않고, 게이트 전극 시작 패턴의 잔여 부분이 게이트 전극(117 및 118)으로 규정된다.

그리고 나서, 실리콘 산화막(112)은 게이트 절연막(119 및 120)을 형성하도록 마스크로서 다공성 양극 산화막(113 및 114)과 게이트 전극(117 및 118)을 사용함으로써 에칭된다. 다음에, 다공성 양극 산화막(113 및 114)이 제거된다. 그 결과, 게이트 절연막(119 및 120)의 부분은 게이트 전극(117 및 118)의 끝으로부터 노출된다(도 3b 참조).

그리고 나서, n형 도전성을 갖게 하는 불순물 이온이 이온 주입 또는 이온 도핑에 의해 두 단계에서 첨가된다. 상기 실시예에서, P 이온이 이온 도핑에 의해 첨가된다. 제 1불순물 첨가가 n- 영역을 형성하도록 높은 가속 전압으로 수행된다.

이 때에, 높은 가속 전압 때문에, 불순물 이온은 게이트 절연막(119 및 120)의 노출된 끝 부분의 영역뿐만 아니라 액티브층(111N 및 111F)에도 첨가된다. 불순물은 LDD 영역(불순물 농도 : 약 1×10^{18} 내지 1×10^{19} atoms/cm³)으로 사용하는 n- 영역으로 설정된다.

제 2 불순물 첨가는 그리고 나서 n+ 영역을 형성하도록 낮은 가속 전압에서 수행된다. 동시에, 낮은 가속 전압 때문에, 게이트 절연막(119 및 120)은 마스크로서 사용한다. n+ 영역이 소스 및 드레인 영역으로 되므로, 불순물은 500 Ω 이하(양호하게 300 Ω 이하)의 시트 저항을 제공하도록 설정된다.

상기 단계의 실행 결과, 드레인 영역(122), 낮은 농도 불순물 영역(123) 및 n 채널 TFT의 영역(124)을 형성하는 채널이 형성된다. 상기 상태에서, P 채널 TFT의 액티브층(111P)은 n 채널 TFT(도 3c 참조)의 액티브층(111N)으로서 같은 상태이다.

그리고 나서, 레지스트 마스크(125)가 n 채널 TFT를 덮도록 형성된 후, p형 도전성을 갖게 하는 불순물이 이온 주입 또는 이온 도핑에 의해 첨가된다. 상기 실시예에서, B가 이온 도핑에 의해 첨가된다. 상기 단계는 n형 도전성을 갖게 하는 불순물 첨가 단계의 경우에서처럼 두 단계로 실행된다. 그 결과, 소스 영역(127), 드레인 영역(128), 낮은 농도 불순물 영역(129) 및 p 채널 TFT의 채널 형성영역(130)(도 3d 참조)이 형성된다.

그러나, 상기 단계에서, n형에서 p형으로의 도전성의 역변화가 필요하다. 그러므로, 필요한 불순물 이온은 n 채널 TFT에 대한 상기 단계에서의 것보다 큰 2-3배 양으로 첨가될 필요가 있다.

상기 도핑 단계의 완료 후, 노 어닐링, 레이저 어닐링 또는 램프 어닐링이 불순물 이온을 활성화하도록 수행되고 이온 부가에 의해 야기된 손상을 복구한다.

그리고 나서, 형성된 500nm 두께의 층간 절연막(131)은 실리콘 산화막, 실리콘 질화막, 실리콘 질산화막, 또는 유기적인 수지막 또는 적층막일 수 있다.

접촉홀이 형성된 후, 소스 라인(132 및 134) 및 드레인 라인(133)은 도 3e에 도시된 상태를 얻도록 형성된다. 전체 구조는 CMOS 회로를 완성시키도록 수소로 열처리를 수행함으로써 수소와 화합시킨다.

상기 실시예의 CMOS 회로는 반도체 회로를 구성하는 기본 회로인 인버터 회로로 불린다. 상기 인버터 회로와 다른 회로를 결합함으로써, NAND 회로 및 NOR 회로와 보다 복잡한 회로와 같은 기본 논리 회로가 구성될 수 있다.

[실시예 2]

제 2 실시예가 수직 성장에 의해 결정화된 비정질 실리콘막인 경우에 관한 반면, 제 2 실시예는 다른 방법에 의해 비정질 실리콘막이 결정화된 경우에 관한다. 니켈의 측매 원소 또한 상기 실시예에서 사용된다. 상기 실시예는 도 4a 내지 도 4f를 참조로 이하 기술된다.

먼저, 도 4a에 도시된 바와 같이, 200nm 두께의 언더코트막(202)과 50nm 두께의 비정질 실리콘막(203)이 유리 기판(201)위에 형성된다. 마스크 절연막(204)으로서 70nm 두께의 실리콘 산화막은 비정질 실리콘막(203)위에 형성되고 나서, 측매 원소(제 1 실시예에서처럼 니켈)의 선택적인 부가를 위한 개구(204a)가 마스크 절연막(204)을 통해 형성된다.

상기 상태에서, 습윤성의 개선을 위한 매우 얇은 산화물막(도시되지 않음)이 산소 대기의 UV선으로 조사함으로써 비정질 실리콘막(203)의 노출된 부분의 표면 위에 형성된다. 다음에, 매우 얇은 니켈 함유층(205)이 스펀 코팅(도 4b 참조)에 의해 10ppm(무게)의 니켈 아세테이트염 용액을 인가함으로써 비정질 실리콘막(203)의 표면 위에 형성된다(도 4a 참조).

도 4a의 상태가 얻어진 후, 비정질 실리콘막(203)이 질소 분위기에서 8시간동안 섭씨 600도로 열처리를 수행함으로써 결정화된다. 비정질 실리콘막(203)의 결정화는 니켈이 첨가된(도 4b 참조) 영역(206)으로부터 막표면과 평행한(즉, 옆으로) 화살표 방향으로 진행한다. 이 명세서에서, 결정 성장의 상기 유형은 측면 성장으로 불린다.

상기 결정화 단계의 결과, 폴리실리콘막은 바늘 모양 또는 원주 모양의 결정 집합체(collected body)가 형성된다. 발명자는 상기 방식으로 결정화된 영역을 측면 성장 영역으로 부른다.

결정화 후, 막은 세 개의 영역 니켈 첨가 영역(206)(결정성 실리콘막), 측면 성장 영역(207)(결정성 실리콘막) 및 측면 성장이 다 다르지 않은 영역(208)(비정질 실리콘막)으로 이루어진다. 측면 성장 영역(207)이 최종적으로 요구되므로, 다른 영역은 기술되지 않는다.

그리고 나서, 레이저광이 결정성 실리콘막에 응용되어, 측면 성장 영역(207)은 결정성이 엄청나게 개선된 결정성 실리콘막(209)이 된다(도 4c 참조). 상기 실시예에서, KrF 엑시머 레이저는 상기 목적으로 사용된다. 상기 레이저 조사 단계는 니켈이 쉽게 모이는 상태를 설정할 때뿐만 아니라 결정성 개선에도 사용한다.

레이저광 조사의 완료 후, 레지스트 마스크(210)가 형성되고 P 및 B 도핑 단계가 다음 방식으로 실행된다. 도핑 조건은 제 1 실시예의 설명에 따라 본 발명을 실시하는 연구자에 의해 적절히 설정될 수 있다. 나중 게터링 단계의 열처리의 조건을 고려하여 도핑 조건을 결정화하는 것이 바람직하다.

상기 실시예에서, P가 먼저 도프되고 B가 도입된다. P 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 P 농도 1.7×10^{15} atoms/cm² 를 제공하도록 설정된다. B 도핑 조건에 대해서는, 가속 전압이 10kV로 설정되고 불순물은 B 농도 2.5×10^{15} atoms/cm² 를 제공하도록 설정된다. 상기 도핑 단계의 결과, 게터링 영역(211) 및 피게터링 영역(212)이 규정된다(도 4d 참조).

도핑 단계 완료 후, 레지스트 마스크(210)가 전용 제거기에 의해 제거된다. 다음에, 열처리가 12시간 동안 섭씨 600도로 수행되어, 피게터링 영역(212)내에 남아있는 니켈이 게터링 영역(211)(화살표 방향으로 나타남)으로 이동된다. 상기 방식으로, 피게터링 영역(213)은 줄어든 니켈 농도가 얻어진다(도 4e 참조).

그리고 나서, 니켈 농도가 충분하게 낮아진 섬모양 영역(214)이 패턴닝에 의해 게터링 영역(211)을 제거함으로써 얻어진다. TFT는 TFT의 반도체층으로서 섬모양 영역(214)을 사용함으로써 게이트 절연막 형성 단계를 포함하는 공지된 방법으로 완성될 수 있다.

게터링 영역(211)에 근접한 피게터링 영역(212)의 주변 부분이 섬모양 영역(214)을 포함하지 않게 도 4f의 패턴화 단계가 실행되는 것이 바람직하다.

도 4b의 결정화 단계에 의해 얻어진 측면 성장 영역(207)은 니켈 농도가 제 1 실시예의 수직 성장 영역(105, 109)(도 1c 및 도 1d 참조)의 것보다 낮은 특징을 갖는다. 그러므로, 측면 성장 공정의 사용은 공정 마진이 증가된 이점을 제공하는데, 게터링 공정 온도가 줄어들 수 있고, 게터링 공정 시간이 짧아질 수 있는 등이다.

[실시예 3]

제 1 및 제 2 실시예에서, 패턴화 마진 증가를 위해, 피게터링 영역은 실제의 TFT의 반도체층보다 넓어지도록 형성된다. 이것은 TFT와 같은 원소를 구성하는 반도체층의 집적 밀도가 낮아지게 야기할 가능성이 있다. 제 3 실시예는 상기 문제점을 해결하는 방법에 관한다.

상기 실시예에서, 반도체층의 집적 밀도를 증가시키기 위해, 적어도 채널 형성 영역이 게터링 영역(P 및 B로 도프된)을 포함하는 소스 및 드레인 영역과 피게터링 영역만을 사용함으로써 형성된다. 상기 실시예는 도 5a 내지 도 5d 및 도 6a 내지 도 6e를 참조로 이하 기술된다.

먼저, 언더코트막(302)으로서 200nm 두께의 실리콘 산화막이 유리 기판(301)위에 형성된다. 55nm 두께의 비정질 실리콘 막이 언더코트막(302)위에 형성된다. 그 후, 비정질 실리콘막이 제 2 실시예의 측면 성장 방법 또는 제 1 실시예의 수직 성장 방법에 의해 결정화되고 나서, 결정성은 엑시머 레이저광으로 조사함으로써 개선된다. 그 결과, 결정성 실리콘막(303)은 언더코트막(302)(도 5a 참조) 위에 형성된다.

도 6a는 도 5a에 대응하는 평면도이다. 결정성 실리콘막(303)의 점선으로 도시된 패턴(300)은 TFT의 반도체층이 되는 영역이다. 각 패턴(300)에서의 영역(300c)은 8 μm x 8 μm 의 크기를 갖고 채널 형성 영역이 되는 영역이다.

그리고 나서, 도 6b에 도시된 바와 같이, 레지스트 마스크(304)는 결정성 실리콘막(303)위에 형성되어 반도체층의 채널 형성 영역이 되는 영역(300c)을 커버한다. 채널 형성 영역(특히, 면이 소스 및 드레인 영역과 결합되지 않은)의 단면이 게터링 영역과 피게터링 영역 사이의 인터페이스가 포함되면, 결과의 TFT는 적절히 동작하지 않는다. 상기 관점에서, 상기 실시예에서, 폭이 10 μm 인 밴드 모양 마스크(304)는 영역(300c)에 대해 1 μm 의 마진이 얹어지도록 형성된다.

그리고 나서, P 및 B 도핑 단계가 다음 방식으로 실행된다. 먼저, P는 가속 전압이 10 kV로 설정되고 불순물은 P 농도 1.7 x 10¹⁵ atoms/cm²가 제공되도록 설정된 조건하에서 도입된다. 다음에, B는 가속 전압이 10 kV로 설정되고 불순물은 B 농도 2.5 x 10¹⁵ atoms/cm³이 제공되도록 설정된 조건하에서 도입된다. 상기 도핑 단계의 결과, 게터링 영역(305)과 피게터링 영역(306)이 규정된다(도 5b 및 도 6c 참조).

도핑 단계의 완료 후, 레지스트 마스크(304)는 전용 제거기에 의해 제거된다. 다음에, 열처리가 8시간 동안 섭씨 600도로 수행되어, 파게터링 영역(306)내에 남아있는 니켈이 게터링 영역(305)(화살표 방향으로 나타남)으로 이동된다. 상기 방식으로, 줄어든 니켈 농도를 갖는 피게터링 영역(307)이 얹어진다(도 5c 및 도 6d 참조).

그리고 나서, 패턴(300)을 갖는 섬모양 영역(308)이 패턴닝에 의해 얹어진다. 각 섬모양 영역(308)은 줄어든 니켈 농도를 갖는 게터링 영역(307)과 게터링 영역(305)으로 이루어진다(도 5d 및 도 6e 참조). TFT는 예로, 상기 단계에 의해 얹어진 섬모양 영역(308)을 사용함으로써 제 1 실시예(도 3a 내지 도 3e 참조)의 공정에 의해 형성될 수 있다.

게터링 영역(305)이 p형 도전성을 지니기 때문에, p형 소스 및 드레인 영역은 게터링 영역(305)을 사용하여 형성될 수 있다. 그러므로, p형 도전성을 갖게 하는 도핑 단계는 생략될 수 있다.

각 섬모양 영역(308)의 채널 형성 영역(308c)은 실질적으로 진성이면서 니켈 농도가 감소된 피게터링 영역(307)의 일부이다. 그러므로, 임계 전압의 갑작스런 변동이 방지될 수 있다. 반면에, 도전성을 갖게 하는 다른 불순물과 니켈이 소스 및 드레인 영역이 되는 영역에 포함될 때 조차, TFT의 전기 특성에 손상을 끼치지 않는다.

상기 실시예에서, 소스 및 드레인 영역은 1 μm 인 채널 형성 영역(308c)로부터의 오프셋이다. 오프셋 길이는 레지스트 마스크(304)의 모양에 의해 적절히 결정화될 수 있다. 예로, 레지스트 마스크(304)의 폭은 게터링 영역(305)이 소스 및 드레인 영역의 부분만으로 구성되도록 증가될 수 있다.

제 1 및 제 2 실시예에서 모든 게터링 영역(305)과 피게터링 영역(306)의 부분은 패턴닝에 의해 섬모양 영역 형성에서 제거되며, 상기 실시예에서 게터링 영역(305)은 각 섬모양 영역(308)의 부분처럼 남는다. 그러므로, 패턴닝에 의해 제거된 영역의 부분은 줄어들며, 보다 집적된 방식으로 섬모양 영역(308) 형성이 가능하다. 또, 니켈 확산 길이가 짧아지므로, 게터링 영역의 부분이 상당히 증가되므로, 게터링을 위한 열처리의 시간이 차례로 단축된다.

또, 레지스트 마스크(304)가 작게 만들어지므로, 도핑을 위한 실(chamber)의 오염도 줄어들 수 있으며, 세척을 위한 시간과 노력이 절약되어, 전체적으로 증가추세이다.

[실시예 4]

게터링 작용을 나타내도록 P 및 B로 도프된 게터링 영역에 대해, B 농도는 P 농도 보다 높아야한다. 그러므로, 게터링 영역은 n형 도전성을 갖는다. 또, 도 13의 (a) 내지 (e)에 도시된 바와 같이, P 만으로 도프된 n형 영역은 게터링 영역과 같은 기능일 수 있다.

상기 관점에서, 상기 실시예에서, CMOS TFT는 TFT의 소스 및 드레인 영역으로서 n형 및 p형 게터링 영역을 사용하여 제조된다. 상기 실시예에 따르는 제조 공정은 도 7a 내지 도 7g를 참조로 이하 기술된다.

먼저, 언더코트막(402)으로서 200nm 두께의 실리콘 산화막이 유리 기판(401)위에 형성된다. 55nm 두께의 비정질 실리콘 막이 언더코트막(402)위에 형성된다. 그 후, 비정질 실리콘막이 제 2 실시예의 측면 성장 방법 또는 제 1 실시예의 수직 성장 방법으로 결정화되고 나서, 결정성은 엑시머 레이저광으로 조사함으로써 개선되다. 그 결과, 결정성 실리콘막(403)은 언더코트막(402)(도 7a 참조)위에 형성된다.

그리고 나서, 결정성 실리콘막(403)은 p 채널 TFT의 반도체층이 되도록 섬모양 영역(404P)과 n 채널 TFT의 반도체층이 되도록 섬모양 영역(404N)으로 패턴닝된다. 150nm 두께의 실리콘 산화막(405)은 플라즈마 CVD 또는 저압 CVD에 의해 섬모양 영역(404N 및 404P)위에 형성된다.

그 후, 도전성막이 형성되고 나서 게이트 전극(406 및 407)으로 패턴닝된다. 게터링을 위한 열처리의 온도(약 섭씨 550도 ~ 600도)를 견딜 수 있는 물질로 만들어진 도전성막이 다음에 수행되는 것이 바람직하다. 상기 물질의 예는 n형 또는 p형 도전성을 갖는 폴리실리콘, 여러 금속 중 하나와 실리콘의 화합물인 실리사이드, Ta(탄탈륨), Mo(몰리브데늄), Ti(티타늄), W(텅스텐) 및 Cr(크롬)과 같은 내화성 금속이다. 크롬은 상기 실시예에서 사용된다.

그리고 나서, 실리콘 산화막(405)이 마스크(도 7c 참조)로서 게이트 전극(406 및 407)을 사용함으로써 게이트 절연막(408 및 409)으로 패턴닝된다. 실리콘 산화막(405)이 패턴닝된 이유는 상당히 낮은 가속 전압(10~30 kV)을 사용하는 도핑 단계에서 실리콘 산화막(405)이 마스크로서 작용하는 것을 방지하는 것이다. 실리콘 산화막(405)이 마스크로서 작용되면, 불순물은 섬모양 영역(404N 및 404P)에 충분히 첨가되지 못한다.

그리고 나서, n형 도전성을 갖게 하는 불순물 이온은 이온 주입 또는 이온 도핑에 의해 첨가된다. 상기 실시예에서, P 는 이온 도핑에 의해 첨가된다. 도핑조건에 관해서는, 가속 전압이 10 kV로 설정되고 불순물은 P 농도 1.7×10^{15} atoms/cm² 를 제공하도록 설정된다.

게이트 전극(406 및 407)을 마스크로 사용하므로, n형 불순물 영역(410~413)과 거의 본래의 영역(414 및 415)이 섬모양 영역(404N 및 404P)에 형성된다. 섬모양 영역(404N)에서, n형 불순물 영역(410 및 411)은 n 채널 TFT의 소스 및 드레인 영역뿐만 아니라 본래의 영역(414)에 대한 게터링 영역으로 기능한다. 본래의 영역(414)은 채널 형성 영역(도 7d 참조)으로 기능한다.

그리고 나서, 레지스트 마스크(416)가 섬모양 영역(404N)을 커버하도록 형성된 후, p형 도전성을 갖게 하는 불순물 이온이 첨가된다. 상기 실시예에서, B가 첨가된다. 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 B 농도 2.5×10^{15} atoms/cm² 를 제공하도록 설정된다.

그 결과, n형 불순물 영역(412 및 413)의 도전성 타입은 역으로 되고 p형 불순물 영역(417 및 418)이 형성된다. 반면에, 영역(415)은 거의 본래대로 유지된다. p형 불순물 영역(417 및 418)은 p 채널 TFT의 소스 및 드레인 영역뿐만 아니라 본래의 영역(415)에 대한 게터링 영역으로 기능한다. 본래의 영역(415)은 p 채널 TFT(도 7e 참조)의 채널 형성 영역이 된다.

그리고 나서, 레지스트 마스크(416)는 전용 제거기로 제거되며, 열처리는 12시간 동안 섭씨 600도로 수행된다. 그 결과, 본래의 영역(414)내 니켈은 n형 불순물 영역(410 및 411)으로 이동되어 그곳에서 게터링되고, 본래의 영역(415)내 니켈은 P형 불순물 영역(417 및 418)으로 이동되어 그곳에 게터링된다. 그 결과, 채널 형성 영역(419 및 420)은 니켈 농도가 줄어든 곳에(도 7f 참조) 형성된다. 또, 게터링에 대한 상기 열처리는 불순물이 불순물 영역(410, 411, 417 및 418)에 첨가되게 작용한다.

그리고 나서, 500nm 두께의 층간 절연막(421)이 형성되는데 그것은 실리콘 산화막, 실리콘 질화막, 실리콘 질산화막 또는 유기적인 수지막, 또는 그의 적층막일 수 있다.

접촉홀이 형성된 후, 소스 라인(422 및 423)과 드레인 라인(424)이 도 7g에 도시된 상태를 얻도록 형성된다. 전체 구조는 CMOS 회로를 완성시키도록 수소로 열처리를 수행함으로써 수소와 화합시킨다.

상기 실시예에서, 소스 및 드레인 영역을 형성하는 도핑 단계와 게터링 영역을 형성하는 도핑 단계는 단일 단계로 결합되어 전체는 증가될 수 있다.

[실시예 5]

제 4 실시예와 마찬가지로, 상기 실시예는 단일 단계로 소스 및 드레인 영역을 형성하는 도핑 단계와 게터링 영역을 형성하는 도핑 단계를 결합하도록 의도되었다. 상기 실시예는 오프셋 구조를 갖는 TFT의 제조 공정에 관한다.

먼저, 언더코트막(502)으로서 200nm 두께의 실리콘 산화막이 유리 기판(501)위에 형성된다. 55nm 두께의 비정질 실리콘 막이 언더코트막(502)위에 형성된다. 그 후, 비정질 실리콘막이 제 2 실시예의 측면 성장 방법 또는 제 1 실시예의 수직 성장 방법으로 결정화되고 나서, 결정성은 엑시머 레이저광으로 조사함으로써 개선된다. 그 결과, 결정성 실리콘막(503)은 언더코트막(502)(도 8a 참조)위에 형성된다.

그리고 나서, 결정성 실리콘막(503)은 p 채널 TFT의 반도체층이 되도록 섬모양 영역(504P)과 n 채널 TFT의 반도체층이 되도록 섬모양 영역(504N)으로 패턴닝된다. 150nm 두께의 실리콘 산화막(505)은 플라즈마 CVD 또는 저압 CVD에 의해 섬모양 영역(504N 및 504P)위에 형성된다.

그 후, 전도성막이 형성되고 나서 게이트 전극(506 및 507)(도 8b 참조)으로 패턴닝된다. 게터링을 위한 열처리의 온도(약 섭씨 550도-600도)를 견딜 수 있는 물질로 만들어진 도전성막이 다음에 수행되는 것이 바람직하다. 상기 물질의 예는 n형 또는 p형 도전성을 갖는 폴리실리콘, 여러 금속 중 하나와 실리콘의 화합물인 실리사이드, Ta(탄탈륨), Mo(몰리브데늄), Ti(티타늄), W(텅스텐) 및 Cr(크롬)과 같은 내화성 금속이다. 크롬이 상기 실시예에서 사용된다.

그리고 나서, 레지스트 마스크(508)가 형성된 후, 실리콘 산화막(505)은 레지스트 마스크(508)를 사용함으로써 게이트 절연막(509 및 510)으로 패턴닝된다. 이유는 상당히 낮은 가속 전압(10-30 kV)을 사용하는 도핑 단계에서 실리콘 산화막(505)이 마스크로서 작용하는 것을 방지하는 것이다. 실리콘 산화막(505)이 마스크로서 작용되면, 불순물은 섬모양 영역(504N 및 504P)에 충분히 첨가되지 못한다. 또, 실리콘 산화막의 마스킹 기능을 이용함으로써 오프셋 영역을 형성하도록, 게이트 절연막(508 및 507)은 약 1μm인 게이트 전극(506 및 507)의 단 면으로부터 돌출되도록 형성된다(도 8c 참조).

그리고 나서, n형 도전성을 갖게 하는 P 이온이 이온 도핑에 의해 첨가된다. 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 P 농도 1.7×10^{15} atoms/cm²를 제공하도록 세트된다.

게이트 전극(506 및 507)과 게이트 절연막(509 및 510)이 마스크로서 사용하므로, n형 불순물 영역(511-514)과 거의 본래의 영역(515 및 516)은 섬모양 영역(504N 및 504P)에 형성된다. n형 불순물 영역(511 및 512)은 n 채널 TFT의 소스 및 드레인 영역뿐만 아니라 본래의 영역(515)에 대한 게터링 영역의 기능을 한다. 본래의 영역(515)은 채널 형성 영역 및 오프셋 영역(도 8d 참조)으로 구성한다.

그리고 나서, 레지스트 마스크(517)가 섬모양 영역(504N)을 커버하도록 형성된 후, p형 전도성을 위한 불순물 이온이 첨가된다. 상기 실시예에서, B는 이온 도핑에 의해 첨가된다. 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 B 농도 2.5×10^{15} atoms/cm²를 제공하도록 설정된다.

그 결과, n형 불순물 영역(513 및 514)의 도선성 타입은 역으로 되고 p형 불순물 영역(518 및 519)이 형성된다. 반면에, 영역(516)은 거의 본래대로 유지된다. p형 불순물 영역(518 및 519)은 p 채널 TFT의 소스 및 드레인 영역뿐만 아니라 본래의 영역(516)에 대한 게터링 영역으로 기능이다. 본래의 영역(516)은 p 채널 TFT의 채널 형성 영역이 된다(도 8e 참조).

그리고 나서, 레지스트 마스크(517)는 전용 제거기로 제거되며, 열처리는 12시간 동안 섭씨 600도로 수행된다. 그 결과, 본래의 영역(515)내 니켈은 n형 불순물 영역(511 및 512)으로 이동되어 그곳에 모이고, 본래의 영역(516)내 니켈은 P형 불순물 영역(518 및 519)으로 이동되어 그곳에 게터링된다.

그 결과, 섬모양 영역(504N), 채널 형성 영역(520)과 오프셋 영역(521)은 니켈 농도가 줄어든 데서 형성된다. 섬모양 영역(504P)에서, 채널 형성 영역(522)과 오프셋 영역(523)은 니켈 농도가 줄어든 데서 형성된다(도 8f 참조). 또, 게터링에 대한 상기 열처리는 불순물 영역(511, 512, 518 및 519)에 첨가된 불순물을 활성화시킨다.

그리고 나서, 500nm 두께의 층간 절연막(524)이 형성되는데 그것은 실리콘 산화막, 실리콘 질화막, 실리콘 질산화막 또는 유기적인 수지막, 또는 그의 적층막일 수 있다.

접촉홀이 형성된 후, 소스 라인(525 및 526)과 드레인 라인(527)이 도 8g에 도시된 상태를 얻도록 형성된다. 전체 구조는 CMOS 회로를 완성시키도록 수소로 열처리를 수행함으로써 수소와 화합시킨다.

상기 실시예에서, 소스 및 드레인 영역을 형성하는 도핑 단계와 게터링 영역을 형성하는 도핑 단계는 단일 단계로 결합되어 전체는 증가될 수 있다.

제 4 및 제 5 실시예에서 게이트 전극은 게터링 단계 전에 형성될지라도, 게터링 단계 후에 형성될 수 있다. 상기 경우에, 게터링을 위한 열처리의 온도를 견딜 수 있는 물질로 게이트 전극 물질을 제한할 필요는 없다. 예로, 알루미늄이 사용될 수 있는데 그것은 녹는점이 낮고 낮은 저항성을 갖는다. 상기 경우에, 포토레지스트 등을 사용함으로써 게이트 전극을 대체하는 마스크를 형성시키는 도핑 단계가 필요하다.

[실시예 6]

상기 실시예가 텁게이트 TFT 제조의 경우에 관한 것인 반면, 제 6 실시예는 바텀게이트 TFT의 전형적인 예인 변환된 스태거 구조 TFT에 관한 것이다. 상기 실시예는 도 9a 내지 도 9f를 참조로 기술된다.

도 9a에서, 참조 번호(601)는 유리 기판을 나타내며, (602)는 언더코트막, (603)은 도전성 물질로 만든 게이트 전극, (604)는 게이트 절연막, (605)는 55nm 두께의 비정질 실리콘막, (606)은 제 1 실시예와 같은 방식으로 형성된 니켈 함유층을 나타낸다.

게터링 단계는 노 어닐링에 의해 섭씨 500도-600도로 수행되므로, 게이트 전극(603)은 고온을 견딜 수 있는 금속으로 만들 필요가 있다. 상기 물질의 예는 단결정 실리콘, 불순물로 도프된 폴리실리콘, 내화성 금속의 실리사이드, 티타늄, 크롬, 몰리브덴, 탄탈과 같은 내화성 금속이다.

그리고 나서, 결정성 실리콘막(607)이 4시간 동안 섭씨 550도로 열처리를 수행함으로써 형성되고 나서 결과의 막을 액시며 레이저광(도 9b 참조)으로 조사한다. 수직 성장 방법이 결정화 방법에 사용되었을지라도, 제 2 실시예의 측면 성장 방법이 사용될 수도 있다.

그리고 나서, 레지스트 마스크(608)가 형성된 후, 니켈 게터링을 위한 원소 P 및 B가 첨가된다. P 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 P 농도 1.7×10^{15} atoms/cm²를 제공하도록 설정된다. B 도핑 조건에 대해서는, 가속 전압이 10 kV로 설정되고 불순물은 B 농도 2.5×10^{15} atoms/cm²를 제공하도록 설정된다. 상기 단계 결과, 게터링 영역(609)과 피게터링 영역(610)이 규정된다(도 9c 참조).

그리고 나서, 열처리는 12시간 동안 섭씨 600도로 수행된다. 피게터링 영역(610)내 니켈이 게터링 영역(609)으로 확산하여, 결정성 실리콘막(피게터링 영역((611)이 얻어지는데 여기서 니켈 농도가 줄어든다(도 9d 참조).

그 후, 게터링 단계에 의해 얻어진 결정성 실리콘막(611)은 반도체층(612)으로 패턴닝된다. 채널 스토퍼(또한 에칭 스토퍼라고도 불림)(613)는 실리콘 질화막을 패턴닝함으로써 반도체층(612)위에 형성된다(도 9e 참조).

그리고 나서, 소스 영역(614) 및 드레인 영역(615)은 마스크로서 채널 스토퍼(613)를 사용함으로써 n형 또는 p형 도전성을 갖게 하는 불순물을 첨가함으로써 형성되어 불순물을 활성화시킨다. 다음에, 소스 라인(616) 및 드레인 라인(617)이 형성된다. 마지막으로, 전체 구조가 변환된 스태거 구조 TFT를 완성하도록 수소와 화합시킨다(도 9f 참조).

제 3 실시예에 기술된 바와 같이, 도 9c의 단계에서, 레지스트 마스크(608)는 적어도 채널 형성 영역을 커버하도록 형성될 수 있다. 이 경우에, P는 n형 소스 및 드레인 영역이 형성될 때 첨가된다. 상기 방식으로, 소스 및 드레인 영역을 형성하는 도핑과 게터링 영역을 형성하는 B 및 P 도핑은 동시에 수행될 수 있다.

발명의 효과

본 발명을 이용함으로써, 결정화를 가속시키는 촉매 원소를 사용함으로서 형성된 결정성 반도체막으로부터 촉매 원소가 효율적으로 제거될 수 있거나, 그의 농도가 효과적으로 감소될 수 있다. 본 발명의 게터링 공정은 유리의 가장 높은 열저항(변형 포인트) 온도보다 낮은 온도에서 실행될 수 있으므로, 종래의 저온 공정이 사용될 수 있다.

본 발명에 따라 얻어진 결정성 반도체막은 촉매 원소의 효과 덕분에 아주 우수한 결정성을 가지며, 촉매 원소의 농도는 게터링 공정에 의해 충분히 낮은 레벨로 줄어든다. 그러므로, 그러한 결정성 반도체막이 반도체 장치의 액티브층으로서 사용될 때, 반도체 장치는 높은 신뢰성과 우수한 전기적 특성을 제공한다. 특히, TFT의 오프전류의 갑작스러운 증가 방지도 가능해진다.

또, 15족 원소 이외에, 13족 원소를 게터링 영역에 도입함으로써, 본 발명은 15족 원소만으로 도프된 게터링 영역을 사용하는 경우보다 더 작은 영역을 갖는 게터링 영역에 의해 보다 넓은 영역에 남아있는 촉매 원소를 게터링하는 것을 가능하게 한다. 그러므로, 보다 통합된 방식으로, 촉매 원소 농도가 줄어든 영역 형성이 가능해진다.

(57) 청구의 범위

청구항 1.

반도체 장치를 제조하는 방법에 있어서,

기판 상에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계,

상기 비정질 반도체막의 결정화를 가속화하는 촉매 원소를 상기 비정질 반도체막내에 도입하는 단계,

상기 비정질 반도체막을 결정화하는 단계,

결정화된 반도체막내에 13족 불순물 원소와 15족 불순물 원소를 선택적으로 도입함으로써 게터링 영역을 형성하는 단계,

상기 게터링 영역을 형성하는 단계에서 상기 13족 불순물 원소도 상기 15족 불순물 원소도 도입되지 않은 상기 결정화된 반도체막의 영역내 상기 촉매 원소를 상기 게터링 영역에 게터링하는 단계, 및

섬모양 반도체층을 형성하기 위해 상기 게터링 영역을 제거하는 단계를 포함하고,

상기 게터링 영역은 상기 15족 불순물 원소보다 더 높은 농도로 상기 13족 불순물 원소를 함유하는, 반도체 장치 제조 방법.

청구항 2.

반도체 장치를 제조하는 방법에 있어서,

기판 상에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계,

상기 비정질 반도체막의 결정화를 가속화하는 촉매 원소를 상기 비정질 반도체막내에 선택적으로 도입하는 단계,
상기 비정질 반도체막을 결정화하는 단계,
결정화된 반도체막내에 13족 불순물 원소와 15족 불순물 원소를 선택적으로 도입함으로써 게터링 영역을 형성하는 단계,
상기 게터링 영역을 형성하는 단계에서 상기 13족 불순물 원소도 상기 15족 불순물 원소도 도입되지 않은 상기 결정화된
반도체막의 영역내 상기 촉매 원소를 상기 게터링 영역에 게터링하는 단계, 및
섬모양 반도체층을 형성하기 위해 상기 게터링 영역의 일부를 제거하는 단계를 포함하고,
상기 게터링 영역은 상기 15족 불순물 원소보다 더 높은 농도로 상기 13족 불순물 원소를 함유하는, 반도체 장치 제조 방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 결정화된 반도체막은 그레인 경계들을 포함하는 다결정 반도체막인 반도체 장치 제조 방법.

청구항 4.

제 1 항 또는 제 2항에 있어서, 상기 결정화하는 단계는,

결정화를 위해 상기 비정질 반도체막을 가열하는 단계와,

결정화된 반도체막을 레이저광으로 조사하는 단계를 포함하는 반도체 장치 제조 방법.

청구항 5.

제 1 항 또는 제 2 항에 있어서,

상기 게터링하는 단계의 열처리의 온도가 400~1,050°C인 반도체 장치 제조 방법.

청구항 6.

제 1 항 또는 제 2 항에 있어서,

상기 게터링하는 단계에서 레이저광이 열처리 전에 적어도 상기 게터링 영역에 조사되는 반도체 장치 제조 방법.

청구항 7.

반도체 장치 제조 방법에 있어서,

기판 위에 실리콘을 포함하는 비정질 반도체막을 형성하는 단계,

상기 비정질 반도체막의 결정화를 가속화하는 촉매 원소를 상기 비정질 반도체막내에 도입하는 단계,

상기 비정질 반도체막을 결정화하는 단계,

결정화된 반도체막내에 13족 불순물 원소와 15족 불순물 원소를 선택적으로 도입함으로써 게터링 영역을 형성하는 단계,

상기 게터링 영역을 형성하는 단계에서 상기 13족 불순물 원소도 상기 15족 불순물 원소도 도입되지 않은 상기 결정화된 반도체막의 영역내 상기 촉매 원소를 상기 게터링 영역에 게터링하는 단계,

상기 게터링 영역을 포함하지 않은 섬모양 반도체층을 형성하도록 상기 결정화된 반도체막을 패턴닝하는 단계,

n형 도전성을 갖는 소스 및 드레인 영역들을 형성하도록 상기 15족 불순물 원소를 도입하는 단계를 포함하고,

상기 게터링 영역은 상기 15족 불순물 원소보다 더 높은 농도로 상기 13족 불순물 원소를 함유하는, 반도체 장치 제조 방법.

청구항 8.

제 1 항, 제 2 항, 제 7 항 중 어느 한 항에 있어서,

상기 촉매 원소는 Ni, Co, Fe, Pd, Pt, Cu 및 Au로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는 반도체 장치 제조 방법.

청구항 9.

제 1 항, 제 2 항, 제 7 항 중 어느 한 항에 있어서,

상기 13족 불순물 원소는 B, Al, Ga, In 및 Tl로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는 반도체 장치 제조 방법.

청구항 10.

제 1 항, 제 2 항, 제 7 항 중 어느 한 항에 있어서,

상기 15족 불순물 원소는 N, P, As, Sb 및 Bi로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는 반도체 장치 제조 방법.

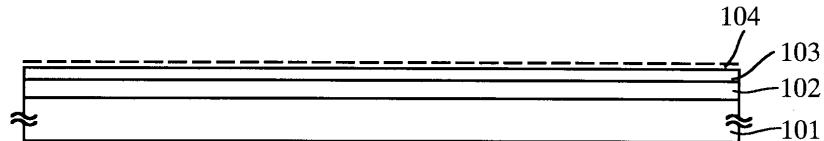
청구항 11.

제 1 항, 제 2 항, 제 7 항 중 어느 한 항에 있어서,

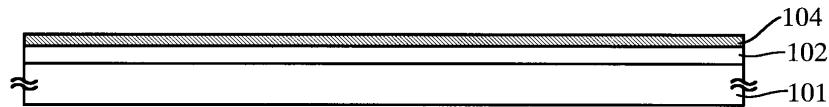
상기 게터링 영역에서 상기 13족 불순물 원소의 농도가 상기 15족 불순물 원소의 농도보다 1 내지 3배 더 높은 반도체 장치 제조 방법.

도면

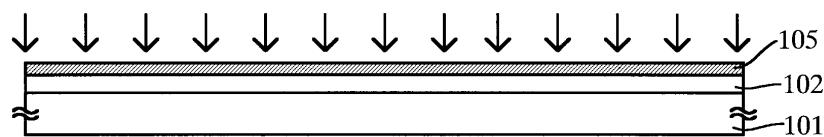
도면1a



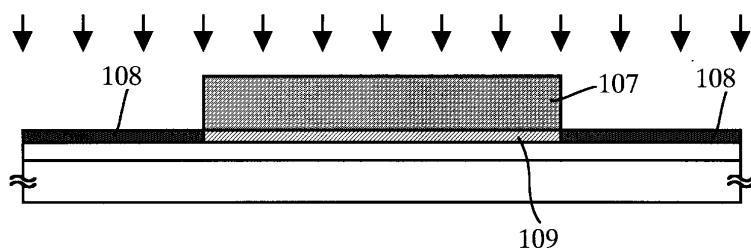
도면1b



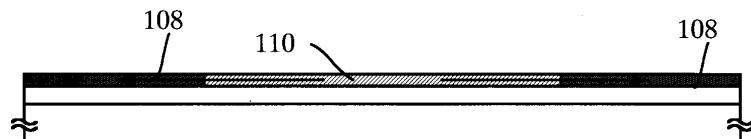
도면1c



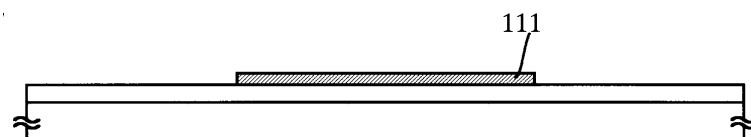
도면1d



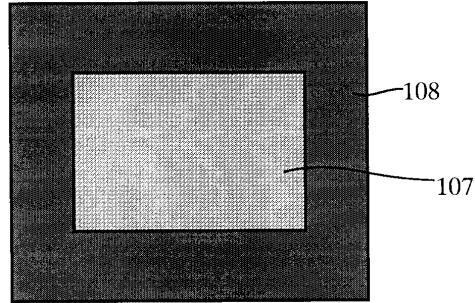
도면1e



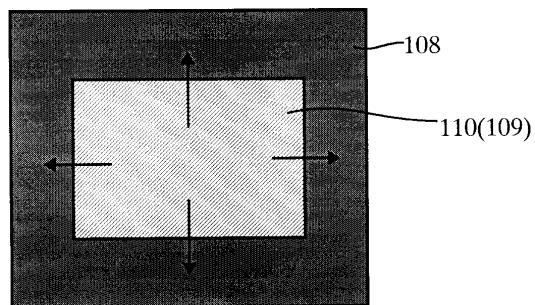
도면1f



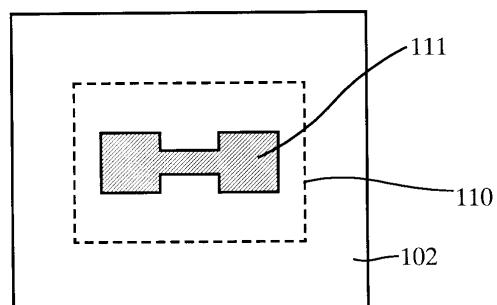
도면2a



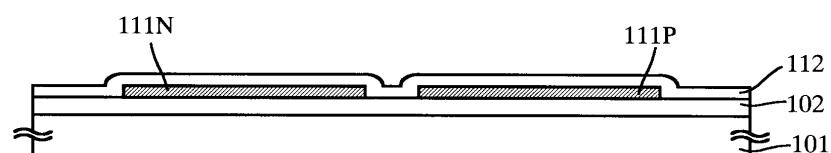
도면2b



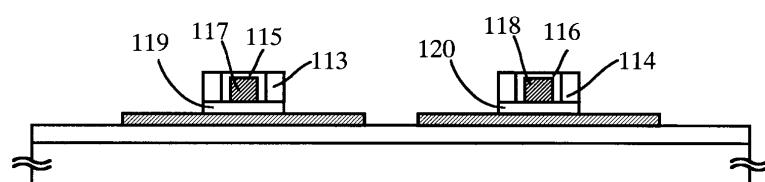
도면2c



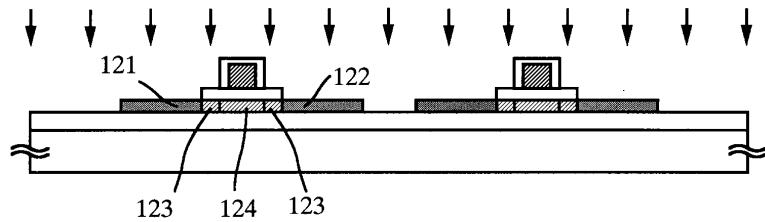
도면3a



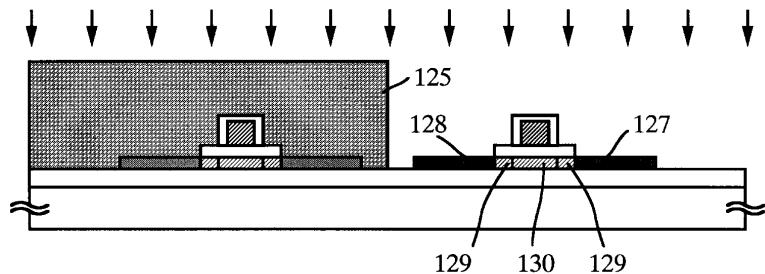
도면3b



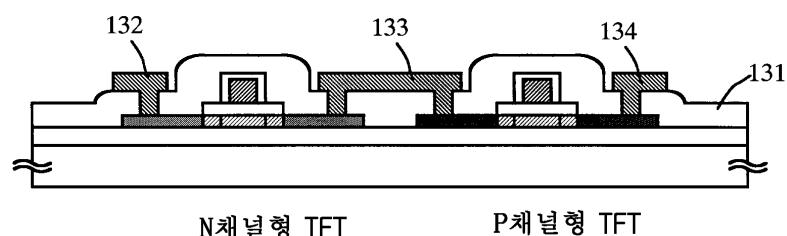
도면3c



도면3d



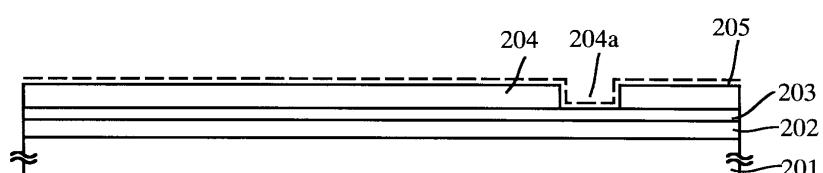
도면3e



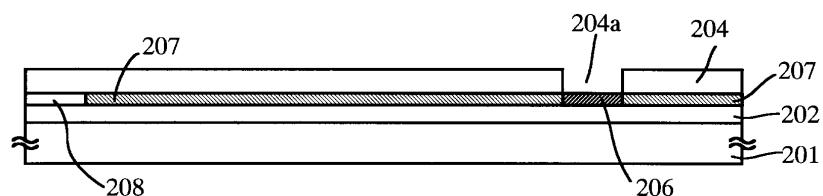
N채널형 TFT

P채널형 TFT

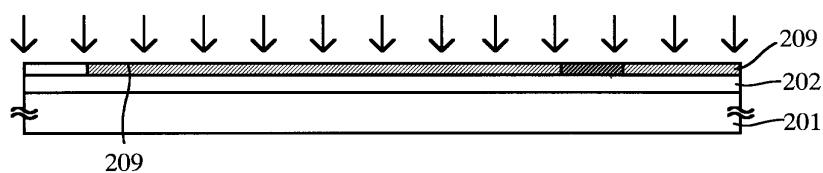
도면4a



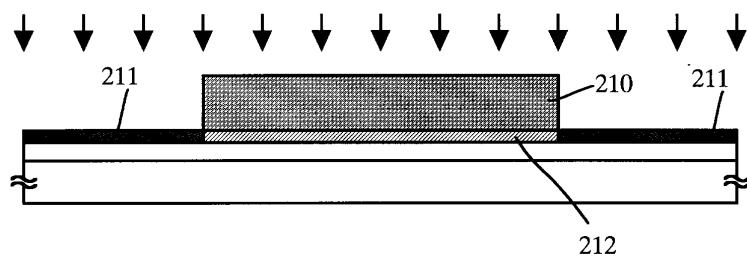
도면4b



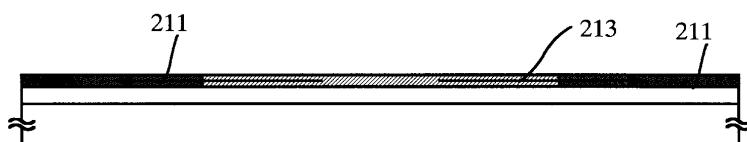
도면4c



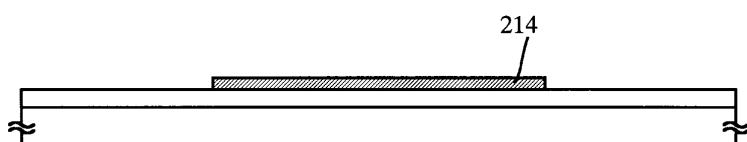
도면4d



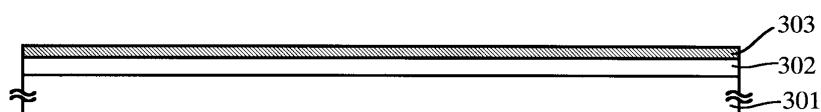
도면4e



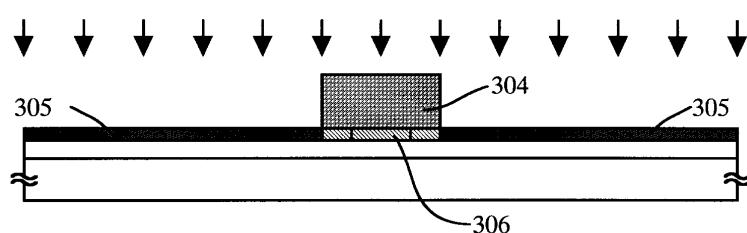
도면4f



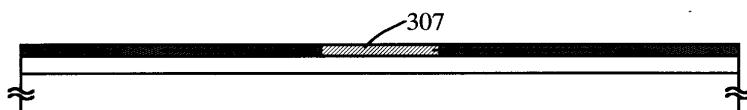
도면5a



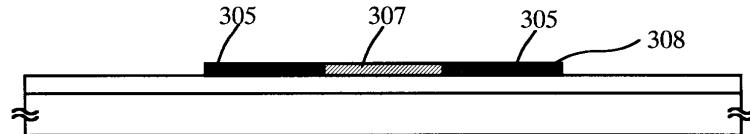
도면5b



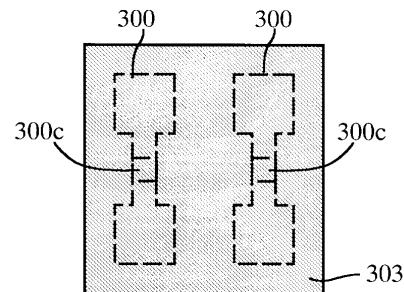
도면5c



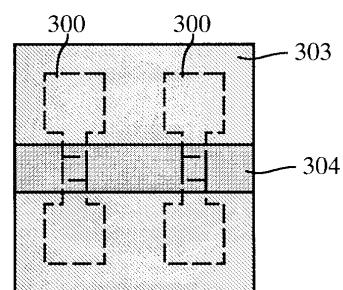
도면5d



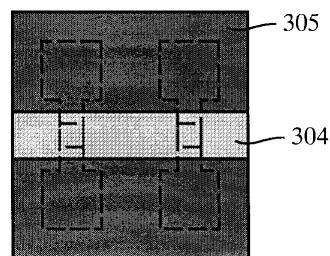
도면6a



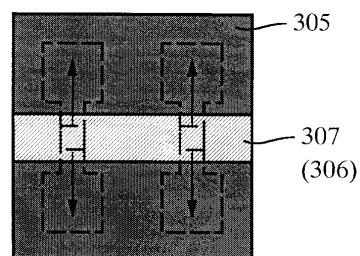
도면6b



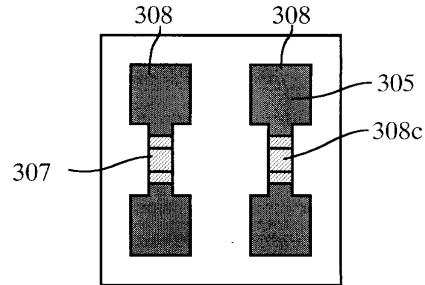
도면6c



도면6d



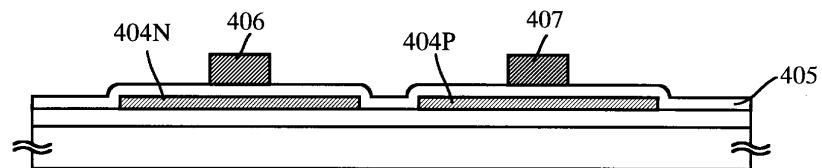
도면6e



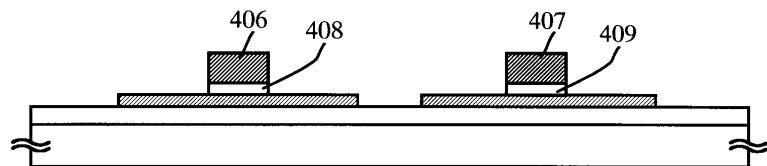
도면7a



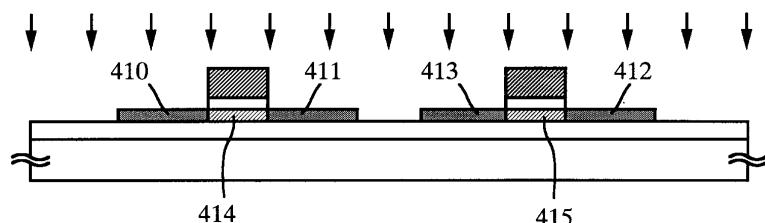
도면7b



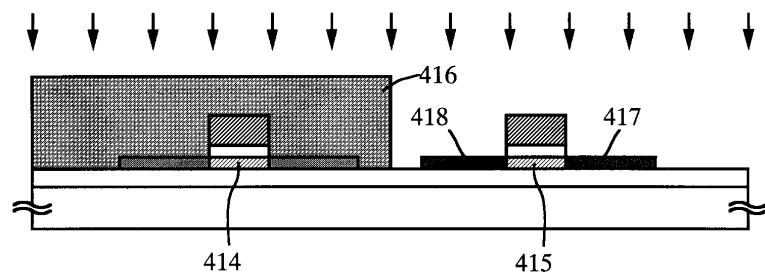
도면7c



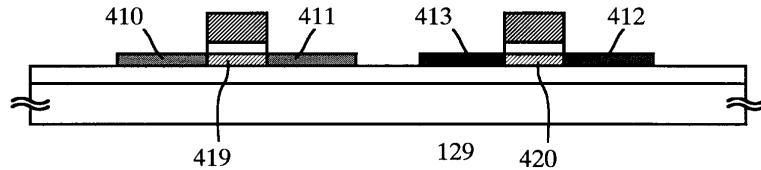
도면7d



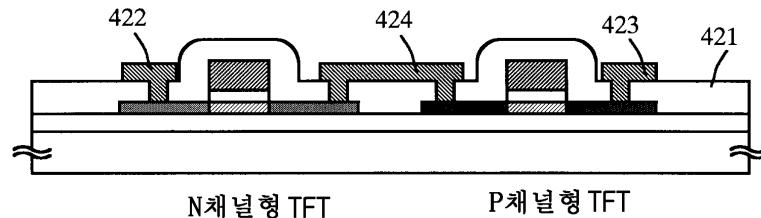
도면7e



도면7f



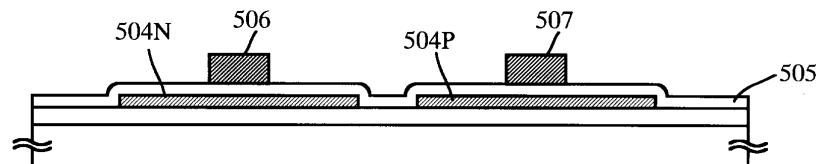
도면7g



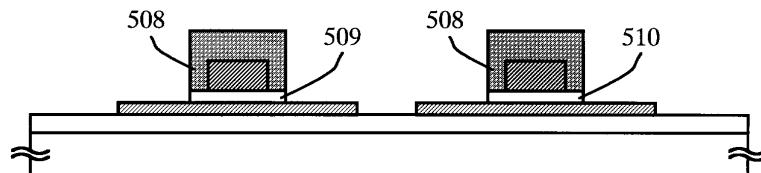
도면8a



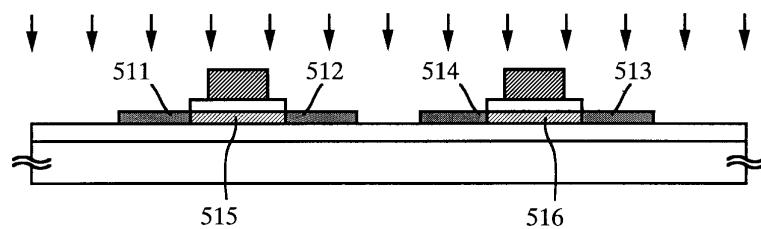
도면8b



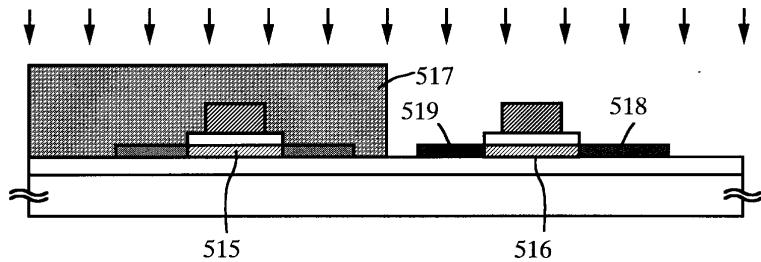
도면8c



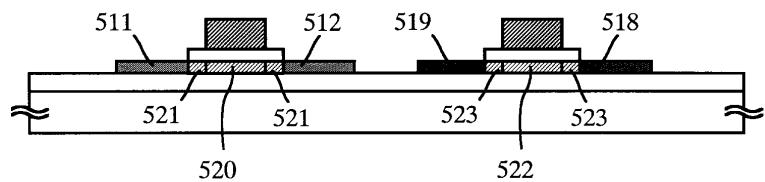
도면8d



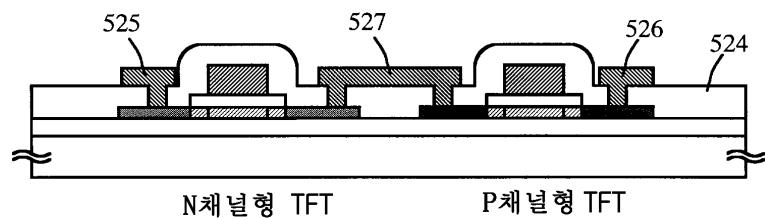
도면8e



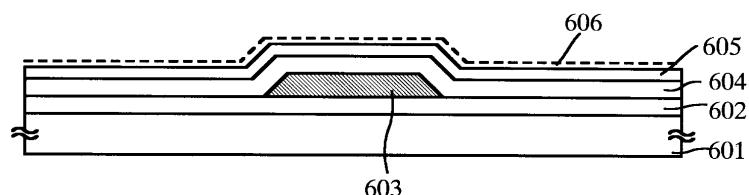
도면8f



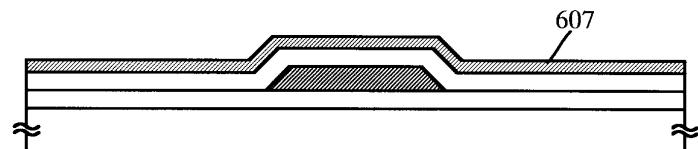
도면8g



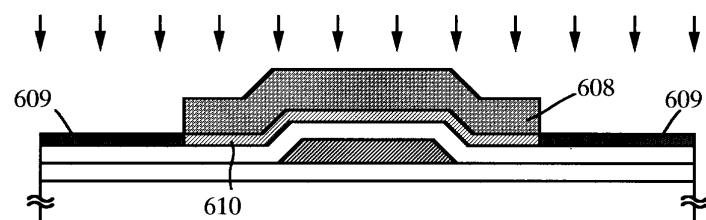
도면9a



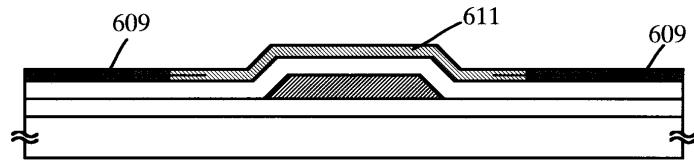
도면9b



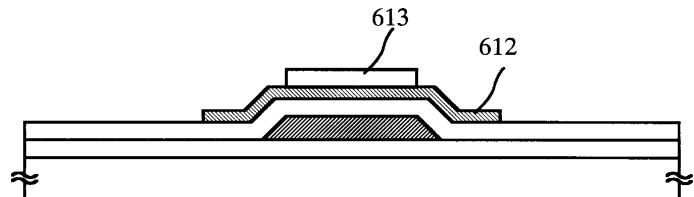
도면9c



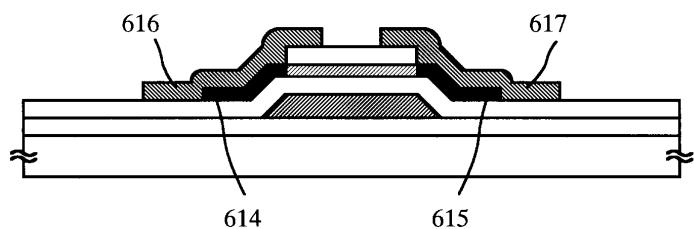
도면9d



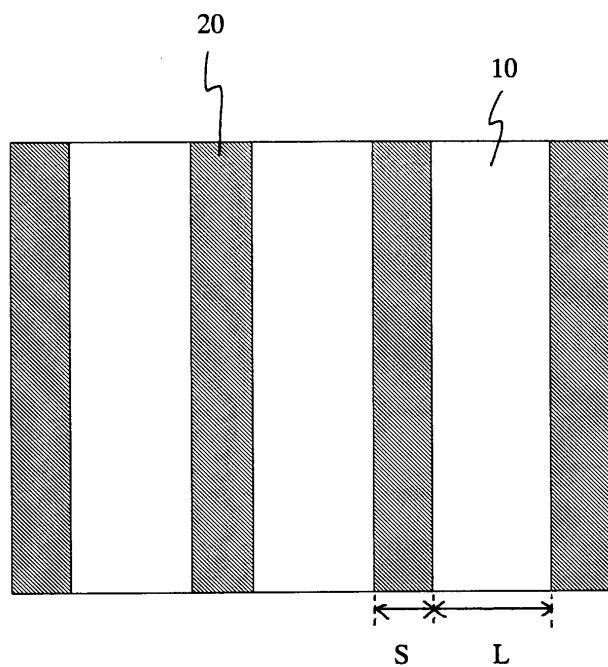
도면9e



도면9f



도면10

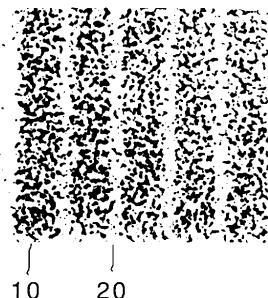


도면11

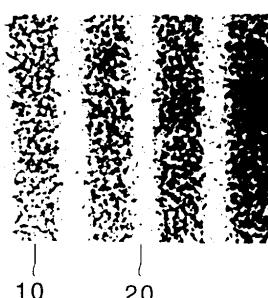
도면	P의 농도 (atoms/cm ²)	B의 농도 (atoms/cm ²)
도 12	0	2.5×10^{15}
도 13	1.7×10^{15}	0
도 14	1.7×10^{15}	2.5×10^{15}
도 15	1.7×10^{15}	8.3×10^{14}
도 16	1.7×10^{15}	1.7×10^{15}

(P와 B의 가속 전압은 10kV.)

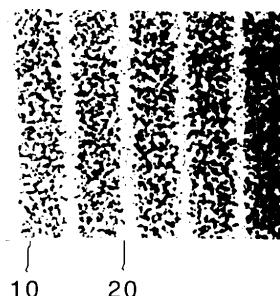
도면12



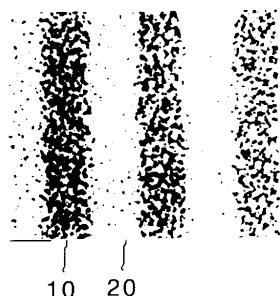
(a) s = 1 0 μm



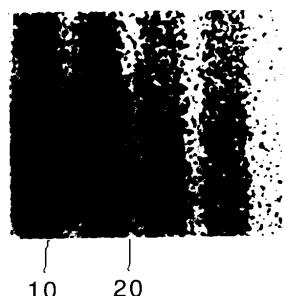
(d) s = 5 0 μm



(b) s = 2 0 μm



(e) s = 1 0 0 μm



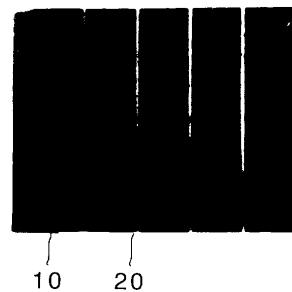
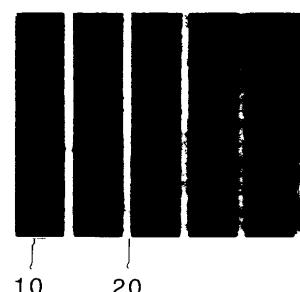
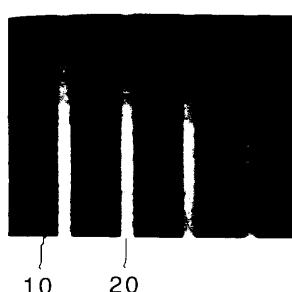
(c) s = 3 0 μm

도핑 조건

P : 도핑 안함

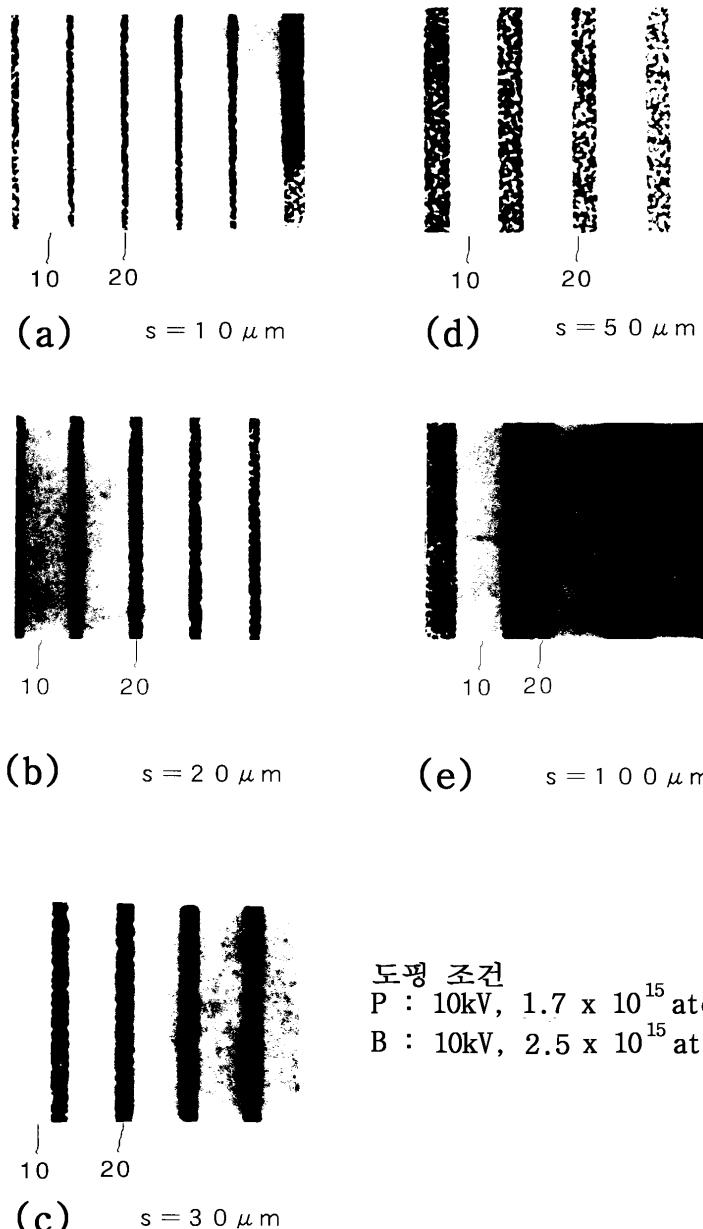
B : 10kV, 2.5×10^{15} atoms/cm²

도면13

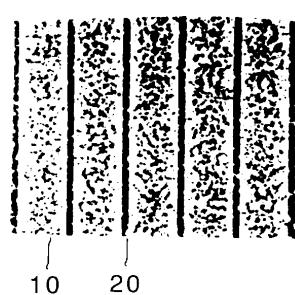
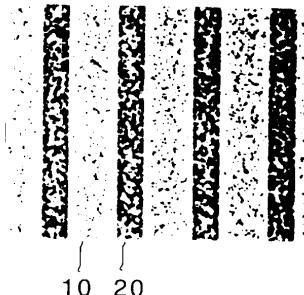
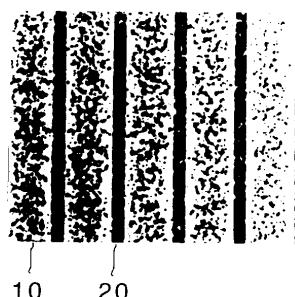
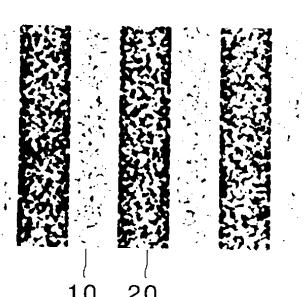
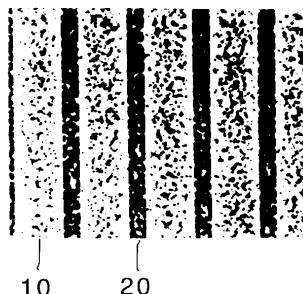
(a) $s = 10 \mu\text{m}$ (d) $s = 50 \mu\text{m}$ (b) $s = 20 \mu\text{m}$ (e) $s = 100 \mu\text{m}$ (c) $s = 30 \mu\text{m}$

도핑 조건
P : 10kV, $1.7 \times 10^{15} \text{ atoms/cm}^2$
B : 도핑 안함

도면14



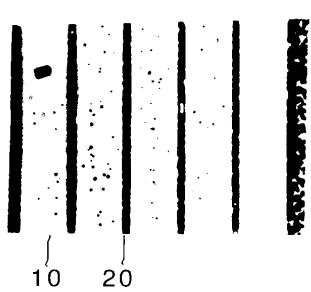
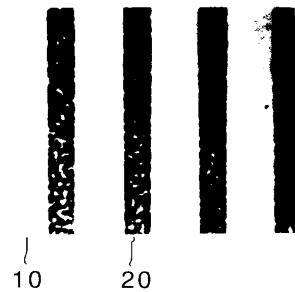
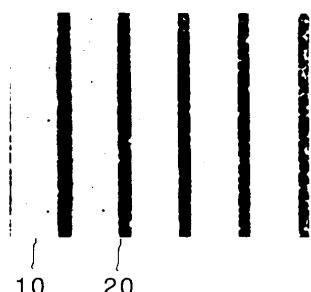
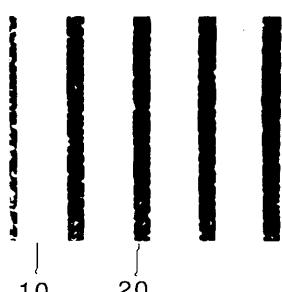
도면15

(a) $s = 10 \mu\text{m}$ (d) $s = 50 \mu\text{m}$ (b) $s = 20 \mu\text{m}$ (e) $s = 100 \mu\text{m}$ (c) $s = 30 \mu\text{m}$

도핑 조건

P : $10\text{kV}, 1.7 \times 10^{15} \text{ atoms/cm}^2$ B : $10\text{kV}, 8.3 \times 10^{14} \text{ atoms/cm}^2$

도면16

(a) $s = 10 \mu m$ (d) $s = 50 \mu m$ (b) $s = 20 \mu m$ (e) $s = 100 \mu m$ (c) $s = 30 \mu m$

도장 조건
P : 10kV, 1.7×10^{15} atoms/cm²
B : 10kV, 1.7×10^{15} atoms/cm²