(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117276353 A
(43)申请公布日 2023.12.22

(21)申请号 202311426812.8

(22)申请日 2018.06.21

(30)优先权数据
2017-125011 2017.06.27 JP

(62)分案原申请数据
201880042866.5 2018.06.21

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川

(72)发明人 山崎舜平 木村肇

(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 程晨

(51)Int.Cl.
H01L 29/792(2006.01)
G11C 16/04(2006.01)
H01L 27/088(2006.01)
H01L 21/8234(2006.01)
H01L 21/768(2006.01)
H01L 29/788(2006.01)
H01L 29/786(2006.01)
H10B 43/27(2023.01)
H10B 41/27(2023.01)
H10B 43/10(2023.01)

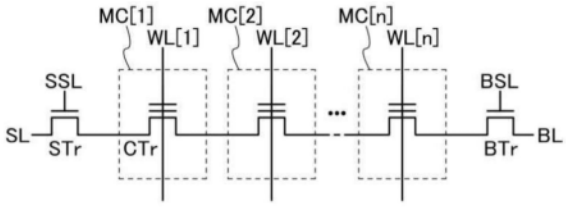
权利要求书1页 说明书43页 附图68页

(54)发明名称

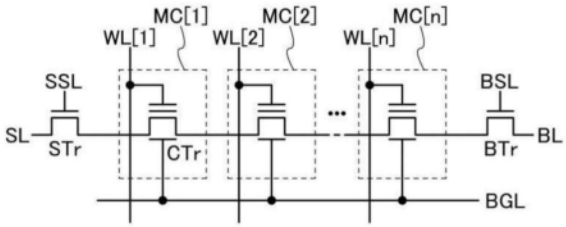
半导体装置、半导体晶片、存储装置及电子设备

(57)摘要

提供一种半导体装置、半导体晶片、存储装置及电子设备。一种包括第一至第四绝缘体、第一导电体、第二导电体及第一半导体的半导体装置，其中第一半导体包括第一面及第二面。第一导电体的第一侧面在于第一半导体的第一面，第一绝缘体的第一侧面在于第一导电体的第二侧面。第二绝缘体在于包括第一绝缘体的第二侧面及顶面、第一导电体的顶面、第一半导体的第二面的区域。第三绝缘体在于第二绝缘体的形成面，第四绝缘体在于第三绝缘体的形成面。第二导电体在于形成有第四绝缘体的区域中的与第一半导体的第二面重叠的区域。第三绝缘体具有储存电荷的功能。通过对第二导电体供应电位，隔着第二绝缘体在第一半导体的第二面和第三绝缘体之间引起隧道电流。



(A)



(B)

CN 117276353 A

1.一种半导体装置,包括:

第一导电体,具有作为晶体管的栅电极的功能;

氧化物半导体,隔着第一绝缘体包围所述第一导电体,并且具有第一区域、第二区域及第三区域;

第二导电体,具有与所述氧化物半导体的所述第二区域接触的区域;以及

第三导电体,具有与所述氧化物半导体的所述第三区域接触的区域,

在截面图中,所述第一区域位于高于所述第二区域且低于所述第三区域的位置,

在所述氧化物半导体中,所述第一区域具有作为所述晶体管的沟道形成区域的功能,

所述第二导电体及所述第三导电体具有隔着第二绝缘体相互重叠的区域,

所述第二导电体具有作为所述晶体管的源电极和漏电极的一方的功能,

所述第三导电体具有作为所述晶体管的源电极和漏电极的另一方的功能,

所述第一区域具有比所述第二区域的厚度小的厚度,

所述第一区域具有比所述第三区域小的厚度。

2.一种半导体装置,包括:

第一导电体,具有作为晶体管的栅电极的功能;

氧化物半导体,隔着第一绝缘体包围所述第一导电体,并且具有第一区域、第二区域及第三区域;

第二导电体,与所述氧化物半导体电连接,具有包围所述氧化物半导体的所述第二区域的区域;

第三导电体,与所述氧化物半导体电连接,具有包围所述氧化物半导体的所述第三区域的区域;以及

第二绝缘体,具有与所述第二导电体的顶面接触的区域、与所述第一区域中的所述氧化物半导体的侧面接触的区域、及与所述第三导电体的下表面接触的区域,

在截面图中,所述第一区域位于高于所述第二区域且低于所述第三区域的位置,

在所述氧化物半导体中,所述第一区域具有作为所述晶体管的沟道形成区域的功能,

所述第二导电体及所述第三导电体具有隔着所述第二绝缘体相互重叠的区域,

所述第二导电体具有作为所述晶体管的源电极和漏电极的一方的功能,

所述第三导电体具有作为所述晶体管的源电极和漏电极的另一方的功能,

所述第一区域具有比所述第二区域的厚度小的厚度,

所述第一区域具有比所述第三区域小的厚度。

3.根据权利要求1或2所述的半导体装置,其中,

所述第一导电体包含铟锌氧化物,

所述第一绝缘体包含氧化铝,

所述氧化物半导体包含In、Ga和Zn。

4.根据权利要求1或2所述的半导体装置,其中,

所述第一导电体具有圆柱形形状。

半导体装置、半导体晶片、存储装置及电子设备

[0001] 本申请是申请号为201880042866.5、申请日为2018年6月21日、名称为“半导体装置、半导体晶片、存储装置及电子设备”的发明专利申请的分案申请。

技术领域

[0002] 本发明的一个方式涉及半导体装置、半导体晶片、存储装置及电子设备。

[0003] 另外,本发明的一个方式不限定于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。因此,具体而言,作为本说明书所公开的本发明的一个方式的技术领域的一个例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、处理器、电子设备、这些装置的驱动方法、制造方法、检测方法或包括其中的至少一个的系统。

背景技术

[0004] 近年来,将中央处理器(CPU)、图形处理器(GPU)、存储装置、传感器等电子构件用于个人计算机、智能手机、数码相机等各种电子设备,并且在微型化及低功耗等各种方面上改良该电子构件。

[0005] 尤其是,上述电子设备等所利用的数据量增加,因此需求存储容量较大的存储装置。作为增加存储容量的方法,例如在专利文献1中公开了作为其沟道形成区域使用金属氧化物的三维结构的NAND存储元件。

[0006] [先行技术文献]

[0007] [专利文献]

[0008] [专利文献1]美国专利第9634097号说明书

发明内容

[0009] 发明所要解决的技术问题

[0010] 构成存储元件等的晶体管的半导体层分类为沟道形成区域及低电阻区域。特别是,在作为三维结构的NAND存储元件的半导体层使用金属氧化物的情况下,如何形成该金属氧化物的低电阻区域是非常重要的。在用作晶体管的半导体层的金属氧化物中,载流子密度低(或在本说明书等中,有时换称为本征或实质上本征)的区域被用作沟道形成区域,载流子密度高的区域被用作低电阻区域。因此,在制造作为半导体层使用金属氧化物的三维结构的NAND存储元件时,有分别形成沟道形成区域和低电阻区域的课题。

[0011] 本发明的一个方式的目的之一是提供一种新颖的半导体装置。另外,本发明的一个方式的目的之一是提供一种包括新颖的半导体装置的存储装置。另外,本发明的一个方式的目的之一是提供一种使用包括新颖的半导体装置的存储装置的电子设备。另外,本发明的一个方式的目的之一是提供一种数据容量大的存储装置。另外,本发明的一个方式的目的之一是提供一种可靠性高的存储装置。

[0012] 注意,本发明的一个方式的目的不局限于上述目的。上述列举的目的并不妨碍其他目的的存在。另外,其他目的是上面没有提到而将在下面的记载中进行说明的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上面没有提到的目的。此外,本发明的一个方式实现上述目的及其他目的中的至少一个目的。此外,本发明的一个方式并不需要实现所有的上述目的及其他目的。

[0013] 解决技术问题的手段

[0014] (1)

[0015] 本发明的一个方式是一种半导体装置,包括:第一至第四绝缘体、第一导电体、第二导电体、以及第一半导体,第一半导体包括第一面及第二面,第一绝缘体的第一侧面及第二侧面位于隔着第一导电体与第一半导体的第一面重叠的区域,第一导电体的第一侧面位于第一半导体的第一面,第一绝缘体的第一侧面位于第一导电体的第二侧面,第二绝缘体位于包括第一绝缘体的第二侧面、第一绝缘体的顶面、第一导电体的顶面及第一半导体的第二面的区域,第三绝缘体位于形成有第二绝缘体的区域中的与第一半导体的第二面重叠的区域,第四绝缘体位于第三绝缘体的形成面及隔着第二绝缘体与第一半导体的第一面重叠的区域,第二导电体位于形成有第四绝缘体的区域中的与第一半导体的第二面重叠的区域,第三绝缘体具有储存电荷的功能,通过对第二导电体供应电位,在第一半导体的第二面和第三绝缘体之间隔着第二绝缘体引起隧道电流。

[0016] (2)

[0017] 另外,本发明的一个方式是一种半导体装置,包括:第一至第四绝缘体、第一导电体、第二导电体、第一半导体及第二半导体,第一半导体包括第一面及第二面,第一绝缘体的第一侧面及第二侧面位于隔着第一导电体与第一半导体的第一面重叠的区域,第一导电体的第一侧面位于第一半导体的第一面,第一绝缘体的第一侧面位于第一导电体的第二侧面,第二绝缘体位于包括第一绝缘体的第二侧面、第一绝缘体的顶面、第一导电体的顶面及第一半导体的第二面的区域,第三绝缘体位于形成有第二绝缘体的区域中的与第一半导体的第二面重叠的区域,第四绝缘体位于第三绝缘体的形成面及隔着第二绝缘体与第一半导体的第一面重叠的区域,第二半导体位于隔着第四绝缘体与第一半导体的第二面重叠的区域,第二导电体位于第二半导体的形成面及形成有第四绝缘体的区域中的与第一半导体的第二面重叠的区域,第三绝缘体具有储存电荷的功能,通过对第二导电体供应电位,在第一半导体的第二面和第三绝缘体之间隔着第二绝缘体引起隧道电流。

[0018] (3)

[0019] 另外,在上述(1)或(2)的结构中,本发明的一个方式是一种半导体装置,其中第三绝缘体还位于形成有第二绝缘体的区域中的与第一半导体的第一面重叠的区域,并且第三绝缘体位于在第二绝缘体和第四绝缘体之间重叠的区域。

[0020] (4)

[0021] 另外,本发明的一个方式是一种半导体装置,包括:第一绝缘体、第二绝缘体、第四绝缘体、第一至第三导电体、以及第一半导体,第一半导体包括第一面及第二面,第一绝缘体的第一侧面及第二侧面位于隔着第一导电体与第一半导体的第一面重叠的区域,第一导电体的第一侧面位于第一半导体的第一面,第一绝缘体的第一侧面位于第一导电体的第二侧面,第二绝缘体位于包括第一绝缘体的第二侧面、第一绝缘体的顶面、第一导电体的顶

面、第一半导体的第二面的区域,第三导电体位于隔着第二绝缘体与第一半导体的第二面重叠的区域,第四绝缘体位于第三导电体的形成面、形成有第二绝缘体的区域中的隔着第三导电体与第一半导体的第二面重叠的区域、以及形成有第二绝缘体的区域中的隔着第二绝缘体与第一半导体的第一面重叠的区域,第二导电体位于形成有第四绝缘体的区域中的与第一半导体的第二面重叠的区域,第三导电体具有储存电荷的功能,通过对第二导电体供应电位,在第一半导体的第二面和第三导电体之间隔着第二绝缘体引起隧道电流。

[0022] (5)

[0023] 另外,在上述(1)至(4)中任一项的结构中,本发明的一个方式是一种半导体装置,其中第一半导体的第二面的第一半导体的厚度比第一半导体的第一面的第一半导体的厚度薄。

[0024] (6)

[0025] 另外,在上述(1)至(5)中任一项的结构中,本发明的一个方式是一种半导体装置,包括第五绝缘体及第四导电体,其中第五绝缘体位于第一半导体的与第一面及第二面相反一侧的面,并且第四导电体位于隔着第五绝缘体与第一半导体的第一面及第二面重叠的区域。

[0026] (7)

[0027] 另外,在上述(1)至(6)中任一项的结构中,本发明的一个方式是一种半导体装置,其中第一半导体包含金属氧化物,并且第一半导体的第二面及第二面附近的氧浓度比第一半导体的第一面及第一面附近高。

[0028] (8)

[0029] 另外,在上述(7)的结构中,本发明的一个方式是一种半导体装置,其中第一半导体的第一面及第一面附近包含由第一导电体所包含的元素、第一半导体所包含的元素构成的化合物。

[0030] (9)

[0031] 另外,在上述(1)至(6)中任一项的结构中,本发明的一个方式是一种半导体装置,其中半导体包含硅,并且在第一半导体的第一面及第一面附近以第一导电体所包含的元素及第一半导体所包含的元素形成低电阻区域。

[0032] (10)

[0033] 另外,在上述(1)至(9)中任一项的结构中,本发明的一个方式是一种半导体装置,其中使用第六绝缘体代替第一导电体,并且第六绝缘体包含氮化硅。

[0034] (11)

[0035] 另外,本发明的一个方式是一种包括上述(1)至(10)中任一项所述的多个半导体装置及用于切割的区域的半导体晶片。

[0036] (12)

[0037] 另外,本发明的一个方式是一种包括上述(1)至(10)中任一项所述的半导体装置及外围电路的存储装置。

[0038] (13)

[0039] 另外,本发明的一个方式是一种包括上述(12)所述的存储装置及框体的电子设备。

[0040] 发明效果

[0041] 根据本发明的一个方式,可以提供一种新颖的半导体装置。此外,根据本发明的一个方式,可以提供一种包括新颖的半导体装置的存储装置。此外,根据本发明的一个方式,可以提供一种使用包括新颖的半导体装置的存储装置的电子设备。此外,根据本发明的一个方式,可以提供一种数据容量大的存储装置。此外,根据本发明的一个方式,可以提供一种可靠性高的存储装置。

[0042] 注意,本发明的一个方式的效果不局限于上述列举的效果。上述列举的效果并不妨碍其他效果的存在。其他效果是下面记载的在本节中未说明的效果。本领域技术人员可以从说明书或附图等的记载导出并适当地抽出该在本节中未说明的效果。此外,本发明的一个方式具有上述效果及其他效果中的至少一个效果。此外,本发明的一个方式具有上述效果及其他效果中的至少一个效果。

[0043] 附图简要说明

[0044] [图1]示出半导体装置的结构例子的电路图。

[0045] [图2]示出半导体装置的结构例子的电路图。

[0046] [图3]示出半导体装置的结构例子的电路图。

[0047] [图4]示出半导体装置的工作例子的时序图。

[0048] [图5]示出半导体装置的工作例子的时序图。

[0049] [图6]说明半导体装置的结构例子的立体图、俯视图及截面图。

[0050] [图7]说明半导体装置的结构例子的立体图、俯视图及截面图。

[0051] [图8]说明半导体装置的制造例子的截面图。

[0052] [图9]说明半导体装置的制造例子的截面图。

[0053] [图10]说明半导体装置的制造例子的截面图。

[0054] [图11]说明半导体装置的制造例子的截面图。

[0055] [图12]说明半导体装置的制造例子的截面图。

[0056] [图13]说明半导体装置的制造例子的截面图。

[0057] [图14]说明半导体装置的制造例子的截面图及立体图。

[0058] [图15]说明半导体装置的制造例子的截面图。

[0059] [图16]说明半导体装置的制造例子的截面图。

[0060] [图17]说明半导体装置的制造例子的截面图。

[0061] [图18]说明半导体装置的制造例子的俯视图。

[0062] [图19]说明半导体装置的制造例子的俯视图。

[0063] [图20]说明半导体装置的制造例子的截面图。

[0064] [图21]说明半导体装置的制造例子的俯视图。

[0065] [图22]说明半导体装置的制造例子的截面图。

[0066] [图23]说明半导体装置的制造例子的俯视图。

[0067] [图24]说明半导体装置的制造例子的截面图。

[0068] [图25]说明半导体装置的制造例子的截面图及俯视图。

[0069] [图26]说明半导体装置的制造例子的截面图。

[0070] [图27]说明半导体装置的制造例子的截面图及俯视图。

[0071] [图28]说明半导体装置的制造例子的截面图。

[0072] [图29]说明半导体装置的制造例子的俯视图。

[0073] [图30]说明半导体装置的制造例子的截面图。

[0074] [图31]说明半导体装置的制造例子的俯视图。

[0075] [图32]说明半导体装置的制造例子的截面图。

[0076] [图33]说明半导体装置的制造例子的截面图。

[0077] [图34]说明半导体装置的制造例子的俯视图。

[0078] [图35]说明半导体装置的制造例子的截面图。

[0079] [图36]说明半导体装置的制造例子的截面图。

[0080] [图37]说明半导体装置的制造例子的截面图。

[0081] [图38]说明半导体装置的制造例子的截面图。

[0082] [图39]说明半导体装置的制造例子的截面图。

[0083] [图40]说明半导体装置的制造例子的截面图。

[0084] [图41]说明半导体装置的制造例子的截面图。

[0085] [图42]说明半导体装置的制造例子的截面图。

[0086] [图43]说明半导体装置的制造例子的截面图。

[0087] [图44]说明半导体装置的制造例子的俯视图。

[0088] [图45]说明半导体装置的制造例子的俯视图。

[0089] [图46]说明半导体装置的制造例子的截面图。

[0090] [图47]说明半导体装置的制造例子的俯视图。

[0091] [图48]说明半导体装置的制造例子的截面图。

[0092] [图49]说明半导体装置的制造例子的俯视图。

[0093] [图50]说明半导体装置的制造例子的截面图。

[0094] [图51]说明半导体装置的制造例子的截面图及俯视图。

[0095] [图52]说明半导体装置的制造例子的截面图。

[0096] [图53]说明半导体装置的制造例子的截面图及俯视图。

[0097] [图54]说明半导体装置的制造例子的截面图。

[0098] [图55]说明半导体装置的制造例子的俯视图。

[0099] [图56]说明半导体装置的制造例子的截面图。

[0100] [图57]说明半导体装置的制造例子的俯视图。

[0101] [图58]说明半导体装置的制造例子的截面图。

[0102] [图59]说明半导体装置的截面图。

[0103] [图60]说明半导体装置的截面图。

[0104] [图61]说明半导体装置的截面图。

[0105] [图62]说明半导体装置的截面图。

[0106] [图63]示出存储装置的一个例子的方框图。

[0107] [图64]说明金属氧化物的原子个数比的范围的图。

[0108] [图65]示出电子构件的制造例子的流程图、电子构件的立体图及半导体晶片的立体图。

[0109] [图66]说明CPU的方框图。

[0110] [图67]示出电子设备的例子的立体图。

[0111] [图68]示出电子设备的例子的立体图。

[0112] 实施发明的方式

[0113] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的活性层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物能够构成包括具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时,可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor),或者可以将其缩称为OS。此外,可以将OS FET称为包含金属氧化物或氧化物半导体的晶体管。

[0114] 此外,在本说明书等中,有时将在沟道形成区域中包含硅的晶体管记载为Si晶体管。

[0115] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0116] (实施方式1)

[0117] 在本实施方式中,对根据所公开的发明的一个方式的半导体装置的电路结构、工作方法及制造方法进行说明。另外,在下面的说明中,例如,“[x,y]”表示第x行第y列的要素,“[z]”表示第z行或第z列的要素。在不需要特别指定行或列的情况下,省略这些记载。

[0118] <电路结构例>

[0119] 首先,参照图1的(A)图对作为半导体装置的一个例子的NAND存储元件的电路结构进行说明。图1的(A)图表示1页的NAND存储元件的电路图。1页的NAND存储元件包括:存储单元MC[1]至存储单元MC[n]的存储单元、用来控制这些存储单元的布线WL[1]至布线WL[n]、布线BL及布线SL、用来选择该页的晶体管STr及晶体管BTr、用来控制晶体管STr的布线SSL、用来控制晶体管BTr的布线BSL。注意,有时布线WL被用作对后述的存储单元MC的单元晶体管的控制栅极(在本说明书等中,有时简称为栅极)供应电位的布线,并且布线SL及布线BL被用作对后面说明的存储单元MC的单元晶体管的第一端子及/或第二端子供应电位的布线。

[0120] 各存储单元MC包括单元晶体管CTr。一般而言,单元晶体管为以常开启特性工作的晶体管,并包括控制栅极及电荷存储层。电荷存储层设置在隔着隧道绝缘膜与沟道形成区域重叠的区域中,控制栅极设置在隔着阻挡膜与电荷存储层重叠的区域中。在单元晶体管中,通过对控制栅极施加写入电位且对单元晶体管的第一端子或第二端子供应预定电位而发生隧道电流,从该单元晶体管的沟道形成区域对电荷存储层注入电子。由此,在电荷存储层被注入电子的单元晶体管中,阈值电压增高。另外,也可以使用浮栅极代替电荷存储层。NAND存储元件是利用该原理的半导体装置,将在后面说明其详细工作原理。

[0121] 在电路结构上,单元晶体管CTr的第一端子与邻接的存储单元MC的单元晶体管CTr的第二端子串联电连接。换言之,在图1的(A)图所示的电路结构中,n个单元晶体管CTr串联电连接。再者,存储单元MC[1]的单元晶体管CTr的第二端子与晶体管STr的第一端子电连接,存储单元MC[n]的单元晶体管CTr的第一端子与晶体管BTr的第一端子电连接。存储单元

MC[1]至存储单元MC[n]的各个单元晶体管CTr的控制栅极分别与布线WL[1]至布线WL[n]电连接。晶体管STr的第二端子与布线SL电连接,晶体管STr的栅极与布线SSL电连接。晶体管BTr的第二端子与布线BL电连接,晶体管BTr的栅极与布线BSL电连接。

[0122] 例如,单元晶体管CTr的沟道形成区域优选包含硅、锗、砷化镓、碳化硅(SiC)、在实施方式3中说明的金属氧化物等中的任一个或选自上述材料的多个材料。尤其是,在为该沟道形成区域中包含选自铟、元素M(作为元素M,例如举出铝、镓、钇、锡等)、锌中的一个或多个的金属氧化物的情况下,该金属氧化物有时被用作宽带隙半导体,在其沟道形成区域中包含该金属氧化物的单元晶体管具有关态电流极低的特性。换言之,可以使处于关闭状态的单元晶体管CTr中的泄漏电流降低,因此有时可以减少半导体装置的功耗。另外,晶体管STr及晶体管BTr的各个沟道形成区域也可以包含上述金属氧化物。

[0123] 此外,晶体管STr及/或晶体管BTr的沟道形成区域可以采用与单元晶体管CTr的沟道形成区域不同的结构。例如,作为单元晶体管CTr的沟道形成区域可以使用包含上述金属氧化物的材料,并且作为晶体管STr及/或晶体管BTr的沟道形成区域可以使用包含硅的材料。

[0124] 另外,本发明的一个方式不局限于图1的(A)图所示的半导体装置。本发明的一个方式根据情况、状况或必要,可以采用适当地改变图1的(A)图所示的半导体装置的电路结构。例如,如图1的(B)图所示那样,本发明的一个方式可以为单元晶体管CTr设有背栅极的半导体装置。另外,图1的(B)图所示的半导体装置除了图1的(A)图所示的半导体装置的结构之外,还具有存储单元MC[1]至存储单元MC[n]所包括的单元晶体管CTr设有背栅极,并且各个该背栅极与布线BGL电连接的结构。图1的(B)图所示的半导体装置可以不采用布线BGL分别与存储单元MC[1]至存储单元MC[n]所包括的单元晶体管CTr的背栅极电连接的结构,而采用每个布线分别独立地与该背栅极电连接,并分别供应不同的电位的结构。另外,将在后面说明图1的(B)图所示的半导体装置的工作例子。

[0125] 另外,在希望增加图1的(A)图及图1的(B)图所示的半导体装置的存储容量的情况下,将图1的(A)图及图1的(B)图所示的半导体装置配置为矩阵状即可。例如,在将图1的(A)图所示的半导体装置配置为矩阵状的情况下,该电路结构成为图2所示的结构。另外,在本说明书等中,将图2所示的多个页的NAND存储元件记载为一块的NAND存储元件。

[0126] 在图2所示的半导体装置中,以图1的(A)图所示的半导体装置为一列配置m列(m为1以上的整数),以同一个行的存储单元MC共同使用布线WL的方式电连接。换言之,图2所示的半导体装置为n行m列的矩阵状的半导体装置,并包括存储单元MC[1,1]至存储单元MC[n,m]。因此,图2所示的半导体装置通过布线WL[1]至布线WL[n]、布线BL[1]至布线BL[m]、布线BSL[1]至布线BSL[m]、布线SL[1]至布线SL[m]及布线SSL[1]至布线SSL[m]电连接。具体而言,存储单元MC[j,i](j为1以上且n以下的整数,i为1以上且m以下的整数)的单元晶体管CTr的控制栅极与布线WL[j]电连接。布线SL[i]与晶体管STr[i]的第二端子电连接,布线BL[i]与晶体管BTr的第二端子电连接。

[0127] 另外,图2仅示出存储单元MC[1,1]、存储单元MC[1,i]、存储单元MC[1,m]、存储单元MC[j,1]、存储单元MC[j,i]、存储单元MC[j,m]、存储单元MC[n,1]、存储单元MC[n,i]、存储单元MC[n,m]、布线WL[1]、布线WL[j]、布线WL[n]、布线BL[1]、布线BL[i]、布线BL[m]、布线BSL[1]、布线BSL[j]、布线BSL[n]、布线SL[1]、布线SL[i]、布线SL[m]、布线SSL[1]、布线

SSL[i]、布线SSL[m]、单元晶体管CTr、晶体管BTr[1]、晶体管BTr[i]、晶体管BTr[m]、晶体管STr[1]、晶体管STr[i]、晶体管STr[m]，省略这些之外的布线、元件、标记及符号。

[0128] 另外，图3表示以图1的(B)图所示的半导体装置为一列配置m列(m为1以上的整数)的图。另外，在图3所示的半导体装置中，所有存储单元MC所包括的每个晶体管都设有背栅极，因此，图3所示的半导体装置包括用来与各个背栅极电连接的布线BGL[1]至布线BGL[m]。另外，关于图3所示的半导体装置参照图2所示的半导体装置的说明的记载。

[0129] 虽然图2及图3所示的半导体装置分别具有将图1的(A)图及图1的(B)图配置为矩阵状的结构，但是本发明的一个方式不局限于此。在此情况下，根据情况或必要，可以改变电路结构。例如，在图2及图3中，作为用来控制晶体管BTr[1]至晶体管BTr[m]的布线分别示出布线BSL[1]至布线BSL[m]，然而也可以采用将一个布线用作布线BSL[1]至布线BSL[m]并与晶体管BTr[1]至晶体管BTr[m]的各个栅极电连接的结构。与此同样，可以采用用来控制晶体管STr[1]至晶体管STr[m]的布线不是布线SSL[1]至布线SSL[m]，而作为一个布线并与晶体管STr[1]至晶体管STr[m]的各个栅极电连接的结构。

[0130] <工作方法的例子>

[0131] 接着，参照图4的(A)图及图4的(B)图、图5的(A)图及图5的(B)图，对图1的(A)图及图1的(B)图所示的半导体装置的工作方法的一个例子进行说明。另外，本发明的一个方式的半导体装置除了2值之外，有时还可以处理多值或模拟值的数据。因此，在本工作方法说明中，在写入及读出时处理的数据不局限于2值。

[0132] 另外，在以下的说明中，“低电平电位”、“高电平电位”不是指特定电位，在布线不同时，有时具体的电位也不同。例如，被施加到布线BSL的低电平电位及高电平电位的每一个都可以为与被施加到布线BL的低电平电位及高电平电位不同的电位。

[0133] 电位V_{PGM}为通过施加到单元晶体管CTr的控制栅极来可以对单元晶体管CTr的电荷存储层注入电子的电位，电位V_{PS}为通过施加到单元晶体管CTr的控制栅极来可以使单元晶体管CTr处于导通状态的电位。

[0134] 另外，在本工作方法的例子中，在没有特别的说明的情况下图1的(B)图所示的布线BGL预先被施加单元晶体管CTr进行正常工作的范围内的电位。因此，可以彼此同样地考虑图1的(A)图及图1的(B)图所示的半导体装置的工作。

[0135] 《写入工作》

[0136] 图4的(A)图是示出对半导体装置写入数据的工作例子的时序图。图4的(A)图的时序图示出布线WL[p](p为1以上且n以下的整数)、布线WL[j](在此j为1以上且n以下并为p以外的整数)、布线BSL、布线SSL及布线BL的电位的大小的变化。另外，图4的(A)图的时序图表示对存储单元MC[p]写入数据的写入工作的例子。

[0137] 在时刻T10以前，布线BL被供应低电平电位。

[0138] 此外，在时刻T10至时刻T13之间，布线SSL一直被供应低电平电位。由此，晶体管STr的栅极被施加低电平电位，因此晶体管STr处于关闭状态。

[0139] 在时刻T10至时刻T11之间，布线BSL被供应高电平电位。由此，晶体管BTr的栅极被施加高电平电位，而晶体管BTr处于导通状态。另外，通过晶体管BTr处于导通状态，存储单元MC[n]的单元晶体管CTr的第一端子被施加从布线BL供应的低电平电位。

[0140] 在时刻T11至时刻T12之间，布线WL[j]被供应电位V_{PS}。由此，存储单元MC[j]所包括

的单元晶体管CTr的控制栅极被施加电位V_{PS}。此时,在存储单元MC[n]中,单元晶体管CTr的第一端子被施加从布线BL供应的低电平电位,因此存储单元MC[n]所包括的单元晶体管CTr处于导通状态。另外,由此存储单元MC[n-1]的单元晶体管CTr的第一端子被施加从布线BL供应的低电平电位。换言之,存储单元MC[j]所包括的单元晶体管CTr依次处于导通状态。

[0141] 另外,在时刻T11至时刻T12之间,布线WL[p]被供应电位V_{PGM}。由此,存储单元MC[p]所包括的单元晶体管CTr的控制栅极被施加电位V_{PGM}。另外,通过上面的工作,存储单元MC[p]所包括的单元晶体管CTr的第一端子被施加从布线BL供应的低电平电位,由此从存储单元MC[p]所包括的单元晶体管CTr的沟道形成区域到电荷存储层注入电子。由此对存储单元MC[p]进行数据的写入。注意,通过从存储单元MC[p]所包括的单元晶体管CTr的沟道形成区域到电荷存储层注入电子,单元晶体管CTr的阈值电压上升。

[0142] 直到时刻T12,将从布线BL供应的低电平电位施加到晶体管STr的第一端子。在时刻T12至时刻T13之间,对布线WL[j]及布线WL[p]施加低电平电位。

[0143] 时刻T13以后,对布线BSL供应低电平电位。因此,对晶体管BTr的栅极施加低电平电位,而晶体管BTr处于关闭状态。另外,虽然在图4的(A)图的时序图中未图示,然而此时也可以对布线BSL不供应低电平电位,而使布线BL的电位为高电平电位,使晶体管BTr处于关闭状态。

[0144] 通过上面的工作,可以对图1的(A)图及图1的(B)图所示的半导体装置写入数据。

[0145] 《读出工作》

[0146] 图4的(B)图是表示从半导体装置读出数据的工作例子的时序图。图4的(A)图的时序图表示布线WL[p]、布线WL[q](q为1以上且n以下并为p以外的整数)、布线WL[j](在此j为1以上且n以下并为p及q以外的整数)、布线BSL、布线SSL、布线SL的电位的大小的变化,作为流过布线SL-布线BL间的电流I_{READ}的大小的变化。另外,图4的(B)图的时序图示出从存储单元MC[p]及存储单元MC[q]读出数据的工作例子。在此,存储单元MC[p]的单元晶体管CTr的电荷存储层已被注入电子,对存储单元MC[q]的单元晶体管CTr的电荷存储层没有注入电子。

[0147] 在时刻T20以前,布线SL被供应低电平电位。

[0148] 在时刻T20至时刻T21之间,布线BSL及布线SSL一直被供应高电平电位。由此,晶体管BTr及晶体管STr的栅极被施加高电平电位,因此晶体管BTr及晶体管STr处于导通状态。另外,通过晶体管STr处于导通状态,对存储单元MC[1]的单元晶体管CTr的第二端子施加从布线SL供应的低电平电位。

[0149] 在时刻T21至时刻T22之间,布线WL[q]及布线WL[j]被供应电位V_{PS}。由此,存储单元MC[q]及存储单元MC[j]所包括的单元晶体管CTr的控制栅极被施加电位V_{PS}。此时,在存储单元MC[q]及/或存储单元MC[j]的单元晶体管CTr的第二端子被施加从布线SL供应的低电平电位的情况下,该单元晶体管CTr处于导通状态。

[0150] 另一方面,在时刻T21至时刻T22之间,布线WL[p]被供应低电平电位。由此,存储单元MC[p]所包括的单元晶体管CTr的控制栅极被施加低电平电位。另外,存储单元MC[p]的单元晶体管CTr的电荷存储层已被注入电子,因此存储单元MC[p]的单元晶体管CTr的阈值电压上升。根据上述理由,存储单元MC[p]的单元晶体管CTr处于关闭状态,电流不流过布线SL-布线BL间。此时,通过测量流过布线BL的电流量而示出电流不流过布线SL-布线BL间,可

以说是存储单元MC[p]的单元晶体管CTr的电荷存储层已被注入电子。

[0151] 在时刻T22至时刻T23之间,布线WL[p]、布线WL[q]、布线WL[j]的每一个都被供应低电平电位。由此,存储单元MC[1]至存储单元MC[n]所包括的各单元晶体管CTr的控制栅极被施加低电平电位。

[0152] 在时刻T23至时刻T24之间,布线WL[j]被供应电位V_{PS}。由此,存储单元MC[j]所包括的单元晶体管CTr的控制栅极被施加电位V_{PS}。此时,在存储单元MC[j]的单元晶体管CTr的第一端子被施加从布线SL供应的低电平电位的情况下,该单元晶体管CTr处于导通状态。

[0153] 另外,在时刻T23至时刻T24之间,布线WL[p]被供应电位V_{PS}。由此,存储单元MC[p]所包括的单元晶体管CTr的控制栅极被施加电位V_{PS}。另外,存储单元MC[p]的单元晶体管CTr的电荷存储层已被注入电子,因此存储单元MC[p]的单元晶体管CTr的阈值电压上升,然而因为单元晶体管CTr的控制栅极被施加电位V_{PS},所以在本工作例子中,单元晶体管CTr实质上处于导通状态。

[0154] 另外,在时刻T23至时刻T24之间,布线WL[q]被供应低电平电位。由此,存储单元MC[j]所包括的单元晶体管CTr的控制栅极被施加低电平电位。存储单元MC所包括的单元晶体管CTr以常开启特性工作,因此即使存储单元MC[j]的单元晶体管CTr的第一端子已被施加从布线SL供应的低电平电位也该单元晶体管CTr处于导通状态。

[0155] 换言之,存储单元MC[1]至存储单元MC[n]所包括的各单元晶体管CTr处于导通状态,因此电流流过各源极-漏极间。就是说,此时,通过测量流过布线BL的电流量而示出电流流过布线SL-布线BL间,可以说是对存储单元MC[q]的单元晶体管CTr的电荷存储层没有注入电子。

[0156] 在时刻T24至时刻T25之间,布线WL[p]、布线WL[q]、布线WL[j]的每一个都被供应低电平电位。由此,存储单元MC[1]至存储单元MC[n]所包括的单元晶体管CTr的控制栅极被施加低电平电位。

[0157] 时刻T25以后,布线BSL及布线SSL被供应低电平电位。由此,晶体管BTr及晶体管STr的各栅极被施加低电平电位,因此晶体管BTr及晶体管STr处于关闭状态。

[0158] 换言之,在从存储单元MC读出数据的情况下,通过对该存储单元MC的单元晶体管CTr的控制栅极施加低电平电位且对除此之外的存储单元MC的单元晶体管CTr的控制栅极施加高电平电位,并且测量流过布线SL-布线BL间的电流量,可以读出在存储单元MC中储存的数据。

[0159] 通过上面的工作,可以对图1的(A)图及图1的(B)图所示的半导体装置进行数据的写入及数据的读出。

[0160] 《去掉工作》

[0161] 图5的(A)图是示出去掉在半导体装置中储存的数据的工作例子的时序图。图5的(A)图的时序图示出布线WL[j](在此的j为1以上且n以下的整数)、布线BSL、布线SSL、布线BL及布线SL的电位的大小的变化。另外,一般而言,对NAND存储元件进行的去掉工作按1页单位进行,本工作例子也按1页单位进行。但是,本发明的一个方式不局限于此,例如,也可以按1块单位等进行去掉工作。

[0162] 在时刻T30以前,布线BL及布线SL被供应低电平电位。

[0163] 另外,在时刻T30至时刻T33之间,布线WL[j]一直被供应低电平电位。

[0164] 在时刻T30至时刻T31之间,布线BSL及布线SSL被供应高电平电位。由此,晶体管BTr及晶体管STr的各栅极被施加高电平电位,因此晶体管BTr及晶体管STr处于导通状态。此外,晶体管BTr及晶体管STr处于导通状态,存储单元MC[1]所包括的单元晶体管CTr的第二端子被施加从布线SL供应的低电平电位,存储单元MC[n]所包括的单元晶体管CTr的第一端子被施加从布线BL供应的低电平电位。

[0165] 在时刻T31至时刻T32之间,布线BL及布线SL被供应电位V_{ER}。另外,电位V_{ER}为比流过布线BL及布线SL的高电平电位高的电位。由此,存储单元MC[1]至存储单元MC[n]所包括的所有单元晶体管CTr的沟道形成区域的电位上升,因此注入到各单元晶体管CTr的电荷存储层的电子被抽出到沟道形成区域一侧。

[0166] 在时刻T32至时刻T33之间,布线BL及布线SL被供应低电平电位。

[0167] 时刻T33以后,布线BSL及布线SSL被供应低电平电位。由此,晶体管BTr及晶体管STr的各栅极被施加低电平电位,因此晶体管BTr及晶体管STr处于关闭状态。

[0168] 通过上面的工作,可以从图1的(A)图及图1的(B)图所示的半导体装置去掉数据。

[0169] 另外,在图1的(B)图所示的半导体装置中,通过使用布线BGL,可以进行与上述去掉工作不同的去掉工作。图5的(B)图示出该工作例子。

[0170] 在时刻T40以前,布线BL及布线SL被供应低电平电位。

[0171] 此外,在时刻T40至时刻T45之间,布线WL[j]一直被供应低电平电位。

[0172] 在时刻T40至时刻T41之间,布线BSL及布线SSL被供应低电平电位。由此,晶体管BTr及晶体管STr的各栅极被施加低电平电位,因此晶体管BTr及晶体管STr处于关闭状态。因此,在晶体管STr的第二端子与晶体管BTr的第一端子之间处于浮动状态。

[0173] 另外,在时刻T40至时刻T41之间,布线BGL被供应电位V_{BGER}。电位V_{BGER}为非常高的电位。晶体管STr的第二端子与晶体管BTr的第一端子之间处于浮动状态,通过布线BGL的电位成为V_{BGER},存储单元MC[1]至存储单元MC[n]所包括的所有单元晶体管CTr的沟道形成区域电位由于电容耦合升压。因此,注入到各单元晶体管CTr的电荷存储层的电子被抽出到沟道形成区域一侧。

[0174] 在时刻T41至时刻T42之间,布线BSL及布线SSL被供应高电平电位。由此,晶体管BTr及晶体管STr的各栅极被施加高电平电位,因此晶体管BTr及晶体管STr处于导通状态。

[0175] 在时刻T42至时刻T43之间,布线BL被供应高电平电位。由此,可以将从单元晶体管CTr的电荷存储层抽出的电子流过布线BL。

[0176] 在时刻T43至时刻T44之间,布线BL被供应低电平电位。接下来,在时刻T44中,布线BSL及布线SSL被供应低电平电位。由此,通过晶体管BTr及晶体管STr的各栅极被施加低电平电位,晶体管BTr及晶体管STr处于关闭状态。最后,时刻T45以后,布线BGL被供应低电平电位。

[0177] 通过上面的工作,也可以使用布线BGL从图1的(B)图所示的半导体装置去掉数据。

[0178] <结构例子及制造方法的例子>

[0179] 以下,为了容易理解本实施方式的半导体装置的结构,对其制造方法进行说明。

[0180] 图6的(A)图、图6的(B)图及图6的(C)图是示出图2或图3的半导体装置的一部分的示意图的一个例子。图6的(A)图示出该半导体装置的一部分的立体图,图6的(B)图示出图6的(A)图的俯视图。再者,图6的(C)图示出对应于图6的(B)图的点划线A1-A2的截面图。

[0181] 该半导体装置包括层叠有布线WL及绝缘体(图6中的没有阴影的区域)的结构体。

[0182] 在该结构体中形成有一并贯穿绝缘体及布线WL的开口部。另外,为了在贯穿布线WL的区域AR中设置存储单元MC,该开口部形成有绝缘体、导电体及半导体。另外,该导电体被用作存储单元MC的单元晶体管CTr的源电极或漏电极,该半导体被用作单元晶体管CTr的沟道形成区域。另外,也可以不形成导电体,而在该半导体中形成沟道形成区域及低电阻区域,将该低电阻区域用作单元晶体管CTr的源电极或漏电极。在图6的(A)图、图6的(B)图及图6的(C)图中,将形成有绝缘体、导电体及半导体的该开口部的区域记载为区域HL。尤其在图6的(A)图中,以虚线表示设置在结构体的内部中的区域HL。另外,在存储单元MC所包括的晶体管设有背栅极的情况下,可以将区域HL所包括的该导电体用作用来与该背栅极电连接的布线BGL。

[0183] 就是说,在图6的(C)图中,图1的(A)图及图1的(B)图中的任一个所示的半导体装置形成在区域SD1中,图2或图3所示的半导体装置形成在区域SD2中。

[0184] 另外,露出布线WL的区域TM被用作用来对布线WL供应电位的连接端子。换言之,通过将布线电连接到区域TM,可以对单元晶体管CTr的栅极供应电位。

[0185] 注意,区域TM的形状不局限于图6所示的结构例子。例如,作为本发明的一个方式的半导体装置的结构,可以在图6所示的区域TM上形成绝缘体,在该绝缘体中形成开口部,以填埋该开口部的方式形成导电体PG的结构(图7的(A)图、图7的(B)图及图7的(C)图)。另外,在导电体PG上形成有布线ER,由此布线ER与布线WL电连接。另外,在图7的(A)图中,以虚线表示设置在结构体的内部的导电体PG,并且省略区域HL的虚线。

[0186] 在以下的制造方法例子1及制造方法的例子2中,对在区域AR中形成存储单元MC的方法进行说明。

[0187] 《制造方法的例子1》

[0188] 图8至图19是用来说明图1的(A)图所示的半导体装置的制造例子的截面图、俯视图及立体图,尤其是截面图示出单元晶体管CTr的沟道长度方向。另外,在图8至图19的截面图、俯视图及立体图中,为了明确起见,省略一部分的构成要素。

[0189] 如图8的(A)图所示那样,图1的(A)图的半导体装置包括:配置在衬底(未图示)的上方的绝缘体101A;配置在绝缘体101A上的牺牲层141A;配置在牺牲层141A上的绝缘体101B;配置在绝缘体101B上的牺牲层141B;以及配置在牺牲层141B上的绝缘体101C。注意,下面将包括这些多个牺牲层及多个绝缘体的叠层体(根据后面的步骤包括导电体等)记载为叠层体100。

[0190] 作为该衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。另外,作为半导体衬底,例如可以举出由硅或锗等构成的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓等构成的化合物半导体衬底等。再者,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如有SOI(Silicon On Insulator;绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。再者,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件

的衬底。作为设置在衬底上的元件,可以举出电容器、电阻元件、开关元件、发光元件、存储元件等。

[0191] 此外,作为衬底也可以使用柔性衬底。作为在柔性衬底上设置晶体管的方法,也可以举出如下方法:在非柔性衬底上形成晶体管之后,剥离晶体管而将该晶体管转置到柔性衬底上。在此情况下,优选在非柔性衬底与晶体管之间设置剥离层。此外,作为衬底,也可以使用包含纤维的薄片、薄膜或箔等。另外,衬底也可以具有伸缩性。此外,衬底可以具有在停止弯曲或拉伸时恢复为原来的形状的性质。或者,也可以具有不恢复为原来的形状的性质。衬底例如包括具有如下厚度的区域:5μm以上且700μm以下,优选为10μm以上且500μm以下,更优选为15μm以上且300μm以下。通过将衬底形成得薄,可以实现包括晶体管的半导体装置的轻量化。另外,通过将衬底形成得薄,即便在使用玻璃等的情况下也有时会具有伸缩性或在停止弯曲或拉伸时恢复为原来的形状的性质。因此,可以缓和因掉落等衬底上的半导体装置受到的冲击等。即,可以提供一种耐用的半导体装置。

[0192] 作为柔性衬底,例如可以使用金属、合金、树脂或玻璃或者其纤维等。柔性衬底的线性膨胀系数越低,因环境而发生的变形越得到抑制,所以是优选的。作为柔性衬底,例如使用线性膨胀系数为1×10^{-3}/K以下、5×10^{-5}/K以下或1×10^{-5}/K以下的材料即可。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸等。尤其是芳族聚酰胺的线性膨胀系数较低,因此适用于柔性衬底。

[0193] 在本实施方式所说明的制造例子中,因为其步骤中包括加热处理,所以作为衬底优选使用耐热性高且热膨胀率低的材料。

[0194] 作为牺牲层141A、牺牲层141B可以使用各种材料。例如,作为绝缘体可以使用氮化硅、氧化硅、氧化铝等。另外,作为半导体可以使用硅、镓、锗等。另外,作为导体,可以使用铝、铜、钛、钨、钽等。换言之,作为牺牲层141A、牺牲层141B,可以使用对在其他部分中使用的材料得到蚀刻选择比的材料。

[0195] 作为绝缘体101A至绝缘体101C,优选使用减少了水或氢等杂质浓度的材料。例如,在热脱附谱分析法(TDS(Thermal Desorption Spectroscopy))中,50℃以上且500℃以下的范围内,将绝缘体101A至绝缘体101C的氢的脱离量换算为绝缘体101A至绝缘体101C中的任一个的每单位面积的氢分子的脱离量为2×10^{15}molecules/cm^2以下,优选为1×10^{15}molecules/cm^2以下,更优选为5×10^{14}molecules/cm^2以下,即可。另外,绝缘体101A至绝缘体101C可以使用以加热释放氧的绝缘体而形成。然而,可用于绝缘体101A至绝缘体101C的材料不局限于上面的记载。

[0196] 例如,作为绝缘体101A至绝缘体101C,有时可以使用包含选自硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪及钽等中的一个或多个的材料的绝缘体的单层或叠层。此外,例如,有时可以使用包含氧化硅或氧氮化硅的材料。然而,可用于绝缘体101A至绝缘体101C的材料不局限于上面的记载。

[0197] 注意,在本说明书中,“氧氮化硅”是指在其组成中氧含量多于氮含量的材料,而“氮氧化硅”是指在其组成中氮含量多于氧含量的材料。注意,在本说明书中,“氧氮化铝”是指氧含量多于氮含量的材料,“氮氧化铝”是指氮含量多于氧含量的材料。

[0198] 在下面的步骤中,如图8的(B)图所示那样,通过抗蚀剂掩模的形成及蚀刻处理等,对图8的(A)图所示的叠层体100形成开口部191。

[0199] 例如,抗蚀剂掩模可以适当地使用光刻法、印刷法、喷墨法等来形成。当通过喷墨方法形成抗蚀剂掩模时不使用光掩模,因此有时能够减少制造成本。另外,当进行蚀刻处理时,既可以使用干蚀刻法又可以使用湿蚀刻法,也可以使用该两种方法。

[0200] 另外,在图9的(A)图所示的步骤中,通过蚀刻处理等,开口部191的侧面所具有的绝缘体101A、绝缘体101B、绝缘体101C的各一部分被去除,在该侧面部形成有凹部195A、凹部195B、凹部195C。在此,作为绝缘体101A、绝缘体101B、绝缘体101C,使用选择地去除叠层体100中的绝缘体101A、绝缘体101B、绝缘体101C的材料(其蚀刻速率比牺牲层141A及牺牲层141B高的材料)。

[0201] 此外,在图8的(B)图所示的半导体装置的制造步骤中,在形成开口部191时,有时可以自动地形成凹部195A、凹部195B、凹部195C。

[0202] 在下面的步骤中,如图9的(B)图所示那样,在图9的(A)图所示的开口部191的侧面及凹部195A、凹部195B、凹部195C上形成导电体135。换言之,在绝缘体101A至绝缘体101C的各侧面上形成导电体135。

[0203] 在后述的半导体151为包含硅的材料的情况下,例如,作为导电体135使用可用于后述的导电体134的材料,并且优选的是,可用于导电体134的材料包含用来扩散到半导体151的杂质(元素或离子)。将在后面说明详细内容,在本制造方法的例子中,在将单元晶体管CTr构成为n型晶体管的情况下,作为该杂质使用n型杂质(供体)。作为n型杂质,例如可以使用磷、砷等。另外,在本制造方法的例子中,在将单元晶体管CTr构成为p型晶体管的情况下,作为该杂质使用p型杂质(受体)。作为p型杂质,例如可以使用硼、铝、镓等。或者,也可以使用能够形成硅化物的材料。例如,可以使用镍、钴、钼、钨、钛等。

[0204] 或者,作为导电体135可以使用导电率高的材料。例如,可以使用铝、铜、银等。另外,作为导电体135可以使用耐热性高的材料。例如,可以使用钛、钼、钨、钽等。

[0205] 此外,在后述的半导体151为包含金属氧化物的材料的情况下,例如,作为导电体135优选使用具有降低在导电体135的形成面上的区域中形成的半导体151电阻的功能的材料。将在后面说明半导体151的电阻的降低,然而作为导电体135使用其电阻值为2.4×10^{3}[Ω/sq]以下并优选为1.0×10^{3}[Ω/sq]以下的金属、包含金属元素的氮化物、或者包含金属元素的氧化物。作为该导电材料,例如可以使用铝、钌、钛、钽、钨、铬等金属膜、Al-Ti氮化物、包含氮化钛等的金属元素的氮化膜、或者铟锡氧化物、包含In-Ga-Zn氧化物等金属元素的氧化膜。

[0206] 另外,只要是具有降低半导体151电阻的功能的材料,导电体135就不限于上面说明的导电材料。例如,有时可以使用氮化硅等的绝缘体代替导电体135。将在后面说明使用氮化硅等的绝缘体代替导电体135的半导体装置。

[0207] 在下面的步骤中,如图10的(A)图所示那样,通过抗蚀剂掩模的形成及蚀刻处理等,以仅在上面说明的凹部195A、凹部195B、凹部195C中残留导电体135的方式去除开口部191中的导电体135。此时,直到露出牺牲层141A、牺牲层141B为止去除导电体135。由此形成导电体135a、导电体135b、导电体135c。

[0208] 注意,关于抗蚀剂掩模的形成、蚀刻处理等,参照图8的(B)图的说明。

[0209] 接下来,如图10的(B)图所示那样,对开口部191的侧面以覆盖导电体135a、导电体135b、导电体135c、牺牲层141A、牺牲层141B的方式形成半导体151。

[0210] 在作为半导体151使用包含硅的材料的情况下,通过半导体151与导电体135a(导电体135b、导电体135c)接触,有时导电体135a(导电体135b、导电体135c)所包含的杂质(元素、离子等)扩散到半导体151。另外,此时,根据情况或状况,优选对叠层体100进行热处理。换言之,在半导体151的接触于导电体135a(导电体135b、导电体135c)表面及界面附近形成杂质区域。

[0211] 在导电体135a(导电体135b、导电体135c)所包含的杂质为n型杂质(供体)的情况下,有时在半导体151的区域151b中、或者半导体151的与导电体135a(导电体135b、导电体135c)的界面附近形成n型的杂质区域。另一方面,在导电体135a(导电体135b、导电体135c)所包含的杂质为p型杂质(受体)的情况下,有时在半导体151的区域151b中、或者半导体151的与导电体135a(导电体135b、导电体135c)的界面附近形成p型的杂质区域。换言之,由此在半导体151的区域151b中、或者半导体151的与导电体135a(导电体135b、导电体135c)的界面附近形成载流子,而降低区域151b的电阻。

[0212] 另外,通过进行热处理,由于导电体135a(导电体135b、导电体135c)所包含的导电材料及半导体151所包含的成分,有时在半导体151的与导电体135a(导电体135b、导电体135c)的界面附近形成金属硅化物。此时,作为金属硅化物,在图10的(B)图中示出化合物161A(化合物161B、化合物161C)。此外,有时在半导体151的与化合物161A(化合物161B、化合物161C)的界面附近形成杂质区域。

[0213] 在作为半导体151使用包含金属氧化物的材料的情况下,通过在半导体151与导电体135a(导电体135b、导电体135c)接触的状态下进行热处理,由于导电体135a(导电体135b、导电体135c)所包含的成分及半导体151所包含的成分而形成化合物161A(化合物161B、化合物161C),有时降低半导体151的区域151b的电阻。注意,至少使半导体151的与导电体135a(导电体135b、导电体135c)接触的表面及界面附近的电阻降低即可。这是因为存在于半导体151与导电体135a(导电体135b、导电体135c)的界面或该界面附近的半导体151中的氧的一部分被导电体135a(导电体135b、导电体135c)吸收,因此在半导体151中形成氧空位而降低区域151b的电阻。

[0214] 此外,也可以在半导体151与导电体135a(导电体135b、导电体135c)接触的状态下,在含氮的气氛下进行热处理。通过该热处理,有时作为导电体135a(导电体135b、导电体135c)的成分的金属元素从导电体135a(导电体135b、导电体135c)扩散到半导体151或者作为半导体151的成分的金属元素扩散到导电体135a(导电体135b、导电体135c),使得半导体151、导电体135a(导电体135b、导电体135c)形成金属化合物。注意,此时也可以使半导体151的金属元素和导电体135a(导电体135b、导电体135c)的金属元素合金化。通过使半导体151的金属元素和导电体135a(导电体135b、导电体135c)的金属元素合金化,金属元素处于比较稳定的状态,可以提供可靠性高的半导体装置。

[0215] 此外,在半导体151中的氢扩散到区域151b而进入区域151b中存在的氧空位中时,变成为比较稳定的状态。此外,区域151a中存在的氧空位中的氢通过250℃以上的热处理从氧空位脱离而扩散到区域151b,进入区域151b中存在的氧空位中,变成为比较稳定的状态。因此,通过热处理,区域151b的电阻进一步降低,区域151a被高纯度化(水、氢等的杂质减少),其电阻进一步增加。

[0216] 就是说,通过上述的制造方法,半导体151的区域151b可以被用作低电阻区域,半

导体151的区域151a可以被用作沟道形成区域。另外,作为低电阻区域的区域151b相当于单元晶体管CTr的第一端子及/或第二端子,因此通过上述的制造方法可以减少串联电连接的单元晶体管间的电阻。

[0217] 注意,如上面所述那样,在对半导体151使用包含金属氧化物的材料的情况下,在实施方式3中对该金属氧化物进行说明。

[0218] 在下面的步骤中,如图11的(A)图所示那样,以填埋留下的开口部191的方式在半导体151的形成面上形成绝缘体102。

[0219] 作为绝缘体102的一个例子,优选使用具有抑制氧透过的功能的绝缘材料。例如,作为绝缘体102,优选使用氮化硅、氮氧化硅、氧氮化硅、氮化铝、氮氧化铝等。通过形成这样的绝缘体102,可以防止从半导体151的区域151a脱离氧并该氧扩散到绝缘体102。由此,可以防止由于从半导体151的区域151a脱离氧而导致半导体151的区域151a的电阻的降低。

[0220] 另外,作为绝缘体102的一个例子,优选使用具有氧透过的功能的绝缘材料。例如,通过对绝缘体102掺杂氧并使氧扩散,可以对半导体151供应氧。其结果,可以防止半导体151的区域151a的电阻的降低。

[0221] 此外,可以层叠多个绝缘体102。例如,如图11的(B)图所示那样,既可以对接触于半导体151的绝缘体102A使用氧化硅,又可以对接触于绝缘体102A的绝缘体102B使用氧化铝或氧化铪等。例如,在通过溅射法形成氧化铝的情况下,对绝缘体102A供应氧。将供应给绝缘体102A的氧供应给半导体151。其结果,可以防止半导体151的区域151a的电阻的降低。

[0222] 此外,例如作为绝缘体102,优选使用具有抑制水、氢等杂质等透过的功能的绝缘材料。例如,作为绝缘体102可以使用氧化铝等。然而,可用于绝缘体102的材料不局限于上面说明的材料,作为绝缘体102,例如可以使用减少水、氢等的杂质浓度的膜,即可用于上面说明的绝缘体101A至绝缘体101C的材料。

[0223] 另外,在半导体装置所包括的单元晶体管中设置背栅极的情况下,不进行图11的(A)图及图11的(B)图所示的步骤,而进行图12所示的步骤即可。在图12所示的步骤中,在半导体151的形成面上形成绝缘体102,以填埋留下的开口部191的方式形成导电体134。

[0224] 此时,导电体134被用作图1的(B)图、图3所示的布线BGL。

[0225] 作为导电体134,例如可以使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌等的金属元素中的一种以上的材料。此外,作为导电体134,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体、镍硅化物等硅化物。

[0226] 另外,作为导电体134,例如可以使用包含在可用于半导体151的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,也可以使用氮化钛、氮化钽等包含氮的导电材料。此外,可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。此外,可以使用包含氮的铟镓锌氧化物。通过使用这种材料,有时可以俘获从周围的绝缘体等混入的氢。

[0227] 另外,作为导电体134,例如优选使用具有抑制水或氢等杂质等透过的功能的导电材料。例如,优选使用钽、氮化钽、钛、氮化钛、钌或氧化钌等的单层或叠层。

[0228] 另外,作为导电体134,可以采用层叠多个上述材料的结构。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。另外,也可以采用组合包含上

述金属元素的材料和包含氮的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。此外,作为接触于导电体附近的绝缘体使用具有过剩氧区域的绝缘体,有时在导电体的与绝缘体接触的区域中扩散氧。因此,有时可以形成组合包含金属元素的材料和包含氧的导电材料的叠层结构。此外,于此同样,作为接触于导电体附近的绝缘体使用具有过剩氮区域的绝缘体,有时在导电体的与绝缘体接触的区域中扩散氮。因此,有时可以形成组合包含金属元素的材料和包含氮的导电材料的叠层结构。

[0229] 注意,图12所示的绝缘体102可以采用由多个绝缘体构成的叠层结构。作为由多个绝缘体构成的叠层结构,例如可以采用在图11的(B)图所说明的绝缘体102A、绝缘体102B的叠层结构(未图示)。

[0230] 在下面的步骤中,如图13的(A)图所示那样,通过对叠层体100进行抗蚀剂掩模的形成及蚀刻处理等来形成狭缝192。注意,在本步骤中也可以形成开口部代替狭缝。

[0231] 注意,关于抗蚀剂掩模的形成、蚀刻处理等,参照图8的(B)图的说明。

[0232] 在图13的(B)图所示的步骤中,通过蚀刻处理等从狭缝192的侧面去除牺牲层141A、牺牲层141B,在叠层体100中形成凹部196A、凹部196B。

[0233] 另外,有时在图13的(A)图所示的半导体装置的制造步骤中,可以与狭缝192一并地形成凹部196A、凹部196B。

[0234] 另外,在作为半导体151使用包含硅的材料的情况下,在形成狭缝192、凹部196A及凹部196B之后,对露出在凹部196A、凹部196B的半导体151的区域151a进行从狭缝192供应杂质的处理。在图14的(A)图中示出对区域151a进行杂质的供应处理10的步骤。另外,在进行供应处理10时,优选对半导体装置进行热处理。另外,在单元晶体管CTr为n型晶体管的情况下,因为使半导体151的区域151a成为p型沟道形成区域,作为杂质使用p型杂质(受体)。作为p型杂质,例如可以使用硼、铝、镓等。此外,在单元晶体管CTr为p型晶体管的情况下,因为使半导体151的区域151a成为n型沟道形成区域,作为杂质使用n型杂质(供体)。作为n型杂质,例如可以使用磷、砷等。

[0235] 此外,在作为半导体151使用包含金属氧化物的材料的情况下,在形成狭缝192、凹部196A、凹部196B之后,可以对露出在凹部196A、凹部196B的半导体151的区域151a进行从狭缝192供应氧的处理。此时,图14的(A)图所示的供应处理10成为氧的供应处理。作为供应氧的处理,例如可以举出在减压状态下包含氧的等离子体处理、含氧气氛下的热处理等。尤其是,作为包含氧的等离子体处理,例如,优选使用包括使用微波产生高密度等离子体的电源的装置。

[0236] 另外,可以不进行如上所述那样从狭缝192对半导体151供应杂质或氧等的处理,而如图14的(B)图所示那样从端子取出部进行杂质或氧等的供应。图14的(B)图是图14的(A)图所示的结构体的立体图,它表示图6及图7所示的半导体装置的制造步骤的中途。

[0237] 在下面的步骤中,如图15的(A)图所示那样,在图13的(B)图所示的狭缝192的侧面(绝缘体101A至绝缘体101C的各侧面)、凹部196A及凹部196B上形成绝缘体103。

[0238] 绝缘体103被用作单元晶体管CTr的隧道绝缘膜。

[0239] 作为绝缘体103,例如优选使用氧化硅或氧氮化硅。另外,作为绝缘体103,例如可以使用氧化铝、氧化铪、或者包含铝及铪的氧化物等。另外,作为绝缘体103可以使用层叠它

们的绝缘体。

[0240] 此外,在半导体151为包含金属氧化物的材料的情况下,作为绝缘体103,可以采用层叠上述材料和可用于绝缘体102的材料的绝缘体。尤其是,作为绝缘体103,通过使用具有抑制氧、水、氢等杂质的透过的功能的材料,有时可以防止水或氢扩散到半导体151,并且可以防止从半导体151脱离氧。

[0241] 在下面的步骤中,如图15的(B)图所示那样,在图15的(A)图所示的狭缝192的侧面及所形成的凹部上形成绝缘体111。换言之,在绝缘体103的形成面上形成绝缘体111。

[0242] 尤其是,在形成有绝缘体111的区域中,隔着绝缘体103与半导体151的区域151a重叠的区域被用作单元晶体管CTr的电荷存储层。

[0243] 作为绝缘体111,例如可以使用氮化硅或氮氧化硅。然而,可用于绝缘体111的材料不局限于此。

[0244] 在下面的步骤中,如图16的(A)图所示那样,在图15的(A)图所示的狭缝192的侧面及所形成的凹部上形成绝缘体104。换言之,在绝缘体111的形成面上形成绝缘体104。

[0245] 绝缘体104被用作单元晶体管CTr的栅极绝缘膜。

[0246] 例如,作为绝缘体104,优选使用氧化硅或氧氮化硅。另外,作为绝缘体104,例如可以使用氧化铝、氧化铪、或者含有铝及铪的氧化物等。另外,作为绝缘体104,可以采用层叠它们的绝缘体。再者,绝缘体104的厚度优选比绝缘体103厚。因为绝缘体104的厚度比绝缘体103厚,可以从半导体151经过绝缘体103,电荷转移到绝缘体111。

[0247] 在下面的步骤中,如图16的(B)图所示那样,在图16的(A)图所示的狭缝192的侧面及所形成的凹部上形成导电体136。换言之,在绝缘体104的形成面上形成导电体136。

[0248] 作为导电体136,例如可以使用可用于上述导电体134的材料。

[0249] 在下面的步骤中,如图17的(A)图所示那样,通过抗蚀剂掩模的形成及蚀刻处理等,以仅在上面说明的凹部中残留导电体136的方式去除狭缝192所包括的导电体136。由此形成导电体136a、导电体136b。另外,此时,只要在狭缝192中不露出绝缘体111,可以去除绝缘体104的一部分。

[0250] 注意,关于抗蚀剂掩模的形成、蚀刻处理等,参照图8的(B)图的说明。

[0251] 另外,导电体136a(导电体136b)被用作图1的(A)图及图1的(B)图所示的单元晶体管CTr的栅电极及布线WL。换言之,在图17的(A)图所示的区域181A(区域181B)中形成单元晶体管CTr。

[0252] 在下面的步骤中,如图17的(B)图所示那样,以填埋狭缝192的方式形成绝缘体105。

[0253] 例如,作为绝缘体105,可以使用可用于上面说明的绝缘体102的材料。

[0254] 如上所述那样,通过进行图8的(A)图至图17的(B)图的步骤,可以制造图1的(A)图所示的半导体装置。

[0255] 图18的(A)图及图18的(B)图分别表示沿着图17的(B)图所示的半导体装置的点划线B1-B2的俯视图及沿着点划线B3-B4的俯视图。另外,如图6所示的结构例子那样,图19的(A)图示出形成多个开口部191时的半导体装置的俯视图。另外,该俯视图是沿着图17的(B)图所示的半导体装置的点划线B1-B2的俯视图,表示形成多个开口部191时的图。图19的(A)图所示的半导体装置包括多个狭缝192,在相邻的狭缝192之间形成开口部191。另外,如图

13所示的步骤的说明那样,可以形成开口部代替狭缝192。图19的(B)图示出形成开口部193代替狭缝192,并且在开口部193中形成绝缘体103至绝缘体105、绝缘体111的结构。另外,开口部193也可以设置为沿着不同两个以上的方向的列,而不设置为像图19的(A)图的狭缝192那样沿着一个方向的列。或者,开口部193的位置也可以不局限于上述的规则性。

[0256] 本发明的一个方式不局限于图17的(B)图所示的半导体装置的结构例子。本发明的一个方式根据情况、状况或必要,可以采用适当地改变图17的(B)图所示的半导体装置。

[0257] 例如,如上所述那样,本发明的一个方式可以为如图1的(B)图所示那样的单元晶体管CTr设有背栅极的半导体装置。在制造图1的(B)图所示的半导体装置时,在制造图1的(A)图的半导体装置的步骤中,进行图12所示的步骤代替图11的(A)图所示的步骤即可。通过进行图12所示的步骤代替图11的(A)图所示的步骤,可以制造图20所示的半导体装置。

[0258] 注意,图21的(A)图及图21的(B)图分别表示沿着图20所示的半导体装置的点划线B1-B2的俯视图及沿着点划线B3-B4的俯视图。另外,因为图20所示的半导体装置是形成导电体134的结构例子,所以图21的(A)图及图21的(B)图所示的俯视图表示在图18的(A)图及图18的(B)图所示的绝缘体102的内侧形成导电体134的结构。

[0259] 另外,例如,在本发明的一个方式中,作为半导体151使用含有金属氧化物的材料的情况下,如图22所示的半导体装置那样,半导体151可以具有三层结构。图22所示的半导体装置具有三层结构的半导体151的结构,在制造图1的(A)图时,在图10的(B)图所示的步骤中依次形成半导体152A、半导体152B、半导体152C用作半导体151来可以形成。

[0260] 另外,图23的(A)图及图23的(B)图分别表示沿着图22所示的半导体装置的点划线B1-B2及沿着点划线B3-B4的俯视图。在图22所示的半导体装置中,采用从外侧依次形成半导体152A、半导体152B、半导体152C的半导体层的三层结构的结构例子,因此图23的(A)图及图23的(B)图所示的俯视图示出图18的(A)图及图18的(B)图所示的半导体151具有三层结构的结构。

[0261] 半导体152A优选以与绝缘体103、导电体135a(导电体135b、导电体135c)接触的方式设置,半导体152C优选以与绝缘体102接触的方式设置。此时,作为半导体152A及半导体152C优选使用相对于半导体152B的能隙较宽的氧化物。在此,将能隙较宽的氧化物称为宽隙,将能隙较窄的氧化物称为窄隙。

[0262] 在半导体152A及半导体152C为窄隙并半导体152B为宽隙的情况下,半导体152A及半导体152C的导带底的能量优选比半导体152B的导带底的能量高。此外,换言之,半导体152A及半导体152C的电子亲和势优选比半导体152B的电子亲和势小。

[0263] 此外,半导体152A至半导体152C的组合优选为各金属原子的原子个数比彼此不同的组合。具体而言,用于半导体152A及半导体152C的金属氧化物的构成元素中的元素M的原子个数比优选大于用于半导体152B的金属氧化物的构成元素中的元素M的原子个数比。此外,用于半导体152A及半导体152C的金属氧化物中的相对于In的元素M的原子个数比优选大于用于半导体152B的金属氧化物的相对于In的元素M的原子个数比。另外,用于半导体152B的金属氧化物的相对于元素M的In的原子个数比优选大于用于半导体152A及半导体152C的金属氧化物的相对于元素M的In的原子个数比。

[0264] 作为半导体152A及半导体152C,例如可以使用具有In:Ga:Zn=1:3:4、In:Ga:Zn=1:3:2或In:Ga:Zn=1:1:1的组成及其附近的组成的金属氧化物。另外,作为半导体152B,例

如可以使用具有In:Ga:Zn＝4:2:3至4.1,In:Ga:Zn＝1:1:1,或者In:Ga:Zn＝5:1:6的组成及其附近的组成的金属氧化物。优选的是,以满足上述原子个数比的关系的方式组合这些半导体152A至半导体152C。例如,作为半导体152A及半导体152C,例如可以使用具有In:Ga:Zn＝1:3:4的组成及其附近的组成的金属氧化物,作为半导体152B优选使用具有In:Ga:Zn＝4:2:3至4.1的组成及其附近的组成的金属氧化物。注意,上述组成表示形成在基体上的氧化物中的原子个数比或者溅射靶材中的原子个数比。

[0265] 另外,作为半导体152A优选使用将在后面说明的CAAC-OS,作为半导体152B优选使用CAC-OS。在作为半导体152A及半导体152C使用CAAC-OS的情况下,在图22中,c轴优选以向垂直于半导体152A及半导体152C的形成面的方式取向。

[0266] 在此,在半导体152A(半导体152C)和半导体152B的接合部中,导带底平缓地变化。换言之,也可以将上述情况表达为半导体152A(半导体152C)和半导体152B的接合部的导带底连续地变化或者连续地接合。为此,优选降低形成在半导体152A(半导体152C)与半导体152B的界面的混合层的缺陷态密度。

[0267] 具体而言,通过使半导体152A(半导体152C)和半导体152B除了氧之外还包含共同元素(为主要成分),可以形成缺陷态密度低的混合层。例如,在半导体152B为In-Ga-Zn氧化物的情况下,作为半导体152A(半导体152C)优选使用In-Ga-Zn氧化物、Ga-Zn氧化物、氧化镓等。此时,可以降低半导体152A与半导体152B的界面的缺陷态密度。因此界面散射给载流子传导带来的影响小,从而有时单元晶体管可以得到大通态电流(on-state current)。

[0268] 注意,虽然图22所示的半导体装置具有图17的(B)图中的半导体151的三层结构,然而也可以具有图17的(B)图中的半导体151的两层结构或四层以上的结构。

[0269] 另外,例如在图17的(B)图所示的半导体装置中,虽然采用所有的绝缘体103的形成面上形成绝缘体111的结构,然而在本发明的一个方式中可以采用按单元晶体管CTr所包括的电荷存储层分割绝缘体111的结构。在图24的(A)图中,在图15的(B)图所示的步骤之后进行抗蚀剂掩模的形成及蚀刻处理等,以仅在上面说明的凹部196A、凹部196B的绝缘体103的形成面上残留绝缘体111的方式去除狭缝192所包括的绝缘体111。此外,根据情况或状况,在绝缘体111的去除步骤中,如图24的(B)图所示那样,可以去除露出在狭缝192中的绝缘体103的区域。在图24的(A)图的下面的步骤中,通过进行与图16的(A)图至图17的(B)图同样的步骤,可以构成图25的(A)图所示的半导体装置。

[0270] 另外,图25的(B)图示出沿着图25的(A)图所示的半导体装置的点划线B1-B2的俯视图。图25的(A)图所示的半导体装置具有在隔着导电体135a(导电体135b、导电体135c)与半导体151的区域151a重叠的区域中去除了绝缘体111的结构,由此在图25的(B)图所示的俯视图中,没有图18的(B)图所示的俯视图的绝缘体103与绝缘体104之间的绝缘体111。另外,沿着图25的(A)图所示的点划线B3-B4的俯视图有时具有与图18的(B)图大致相同的结构。

[0271] 此外,例如,在本发明的一个方式中,为了提高单元晶体管CTr的可靠性,可以改变图17的(B)图所示的单元晶体管CTr的栅电极的结构。图26的(A)图、图26的(B)图及图27的(A)图表示其半导体装置的制造方法的一个例子。在图26的(A)图中,在图16的(A)图中的形成在狭缝192的侧面、凹部196A、凹部196B上的绝缘体104的形成面上形成半导体153。

[0272] 作为半导体153,例如使用包含实施方式3中说明的金属氧化物的材料。然而,可用

于半导体153的材料不局限于此。例如,作为半导体153,有时可以使用金属氧化物以外的材料。或者,例如可以使用导电体、绝缘体等代替半导体153。

[0273] 在下面的步骤中,如图26的(B)图所示那样,通过抗蚀剂掩模的形成及蚀刻处理等,以在上面说明的凹部196A、凹部196B的一部分中残留半导体153的方式去除凹部196A及凹部196B中留下的半导体153的一部分、以及狭缝192所包括的半导体153。由此形成半导体153a、半导体153b。

[0274] 注意,关于抗蚀剂掩模的形成、蚀刻处理等,参照图8的(B)图的说明。

[0275] 此后,通过进行与图16的(B)图至图17的(B)图同样的步骤,可以构成图27的(A)图所示的半导体装置。

[0276] 另外,图27的(B)图示出沿着图27的(A)图所示的半导体装置的点划线B3-B4的俯视图。图27的(A)图所示的半导体装置因为在半导体151的区域151a中,在导电体136a(导电体136b)与绝缘体104之间包括半导体153a(半导体153b)的结构,所以在图27的(B)图所示的俯视图中,导电体136b与绝缘体104之间包括半导体153b。另外,沿着图27的(A)图所示的点划线B1-B2的俯视图有时具有与图18的(A)图大致相同的结构。

[0277] 通过半导体153a(半导体153b)与绝缘体104接触,有时绝缘体104所包含的氢、水等杂质扩散到半导体153a(半导体153b)。此外,通过半导体153a(半导体153b)与导电体136a(导电体136b)接触,有时导电体136a(导电体136b)所包含的氢、水等杂质扩散到半导体153a(半导体153b)。换言之,半导体153a(半导体153b)有时具有俘获氢、水等杂质的功能。由此,降低半导体153a(半导体153b)的电阻,因而可以被用作单元晶体管CTr的栅电极。就是说,图27的(A)图所示的半导体装置由于半导体153a(半导体153b)俘获周围的氢、水等杂质,因此能够提高单元晶体管CTr的可靠性。

[0278] 此外,例如,在本发明的一个方式中,可以使用浮栅电极代替被用作电荷存储层的绝缘体111。图28的(A)图及图28的(B)图示出该制造方法的一个例子。在图28的(A)图中,在图15中的凹部196A及凹部196B的一部分中分别形成导电体138a及导电体138b。作为导电体138a及导电体138b的形成方法,在狭缝192、凹部196A、凹部196B中形成成为导电体138a及导电体138b的导电体材料,接着,通过抗蚀剂掩模的形成及蚀刻处理等,以在凹部196A及凹部196B的一部分中分别留下导电体138a及导电体138b的方式去除该导电体材料即可。然后,通过进行与图16的(A)图所示的绝缘体104的形成步骤至图17的(B)图所示的绝缘体105的形成步骤同样的步骤,可以构成图28的(B)图所示的半导体装置。

[0279] 另外,图29示出沿着图28的(B)图所示的半导体装置的点划线B3-B4的俯视图。图28的(B)图所示的半导体装置因为在与半导体151的区域151a重叠的区域中,在绝缘体103与绝缘体104之间包括导电体138a(导电体138b),所以在图29所示的俯视图中,绝缘体103与绝缘体104之间包括导电体138b。另外,沿着图28的(B)图所示的点划线B1-B2的俯视图有时具有与图25的(B)图大致相同的结构。

[0280] 作为导电体138a及/或导电体138b,例如可以使用可用于上述导电体136的材料。然而,可用于导电体138a及/或导电体138b的材料不局限于此。有时可以使用绝缘体、半导体等代替导电体138a及/或导电体138b。

[0281] 另外,例如,本发明的一个方式可以采用减少单元晶体管CTr的沟道形成区域的厚度的结构。图30的(A)图及图30的(B)图示出其半导体装置的制造方法的一个例子。在图30

的(A)图中,在去除图13的(B)图中的牺牲层141A、牺牲层141B之后,还进行蚀刻处理等去除半导体151的表面。由此,区域151a所包括的半导体151的厚度比区域151b所包括的半导体151的厚度薄。该步骤在半导体151的表面形成有杂质区域时有效,通过进行该步骤,杂质区域被去除而提高半导体151的区域151a的电阻。

[0282] 另外,作为去除区域151a中的半导体151的厚度例如可以为所形成的半导体151的30nm以上且60nm以下,或者所形成的半导体151的厚度的1/5以上且1/2以下,或者然后形成的绝缘体103的厚度的1/5以上且1/2以下,或者导电体135a(导电体135b、导电体135c)的厚度的1/5以上且1/2以下。另外,所形成的半导体151的厚度至少比在区域151a中被去除的半导体151的厚度大。然后,通过进行与图15的(A)图至图17的(B)图同样的步骤,可以构成图30的(B)图所示的半导体装置。

[0283] 另外,图31的(A)图及图31的(B)图分别表示沿着图30的(B)图所示的半导体装置的点划线B1-B2的俯视图及沿着点划线B3-B4的俯视图。另外,在图30的(B)图所示的半导体装置中,因为区域151a中的半导体151的厚度比区域151b中的半导体151的厚度薄,所以图31的(B)图所示的俯视图的半导体151比图31的(A)图所示的俯视图的半导体151薄。

[0284] 此外,例如,在本发明的一个方式的半导体装置中,如上所述那样,可以采用使用氮化硅等的绝缘体代替导电体135的结构。在图32的(A)图中表示图8的(A)图所示的绝缘体101A至绝缘体101C被绝缘体107A至绝缘体107C代替的叠层体100A。作为绝缘体107A至绝缘体107C,如上所述那样可以使用氮化硅等。然而,可用于绝缘体107A至绝缘体107C的材料不局限于此。例如,只要绝缘体107A至绝缘体107C所包含的成分与半导体151所包含的成分起反应来在半导体151的区域151b中形成低电阻区域,作为可用于绝缘体107A至绝缘体107C的材料就可以使用氮化硅之外的材料。

[0285] 与图8的(B)图所示的步骤同样,在叠层体100A中形成开口部191(参照图32的(B)图)。接着,与图10的(B)图、图11的(A)图所示的步骤同样,在图32的(B)图所示的开口部191的侧面上形成半导体151,并且在半导体151的形成面上以填埋开口部191的方式形成绝缘体102(参照图33的(A)图)。当作为半导体151使用金属氧化物时,在图33的(A)图所示的截面图中,在半导体151的与绝缘体107A(绝缘体107B、绝缘体107C)的界面及界面附近,由于从绝缘体107A(绝缘体107B、绝缘体107C)扩散的氮、氮化物、其他成分等形成化合物161A(化合物161B、化合物161C)。由此,降低半导体151的区域151b的电阻。换言之,有时可以降低相邻的单元晶体管CTr的电连接时的电阻。

[0286] 然后,通过进行与图13的(A)图及图13的(B)图、图14至图17的(B)图同样的步骤,可以构成图33的(B)图所示的半导体装置。换言之,可以省略图9的(A)图至图10的(A)图的导电体135a至导电体135c的形成,可以缩短半导体装置的制造步骤。

[0287] 另外,图34的(A)图及图34的(B)图分别表示沿着图33的(B)图所示的半导体装置的点划线B1-B2的俯视图及沿着点划线B3-B4的俯视图。因为图33的(B)图所示的半导体装置是省略导电体135a至导电体135c的形成的结构例子,所以图34的(A)图及图34的(B)图所示的俯视图表示省略图18的(A)图及图18的(B)图中的导电体135c(导电体135a、导电体135b)的结构。

[0288] 《制造方法的例子2》

[0289] 在此,作为本实施方式的半导体装置,参照图35至图45对与制造方法的例子1不同

的结构的例子进行说明。

[0290] 与图8至图19同样,图35至图45是用来说明图1的(A)图所示的半导体装置的制造例子的截面图、俯视图、立体图,尤其是截面图示出单元晶体管CTr的沟道长度方向。与图8至图19同样,在图35至图45中,为了明确起见,省略一部分的构成要素。

[0291] 关于起始的步骤,参照制造方法的例子1所示的图8的(A)图至图8的(B)图的说明。

[0292] 图35的(A)图所示的步骤是图8的(B)图所示的步骤的后续步骤。在图35的(A)图中,在图8的(B)图所示的开口部191的侧面(绝缘体101A至绝缘体101C、牺牲层141A、及牺牲层141B的各侧面)上形成导电体137。

[0293] 关于导电体137,参照制造方法的例子1所示的导电体135的说明。

[0294] 在图35的(B)图中,图35的(A)图所示的开口部191的侧面及所形成的凹部上形成半导体151。换言之,在导电体137的形成面上形成半导体151。

[0295] 关于半导体151,参照制造方法的例子1所示的半导体151的说明。

[0296] 此时,因为半导体151与导电体137接触,在半导体151的与导电体137的界面附近有时形成低电阻区域。另外,在图35的(B)图中,作为低电阻区域示出区域151d,并且作为其电阻比低电阻区域较高的区域示出区域151e。注意,有时没有形成低电阻区域。

[0297] 然而,此时通过进行热处理,在半导体151的与导电体137的界面附近有时由于半导体151所包含的成分和导电体137所包含的成分形成化合物。因此,在本步骤之后,在没有特别的说明的情况下,不进行热处理。具体而言,结束预定的步骤之前不进行热处理,而在预定的步骤之后进行热处理即可。

[0298] 在下面的步骤中,如图36的(A)图所示那样,以填埋留下的开口部191的方式在半导体151的形成面上形成绝缘体102。

[0299] 作为绝缘体102的一个例子,优选使用具有氧透过的功能的绝缘材料。例如,通过对绝缘体102参杂氧并使氧扩散,可以对半导体151供应氧。其结果,可以防止半导体151的区域151a的电阻的降低。

[0300] 此外,可以层叠多个绝缘体102。例如,如图36所示那样,既可以对接触于半导体151的绝缘体102A使用氧化硅,又可以接触于对绝缘体102A的绝缘体102B使用氧化铝或氧化铪等。例如,在通过溅射法形成氧化铝的情况下,对绝缘体102A供应氧。将供应给绝缘体102A的氧供应给半导体151。其结果,可以防止半导体151的区域151a的电阻的降低。

[0301] 关于可用于其他绝缘体102的材料,参照制造方法的例子1所示的绝缘体102的说明。

[0302] 另外,在半导体装置所包括的单元晶体管中设置背栅极的情况下,不进行图36的(A)图及图36的(B)图所示的步骤,而进行图37所示的步骤即可。在图37所示的步骤中,在半导体151的形成面上形成绝缘体102,以填埋留下的开口部191的方式形成导电体134。

[0303] 注意,图37所示的绝缘体102可以采用由多个绝缘体构成的叠层结构(未图示)。作为由多个绝缘体构成的叠层结构,例如可以采用图36的(B)图所说明的绝缘体102A、绝缘体102B的叠层结构。

[0304] 此时,导电体134被用作图1的(B)图、图3所示的布线BGL。

[0305] 关于可用于导电体134的材料,参照制造方法的例子1所示的导电体134的说明。

[0306] 在下面的步骤中,如图38的(A)图所示那样,通过对叠层体100进行抗蚀剂掩模的

形成及蚀刻处理等来形成狭缝192。注意,在本步骤中也可以形成开口部代替狭缝。

[0307] 注意,关于抗蚀剂掩模的形成、蚀刻处理等,参照图8的(B)图的说明。

[0308] 接下来,如图38的(B)图所示那样,通过蚀刻处理等从狭缝192的侧面去除牺牲层141A、牺牲层141B,在叠层体100中形成凹部197A、凹部197B。

[0309] 另外,有时在图38的(A)图所示的制造步骤中,可以与狭缝192一并地形成凹部197A、凹部197B。

[0310] 再者,如图39的(A)图所示那样,通过蚀刻处理等去除凹部197A、凹部197B中具有的导电体137。由此露出半导体151,而形成导电体137a、导电体137b、导电体137c。

[0311] 另外,有时在图38的(A)图所示的制造步骤中,可以与狭缝192一并地进行图39的(A)图所示的制造步骤。

[0312] 在下面的步骤中,如图39的(B)图所示那样,与制造方法的例子1所说明的图14的(A)图的步骤同样,对半导体151进行从狭缝192供应杂质或氧等的处理。在图39的(B)图中示出对半导体151的区域151a进行杂质的供应处理10的步骤。通过该步骤,半导体151的区域151a被用作单元晶体管CTr的沟道形成区域。注意,通过该处理消失在区域151a中存在的作为低电阻区域的区域151d。

[0313] 此外,优选在图39的(B)图的处理中或处理之后进行热处理。通过该热处理,在半导体151的与导电体137的界面附近,由于半导体151中的成分和导电体137所包含的成分形成化合物161A、化合物161B、化合物161C。换言之,在半导体151的区域151b中,形成低电阻区域。注意,关于化合物161A、化合物161B、化合物161C,参照制造方法的例子1所示的化合物161A、化合物161B、化合物161C的说明。

[0314] 在下面的步骤中,如图40所示那样,在图39的(B)图所示的狭缝192的侧面(绝缘体101A至绝缘体101C的各侧面)及所形成的凹部上形成绝缘体103。

[0315] 关于可用于绝缘体103的材料,参照制造方法的例子1所示的绝缘体103的说明。

[0316] 在下面的步骤中,如图41的(A)图所示那样,在图40所示的狭缝192的侧面及所形成的凹部上形成绝缘体111。换言之,在绝缘体103的形成面上形成绝缘体111。

[0317] 关于可用于绝缘体111的材料,参照制造方法的例子1所示的绝缘体111的说明。

[0318] 在下面的步骤中,如图41的(B)图所示那样,在图41的(A)图所示的狭缝192的侧面及所形成的凹部上形成绝缘体104。换言之,在绝缘体111的形成面上形成绝缘体104。

[0319] 关于可用于绝缘体104的材料,参照制造方法的例子1所示的绝缘体104的说明。

[0320] 在下面的步骤中,如图42的(A)图所示那样,在图41的(B)图所示的狭缝192的侧面及所形成的凹部上形成导电体136。换言之,在绝缘体104的形成面上形成导电体136。

[0321] 关于可用于导电体136的材料,参照制造方法的例子1所示的导电体136的说明。

[0322] 在下面的步骤中,如图42的(B)图所示那样,通过抗蚀剂掩模的形成及蚀刻处理等,以仅在上面说明的凹部中残留导电体136的方式去除狭缝192所包括的导电体136。由此形成导电体136a、导电体136b。另外,此时,只要在狭缝192中不露出绝缘体111,可以去除绝缘体104的一部分。

[0323] 注意,关于抗蚀剂掩模的形成、蚀刻处理等,参照图8的(B)图的说明。

[0324] 另外,导电体136a(导电体136b)被用作图1的(A)图及图1的(B)图所示的单元晶体管CTr的栅电极及布线WL。换言之,在图42的(B)图所示的区域181A(区域181B)中形成单元

晶体管CTr。

[0325] 在下面的步骤中,如图43所示那样,以填埋狭缝192的方式形成绝缘体105。

[0326] 作为绝缘体105,可以使用可用于上面说明的绝缘体102的材料。

[0327] 如上所述那样,通过进行图8的(A)图、图8的(B)图、图35的(A)图至图43的步骤,可以制造图1的(A)图所示的半导体装置。

[0328] 图44的(A)图及图44的(B)图分别表示沿着图43所示的半导体装置的点划线C1-C2的俯视图及沿着点划线C3-C4的俯视图。另外,如图6所示的结构例子那样,图45的(A)图示出形成多个开口部191时的半导体装置的俯视图。另外,该俯视图是沿着图43所示的半导体装置的点划线C1-C2的俯视图,表示形成多个开口部191时的图。图45的(A)图所示的半导体装置包括多个狭缝192,在相邻的狭缝192之间形成开口部191。另外,如图38所示那样,可以形成开口部代替狭缝192。图45的(B)图示出形成开口部193代替狭缝192,并且在开口部193中形成绝缘体103至绝缘体105、绝缘体111的结构。另外,开口部193的位置也可以设置为沿着不同两个以上的方向的列,而不设置为像图45的(A)图的狭缝192那样沿着一个方向的列。或者,开口部193的位置也可以不局限于上述的规则性。

[0329] 本发明的一个方式不局限于图43所示的半导体装置的结构例子。本发明的一个方式根据情况、状况或必要,可以采用适当地改变图43所示的半导体装置。

[0330] 例如,如上所述那样,本发明的一个方式可以为如图1的(B)图所示那样的单元晶体管CTr设有背栅极的半导体装置。在制造图1的(B)图所示的半导体装置时,在制造图1的(A)图的半导体装置的步骤中,进行图37所示的步骤代替图36的(A)图所示的步骤即可。通过进行图37所示的步骤代替图36的(A)图所示的步骤,可以制造图46所示的半导体装置。

[0331] 注意,图47的(A)图及图47的(B)图分别表示沿着图46所示的半导体装置的点划线C1-C2的俯视图及沿着点划线C3-C4的俯视图。因为图46所示的半导体装置是形成导电体134的结构例子,所以图47的(A)图及图47的(B)图所示的俯视图表示在图44的(A)图及图44的(B)图所示的绝缘体102的内侧形成导电体134的结构。

[0332] 另外,例如,在作为半导体151使用含有金属氧化物的材料的情况下,如图48所示的半导体装置那样,半导体151可以具有三层结构。图48所示的半导体装置具有三层结构的半导体151的结构,在制造图1的(A)图时,在图35的(B)图所示的步骤中依次形成半导体152A、半导体152B、半导体152C用作半导体151来可以形成。

[0333] 注意,图49的(A)图及图49的(B)图分别表示沿着图48所示的半导体装置的点划线C1-C2俯视图及沿着点划线C3-C4的俯视图。在图48所示的半导体装置中,采用依次形成半导体152A、半导体152B、半导体152C的半导体层的三层结构的结构例子,因此图49的(A)图及图49的(B)图所示的俯视图示出图44的(A)图及图44的(B)图所示的半导体151具有三层结构的结构。

[0334] 另外,关于半导体152A、半导体152B、半导体152C,参照制造方法的例子1所示的半导体152A、半导体152B、半导体152C的说明。另外,关于图48所示的半导体装置的效果,也参照制造方法的例子1所示的图22的说明。

[0335] 另外,例如在图43所示的半导体装置中,虽然采用所有的绝缘体103的形成面上形成绝缘体111的结构,然而在本发明的一个方式中可以采用按单元晶体管CTr所包括的电荷存储层分割绝缘体111的结构。在图50的(A)图中,在图41的(A)图所示的步骤之后进行抗蚀

剂掩模的形成及蚀刻处理等,以仅在上面说明的凹部196A、凹部196B的绝缘体103的形成面上残留绝缘体111的方式去除狭缝192所包括的绝缘体111。此外,根据情况或状况,在绝缘体111的去除步骤中,如图50的(B)图所示那样,可以去除露出在狭缝192中的绝缘体103的区域。通过进行与图41的(B)图至图43同样的步骤,可以构成图51的(A)图所示的半导体装置。

[0336] 另外,图51的(B)图示出沿着图51的(A)图所示的半导体装置的点划线C1-C2的俯视图。图51的(A)图所示的半导体装置具有在隔着导电体137a(导电体137b、导电体137c)与半导体151的区域151a重叠的区域中去除了绝缘体111的结构,由此在图51的(B)图所示的俯视图中,没有绝缘体103与绝缘体104之间的绝缘体111。另外,沿着图51的(A)图所示的点划线B3-B4的俯视图有时具有与图44的(B)图大致相同的结构。

[0337] 此外,例如,在本发明的一个方式中,为了提高单元晶体管CTr的可靠性,可以改变图43所示的单元晶体管CTr的栅电极的结构。图52的(A)图、图52的(B)图及图53的(A)图表示其半导体装置的制造方法的一个例子。在图52的(A)图中,在图41的(B)图中的形成在狭缝192的侧面、凹部196A、凹部196B上的绝缘体104的形成面上形成半导体153。

[0338] 作为半导体153,例如使用包含实施方式3中说明的金属氧化物的材料。然而,可用于半导体153的材料不局限于此。例如,作为半导体153,有时可以使用金属氧化物以外的材料。或者,例如可以使用导电体、绝缘体等代替半导体153。

[0339] 在下面的步骤中,如图52的(B)图所示那样,通过抗蚀剂掩模的形成及蚀刻处理等,以在上面说明的凹部196A、凹部196B的一部分中残留半导体153的方式去除凹部196A及凹部196B中留下的半导体153的一部分、以及狭缝192所包括的半导体153。由此形成半导体153a、半导体153b。

[0340] 然后,通过进行与图42的(A)图至图43同样的步骤,可以构成图53的(A)图所示的半导体装置。

[0341] 另外,图53的(B)图示出沿着图53的(A)图所示的半导体装置的点划线C3-C4的俯视图。图53的(A)图所示的半导体装置因为在半导体151的区域151a中,在导电体136a(导电体136b)与绝缘体104之间包括半导体153a(半导体153b),所以在图53的(B)图所示的俯视图中,导电体136b与绝缘体104之间包括半导体153b。另外,沿着图53的(A)图所示的点划线C1-C2的俯视图有时具有与图44的(A)图大致相同的结构。

[0342] 注意,关于构成图53的(A)图的结构的效果,参照制造方法的例子1所示的图26的(A)图、图26的(B)图及图27的说明。

[0343] 此外,例如,在本发明的一个方式中,可以使用浮栅电极代替被用作电荷存储层的绝缘体111。图54的(A)图及图54的(B)图示出该制造方法的一个例子。在图54的(A)图中,在图40中的凹部197A及凹部197B的一部分中分别形成导电体138a及导电体138b。作为导电体138a及导电体138b的形成方法,在狭缝192、凹部197A、凹部197B中形成成为导电体138a及导电体138b的导电体材料,接着,通过抗蚀剂掩模的形成及蚀刻处理等,以在凹部197A及凹部197B的一部分中分别留下导电体138a及导电体138b的方式去除该导电体材料即可。然后,通过进行与图41的(B)图至图43同样的步骤,可以构成图54的(B)图所示的半导体装置。

[0344] 另外,图55示出沿着图54的(B)图所示的半导体装置的点划线C3-C4的俯视图。图54的(B)图所示的半导体装置因为在与半导体151的区域151a重叠的区域中,在绝缘体103

与绝缘体104之间包括导电体138a(导电体138b),所以在图55所示的俯视图中,绝缘体103与绝缘体104之间包括导电体138b。另外,沿着图54的(B)图所示的点划线C1-C2的俯视图有时具有与图51的(B)图大致相同的结构。

[0345] 作为导电体138a及/或导电体138b,例如可以使用可用于上述导电体136的材料。然而,可用于导电体138a及/或导电体138b的材料不局限于此。有时可以使用绝缘体、半导体等代替导电体138a及/或导电体138b。

[0346] 另外,例如,本发明的一个方式可以采用减少单元晶体管CTr的沟道形成区域的厚度的结构。图56的(A)图及图56的(B)图示出其半导体装置的制造方法的一个例子。在图56的(A)图中,在去除图39的(A)图中的牺牲层141A、牺牲层141B之后,还进行蚀刻处理等去除半导体151的表面。由此,区域151a所包括的半导体151的厚度比区域151b所包括的半导体151的厚度薄。该步骤在半导体151的表面形成有杂质区域时有效,通过进行该步骤,杂质区域被去除而提高半导体151的区域151a的电阻。

[0347] 另外,作为去除区域151a中的半导体151的厚度例如可以为所形成的半导体151的30nm以上且60nm以下,或者所形成的半导体151的厚度的1/5以上且1/2以下,或者然后形成的绝缘体103的厚度的1/5以上且1/2以下,或者导电体137a(导电体137b、导电体137c)的厚度的1/5以上且1/2以下。另外,所形成的半导体151的厚度至少比在区域151a中被去除的半导体151的厚度大。然后,通过进行与图39的(B)图至图43同样地步骤,可以构成图56的(B)图所示的半导体装置。

[0348] 另外,图57的(A)图及图57的(B)图分别表示沿着图56的(B)图所示的半导体装置的点划线C1-C2的俯视图及沿着点划线C3-C4的俯视图。另外,在图56的(B)图所示的半导体装置中,因为区域151a中的半导体151的厚度比区域151b中的半导体151的厚度薄,所以图57的(B)图所示的俯视图的半导体151具有比图57的(A)图所示的俯视图的半导体151薄的结构。

[0349] 另外,例如,本发明的一个方式的半导体装置的制造顺序不局限于上面说明的图8的(A)图、图8的(B)图、图35的(A)图至图36的(A)图、图38的(A)图至图43所示的步骤顺序,也可以改变彼此顺序来制造半导体装置。图58的(A)图所示的步骤示出在图36的(A)图中不进行形成绝缘体102的步骤而预先进行去除牺牲层141A、牺牲层141B的步骤。另外,在按该制造顺序制造半导体装置的情况下,作为形成的开口部191的尺寸,优选比在其他制造步骤中形成的开口部191小。

[0350] 在下面的步骤中,与图39的(B)图所示的步骤同样,在图58的(A)图所示的步骤中进行从开口部191及狭缝192供应杂质或氧等的供应的处理(未图示)。由此,可以在露出的半导体151的表面或表面附近形成高电阻区域。因此,通过在狭缝192的侧面、所形成的凹部及开口部191上形成绝缘体103,实现图58的(B)图所示的结构。然后,通过进行与图41的(A)图至图43同样的步骤,可以构成图1的(A)图的半导体装置。

[0351] 通过上面说明的制造方法的例子1或制造方法的例子2,可以制造能够保持许多数据的半导体装置。

[0352] 在此,图59示出图17的(B)图所示的半导体装置(图1的(A)图的电路结构)的截面图采用图2所示的单元阵列的结构时的结构例子。此外,与此同样,图60示出图43所示的半导体装置(图1的(A)图的电路结构)的截面图采用单元阵列的结构时的结构例子。注意,区

域SD1相当于图6的(A)图所示的区域SD1。如图59及图60所示那样,通过对层叠有被用作布线WL的导电体及绝缘体的结构体一并地形成开口部,并且按上面说明的制造方法的例子1或制造方法的例子2的说明进行制造,可以实现图1的(A)图的电路结构。

[0353] <与外围电路的连接例子>

[0354] 在制造方法的例子1或制造方法的例子2所示的半导体装置中,在其下层可以形成读出电路、预充电电路等的存储单元阵列的外围电路。此时,在硅衬底等上形成Si晶体管来构成该外围电路,然后在制造方法的例子1或制造方法的例子2中在该外围电路上形成本发明的一个方式的半导体装置即可。图61的(A)图是由平面型Si晶体管构成外围电路并在其上层形成本发明的一个方式的半导体装置的截面图。另外,图62的(A)图是由FIN型Si晶体管构成外围电路并在其上层形成本发明的一个方式的半导体装置的截面图。注意,作为一个例子,图61的(A)图、图62的(A)图所示的半导体装置采用图17的(B)图的结构。

[0355] 在图61的(A)图及图62的(A)图中,构成外围电路的Si晶体管形成在衬底1700上。元件分离层1701形成在多个Si晶体管之间。作为Si晶体管的源极及漏极形成有导电体1712。导电体1730以在沟道宽度方向上延长的方式形成并连接到其他Si晶体管或导电体1712(未图示)。

[0356] 作为衬底1700,可以使用由硅或碳化硅构成的单晶半导体衬底或多晶半导体衬底、由硅锗构成的化合物半导体衬底、SOI(Silicon on Insulator:绝缘体上硅)衬底等。

[0357] 另外,作为衬底1700,例如可以使用玻璃衬底、石英衬底、塑料衬底、金属衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。另外,也可以使用某个衬底形成半导体元件,然后将半导体元件转置于其他衬底。在图61的(A)图及图62的(A)图中,作为一个例子表示将单晶硅片用于衬底1700的例子。

[0358] 在此,对Si晶体管的详细内容进行说明。图61的(A)图表示平面型Si晶体管的沟道长度方向上的截面图,并且图61的(B)图表示平面型Si晶体管的沟道宽度方向上的截面图。Si晶体管包括设置在阱1792中的沟道形成区域1793、低浓度杂质区域1794及高浓度杂质区域1795(也可以简称为杂质区域)、以接触于该杂质区域的方式设置的导电性区域1796、设置在沟道形成区域1793上的栅极绝缘膜1797、设置在栅极绝缘膜1797上的栅电极1790、设置在栅电极1790的侧面的侧壁绝缘层1798、侧壁绝缘层1799。另外,导电性区域1796也可以使用金属硅化物等。

[0359] 此外,图62的(A)图表示FIN型Si晶体管的沟道长度方向上的截面图,并且图62的(B)图表示FIN型Si晶体管的沟道宽度方向上的截面图。图62的(A)图及图62的(B)图所示的Si晶体管的沟道形成区域1793具有凸形状,并且沿着其侧面及顶面设有栅极绝缘膜1797及栅电极1790。虽然在本实施方式中示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以加工SOI衬底来形成具有凸形状的半导体层。

[0360] 在衬底1700上所形成的Si晶体管、导电体1712、导电体1730等构成的电路的上层形成有绝缘体201。另外,以埋入于绝缘体201的方式形成用来与该电路电连接的导电体211。另外,在单元晶体管CTr的沟道形成区域包含金属氧化物的情况下,作为绝缘体201及导电体211优选使用对氢等具有阻挡性的绝缘体。这是为了抑制氢经过绝缘体201及/或导电体211从Si晶体管扩散到单元晶体管CTr。

[0361] 作为绝缘体201,可以使用可用于上面说明的绝缘体101A至绝缘体101C的材料。

[0362] 例如,作为导电体211,可以使用对氢具有阻挡性的氮化钽等。另外,通过层叠氮化钽和导电性高的钨,不但可以保持作为布线的导电性而且可以抑制氢从Si晶体管扩散。

[0363] 注意,图62的(A)图及图62的(B)图所示的符号与图61的(A)图及图61的(B)图所示的符号同一。

[0364] 注意,在本说明书等中公开的绝缘体、导电体、半导体等可以通过PVD(Phisical Vapor Deposition;物理气相沉积)法、CVD(Chemical Vapor Deposition;化学气相沉积)法形成。作为PVD法,例如可以举出溅射法、电阻加热蒸镀法、电子束蒸镀法、PLD(Pulsed Laser Deposition)法等。此外,作为CVD法,可以举出等离子体CVD法、热CVD法。尤其是,作为热CVD法,例如可以举出MOCVD(Metal Organic Chemical Vepor Deposition;有机金属化学气相沉积)法、ALD(Atomic Layer Deposition;原子层沉积)法等。

[0365] 由于热CVD法是不使用等离子体的成膜方法,因此具有不产生等离子体损伤所引起的缺陷的优点。

[0366] 可以以如下方法进行利用热CVD法的成膜:将源气体及氧化剂同时供应到处理室内,将处理室内的压力设定为大气压或减压,使其在衬底附近或在衬底上发生反应而沉积在衬底上。

[0367] 另外,以如下方法进行利用ALD法的成膜:将处理室内的压力设定为大气压或减压,将用来反应的源气体依次引入处理室,并且按该顺序反复地引入气体。例如,通过切换各开关阀(也称为高速阀)来将两种以上的源气体依次供应到处理室内,为了防止多种源气体混合,在引入第一源气体的同时或之后引入惰性气体(氩或氮等)等,然后引入第二源气体。注意,当同时引入第一源气体及惰性气体时,惰性气体被用作载流子气体,另外,可以在引入第二源气体的同时引入惰性气体。另外,也可以不引入惰性气体而通过真空抽气将第一源气体排出,然后引入第二源气体。第一源气体附着到衬底表面形成第一较薄的层,之后引入的第二源气体与该第一层起反应,由此第二较薄的层层叠在第一较薄的层上而形成薄膜。通过按该顺序反复多次地引入气体直到获得所希望的厚度为止,可以形成台阶覆盖性良好的薄膜。由于薄膜的厚度可以根据按顺序反复引入气体的次数来进行调节,因此,ALD法可以准确地调节厚度而适用于制造微型FET。

[0368] 利用MOCVD法或ALD法等热CVD法可以形成以上所示的实施方式所公开的金属膜、半导体膜、无机绝缘膜等各种膜,例如,当形成In-Ga-Zn-O膜时,可以使用三甲基铟($In(CH_3)_3$)、三甲基镓($Ga(CH_3)_3$)及二甲基锌($Zn(CH_3)_2$)。另外,不局限于上述组合,也可以使用三乙基镓($Ga(C_2H_5)_3$)代替三甲基镓,并使用二乙基锌($Zn(C_2H_5)_2$)代替二甲基锌。

[0369] 例如,在使用利用ALD法的沉积装置形成氧化铪膜时,使用如下两种气体:通过使包含溶剂和铪前体化合物的液体(铪醇盐、四二甲基酰胺铪(TDMAH,$Hf[N(CH_3)_2]_4$)等铪酰胺)气化而得到的源气体;以及用作氧化剂的臭氧(O_3)。此外,作为其他材料有四(乙基甲基酰胺)铪等。

[0370] 例如,在使用利用ALD法的沉积装置形成氧化铝膜时,使用如下两种气体:通过使包含溶剂和铝前体化合物的液体(三甲基铝(TMA、$Al(CH_3)_3$)等)气化而得到的源气体;以及用作氧化剂的H_2O。另外,作为其他材料有三(二甲基酰胺)铝、三异丁基铝、铝三(2,2,6,6-四甲基-3,5-庚二酮酸)等。

[0371] 例如,在使用利用ALD法的沉积装置形成氧化硅膜时,使六氯乙硅烷附着在被成膜

面上,供应氧化气体(O_2、一氧化二氮)的自由基使其与附着物起反应。

[0372] 例如,在使用利用ALD法的沉积装置形成钨膜时,依次反复引入WF_6气体和B_2H_6气体形成初始钨膜,然后依次反复引入WF_6气体和H_2气体形成钨膜。注意,也可以使用SiH_4气体代替B_2H_6气体。

[0373] 例如,在使用利用ALD法的沉积装置形成氧化物半导体膜如In-Ga-Zn-O膜时,依次反复引入$In(CH_3)_3$气体和O_3气体形成In-O层,然后依次反复引入$Ga(CH_3)_3$气体和O_3气体形成GaO层,之后依次反复引入$Zn(CH_3)_2$气体和O_3气体形成ZnO层。注意,这些层的顺序不局限于上述例子。另外,也可以使用这些气体来形成混合氧化物层如In-Ga-O层、In-Zn-O层、Ga-Zn-O层等。注意,虽然也可以使用利用Ar等惰性气体进行鼓泡而得到的H_2O气体代替O_3气体,但是优选使用不包含H的O_3气体。另外,也可以使用$In(C_2H_5)_3$气体代替$In(CH_3)_3$气体。此外,也可以使用$Ga(C_2H_5)_3$气体代替$Ga(CH_3)_3$气体。另外,也可以使用$Zn(CH_3)_2$气体。

[0374] 另外,在本实施方式所说明的半导体装置的各结构例子可以适当地组合。

[0375] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0376] (实施方式2)

[0377] 在本实施方式中,对包括上面实施方式所示的半导体装置的存储装置进行说明。

[0378] 图63示出存储装置的结构的一个例子。存储装置2600包括外围电路2601及存储单元阵列2610。外围电路2601包括行译码器2621、字线驱动电路2622、位线驱动电路2630、输出电路2640以及控制逻辑电路2660。

[0379] 将在实施方式1所示的图1的(A)图及图1的(B)图中表示的半导体装置可以用于存储单元阵列2610。

[0380] 位线驱动电路2630包括列译码器2631、预充电电路2632、读出放大器2633、及写入电路2634。预充电电路2632具有将实施方式1所示的布线SL或布线BL(在图63中未图示)预充电至预定的电位的功能。读出放大器2633具有取得从存储单元MC读出的电位(或者电流)作为数据信号并放大该数据信号的功能。放大的数据信号通过输出电路2640作为数字数据信号RDATA输出到存储装置2600的外部。

[0381] 作为电源电压的低电源电压(VSS)、外围电路2601用高电源电压(VDD)及存储单元阵列2610用高电源电压(VIL)从外部被供应到存储装置2600。

[0382] 控制信号(CE、WE、RE)、地址信号ADDR及数据信号WDATA也从外部被输入到存储装置2600。地址信号ADDR被输入到行译码器2621及列译码器2631,数据信号WDATA被输入到写入电路2634。

[0383] 控制逻辑电路2660对来自外部的输入信号(CE、WE、RE)进行处理来生成行译码器2621及列译码器2631的控制信号。CE是芯片使能信号,WE是写入使能信号,并且RE是读出使能信号。控制逻辑电路2660所处理的信号不局限于此,根据必要而输入其他控制信号即可。

[0384] 上述各电路或各信号可以根据需要适当地使用。

[0385] 通过使用p沟道型Si晶体管及其沟道形成区域包含后面的实施方式所示的氧化物半导体(优选为包含In、Ga及Zn的氧化物)的晶体管并用于存储装置2600,可以提供小型的存储装置2600。此外,可以提供低功耗的存储装置2600。此外,可以提供工作速度高的存储装置2600。尤其是,通过仅将p沟道型晶体管用作Si晶体管,可以降低制造成本。

[0386] 本实施方式的结构例子不局限于图63的结构。例如,也可以适当地改变该结构,例

如将预充电电路2632或/及读出放大器2633等外围电路2601的一部分设置在存储单元阵列2610的下层等。

[0387] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0388] (实施方式3)

[0389] 在本实施方式中,对上面实施方式中使用的OS晶体管的沟道形成区域所包含的金属氧化物进行说明。

[0390] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。另外,除此之外,优选还包含铝、镓、钇或锡等。或者,也可以包含硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨或镁等中的一种或多种。

[0391] 在此,考虑金属氧化物为包含铟、元素M及锌的In-M-Zn氧化物的情况。注意,元素M为铝、镓、钇或锡等。作为可用作元素M的其他元素,有硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁等。注意,作为元素M有时也可以组合多个上述元素。

[0392] 下面,参照图64的(A)图、图64的(B)图及图64的(C)图对根据本发明的金属氧化物所包含的铟、元素M及锌的原子个数比的优选的范围进行说明。注意,图64的(A)图、图64的(B)图及图64的(C)图不示出氧的原子个数比。另外,将金属氧化物所包含的铟、元素M及锌的原子个数比的各项分别称为[In]、[M]及[Zn]。

[0393] 在图64的(A)图、图64的(B)图及图64的(C)图中,虚线表示[In]:[M]:[Zn]=(1+α):(1-α):1的原子个数比(-1≤α≤1)的线、[In]:[M]:[Zn]=(1+α):(1-α):2的原子个数比的线、[In]:[M]:[Zn]=(1+α):(1-α):3的原子个数比的线、[In]:[M]:[Zn]=(1+α):(1-α):4的原子个数比的线及[In]:[M]:[Zn]=(1+α):(1-α):5的原子个数比的线。

[0394] 点划线表示[In]:[M]:[Zn]=5:1:β的原子个数比(β≥0)的线、[In]:[M]:[Zn]=2:1:β的原子个数比的线、[In]:[M]:[Zn]=1:1:β的原子个数比的线、[In]:[M]:[Zn]=1:2:β的原子个数比的线、[In]:[M]:[Zn]=1:3:β的原子个数比的线及[In]:[M]:[Zn]=1:4:β的原子个数比的线。

[0395] 另外,图64的(A)图、图64的(B)图及图64的(C)图所示的[In]:[M]:[Zn]=0:2:1的原子个数比及其附近值的金属氧化物容易具有尖晶石型结晶结构。

[0396] 有时在金属氧化物中,多个相共存(例如,二相共存、三相共存等)。例如,当原子个数比接近[In]:[M]:[Zn]=0:2:1时,尖晶石型结晶结构和层状结晶结构的二相容易共存。当原子个数比接近[In]:[M]:[Zn]=1:0:0时,方铁锰矿型结晶结构和层状结晶结构的二相容易共存。当在金属氧化物中多个相共存时,可能在不同的结晶结构之间形成晶界。

[0397] 图64的(A)图所示的区域A示出金属氧化物所包含的铟、元素M及锌的原子个数比的优选的范围的一个例子。

[0398] 通过增高铟含量,可以提高金属氧化物的载流子迁移率(电子迁移率)。由此,铟含量高的金属氧化物的载流子迁移率比铟含量低的金属氧化物高。

[0399] 另一方面,金属氧化物的铟含量及锌含量变低时,载流子迁移率变低。因此,当原子个数比为[In]:[M]:[Zn]=0:1:0或其附近值时(例如,图64的(C)图中的区域C),绝缘性变高。

[0400] 因此,本发明的一个方式的金属氧化物优选具有图64的(A)图的区域A表示的原子个数比,此时该金属氧化物容易具有载流子迁移率高且晶界少的层状结构。

[0401] 具有区域A的原子个数比的金属氧化物,尤其是具有图64的(B)图所示的区域B的金属氧化物更容易成为CAAC(c-axis aligned crystalline)-OS且具有较高的载流子迁移率。

[0402] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之间的晶格排列的方向变化的部分。

[0403] 虽然纳米晶基本上是六角形,但是并不局限于正六角形,有不是正六角形的情况。此外,在畸变中有时具有五角形或七角形等晶格排列。另外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。即,可知通过使晶格排列畸变,可抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变:在a-b面方向上的氧原子的排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等。

[0404] CAAC-OS是结晶性高的金属氧化物。另一方面,在CAAC-OS中无法确认到明确的晶界,所以可以说不容易发生起因于晶界的电子迁移率的降低。此外,金属氧化物的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的金属氧化物。因此,具有CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及高可靠性。

[0405] 区域B包括[In]:[M]:[Zn]=4:2:3至4:2:4.1的原子个数比及其附近值。附近值例如包括[In]:[M]:[Zn]=5:3:4的原子个数比。另外,区域B包括[In]:[M]:[Zn]=5:1:6的原子个数比及其附近值以及[In]:[M]:[Zn]=5:1:7的原子个数比及其附近值。

[0406] 注意,金属氧化物所具有的性质不是仅由原子个数比决定的。即使在原子个数比相同的情况下,也根据形成条件,有时金属氧化物的性质不同。例如,当使用溅射装置沉积形成金属氧化物时,所形成的膜的原子数比与靶材的原子数比偏离。另外,根据成膜时的衬底温度,有时膜的[Zn]小于靶材的[Zn]。因此,图示的区域是表示金属氧化物有具有特定特性的倾向时的原子个数比的区域,区域A至区域C的边界不严格。

[0407] 下面,对CAC(Cloud-Aligned Composite)-OS的构成进行说明。

[0408] 另外,在本说明书等中,CAC是指功能或材料构成的一个例子,上述的CAAC(c-axis aligned crystal)指结晶结构的一个例子。

[0409] CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。此外,在将CAC-OS或CAC-metal oxide用于晶体管的活性层的情况下,导电性的功能是使被用作载流子的电子(或空穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用,可以使CAC-OS或CAC-metal oxide具有开关功能(控制开启/关闭的功能)。通过在CAC-OS或CAC-metal oxide中使各功能分离,可以最大限度地提高各功能。

[0410] 此外,CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。此外,在材料中,导电性区域和绝缘性区域有时以纳米粒子级分离。另外,导电性区域和绝缘性区域有时在材料中不均匀地分布。此外,有时观察到其边缘模糊而以云状连接的导电性区域。

[0411] 此外,在CAC-OS或CAC-metal oxide中,导电性区域和绝缘性区域有时以0.5nm以

上且10nm以下,优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0412] 此外,CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如,CAC-OS或CAC-metal oxide由具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分构成。在该结构中,当使载流子流过时,载流子主要在具有窄隙的成分中流过。此外,具有窄隙的成分通过与具有宽隙的成分的互补作用,与具有窄隙的成分联动而使载流子流过具有宽隙的成分。因此,在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道区域时,在晶体管的导通状态中可以得到高电流驱动力,即大通态电流及高场效应迁移率。

[0413] 就是说,也可以将CAC-OS或CAC-metal oxide称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。

[0414] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0415] (实施方式4)

[0416] 在本实施方式中,参照图65说明将上述实施方式所示的半导体装置作为存储装置应用于电子构件的例子。

[0417] 在图65的(A)图中,说明将上述实施方式所说明的半导体装置作为存储装置应用于电子构件的例子。注意,电子构件也被称为半导体封装或IC用封装。该电子构件根据端子取出方向或端子的形状具有不同规格和名称。在本实施方式中,说明其一个例子。

[0418] 通过在组装工序(后工序)中组合多个能够装卸在印刷电路板上的构件,完成上述实施方式1所示的由晶体管构成的半导体装置。

[0419] 后工序可以经过进行图65的(A)图所示的工序完成。具体而言,在由前工序得到的元件衬底完成(步骤STP1)之后,研磨衬底的背面(步骤STP2)。通过在此阶段使衬底薄膜化,可以减少在前工序中产生的衬底的翘曲等,而实现构件的小型化。

[0420] 研磨衬底的背面且进行将衬底分成多个芯片的切割(dicing)工序(步骤STP3)。并且,进行将被切割的各芯片安装于引线框架上并实现接合的芯片接合(die bonding)工序(步骤STP4)。该芯片接合工序中的芯片与引线框架的粘接可以根据产品适当地选择合适的方法,如利用树脂的粘接或利用胶带的粘接等。另外,在芯片接合工序中,也可以将各芯片安装于插入物(interposer)上而实现接合。

[0421] 在本实施方式中,在衬底的一个表面形成有元件的情况下,将衬底的一个表面称为表面,并将衬底的另一个表面(该衬底的没形成有元件一侧的表面)称为背面。

[0422] 接着,进行将引线框架的引线与芯片上的电极通过金属细线(wire)电连接的引线键合(wire bonding)(步骤STP5)。作为金属细线可以使用银线或金线。此外,引线键合可以使用球键合(ball bonding)或楔键合(wedge bonding)。

[0423] 对进行了引线键合后的芯片实施由环氧树脂等进行密封的模塑(molding)工序(步骤STP6)。通过进行模塑工序,使电子构件的内部被树脂填充,可以降低因机械外力对安装于电子构件内部的电路部及金属细线造成的损伤,还可以降低因水分或灰尘而导致的特性劣化。

[0424] 接着,对引线框架的引线进行电镀处理。并且对引线进行切断及成型加工(步骤STP7)。通过该电镀处理可以防止引线生锈,可以更加确实地进行之后将引线安装于印刷电路板时的焊接。

[0425] 接着,对封装表面实施印字处理(marking)(步骤STP8)。并在经过最终的检验工序

(步骤STP9)后完成电子构件(步骤STP10)。

[0426] 上面说明的电子构件可以包括上述实施方式所说明的半导体装置。因此,可以实现高可靠性的电子构件。

[0427] 图65的(B)图示出完成的电子构件的透视示意图。在图65的(B)图中,作为电子构件的一个例子,示出QFP(Quad Flat Package:四侧引脚扁平封装)的透视示意图。图65的(B)图所示的电子构件4700包括引线4701及电路部4703。图65的(B)图所示的电子构件4700例如安装于印刷电路板4702。通过组合多个这样的电子构件4700并使其在印刷电路板4702上彼此电连接,可以安装于电子设备的内部。完成的电路板4704设置于电子设备等的内部。

[0428] 此外,本发明的一个实施方式不局限于上述电子构件4700的形状,还包括在步骤STP1中所制造的元件衬底。此外,本发明的一个实施方式的元件衬底还包括被进行了步骤STP2的衬底背面的研磨处理的元件衬底。此外,本发明的一个实施方式的元件衬底包括被进行了步骤STP3的切割工序的元件衬底。例如,图65的(C)图所示的半导体晶片4800等相当于该元件衬底。在半导体晶片4800中,在晶片4801的顶面形成有多个电路部4802。在晶片4801的顶面上没设置有电路部4802的部分相当于空隙4803,空隙4803的一部分成为用于切割的区域。

[0429] 沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序,优选以多个划分线SCL1平行,多个划分线SCL2平行,且划分线SCL1与划分线SCL2垂直的方式设置空隙4803。

[0430] 通过进行切割工序,可以从半导体晶片4800切割出图65的(D)图所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。此外,空隙4803a优选尽可能小。在此情况下,相邻的电路部4802之间的空隙4803的宽度只要与划分线SCL1的划分用部及划分线SCL2的划分用部相等即可。

[0431] 此外,本发明的一个实施方式的元件衬底的形状不局限于图65的(C)图所示的半导体晶片4800的形状。例如,也可以为图65的(E)图所示的矩形状的半导体晶片4810。此外,可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0432] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0433] (实施方式5)

[0434] 在本实施方式中,对可以包括上述实施方式的半导体装置的CPU进行说明。

[0435] 图66是示出将实施方式1所示的半导体装置用于其一部分的CPU的一个例子的结构的方框图。

[0436] 图66所示的CPU在衬底1190上具有:ALU1191(ALU:Arithmetic logic unit:运算电路)、ALU控制器1192、指令译码器1193、中断控制器1194、时序控制器1195、寄存器1196、寄存器控制器1197、总线接口1198(Bus I/F)、能够重写的ROM1199以及ROM接口1189(ROM I/F)。作为衬底1190使用半导体衬底、SOI衬底、玻璃衬底等。ROM1199及ROM接口1189也可以设置在不同的芯片上。当然,图66所示的CPU只不过是简化其结构而表示的一个例子,所以实际上的CPU根据其用途具有各种结构。例如,也可以以包括图66所示的CPU或运算电路的结构为核心,设置多个该核心并使其同时工作,就是说也可以为像GPU那样的结构。另外,在CPU的内部运算电路或数据总线中能够处理的位数例如可以为8位、16位、32位、64位等。

[0437] 通过总线接口1198输入到CPU的指令在输入到指令译码器1193并被译码之后,输

入到ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195。

[0438] ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195根据被译码的指令进行各种控制。具体而言,ALU控制器1192生成用来控制ALU1191的工作的信号。另外,中断控制器1194在执行CPU的程序时,根据其优先度或掩码的状态来判断来自外部的输入/输出装置或外围电路的中断要求而对该要求进行处理。寄存器控制器1197生成寄存器1196的地址,并根据CPU的状态来进行寄存器1196的读出或写入。

[0439] 另外,时序控制器1195生成用来控制ALU1191、ALU控制器1192、指令译码器1193、中断控制器1194以及寄存器控制器1197的工作时序的信号。例如,时序控制器1195具有根据参考时钟信号生成内部时钟信号的内部时钟发生器,并将内部时钟信号供应到上述各种电路。

[0440] 在图66所示的CPU中,在寄存器1196中设置有存储单元。作为寄存器1196的存储单元,可以使用上面的实施方式所示的晶体管。

[0441] 在图66所示的CPU中,寄存器控制器1197根据来自ALU1191的指令进行寄存器1196中的保持工作的选择。换言之,寄存器控制器1197在寄存器1196所具有的存储单元中选择由触发器保持数据还是由电容器保持数据。在选择由触发器保持数据的情况下,对寄存器1196中的存储单元供应电源电压。在选择由电容器保持数据的情况下,对电容器进行数据的重写,而可以停止对寄存器1196中的存储单元供应电源电压。

[0442] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0443] (实施方式6)

[0444] 可用于包括上面实施方式的存储装置的存储器卡(例如,SD卡)、USB(Universal Serial Bus:通用串行总线)存储器、SSD(Solid State Drive:固态硬盘)等的各种可移动存储装置。在本实施方式中,参照图67,对多个可移动存储装置的结构例子进行说明。

[0445] 图67的(A)图是USB存储器的示意图。USB存储器5100包括框体5101、盖子5102、USB连接器5103及衬底5104。衬底5104被容纳在框体5101中。衬底5104设置有存储装置及驱动该存储装置的电路。例如,衬底5104安装有存储器芯片5105、控制器芯片5106。存储器芯片5105安装有实施方式2所示的存储单元阵列2610、字线驱动电路2622、行译码器2621、读出放大器2633、预充电电路2632、列译码器2631等。具体而言,控制器芯片5106安装有处理器、工作存储器、ECC电路等。另外,存储器芯片5105及控制器芯片5106的各电路结构不局限于上述记载,可以根据状况或情况适当地改变电路结构。例如,将字线驱动电路2622、行译码器2621、读出放大器2633、预充电电路2632、列译码器2631不组装于存储器芯片5105而组装于控制器芯片5106的结构。USB连接器5103具有连接到外部装置的接口的功能。

[0446] 图67的(B)图是SD卡的外观示意图,图67的(C)图是SD卡的内部结构的示意图。SD卡5110包括框体5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的结构的接口的功能。衬底5113被容纳在框体5111中。衬底5113设置有存储装置及驱动该存储装置的电路。例如,衬底5113安装有存储器芯片5114、控制器芯片5115。存储器芯片5114安装有实施方式2所示的存储单元阵列2610、字线驱动电路2622、行译码器2621、读出放大器2633、预充电电路2632、列译码器2631等。控制器芯片5115安装有处理器、工作存储器、ECC电路等。另外,存储器芯片5114及控制器芯片5115的各电路结构不局限于上述记载,可以根据状况或情况适当地改变电路结构。例如,可以采用字线驱动电路2622、行译码器2621、读出放

大器2633、预充电电路2632、列译码器2631不组装于存储器芯片5114而组装于控制器芯片5115的结构。

[0447] 通过在衬底5113的背面一侧也设置存储器芯片5114,可以增大SD卡5110的容量。另外,也可以将具有无线通信功能的无线芯片设置于衬底5113。由此,可以进行外部装置与SD卡5110之间的无线通信,可以进行存储器芯片5114的数据的读出及写入。

[0448] 图67的(D)图是SSD的外观示意图,图67的(E)图是SSD的内部结构的示意图。SSD5150包括框体5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被容纳在框体5151中。衬底5153设置有存储装置及驱动该存储装置的电路。例如,衬底5153安装有存储器芯片5154、存储器芯片5155、控制器芯片5156。存储器芯片5154安装有实施方式2所示的存储单元阵列2610、字线驱动电路2622、行译码器2621、读出放大器2633、预充电电路2632、列译码器2631等。通过在衬底5153的背面一侧也设置存储器芯片5154,可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例如,可以将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC电路等。注意,存储器芯片5154、存储器芯片5155及控制器芯片5115的各电路结构不局限于上述记载,可以根据状况或情况适当地改变电路结构。例如,控制器芯片5156中也可以设置用作工作存储器的存储器。

[0449] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0450] (实施方式7)

[0451] 在本实施方式中,对可以使用上述实施方式的半导体装置或存储装置的电子设备的一个例子进行说明。

[0452] <笔记本式个人计算机>

[0453] 本发明的一个方式的半导体装置或存储装置可以应用于笔记本式个人计算机。图68的(A)图示出笔记本式个人计算机,其包括框体5401、显示部5402、键盘5403及指向装置5404等。

[0454] <智能手表>

[0455] 本发明的一个方式的半导体装置或存储装置可以组装于可穿戴终端。图68的(B)图是可穿戴终端之一种的智能手表,该智能手表包括框体5901、显示部5902、操作按钮5903、表把5904、表带5905等。另外,也可以将附加有位置输入装置的功能的显示装置用于显示部5902。另外,可以通过在显示装置设置触摸屏来附加位置输入装置的功能。或者,也可以通过在显示装置的像素部设置也称为光电传感器的光电转换元件来附加位置输入装置的功能。另外,作为操作按钮5903,可以具备启动智能手表的电源开关、操作智能手表的软件的按钮、调整音量的按钮和使显示部5902点灯或关灯的按钮等中的至少一个。另外,在图68的(B)图所示的智能手表中示出两个操作按钮5903,但是智能手表所包括的按钮的数量不局限于此。另外,表把5904被用作调整智能手表的时间的表冠。另外,表把5904除了调整时间以外还可以被用作操作智能手表的软件的输入接口。此外,图68的(B)图所示的智能手表为包括表把5904的结构,但是不局限于此,也可以为不具有表把5904的结构。

[0456] <视频摄像机>

[0457] 本发明的一个方式的半导体装置或存储装置可以组装于视频摄像机。图68的(C)图是视频摄像机,其包括第一框体5801、第二框体5802、显示部5803、操作键5804、透镜5805

及连接部5806等。操作键5804及透镜5805设置在第一框体5801中，而显示部5803设置在第二框体5802中。并且，第一框体5801和第二框体5802由连接部5806连接，由连接部5806可以改变第一框体5801和第二框体5802之间的角度。显示部5803的影像也可以根据连接部5806所形成的第一框体5801和第二框体5802之间的角度切换。

[0458] 〈移动电话机〉

[0459] 本发明的一个方式的半导体装置或存储装置可以组装于移动电话机。图68的(D)图示出具有信息终端的功能的移动电话机，该移动电话机包括框体5501、显示部5502、麦克风5503、扬声器5504以及操作按钮5505。另外，也可以将附加有位置输入装置的功能的显示装置用于显示部5502。另外，可以通过在显示装置设置触摸屏来附加位置输入装置的功能。或者，也可以通过在显示装置的像素部设置也称为光电传感器的光电转换元件来附加位置输入装置的功能。另外，作为操作按钮5505，可以具备启动移动电话机的电源开关、操作移动电话机的软件的按钮、调整音量的按钮和使显示部5502点灯或关灯的按钮等中的任一个。

[0460] 另外，在图68的(D)图所示的移动电话机中示出两个操作按钮5505，但是移动电话机所包括的按钮的数量不局限于此。此外，虽然未图示，但是图68的(D)图所示的移动电话机也可以包括发光装置，其用途为闪光或照明。

[0461] 〈电视装置〉

[0462] 本发明的一个方式的半导体装置或存储装置可以应用于电视装置。图68的(E)图是示出电视装置的立体图。电视装置包括框体9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(该传感器具有测量如下因素的功能：力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)等。本发明的一个方式的存储装置可以组装于电视装置。例如，电视装置能够组装50英寸以上、或100英寸以上的显示部9001。

[0463] 〈移动体〉

[0464] 本发明的一个方式的半导体装置或存储装置也可以应用于作为移动体的汽车的驾驶座周边。

[0465] 例如，图68的(F)图是示出汽车室内的前挡风玻璃周边的图。图68的(F)图示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在立柱的显示面板5704。

[0466] 显示面板5701至显示面板5703通过表示导航信息、速度表、转速计、行驶距离、加油量、排档状态、空调的设定等，可以提供各种信息。另外，使用者可以适当地改变显示面板所显示的显示内容及布置等，可以提高设计性。显示面板5701至显示面板5703还可以被用作照明装置。

[0467] 通过将由设置在车体的摄像单元拍摄的影像显示在显示面板5704上，可以补充被立柱遮挡的视野(死角)。也就是说，通过显示由设置在汽车外侧的摄像单元拍摄的影像，可以补充死角，从而可以提高安全性。另外，通过显示补充看不到的部分的影像，可以更自然、更舒适地确认安全。显示面板5704可以被用作照明装置。

[0468] 本发明的一个方式的半导体装置或存储装置，例如可以用于当显示面板5701至显

示面板5704显示图像时使用的暂时储存图像数据的帧存储器或储存驱动移动体所具有的系统的程序的存储装置等。

[0469] 此外,虽然未图示,图68的(A)图及图68的(B)图、图68的(E)图、图68的(F)图所示的电子设备也可以具有包括麦克风及扬声器的结构。通过采用这种结构,例如可以在上述电子设备中附加声音输入功能。

[0470] 此外,虽然未图示,但是图68的(A)图及图68的(B)图、图68的(D)图至图68的(F)图所示的电子设备也可以具有包括相机的结构。

[0471] 另外,虽然未图示,但是图68的(A)图至图68的(F)图所示的电子设备可以在框体的内部设置传感器(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线等)。尤其是,通过设置具有陀螺仪传感器或加速度传感器等测定倾斜度的传感器的测定装置,可以判断图68的(D)图所示的移动电话机的方向(该移动电话机相对于垂直方向朝向哪个方向)而将显示部5502的屏面显示根据该移动电话机的方向自动切换。

[0472] 另外,虽然未图示,但是图68的(A)图至图68的(F)图所示的电子设备也可以包括取得指纹、静脉、虹膜或声纹等生物信息的装置。通过采用该结构,可以实现具有生物识别功能的电子设备。

[0473] 图68的(A)图至图68的(F)图所示的电子设备的显示部可以使用柔性基材。具体而言,该显示部也可以具有在柔性基材上设置晶体管、电容器及显示元件等的结构。通过使用该结构,不仅可以实现其框体如图68的(A)图至图68的(F)图所示地具有平坦的面的电子设备,而且可以实现其框体具有曲面的电子设备。

[0474] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0475] (关于本说明书等的记载的附记)

[0476] 下面,对上述实施方式中的各结构及说明附加注释。

[0477] <关于实施方式所示的本发明的一个方式的附记>

[0478] 各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。另外,当在一个方式中示出多个结构例子时,可以适当地组合结构例子。

[0479] 另外,可以将某一实施方式中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)和另一个或多个其他实施方式中说明的内容(或其一部分)中的至少一个内容。

[0480] 注意,实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0481] 另外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)和另一个或多个其他实施方式中示出的附图(或其一部分)中的至少一个附图组合,可以构成更多图。

[0482] <关于序数词的附记>

[0483] 在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,其不是为了限定构成要素的个数而附加上的。此外,其不是为了限定构成要素的顺序而附加上的。另外,例如,本说明书等的实施方式之一中附有“第一”的构成要素

有可能在其他的实施方式或权利要求书中附有“第二”的序数词。另外,例如,本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他的实施方式或权利要求书中被省略“第一”。

[0484] 〈关于说明附图的记载的附记〉

[0485] 参照附图对实施方式进行说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。注意,在实施方式中的发明的结构中,在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。

[0486] 在本说明书等中,为方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,表示配置的词句不局限于本说明书等中所示的记载,根据情况可以适当地更换表达方式。例如,如果是“在导电体的顶面包括的绝缘体”的表述,通过将所示的附图的方向旋转180度,则可以换称为“在导电体的下面包括的绝缘体”。

[0487] 此外,“上”或“下”这样的词句不限定构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,当记载为“绝缘层A上的电极B”时,不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括绝缘层A与电极B之间包括其他构成要素的情况。

[0488] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不一定限定于上述尺寸。附图是为了明确起见而示出任意的大小的,而不局限于附图所示的形状或数值等。例如,可以包括噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0489] 在透视图等的附图中,为了明确起见,有时省略部分构成要素的图示。

[0490] 在附图中,有时使用同一附图标记表示同一构成要素、具有相同功能的构成要素、由同一材料构成的构成要素或者同时形成的构成要素等,并且有时省略重复说明。

[0491] 〈关于可以改称的记载的附记〉

[0492] 在本说明书等中,在说明晶体管的连接关系时,使用将源极和漏极中的一方记为“源极和漏极中的一个”(第一电极或第一端子),将源极和漏极中的另一方记为“源极和漏极中的另一个”(第二电极或第二端子)的表述。这是因为晶体管的源极和漏极根据晶体管的结构或工作条件等而互换的缘故。注意,可以将晶体管的源极和漏极根据情况适当地改称为源极(漏极)端子、源极(漏极)电极等。另外,在本说明书等中,有时将栅极以外的两个端子称为第一端子及第二端子或第三端子及第四端子。注意,在本说明书等中,沟道形成区域指的是形成沟道的区域,通过对栅极施加电位形成该区域,而可以使电流流过源极-漏极之间。

[0493] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时相互调换。因此,在本说明书等中,“源极”和“漏极”可以互相调换。

[0494] 另外,在本说明书等中记载的晶体管具有两个以上的栅极时(有时将该结构称为双栅极结构),有时将该栅极称为第一栅极、第二栅极、前栅极或背栅极。尤其是,可以将“前

栅极”简称为“栅极”。此外,可以将“背栅极”简称为“栅极”。此外,“底栅极”是指在形成晶体管时在形成沟道形成区域之前形成的端子,“顶栅极”是指在形成晶体管时在形成沟道形成区域之后形成的端子。

[0495] 另外,在本说明书等中,“电极”或“布线”这样的词句不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”这样的词句还包括多个“电极”或“布线”被形成为一体的情况等。

[0496] 另外,在本说明书等中,可以适当地调换电压和电位。电压是指与基准电位之间的电位差,例如在基准电位为接地电位时,可以将电压换称为电位。接地电位不一定意味着0V。注意,电位是相对的,对布线等供应的电位有时根据基准电位而变化。

[0497] 在本说明书等中,根据情况或状态,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”变换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。另外,根据情况或状态,可以使用其他词句代替“膜”和“层”等词句。例如,有时可以将“导电层”或“导电膜”变换为“导电体”。此外,例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0498] 在本说明书等中,根据情况或状态,可以互相调换“布线”、“信号线”及“电源线”等词句。例如,有时可以将“布线”变换为“信号线”等。此外,例如有时可以将“布线”变换为“电源线”等。反之亦然,有时可以将“信号线”或“电源线”变换为“布线”。有时可以将“电源线”等变换为“信号线”等。反之亦然,有时可以将“信号线”变换为“电源线”等。另外,根据情况或状态,可以互相将施加到布线的“电位”变换为“信号”等。反之亦然,有时可以将“信号”等变换为“电位”。

[0499] <关于词句的定义的附记>

[0500] 下面,对上述实施方式中涉及到的词句的定义进行说明。

[0501] 《关于半导体的杂质》

[0502] 半导体的杂质例如是构成半导体层的主要成分之外的物质。例如,浓度低于0.1atomic%的元素是杂质。有时由于包含杂质而例如发生在半导体中形成DOS(Density of State:态密度)、载流子迁移率降低或结晶性降低等情况。在半导体是氧化物半导体时,作为改变半导体的特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等,特别是,例如有氢(也包含在水中)、锂、钠、硅、硼、磷、碳、氮等。在半导体是氧化物半导体时,例如有时氢等杂质的混入导致氧缺陷的产生。此外,在半导体是硅层时,作为改变半导体的特性的杂质,例如有氧、除了氢之外的第1族元素、第2族元素、第13族元素、第15族元素等。

[0503] 《开关》

[0504] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。

[0505] 例如,可以使用电开关或机械开关等。换言之,开关只要可以控制电流就不局限于特定的开关。

[0506] 电开关的例子包括晶体管(例如双极晶体管或MOS晶体管)、二极管(例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属(MIM;MetalInsulatorMetal)二极管、金属-绝缘体-半导体(MIS;MetalInsulatorSemiconductor)二极管或者二极管接法的晶体管

等)或者组合这些元件的逻辑电路。

[0507] 当作为开关使用晶体管时,晶体管的“导通状态”是指晶体管的源电极与漏电极在电性上短路的状态。另外,晶体管的“非导通状态”是指晶体管的源电极与漏电极在电性上断开的状态。当仅将晶体管用作开关时,对晶体管的极性(导电型)没有特别的限制。

[0508] 作为机械开关的一个例子,可以举出像数字微镜装置(DMD;Digital Micromirror Device)那样的利用MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过移动该电极来控制导通和非导通而进行工作。

[0509] 《连接》

[0510] 注意,在本说明书等中,当记载为“X与Y连接”时,包括如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系等规定的连接关系,还包括附图或文中所示的连接关系以外的连接关系。

[0511] 这里使用的X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜和层等)。

[0512] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件、负载等)。另外,开关具有控制开启和关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。

[0513] 作为X和Y在功能上连接的情况的一个例子,可以在X和Y之间连接一个以上的能够在功能上连接X和Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、γ(伽马)校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转换器电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差动放大电路、源极跟随电路、缓冲器电路等)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,也可以说X与Y在功能上是连接着的。

[0514] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);X与Y在功能上连接的情况(换言之,以中间夹有其他电路的方式在功能上连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。换言之,当明确记载有“电连接”时,与只明确记载有“连接”的情况相同。

[0515] 注意,例如,在晶体管的源极(或第一端子等)通过Z1(或没有通过Z1)与X电连接,晶体管的漏极(或第二端子等)通过Z2(或没有通过Z2)与Y电连接的情况下以及在晶体管的源极(或第一端子等)与Z1的一部分直接连接,Z1的另一部分与X直接连接,晶体管的漏极(或第二端子等)与Z2的一部分直接连接,Z2的另一部分与Y直接连接的情况下,可以表示为如下。

[0516] 例如,可以表达为“X、Y、晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)互相电连接,并按X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)及Y的顺序电连接”。或者,可以表达为“晶体管的源极(或第一端子等)与X电连接,晶体管的漏极(或第二端子等)与Y电连接,并以X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y的顺序依次电连接”。或者,可以表达为“X通过晶体管的源极(或第一端子等)

及晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置为相互连接”。通过使用与这种例子相同的表达方法规定电路结构中的连接顺序,可以区别晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)而决定技术范围。注意,这些表达方法只是一个例子而已,不局限于上述表达方法。在此,X、Y、Z1及Z2为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0517] 另外,即使在电路图上独立的构成要素彼此电连接,也有时一个构成要素兼有多个构成要素的功能。例如,在布线的一部分用作电极时,一个导电膜兼有布线和电极的两个构成要素的功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0518] 《平行、垂直》

[0519] 在本说明书中,“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。另外,“垂直”是指两条直线形成的角度为80°以上且100°以下的状态。因此也包括该角度为85°以上且95°以下的状态。另外,“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0520] [符号说明]

[0521] MC[1]:存储单元、MC[2]:存储单元、MC[n]:存储单元、MC[1,1]:存储单元、MC[j,1]:存储单元、MC[n,1]:存储单元、MC[1,i]:存储单元、MC[j,i]:存储单元、MC[n,i]:存储单元、MC[1,m]:存储单元、MC[j,m]:存储单元、MC[n,m]:存储单元、WL:布线、WL[1]:布线、WL[i]:布线、WL[n]:布线、BL:布线、SL:布线、BSL:布线、BSL[1]:布线、BSL[i]:布线、BSL[m]:布线、SSL:布线、SSL[1]:布线、SSL[i]:布线、SSL[m]:布线、BGL:布线、BGL[1]:布线、BGL[i]:布线、BGL[m]:布线、CTr:单元晶体管、BTr:晶体管、STr:晶体管、PG:导电体、ER:布线、HL:区域、AR:区域、TM:区域、SCL1:划分线、SCL2:划分线、SD1:区域、SD2:区域、T10:时刻、T11:时刻、T12:时刻、T13:时刻、T20:时刻、T21:时刻、T22:时刻、T23:时刻、T24:时刻、T25:时刻、T30:时刻、T31:时刻、T32:时刻、T33:时刻、T40:时刻、T41:时刻、T42:时刻、T43:时刻、T44:时刻、T45:时刻、10:供应处理、100:叠层体、100A:叠层体、101A:绝缘体、101B:绝缘体、101C:绝缘体、102:绝缘体、102A:绝缘体、102B:绝缘体、103:绝缘体、104:绝缘体、105:绝缘体、107A:绝缘体、107B:绝缘体、107C:绝缘体、111:绝缘体、134:导电体、135:导电体、135a:导电体、135b:导电体、135c:导电体、136:导电体、136a:导电体、136b:导电体、137:导电体、137a:导电体、137b:导电体、137c:导电体、138a:导电体、138b:导电体、141A:牺牲层、141B:牺牲层、151:半导体、151a:区域、151b:区域、151e:区域、151d:区域、152A:半导体、152B:半导体、152C:半导体、153:半导体、153a:半导体、153b:半导体、161A:化合物、161B:化合物、161C:化合物、181A:区域、181B:区域、191:开口部、192:狭缝、193:开口部、195A:凹部、195B:凹部、195C:凹部、196A:凹部、196B:凹部、197A:凹部、197B:凹部、201:绝缘体、211:导电体、1189:ROM接口、1190:衬底、1191:ALU、1192:ALU控制器、1193:指令译码器、1194:中断控制器、1195:时序控制器、1196:寄存器、1197:寄存器控制器、1198:总线接口、1199:ROM、1700:衬底、1701:元件分离层、1712:导电体、1730:导电体、1790:栅电极、1792:阱、1793:沟道形成区域、1794:低浓度杂质区域、1795:高浓度杂质区域、1796:导电性区域、1797:栅极绝缘膜、1798:侧壁绝缘层、1799:侧壁绝缘层、2600:存储装置、2601:外围电路、2610:存储

单元阵列、2621:行译码器、2622:字线驱动电路、2630:位线驱动电路、2631:列译码器、2632:预充电电路、2633:读出放大器、2634:写入电路、2640:输出电路、2660:控制逻辑电路、4700:电子构件、4701:引线、4702:印刷电路板、4703:电路部、4704:电路板、4800:半导体晶片、4800a:芯片、4801:晶片、4801a:晶片、4802:电路部、4803:空隙、4803a:空隙、4810:半导体晶片、5100:USB存储器、5101:框体、5102:盖子、5103:USB连接器、5104:衬底、5105:存储器芯片、5106:控制器芯片、5110:SD卡、5111:框体、5112:连接器、5113:衬底、5114:存储器芯片、5115:控制器芯片、5150:SSD、5151:框体、5152:连接器、5153:衬底、5154:存储器芯片、5155:存储器芯片、5156:控制器芯片、5401:框体、5402:显示部、5403:键盘、5404:指向装置、5501:框体、5502:显示部、5503:麦克风、5504:扬声器、5505:操作按钮、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5801:第一框体、5802:第二框体、5803:显示部、5804:操作键、5805:透镜、5806:连接部、5901:框体、5902:显示部、5903:操作按钮、5904:表把、5905:表带、9000:框体、9001:显示部、9003:扬声器、9005:操作键、9006:连接端子、9007:传感器

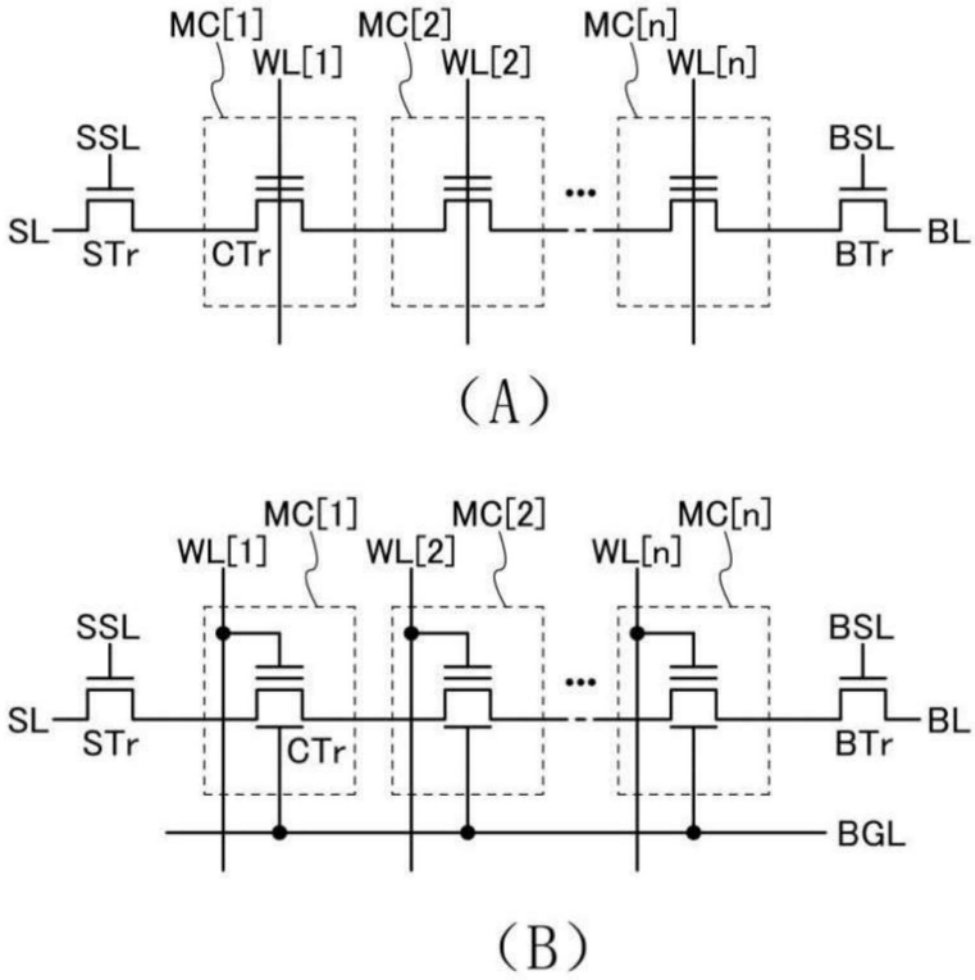

MC[1]
MC[2]
MC[n]
WL[1]
WL[2]
WL[n]
SSL
BSL
SL
STr
CTr
BTr
BL
(A)
MC[1]
MC[2]
MC[n]
WL[1]
WL[2]
WL[n]
SSL
BSL
SL
STr
CTr
BTr
BL
BGL
(B)

图1

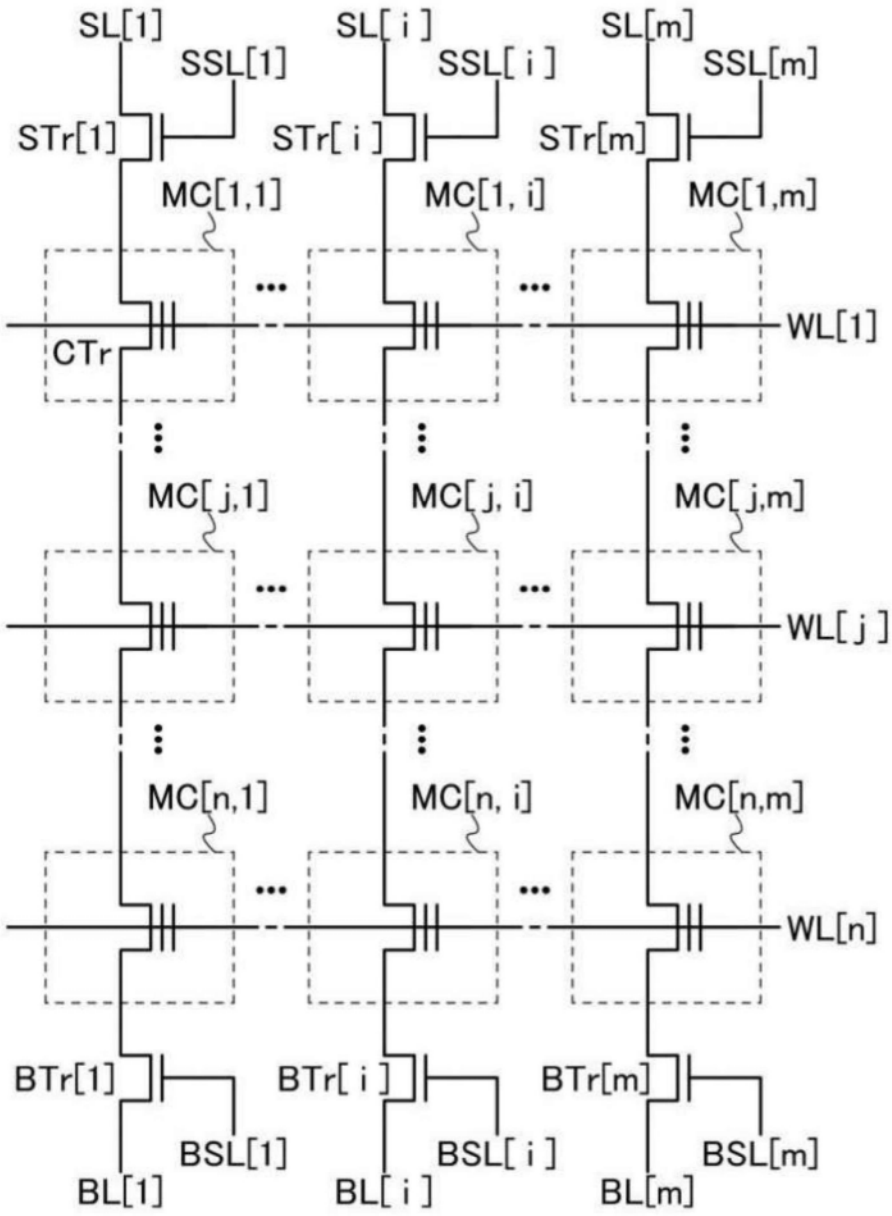

SL[1]
SL[i]
SL[m]
SSL[1]
SSL[i]
SSL[m]
STr[1]
STr[i]
STr[m]
MC[1,1]
MC[1, i]
MC[1,m]
CTr
WL[1]
MC[j,1]
MC[j, i]
MC[j,m]
WL[j]
MC[n,1]
MC[n, i]
MC[n,m]
WL[n]
BTr[1]
BTr[i]
BTr[m]
BSL[1]
BSL[i]
BSL[m]
BL[1]
BL[i]
BL[m]

图2

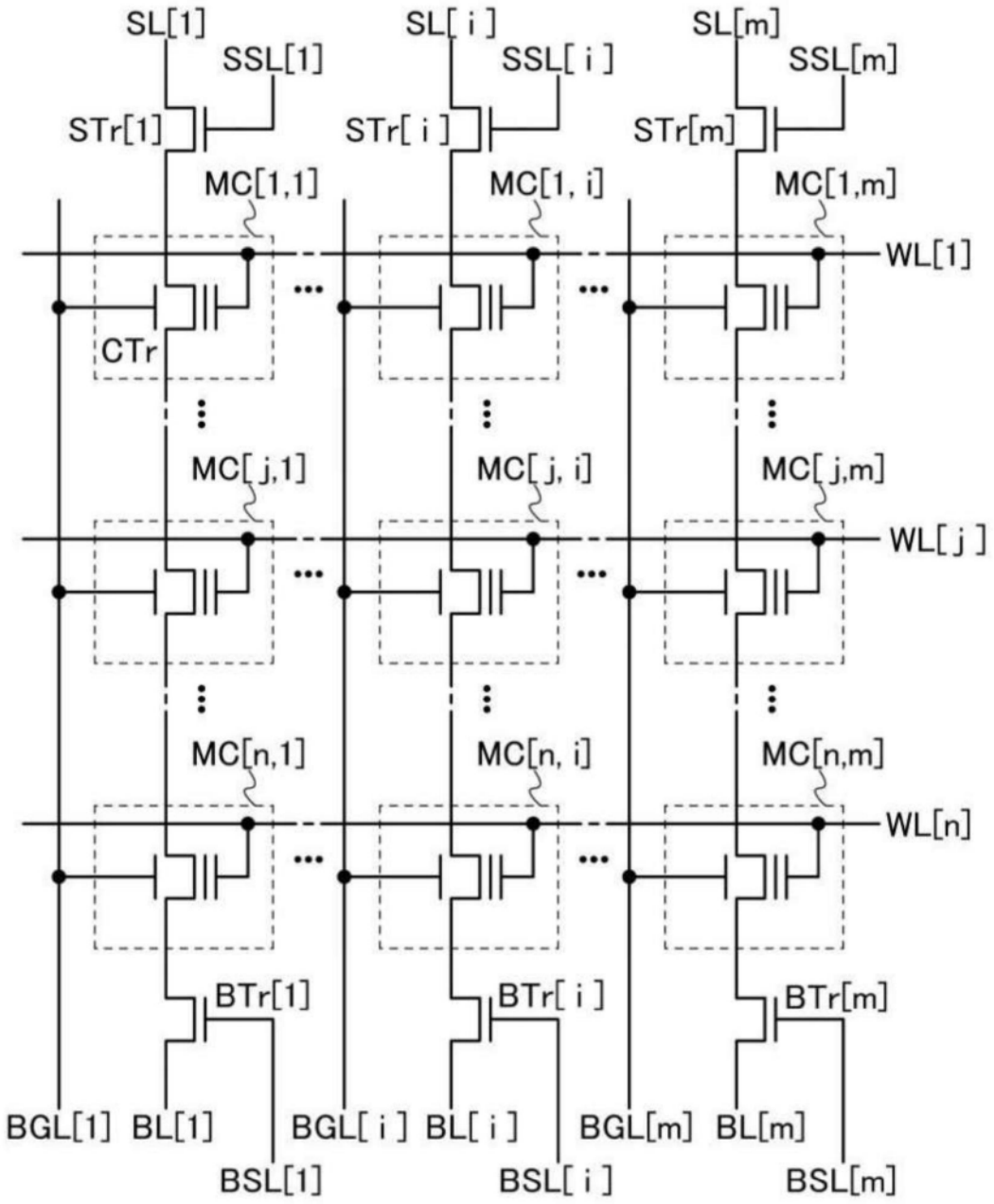

SL[1]
SSL[1]
STr[1]
MC[1,1]
CTr
MC[j,1]
MC[n,1]
BTr[1]
BGL[1]
BL[1]
BSL[1]
SL[i]
SSL[i]
STr[i]
MC[1,i]
MC[j,i]
MC[n,i]
BTr[i]
BGL[i]
BL[i]
BSL[i]
SL[m]
SSL[m]
STr[m]
MC[1,m]
MC[j,m]
MC[n,m]
BTr[m]
BGL[m]
BL[m]
BSL[m]
WL[1]
WL[j]
WL[n]

图3

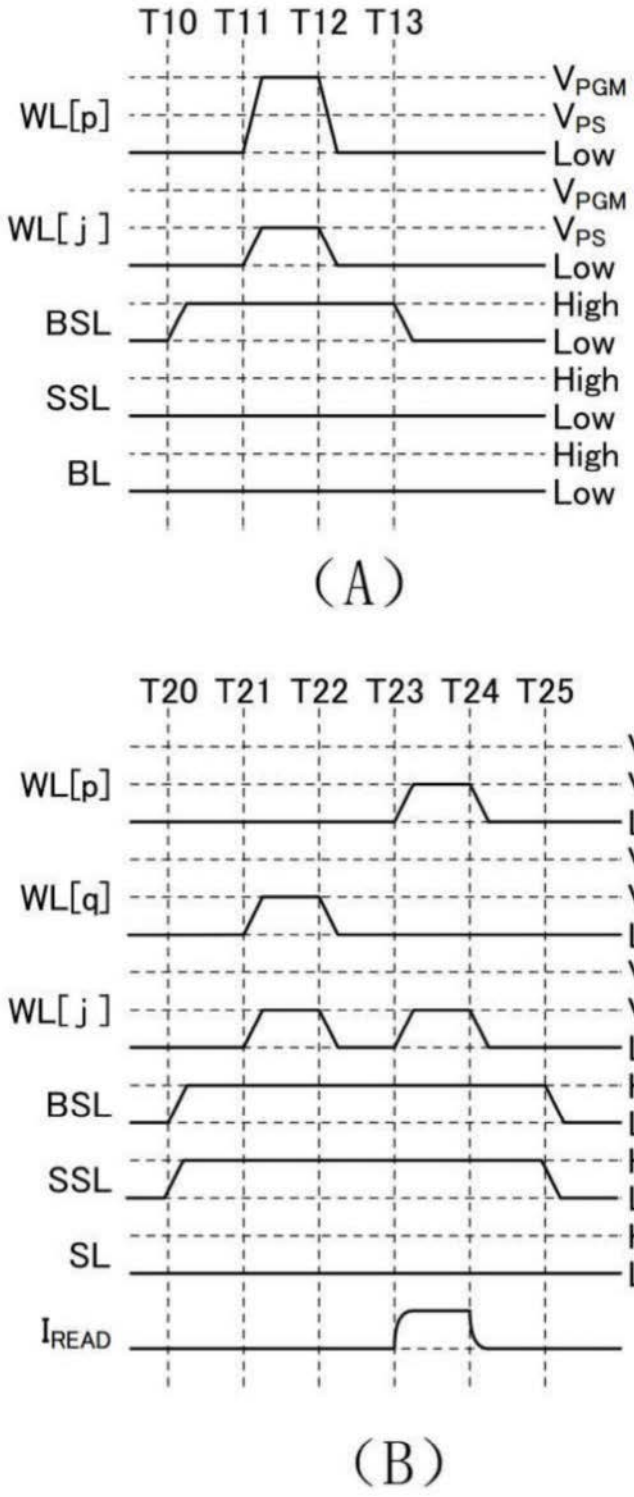

T10 T11 T12 T13
WL[p]
WL[j]
BSL
SSL
BL
V_{PGM}
V_{PS}
Low
High
(A)
T20 T21 T22 T23 T24 T25
WL[p]
WL[q]
WL[j]
BSL
SSL
SL
I_{READ}
V_{PGM}
V_{PS}
Low
High
(B)

图4

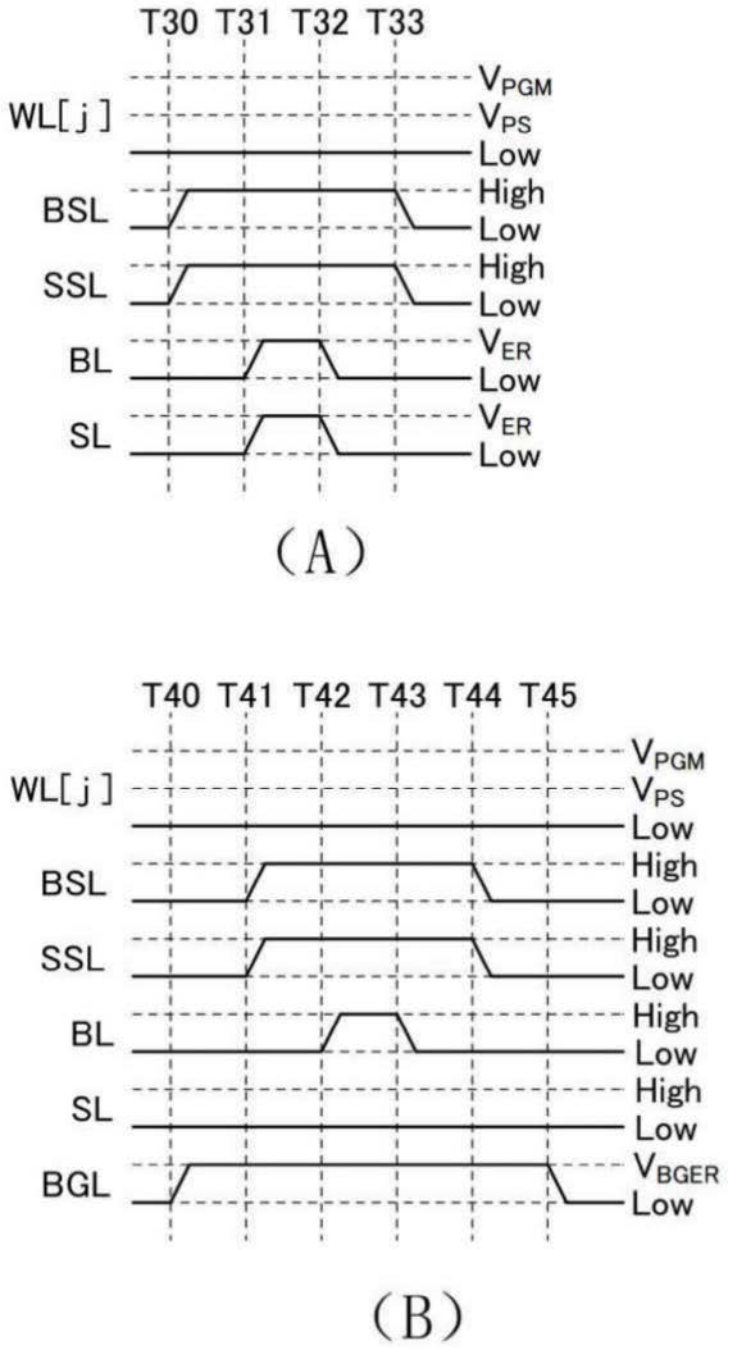

T30 T31 T32 T33
WL[j]
V_{PGM}
V_{PS}
Low
BSL
High
Low
SSL
High
Low
BL
V_{ER}
Low
SL
V_{ER}
Low
(A)
T40 T41 T42 T43 T44 T45
WL[j]
V_{PGM}
V_{PS}
Low
BSL
High
Low
SSL
High
Low
BL
High
Low
SL
High
Low
BGL
V_{BGER}
Low
(B)

图5

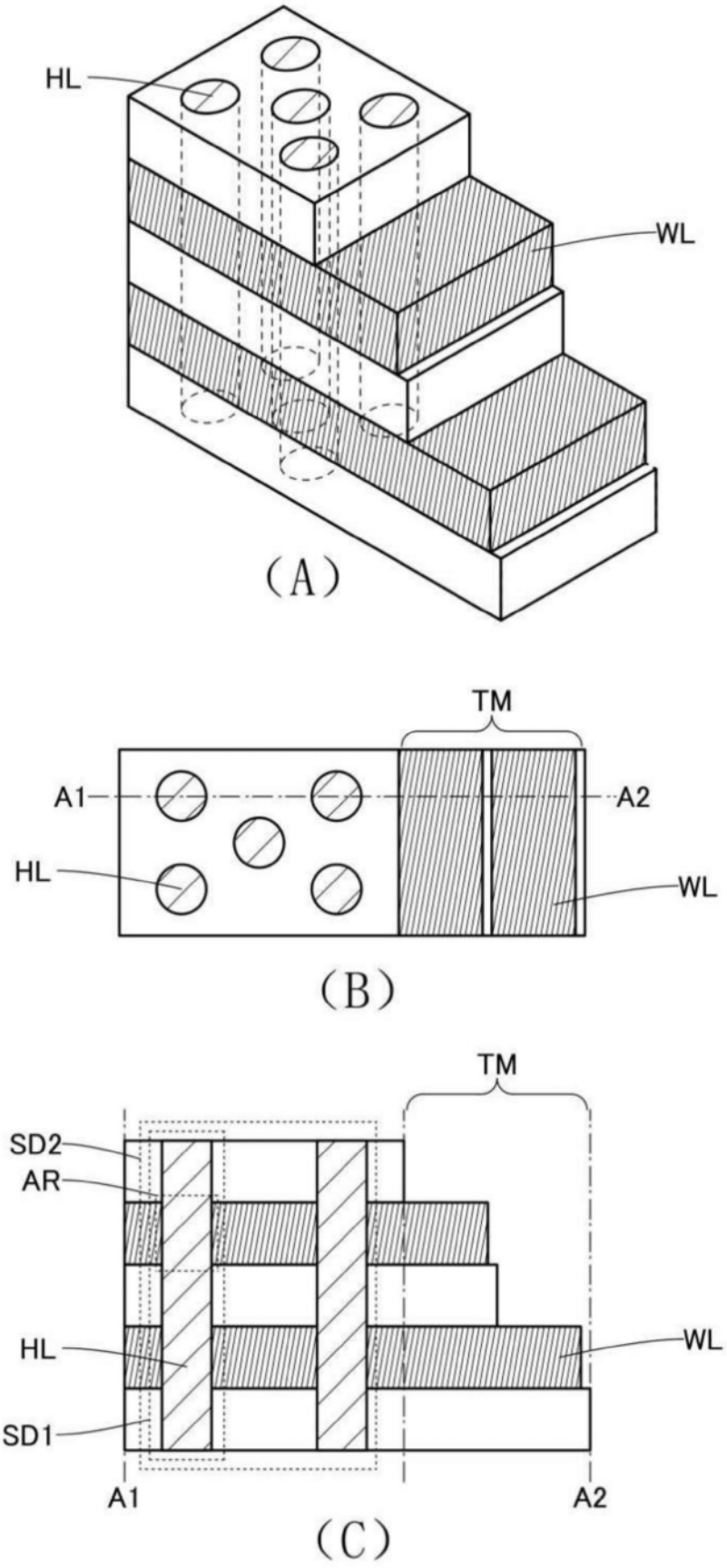


图6

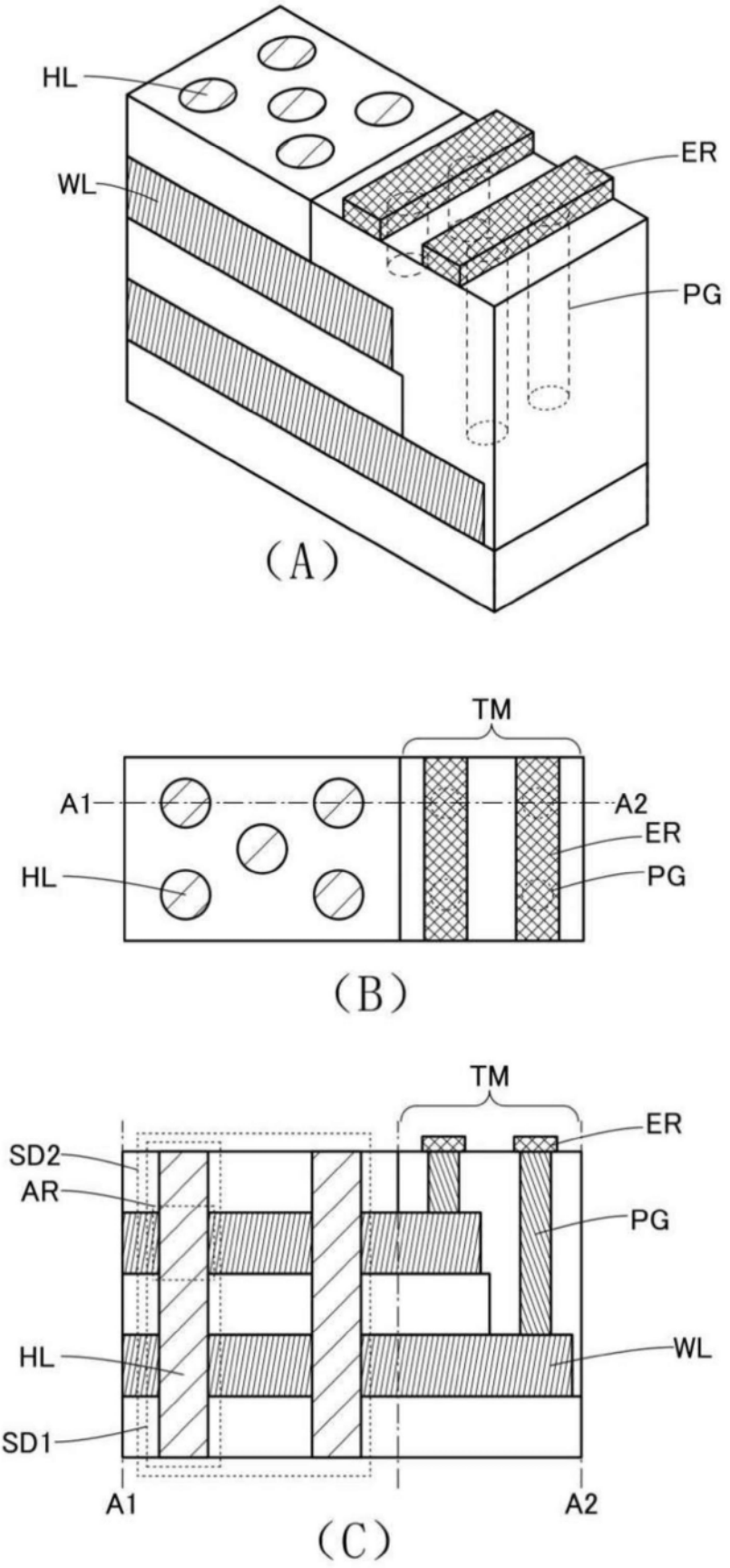


图7

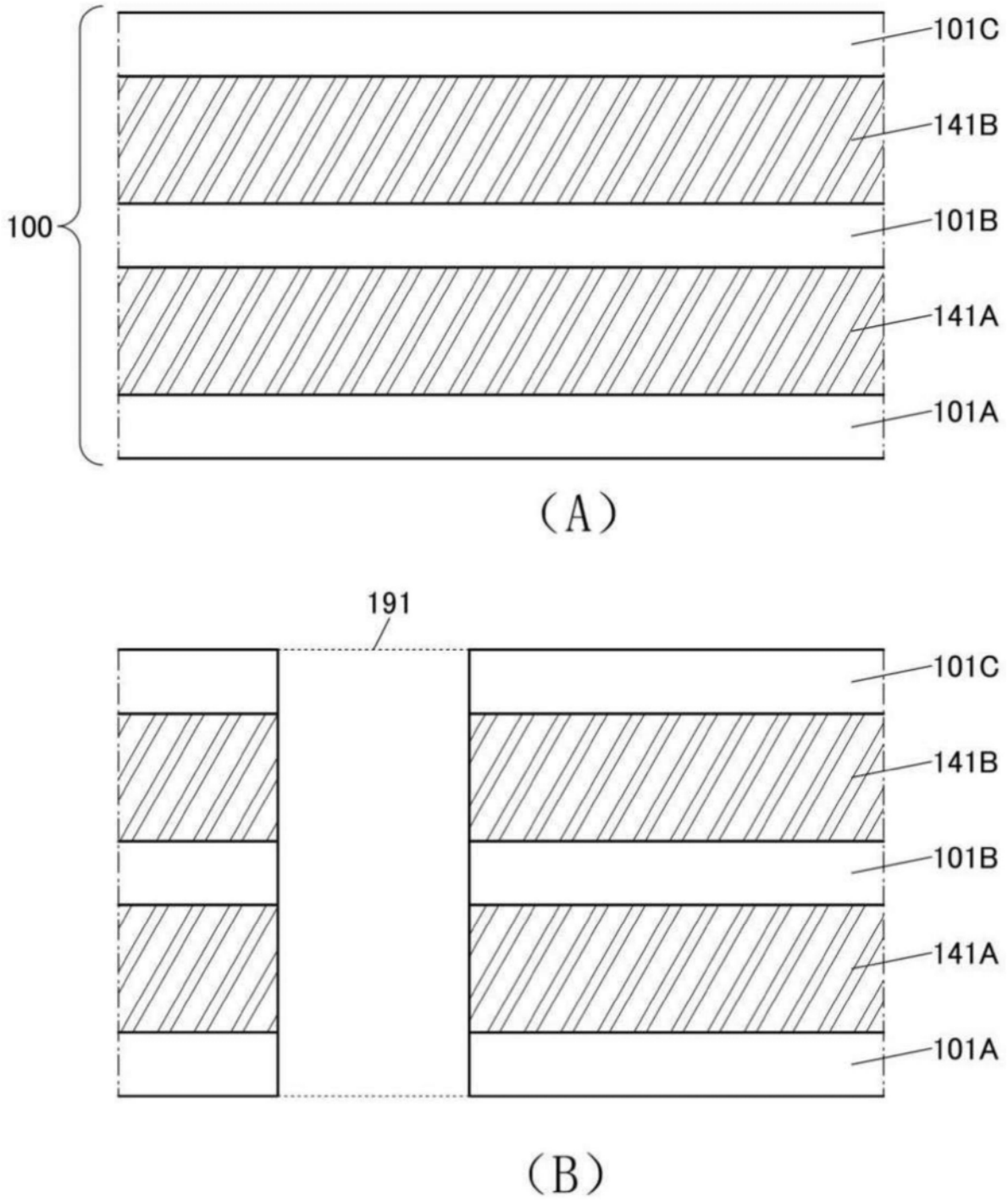
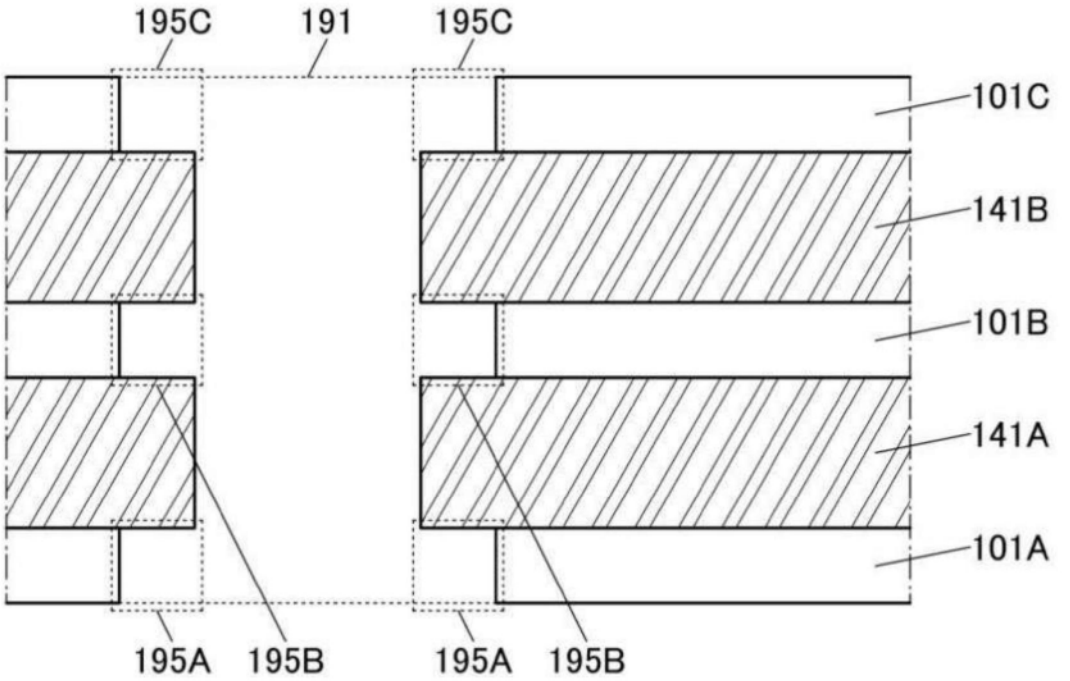
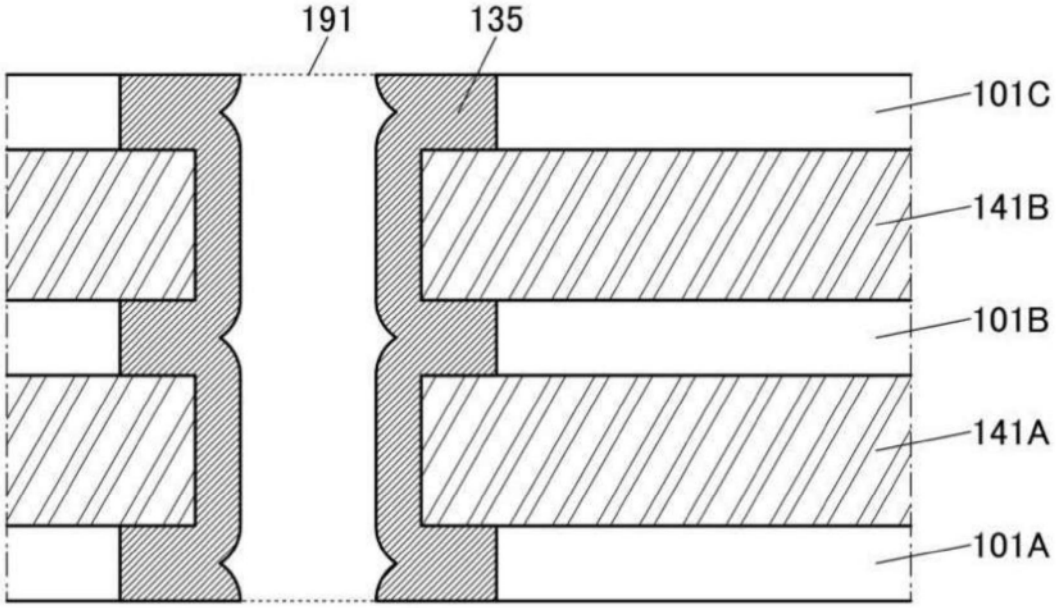


图8


195C
191
195C
101C
141B
101B
141A
101A
195A
195B
195A
195B

(A)


191
135
101C
141B
101B
141A
101A

(B)

图9

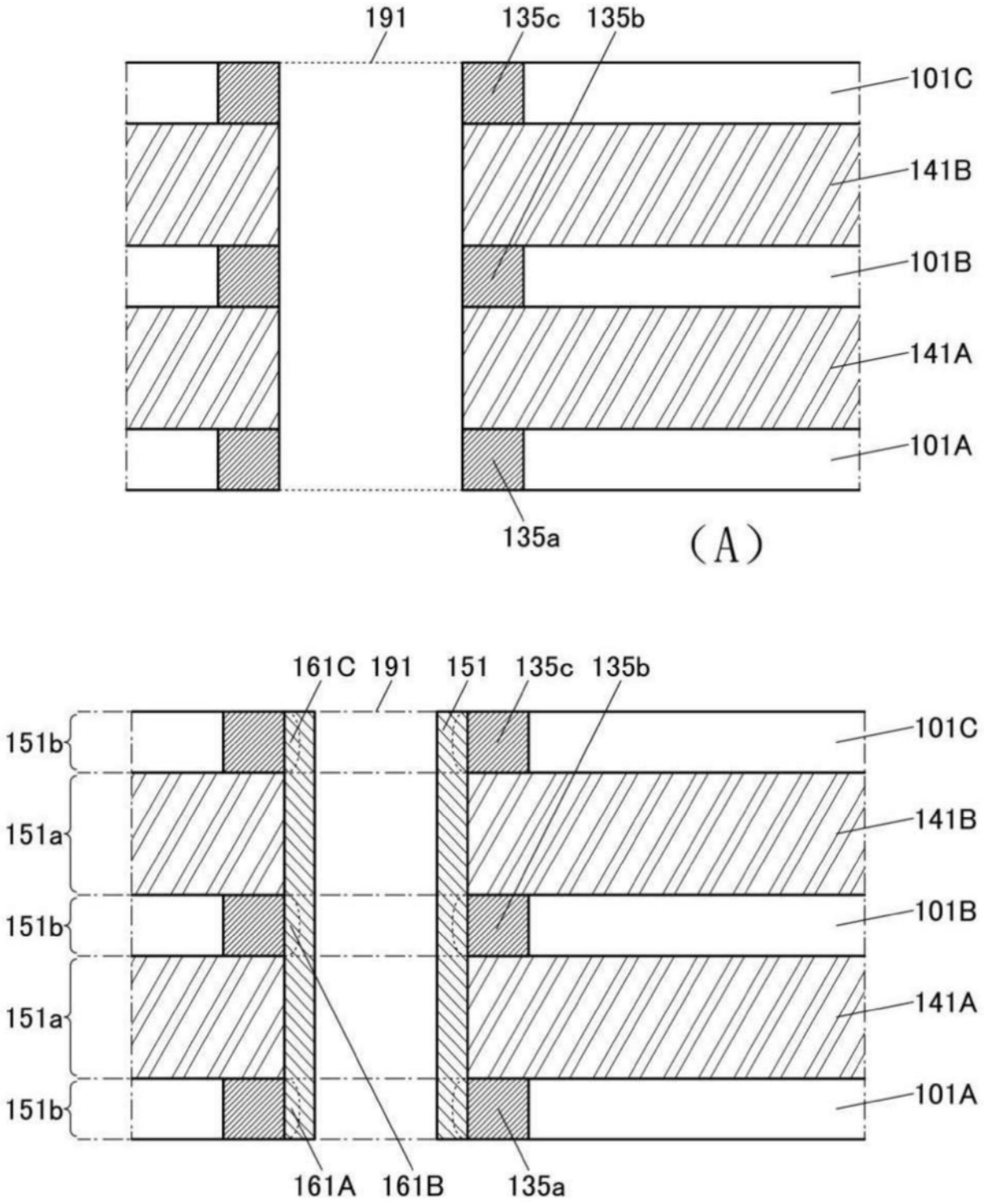
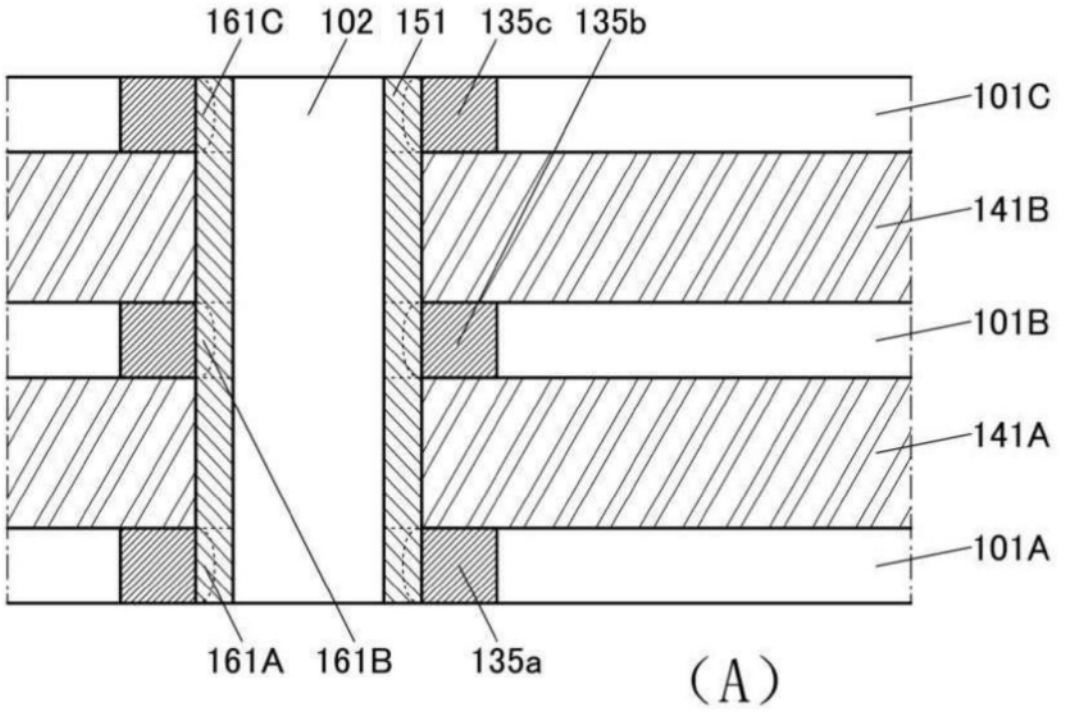

191
135c
135b
101C
141B
101B
141A
101A
135a
(A)
161C
191
151
135c
135b
151b
151a
151b
151a
151b
101C
141B
101B
141A
101A
161A
161B
135a
(B)

图10


161C
102
151
135c
135b
101C
141B
101B
141A
101A
161A
161B
135a
(A)

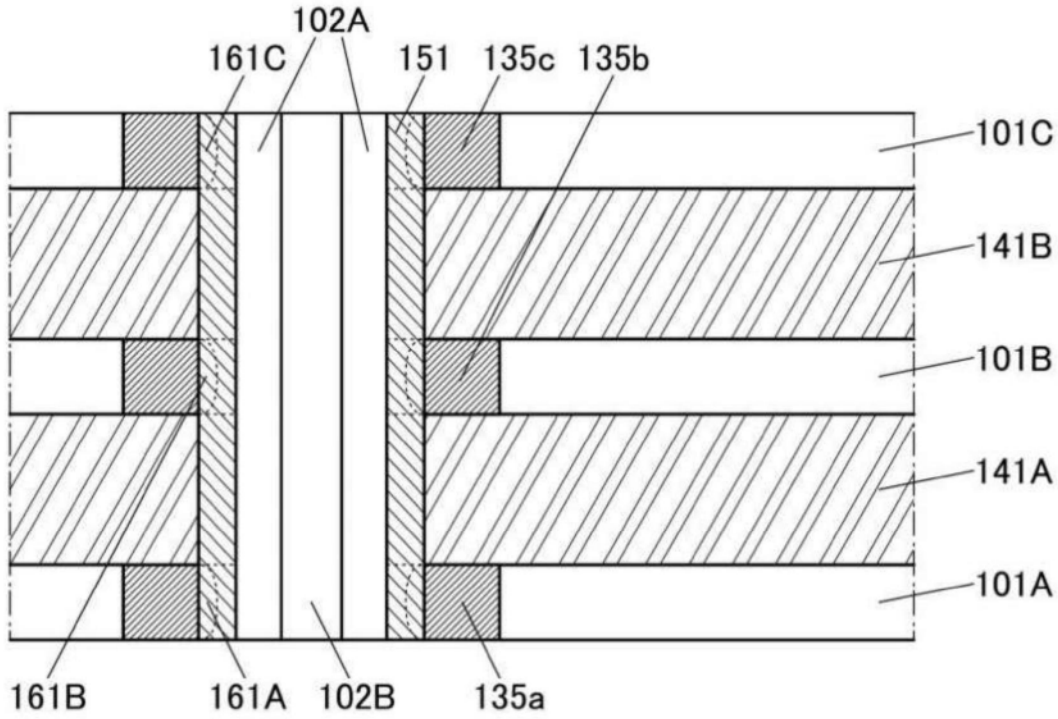

102A
161C
151
135c
135b
101C
141B
101B
141A
101A
161B
161A
102B
135a
(B)

图11

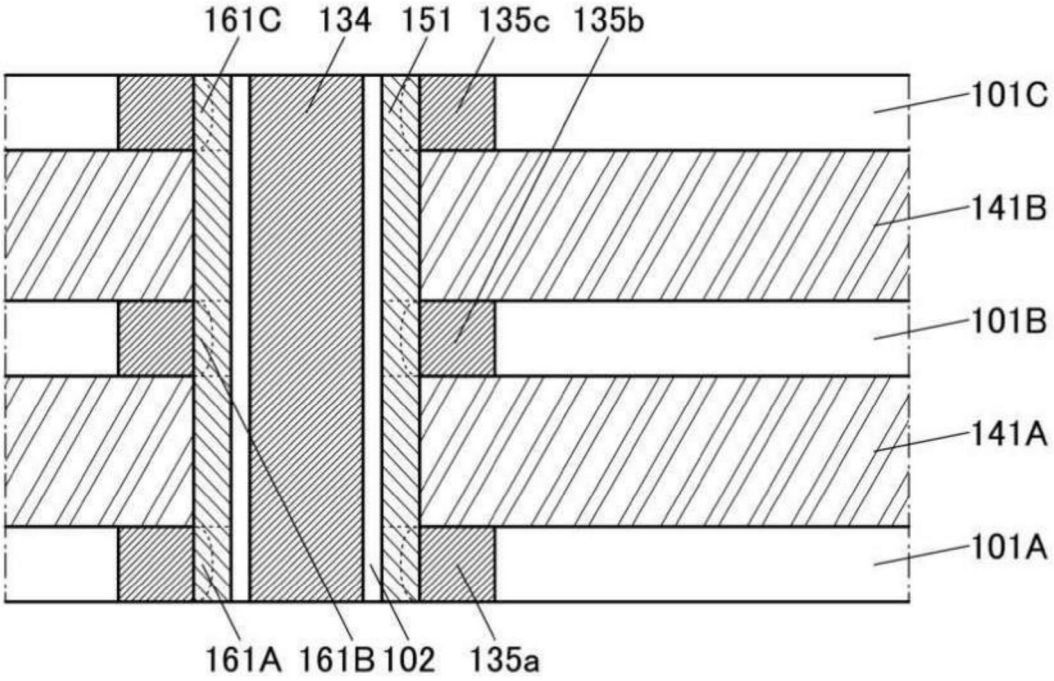
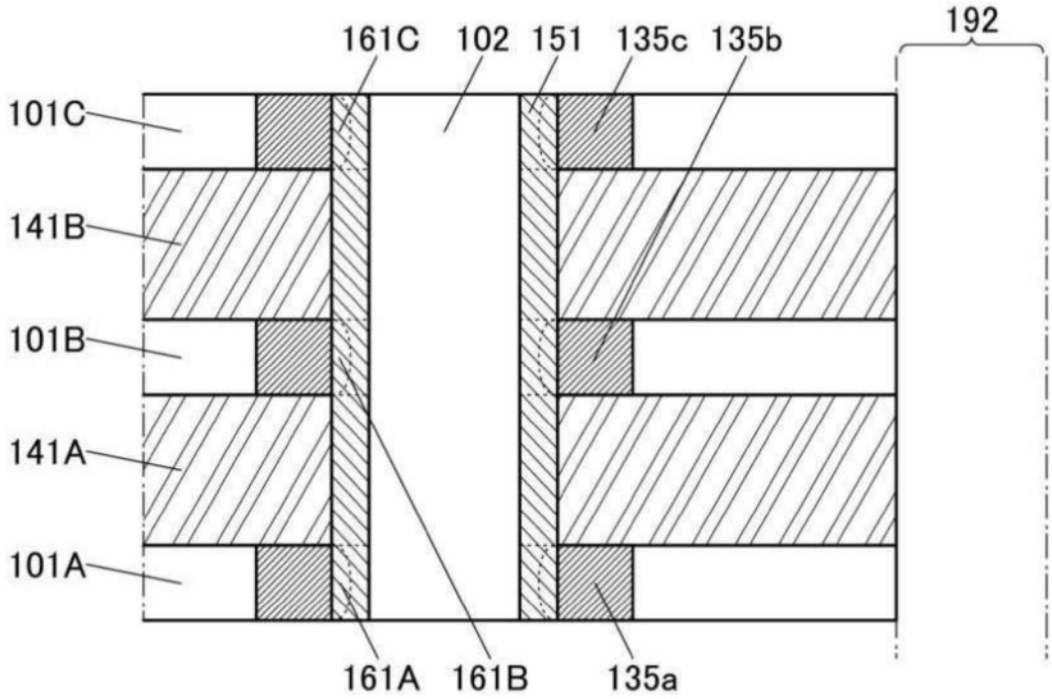
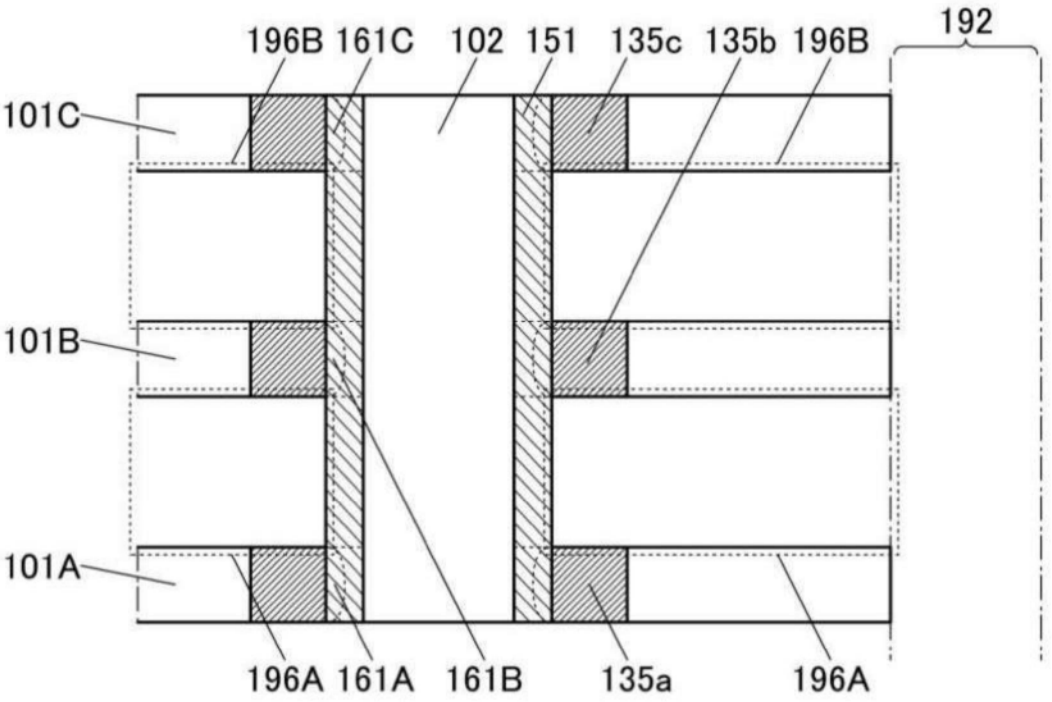

161C
134
151
135c
135b
101C
141B
101B
141A
101A
161A
161B
102
135a

图12

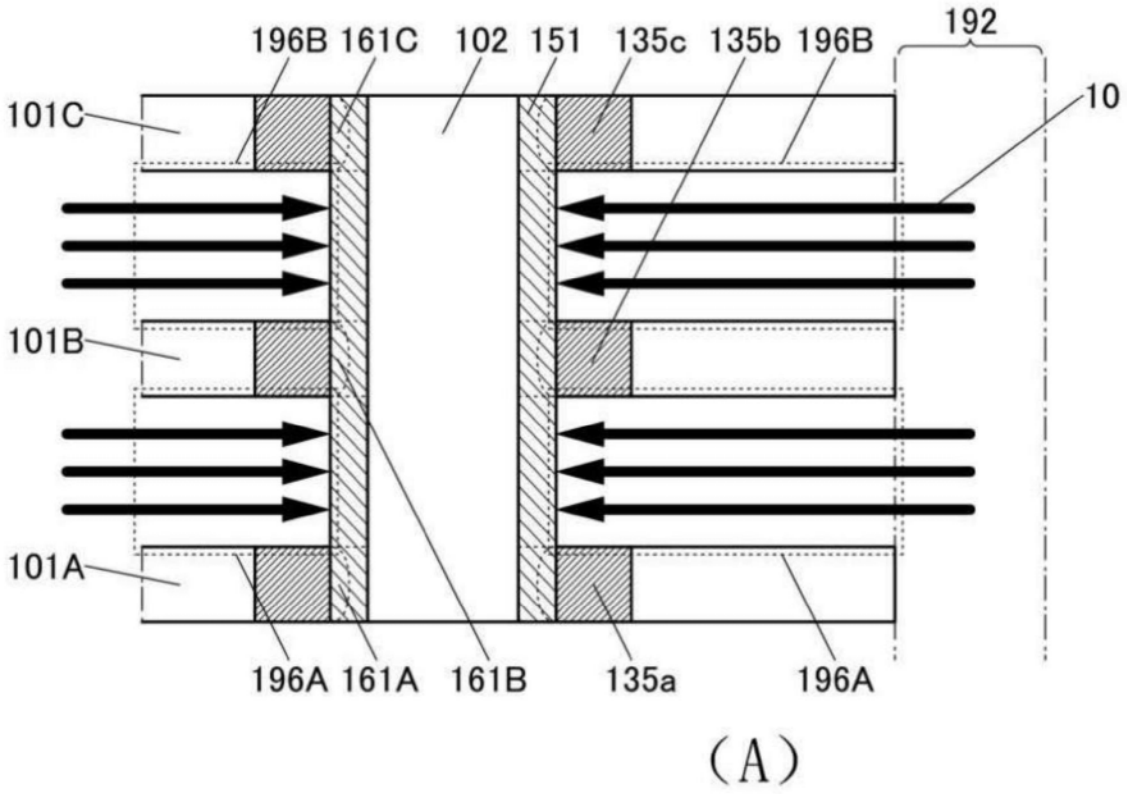

161C
102
151
135c
135b
192
101C
141B
101B
141A
101A
161A
161B
135a

(A)


196B
161C
102
151
135c
135b
196B
192
101C
101B
101A
196A
161A
161B
135a
196A

(B)

图13


196B
161C
102
151
135c
135b
196B
192
10
101C
101B
101A
196A
161A
161B
135a
196A
(A)

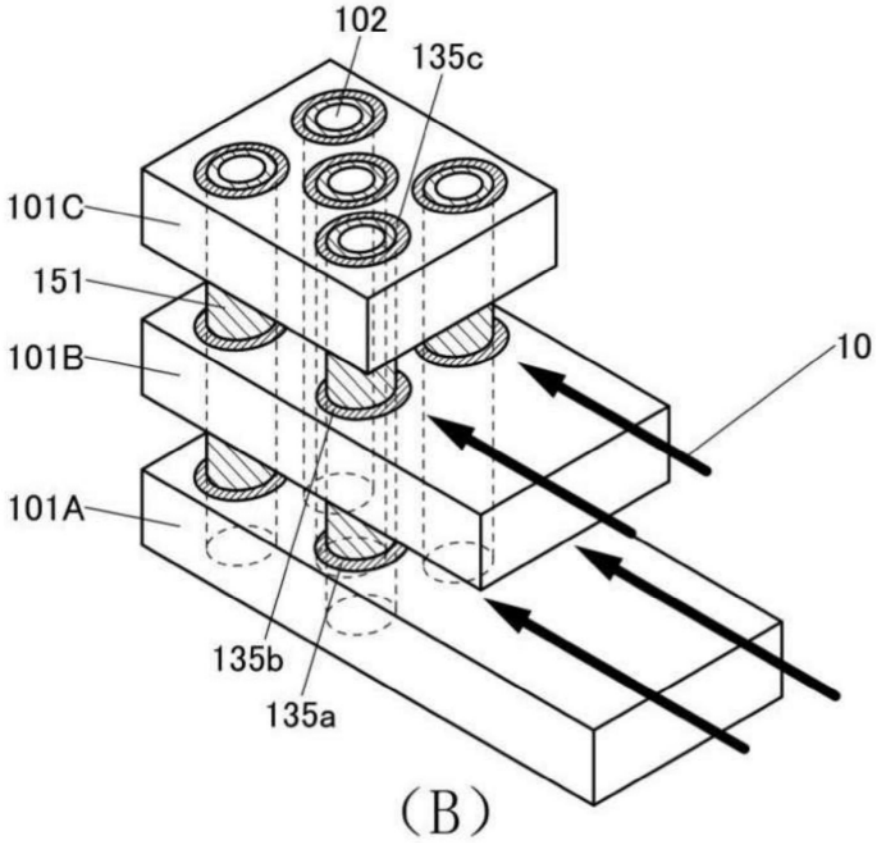
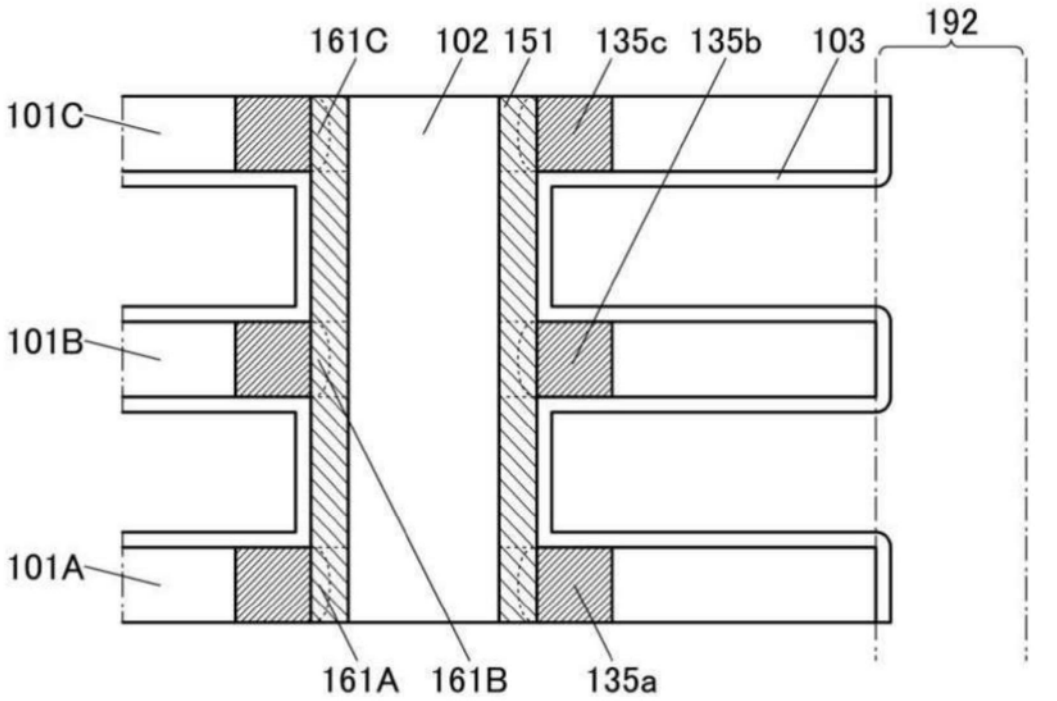
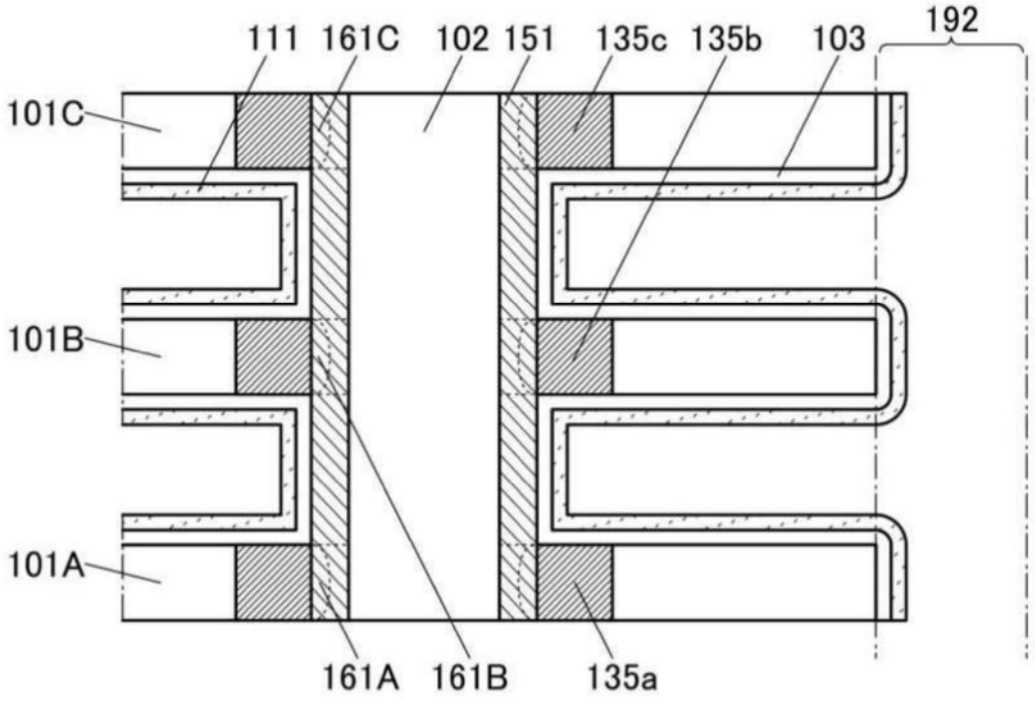

102
135c
101C
151
101B
10
101A
135b
135a
(B)

图14


161C
102
151
135c
135b
103
192
101C
101B
101A
161A
161B
135a

(A)


111
161C
102
151
135c
135b
103
192
101C
101B
101A
161A
161B
135a

(B)

图15

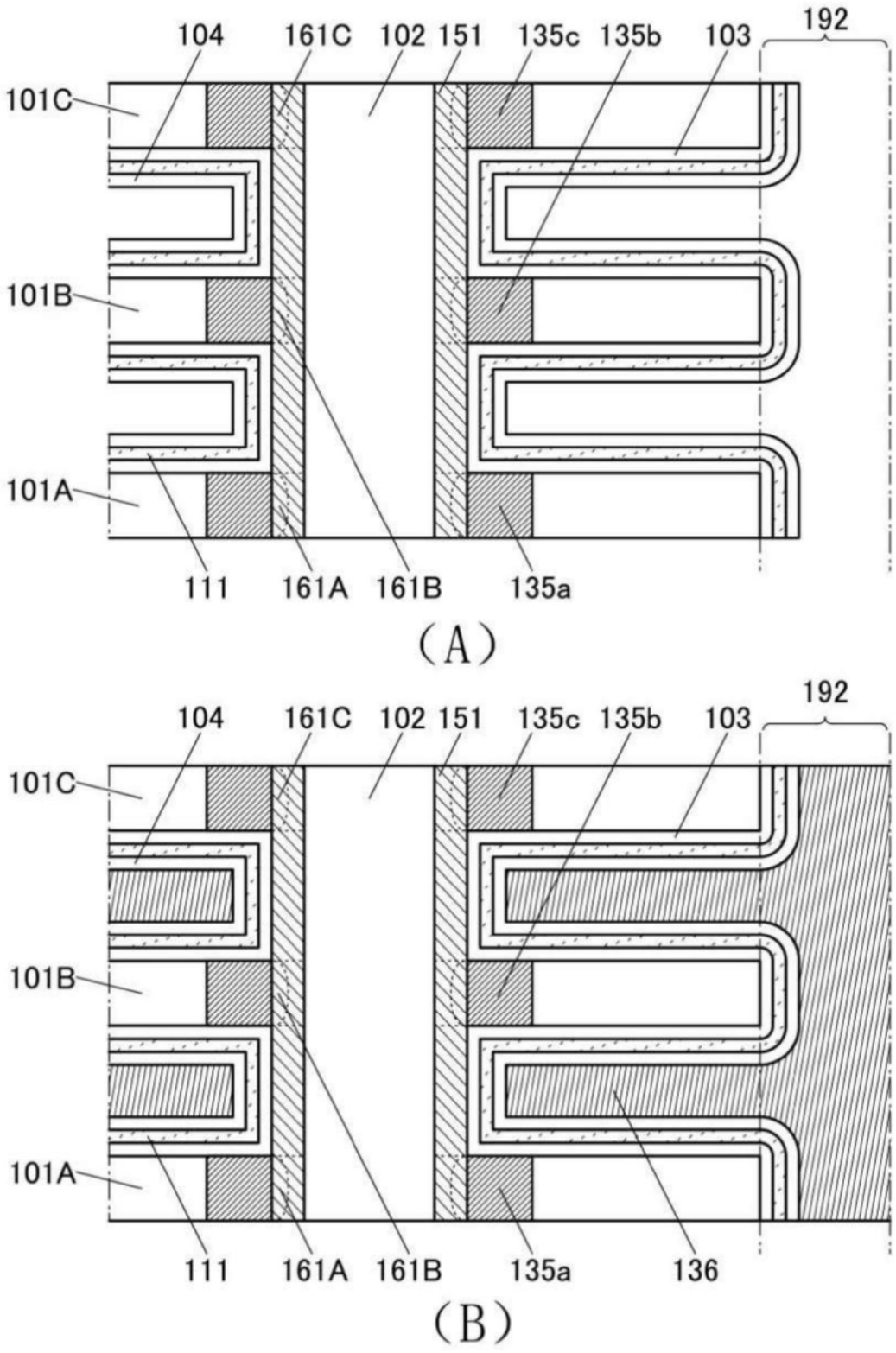

104
161C
102
151
135c
135b
103
192
101C
101B
101A
111
161A
161B
135a
(A)
104
161C
102
151
135c
135b
103
192
101C
101B
101A
111
161A
161B
135a
136
(B)

图16

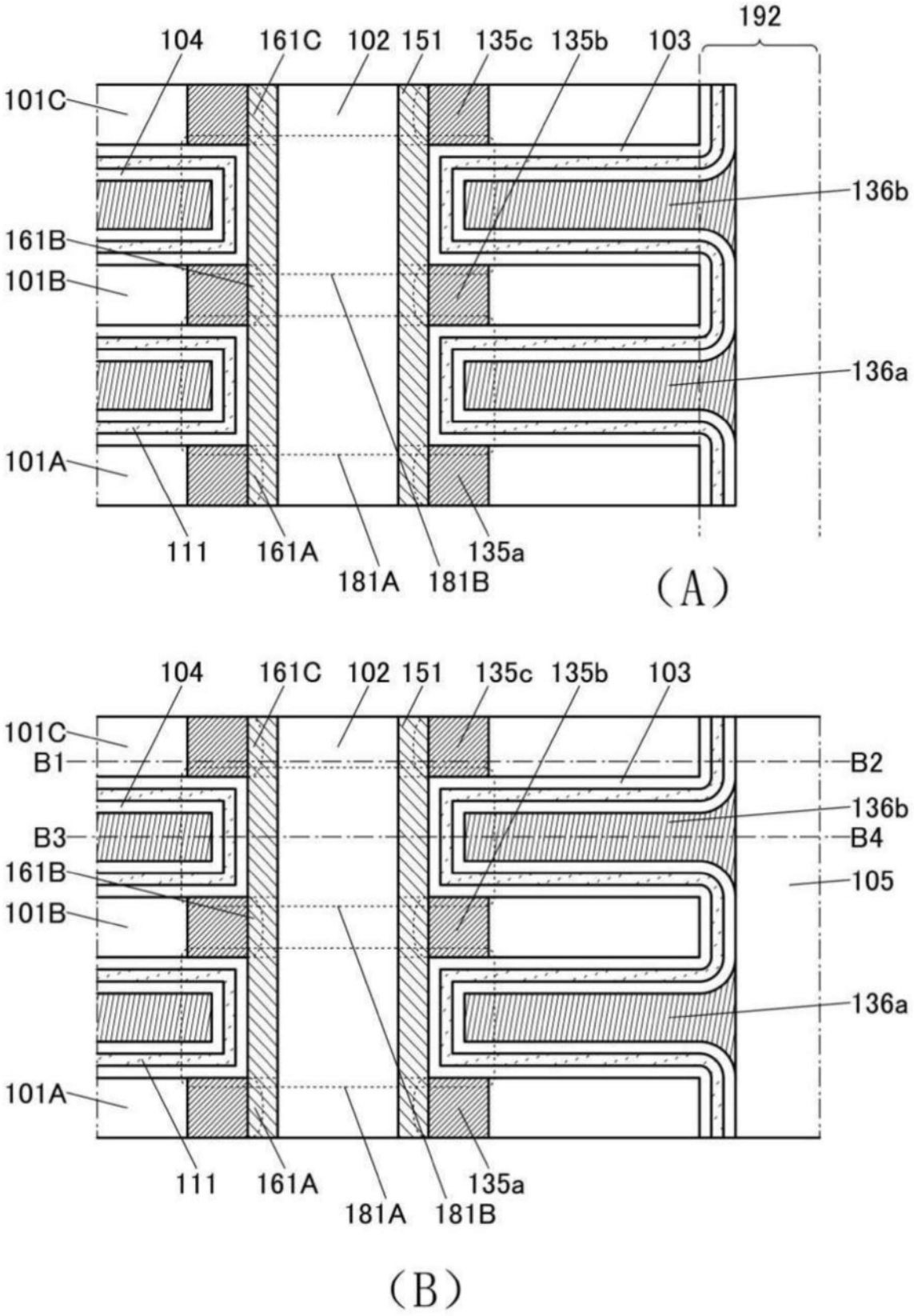

192
104
161C
102
151
135c
135b
103
101C
136b
161B
101B
136a
101A
111
161A
181A
181B
135a
(A)
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
111
161A
181A
181B
135a
(B)

图17

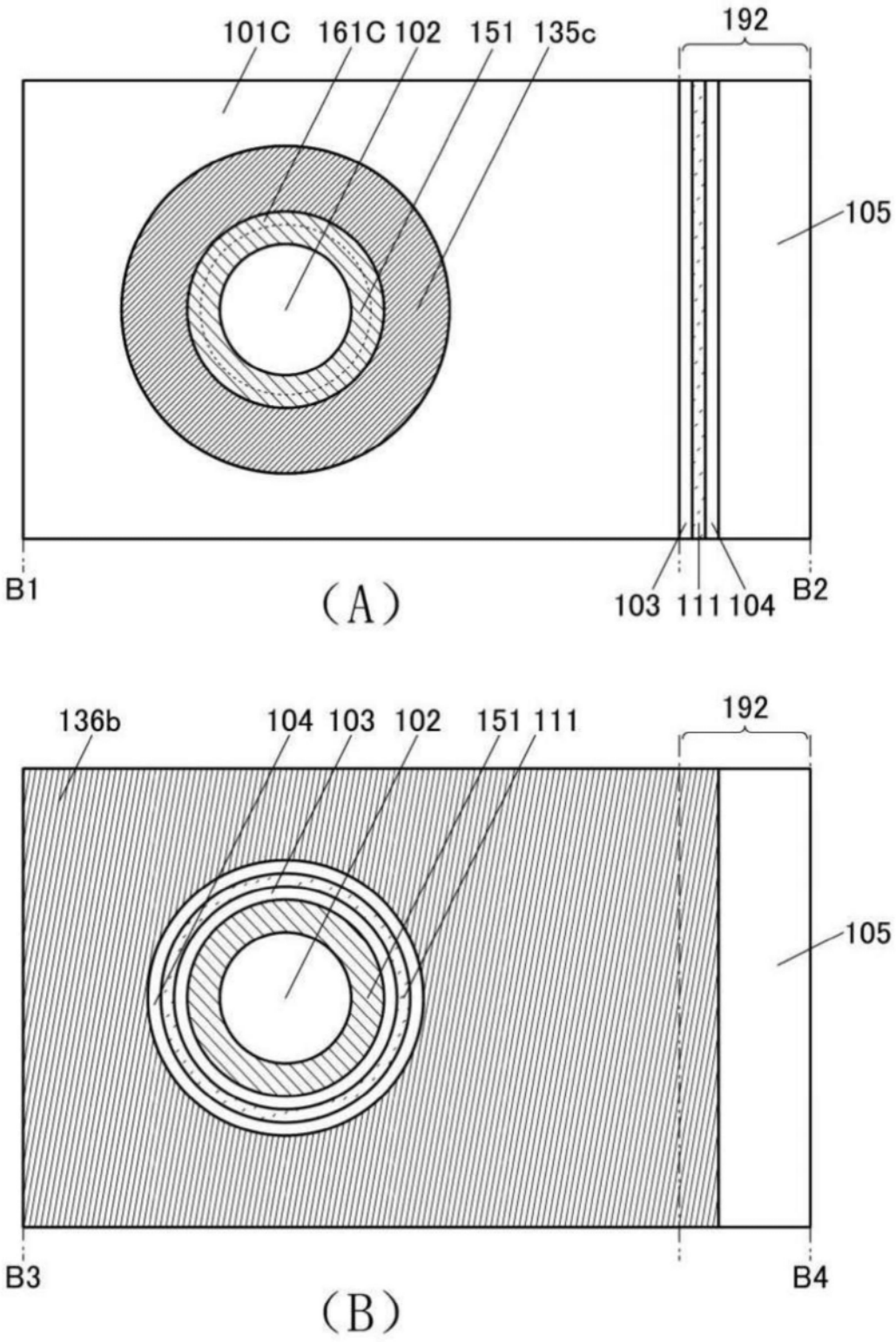

101C
161C
102
151
135c
192
105
B1
(A)
103
111
104
B2
136b
104
103
102
151
111
192
105
B3
(B)
B4

图18

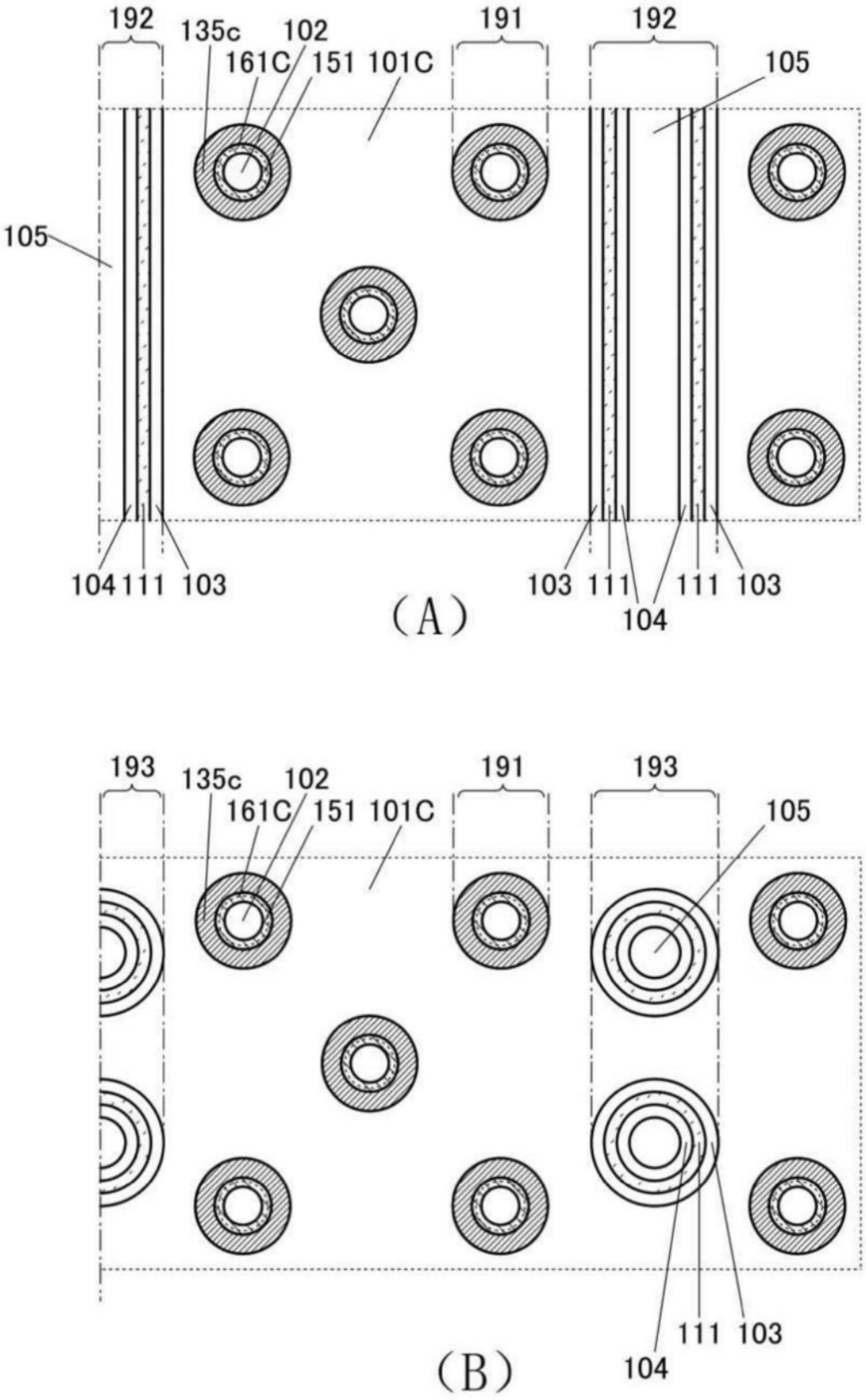

192
135c
102
161C
151
101C
191
192
105
105
104
111
103
103
111
111
103
104
(A)
193
135c
102
161C
151
101C
191
193
105
111
103
104
(B)

图19

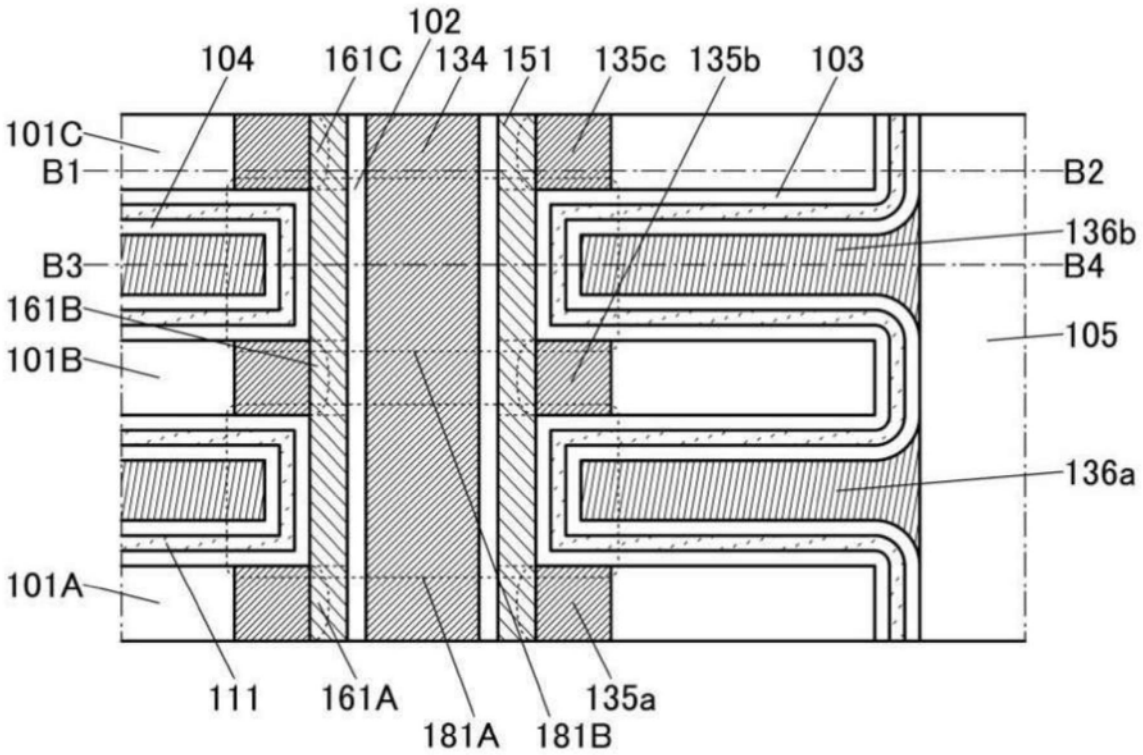

102
104
161C
134
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
111
161A
181A
181B
135a

图20

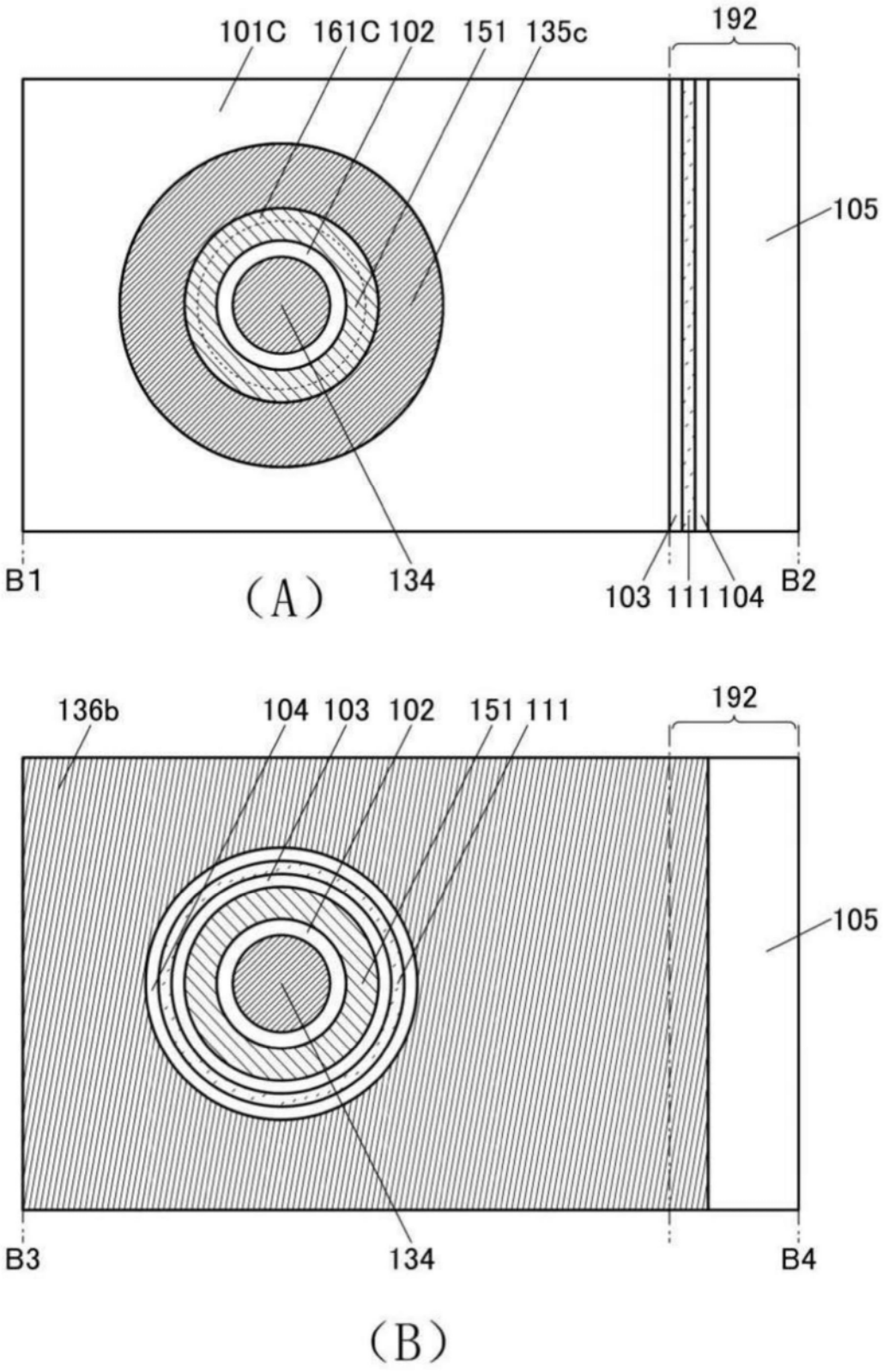

101C
161C
102
151
135c
192
105
B1
134
103
111
104
B2
(A)
136b
104
103
102
151
111
192
105
B3
134
B4
(B)

图21

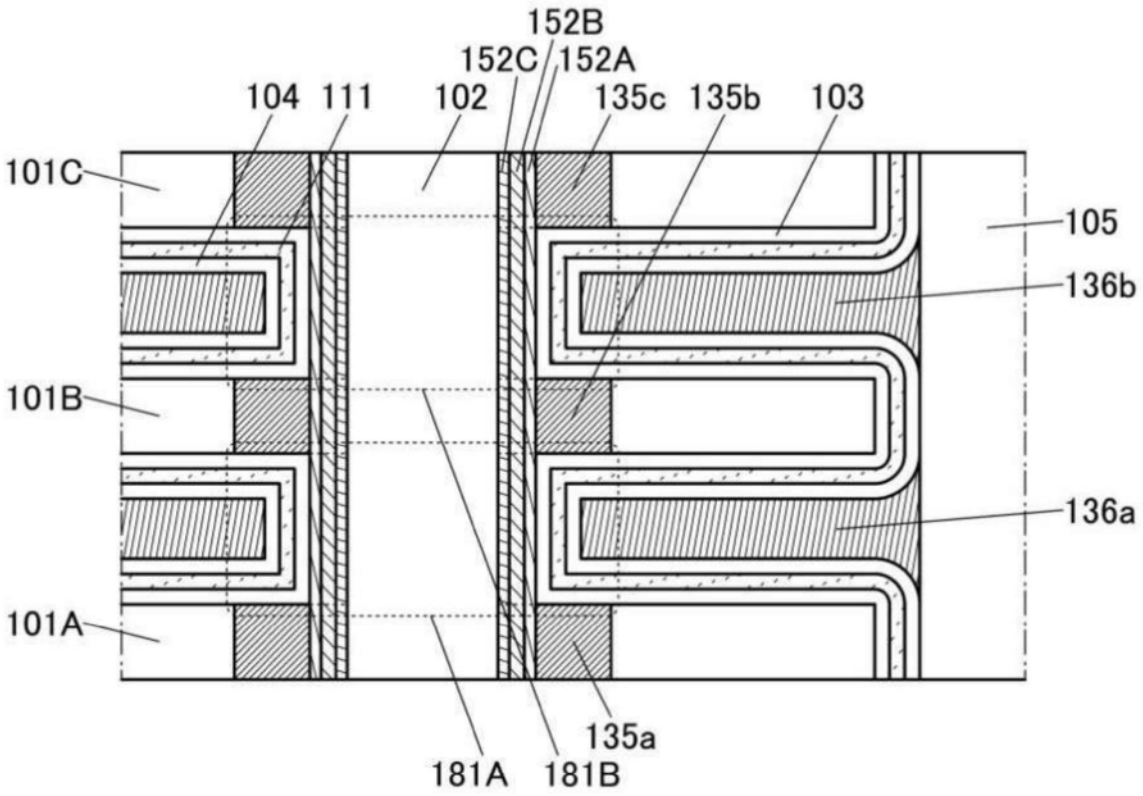

152B
152C
152A
104
111
102
135c
135b
103
101C
105
136b
101B
136a
101A
135a
181A
181B

图22

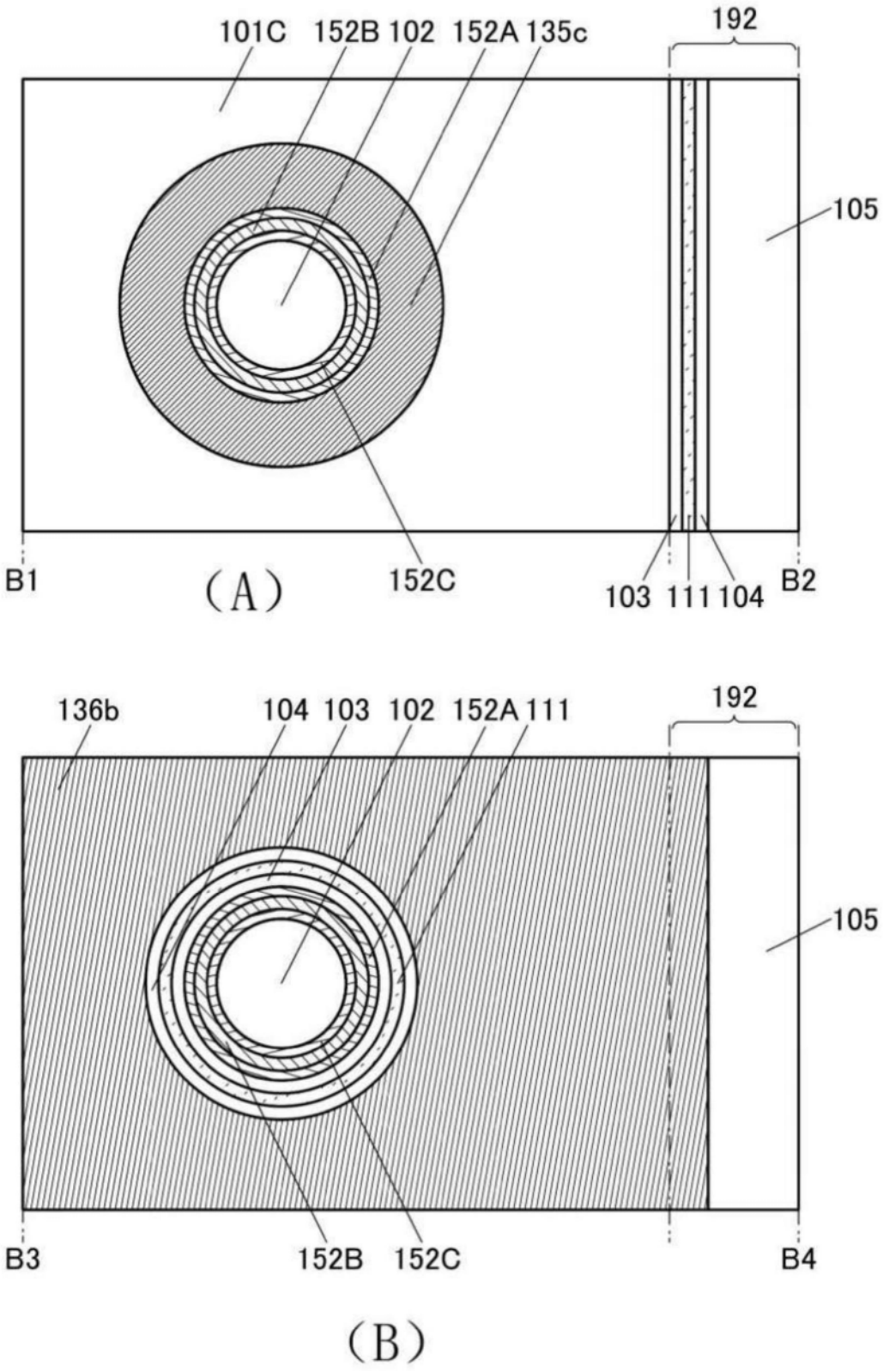

101C
152B
102
152A
135c
192
105
B1
(A)
152C
103
111
104
B2
136b
104
103
102
152A
111
192
105
B3
152B
152C
B4
(B)

图23

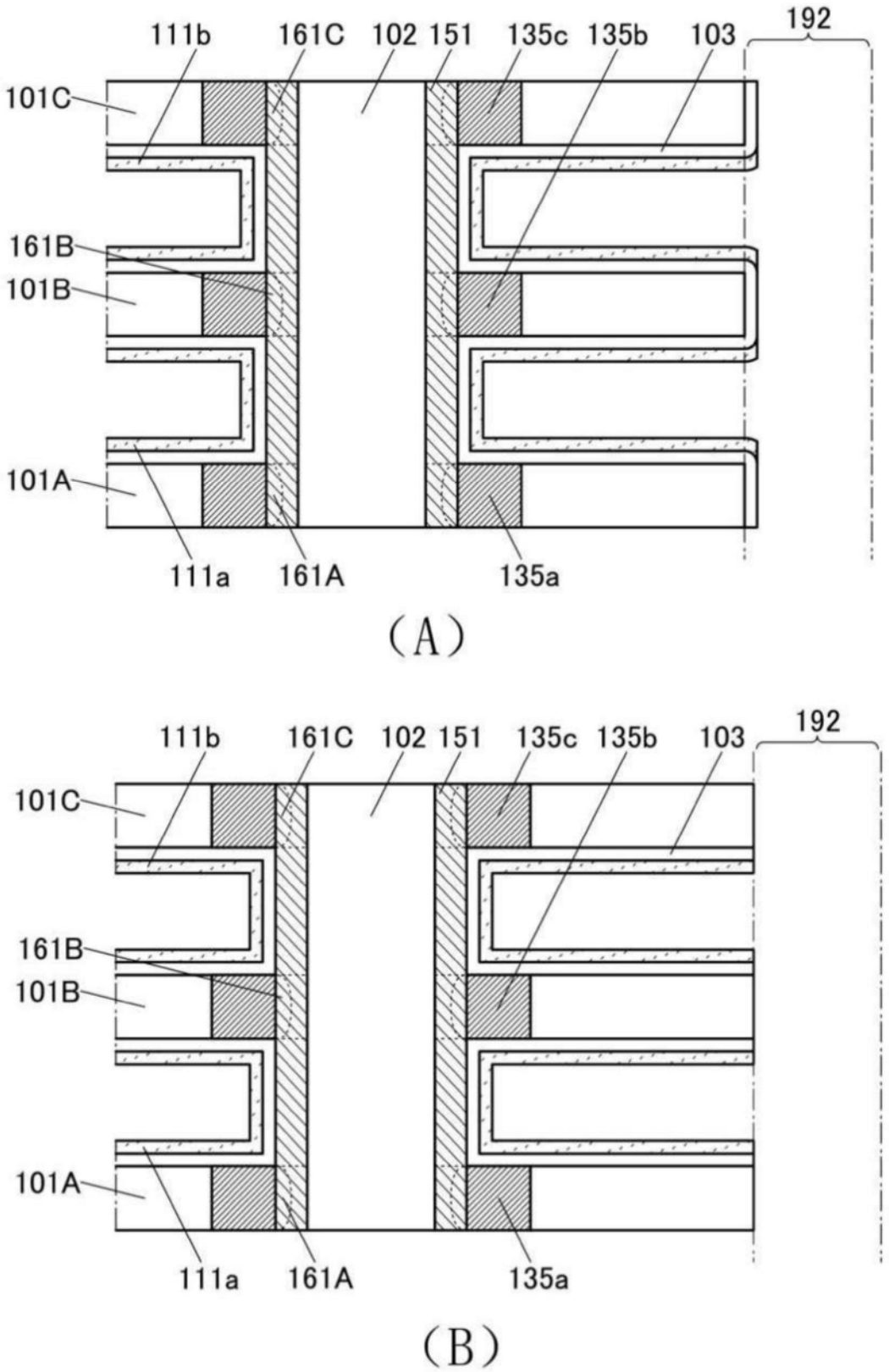

111b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
111a
161A
135a
(A)
111b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
111a
161A
135a
(B)

图24

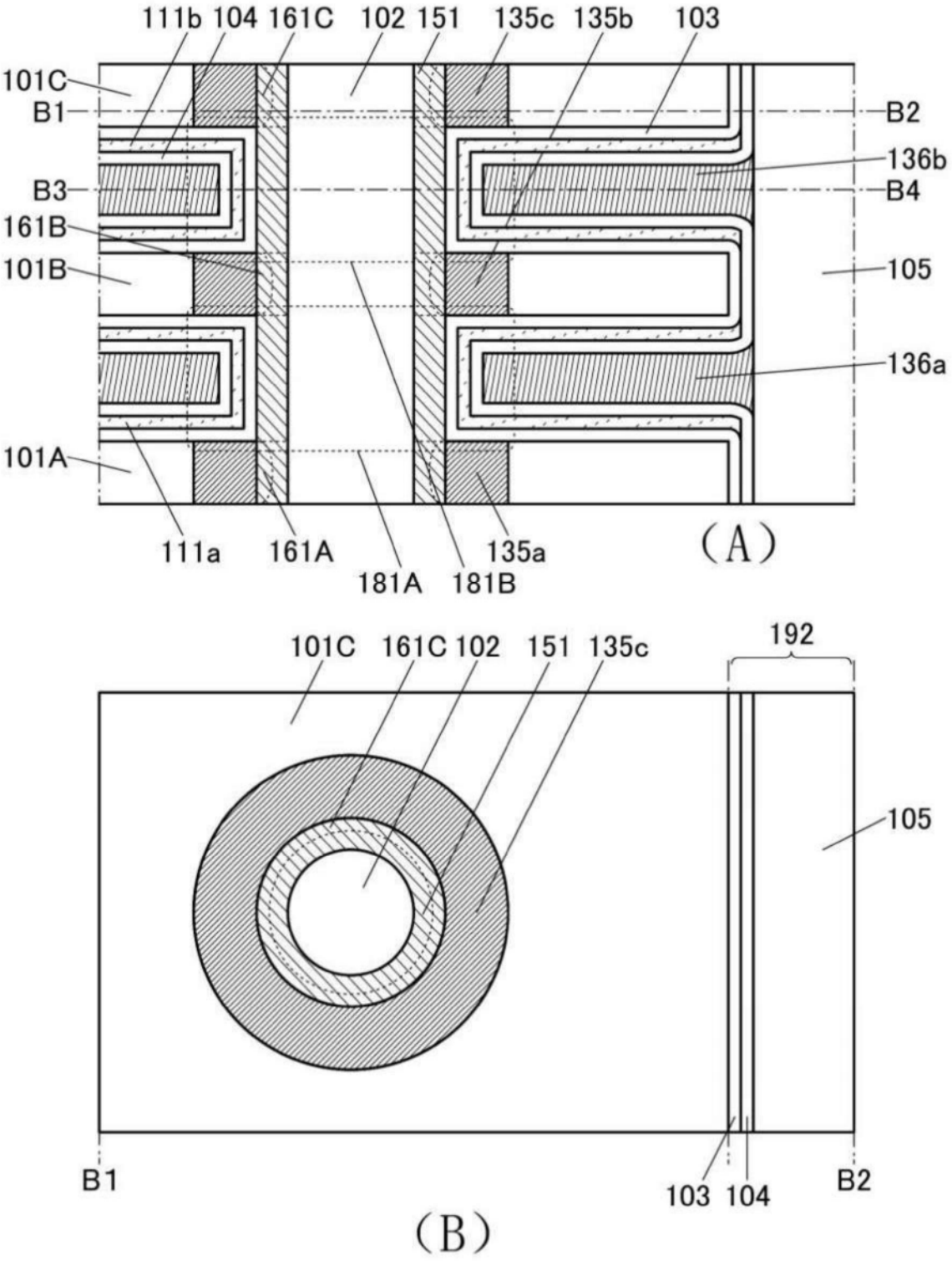

111b
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
101B
105
136a
101A
111a
161A
181A
181B
135a
(A)
101C
161C
102
151
135c
192
105
B1
103
104
B2
(B)

图25

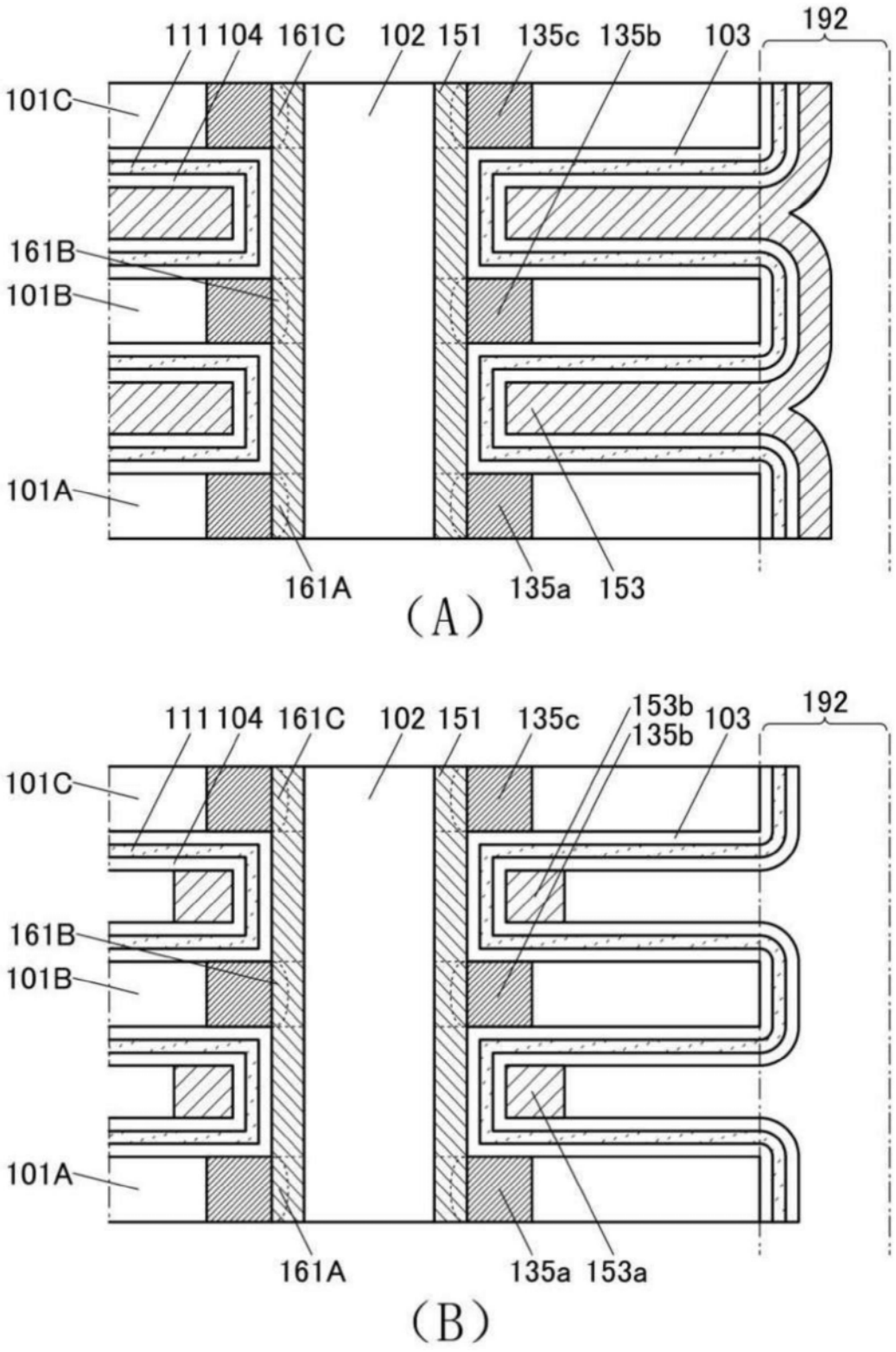

111
104
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
161A
135a
153
(A)
111
104
161C
102
151
135c
153b
135b
103
192
101C
161B
101B
101A
161A
135a
153a
(B)

图26

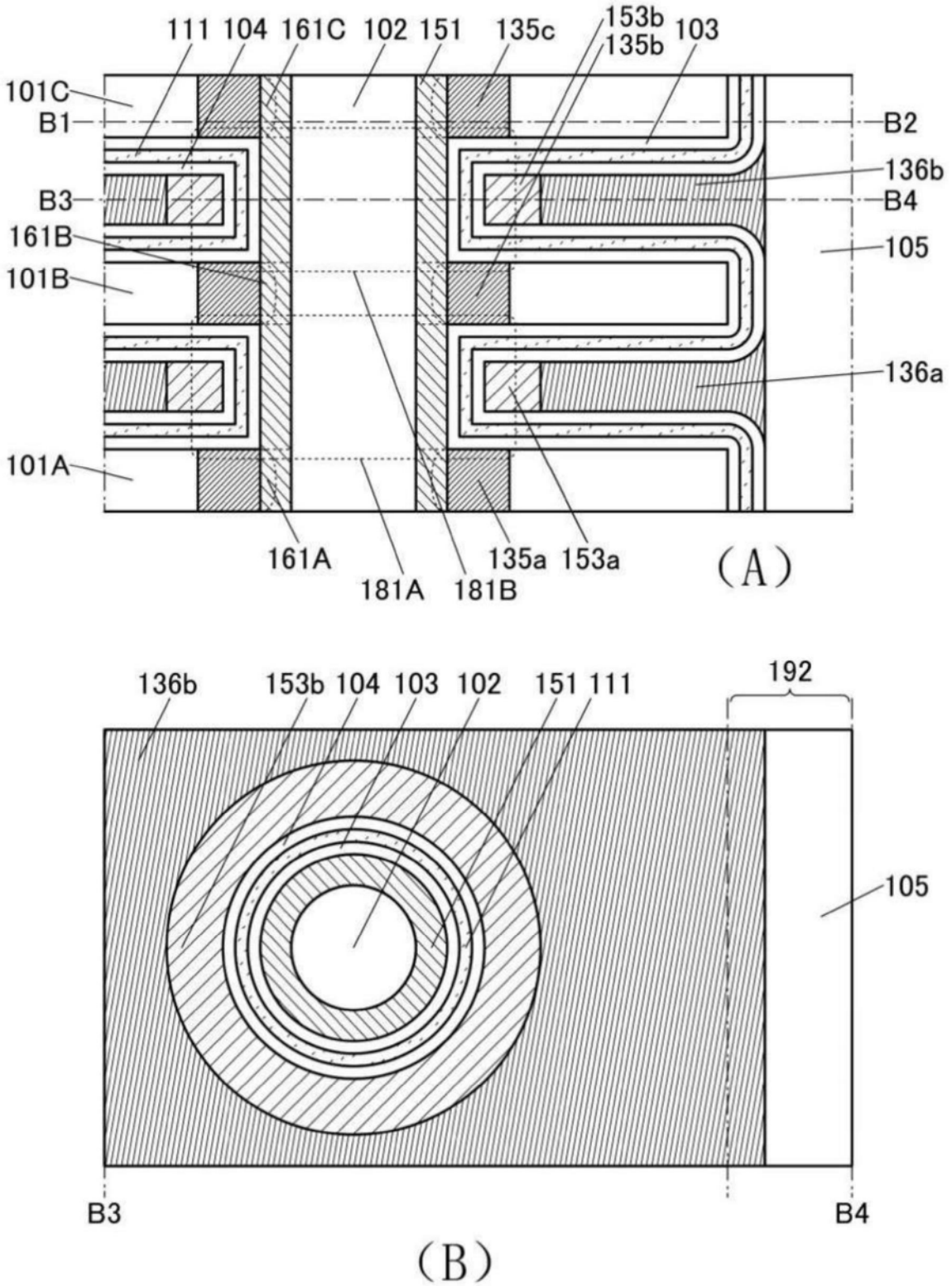

111
104
161C
102
151
135c
153b
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
161A
181A
181B
135a
153a
(A)
136b
153b
104
103
102
151
111
192
105
B3
B4
(B)

图27

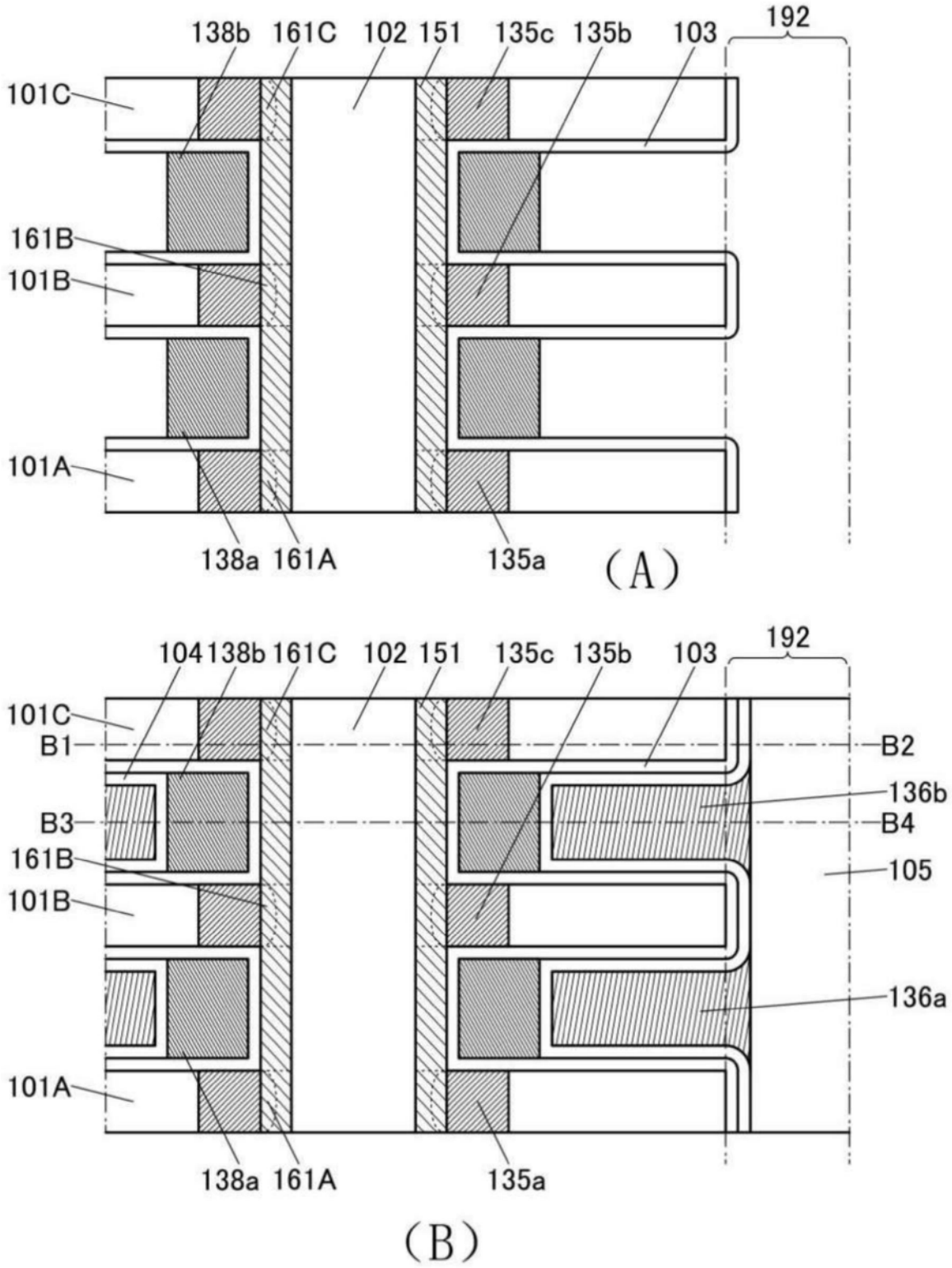

138b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
138a
161A
135a
(A)
104
B1
B2
B3
B4
136b
105
136a
(B)

图28

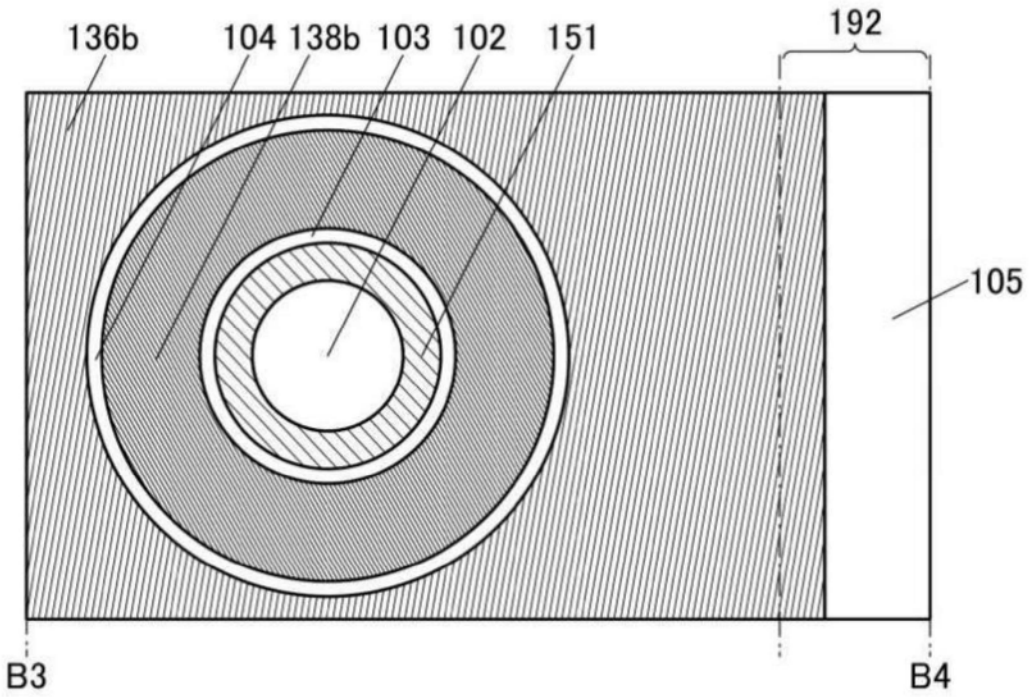


图29

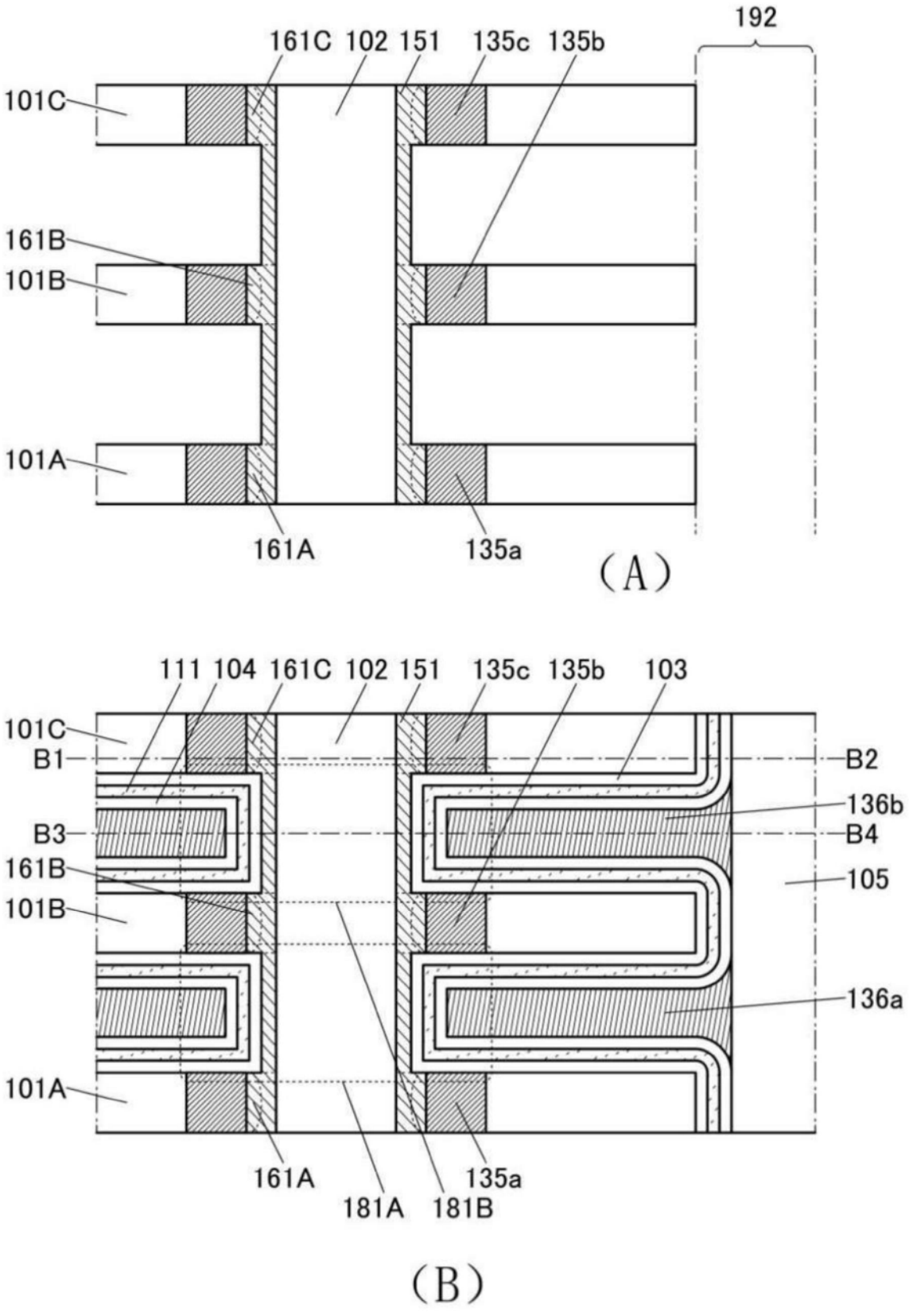

192
161C
102
151
135c
135b
101C
161B
101B
101A
161A
135a
(A)
111
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
161A
181A
181B
135a
(B)

图30

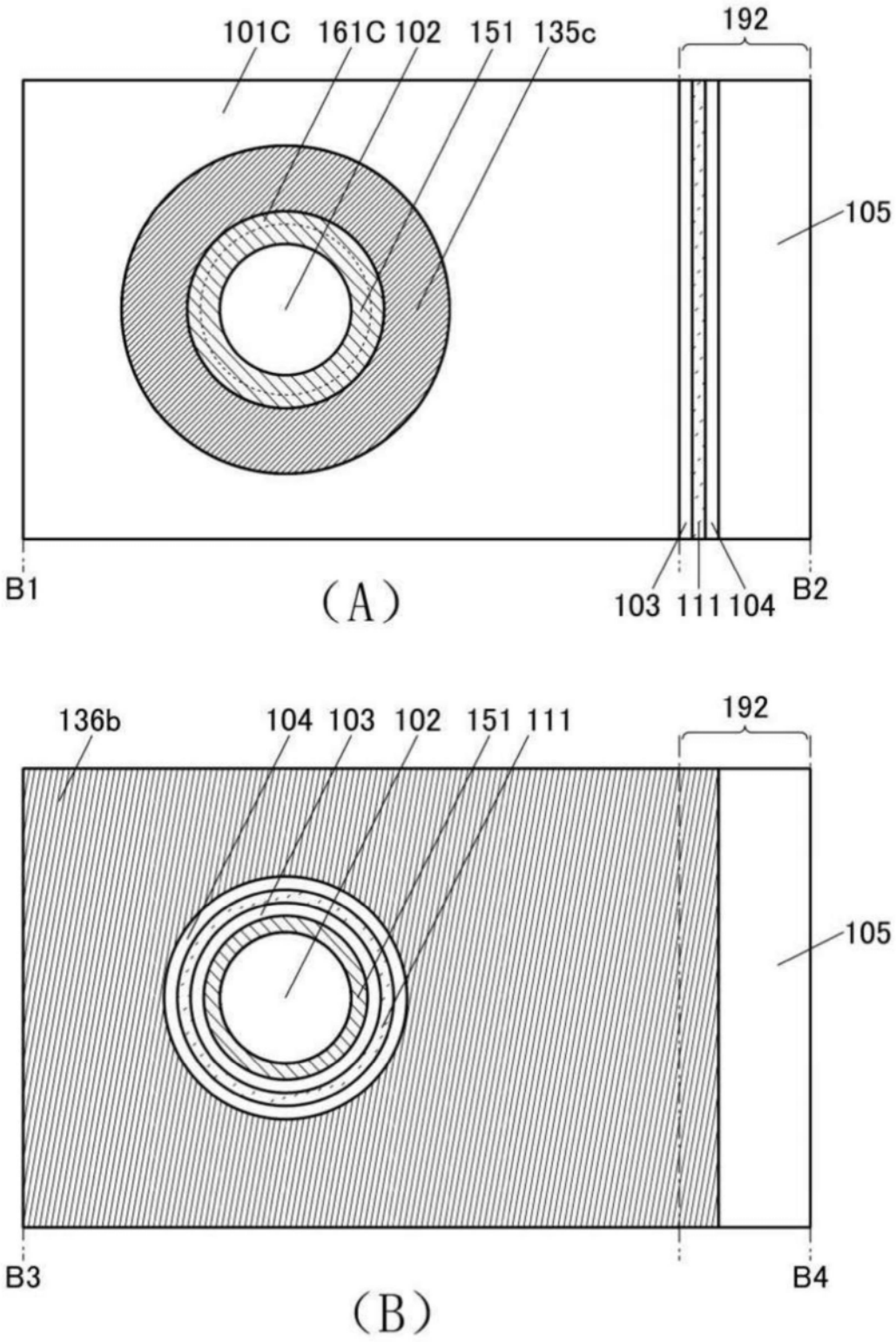

101C
161C
102
151
135c
192
105
B1
(A)
103
111
104
B2
136b
104
103
102
151
111
192
105
B3
(B)
B4

图31

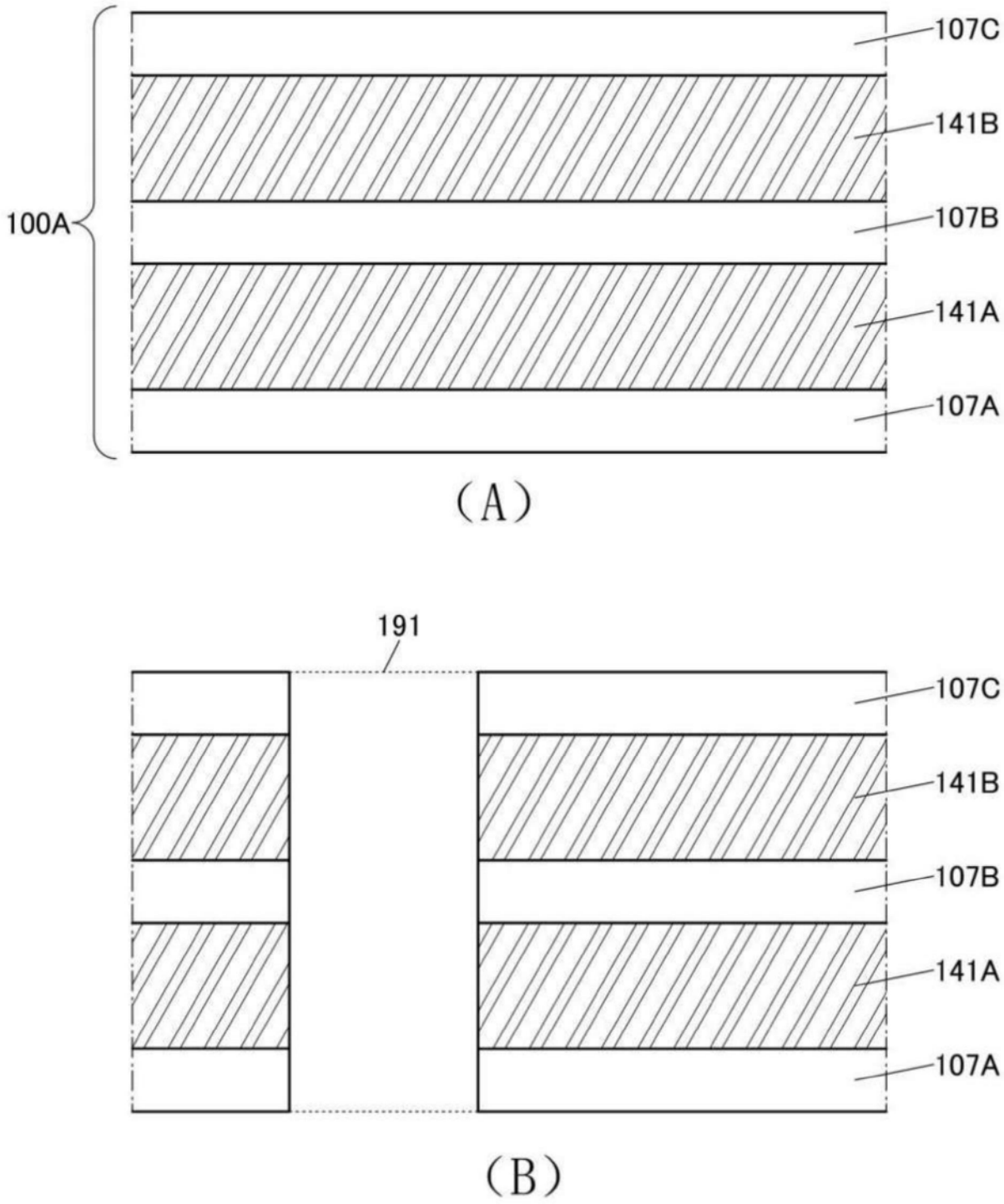
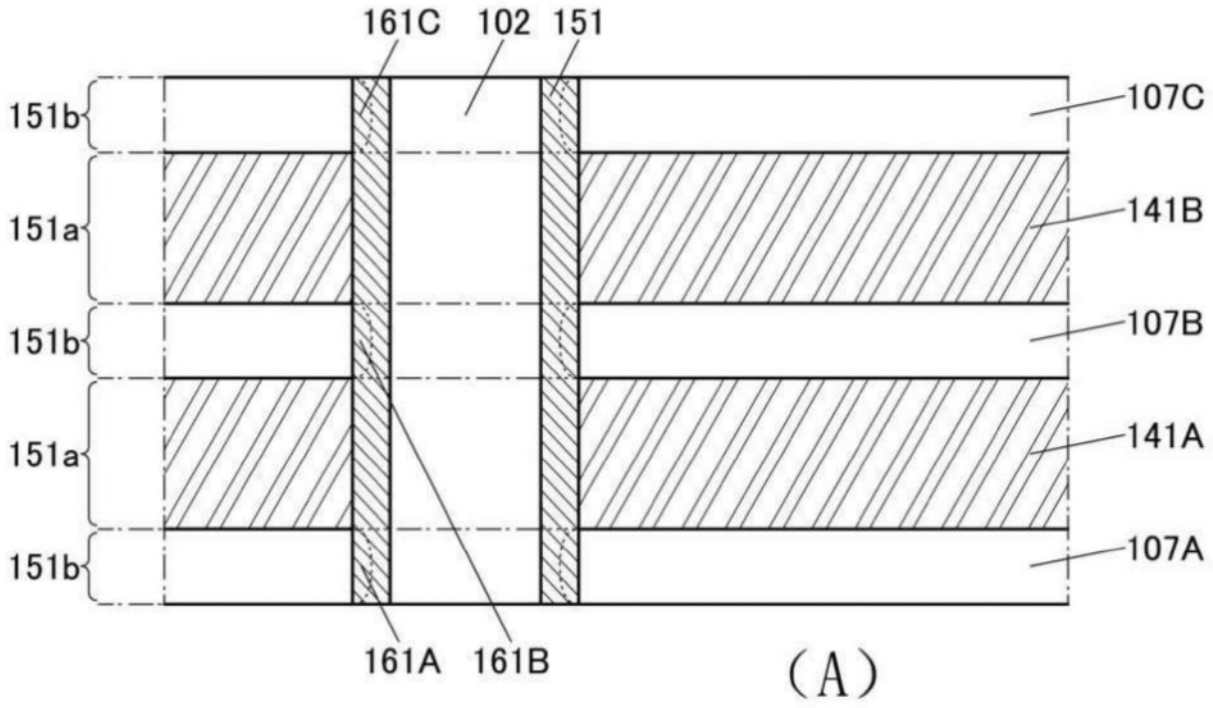
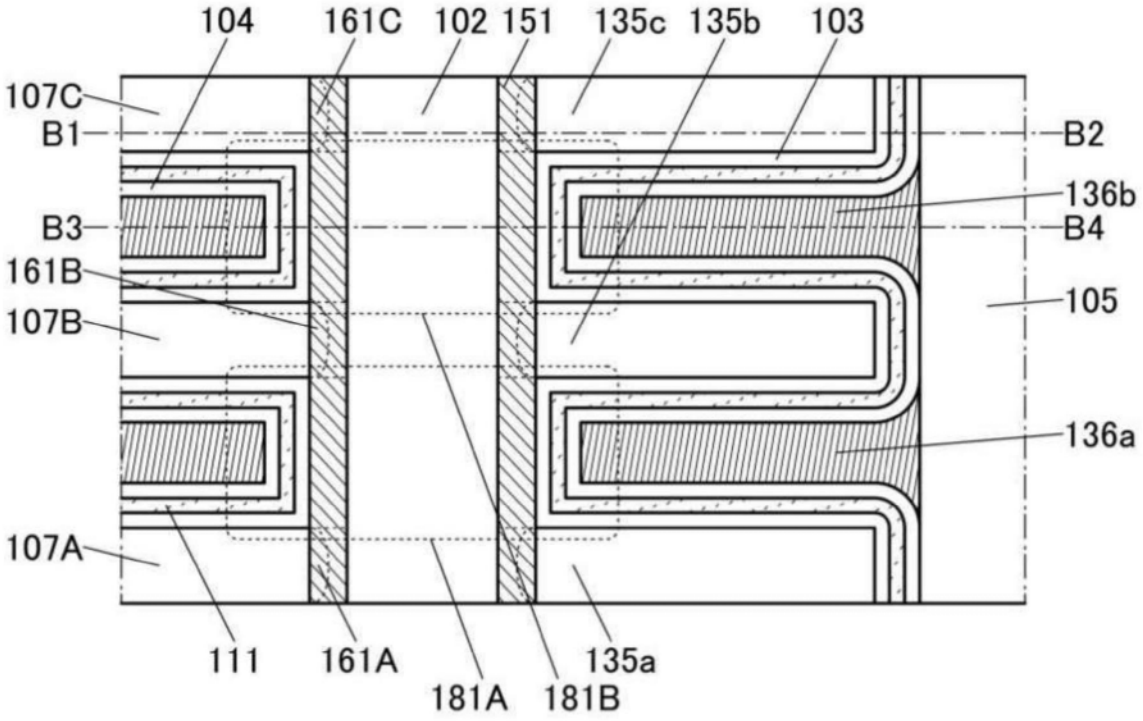


图32


161C
102
151
151b
151a
151b
151a
151b
107C
141B
107B
141A
107A
161A
161B

(A)


104
161C
102
151
135c
135b
103
107C
B1
B2
B3
B4
161B
107B
107A
136b
105
136a
111
161A
181A
181B
135a

(B)

图33

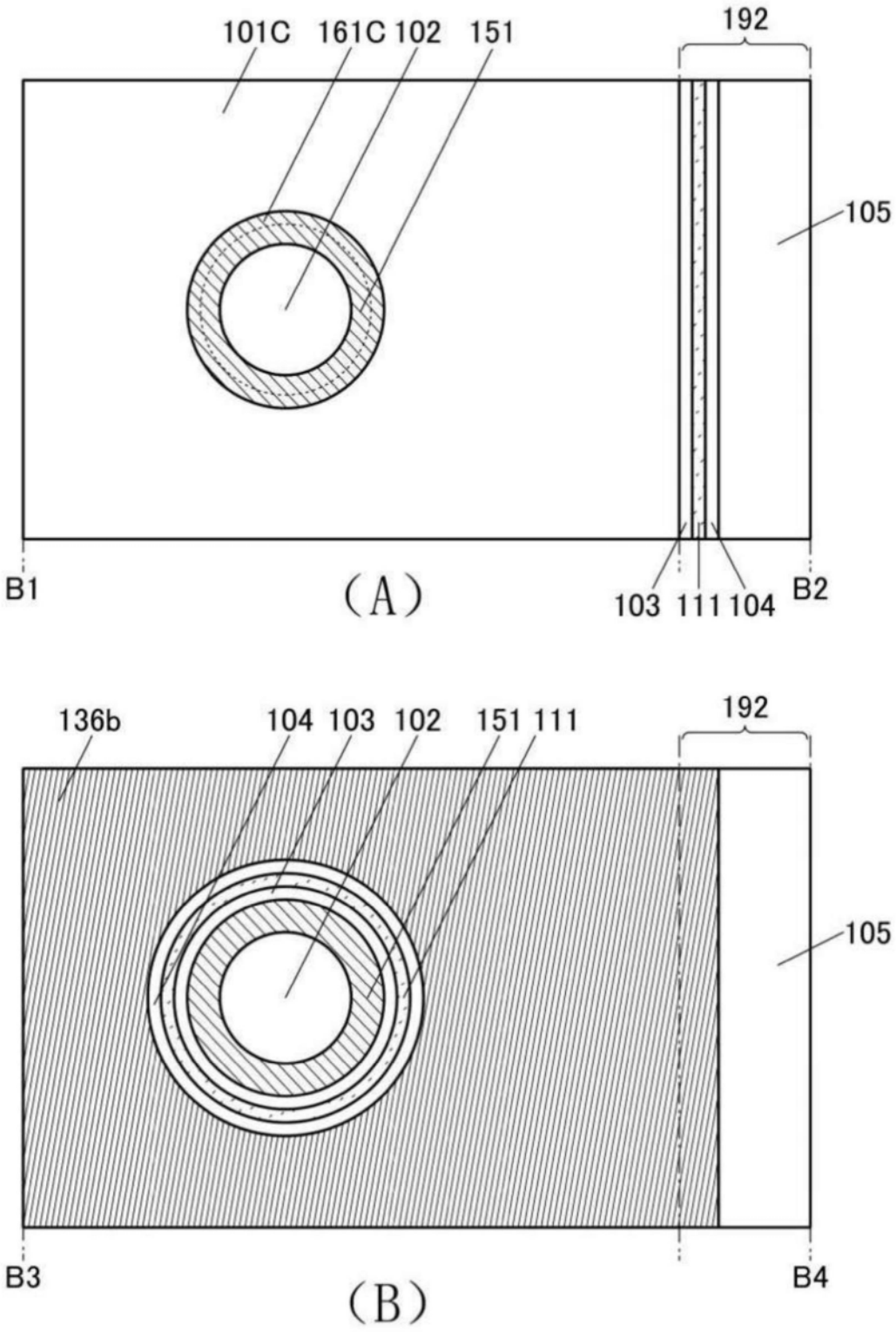

101C
161C
102
151
192
105
B1
(A)
103
111
104
B2
136b
104
103
102
151
111
192
105
B3
(B)
B4

图34

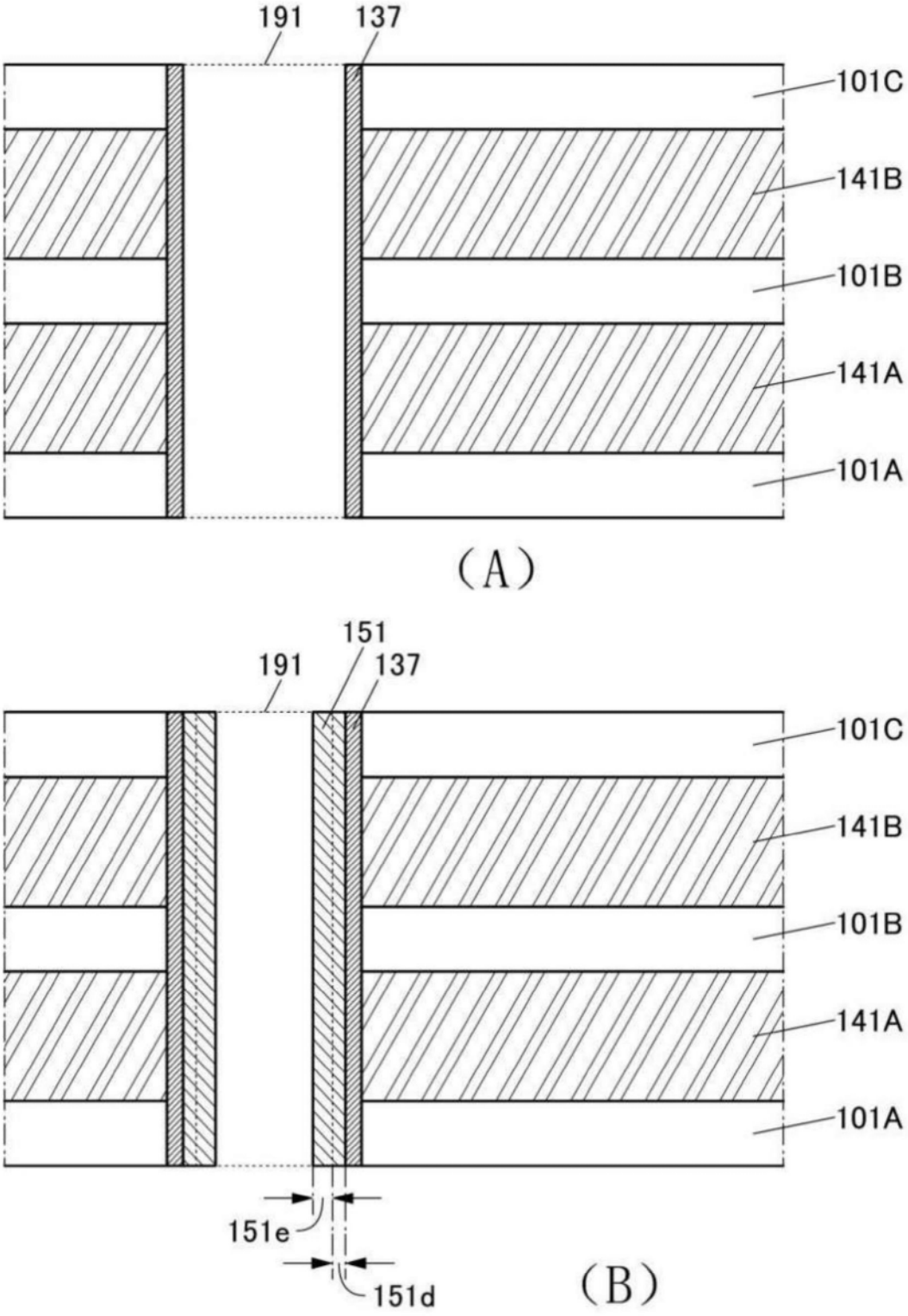

191
137
101C
141B
101B
141A
101A
(A)
151
191
137
101C
141B
101B
141A
101A
151e
151d
(B)

图35

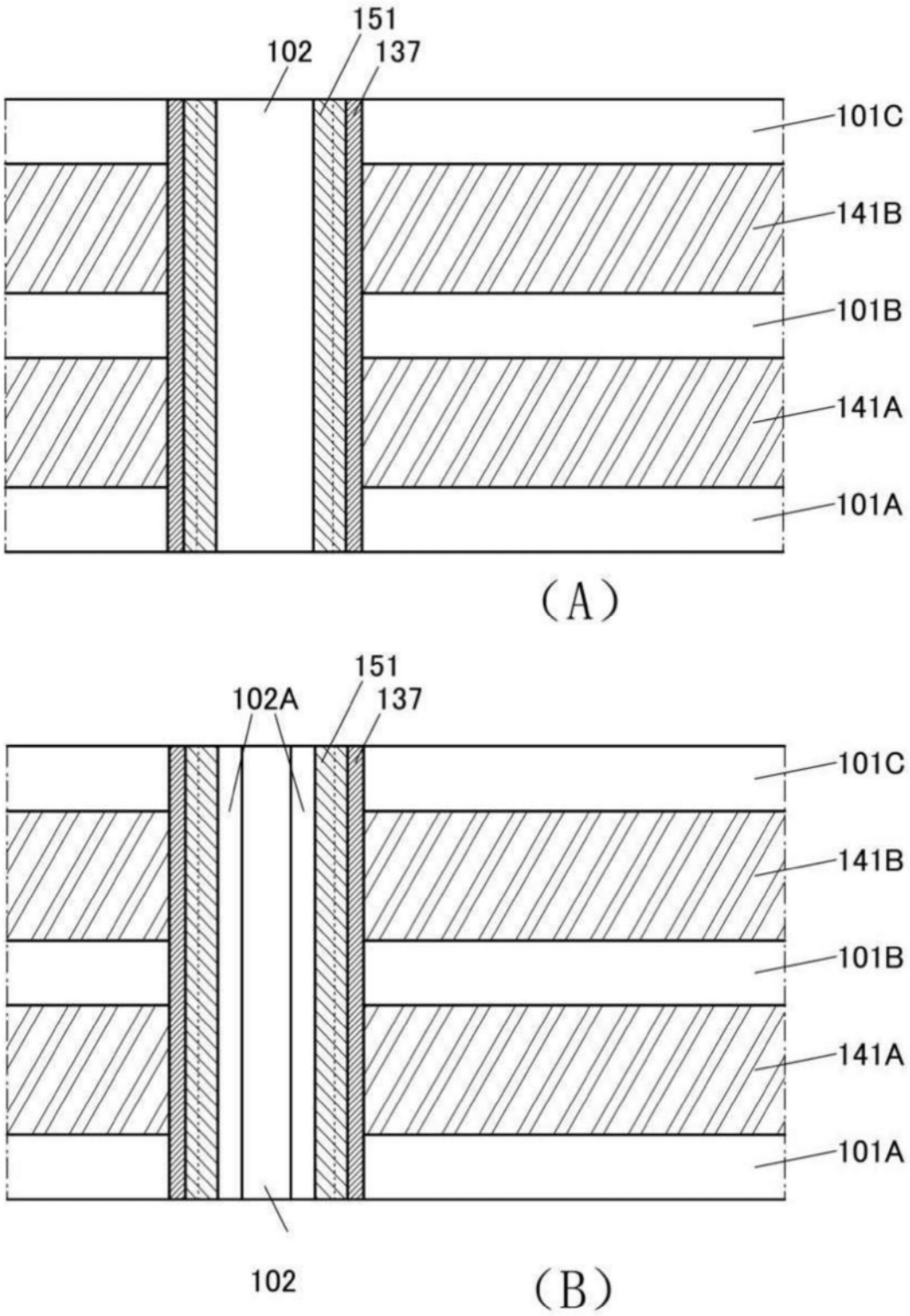

151
102
137
101C
141B
101B
141A
101A
(A)
151
102A
137
101C
141B
101B
141A
101A
102
(B)

图36

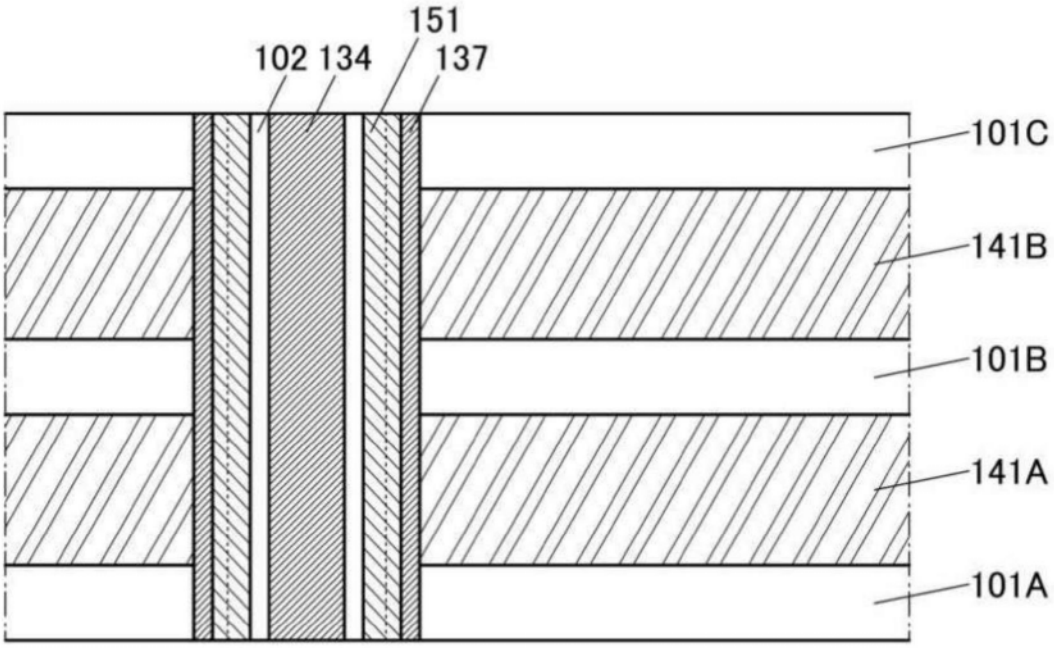


图37

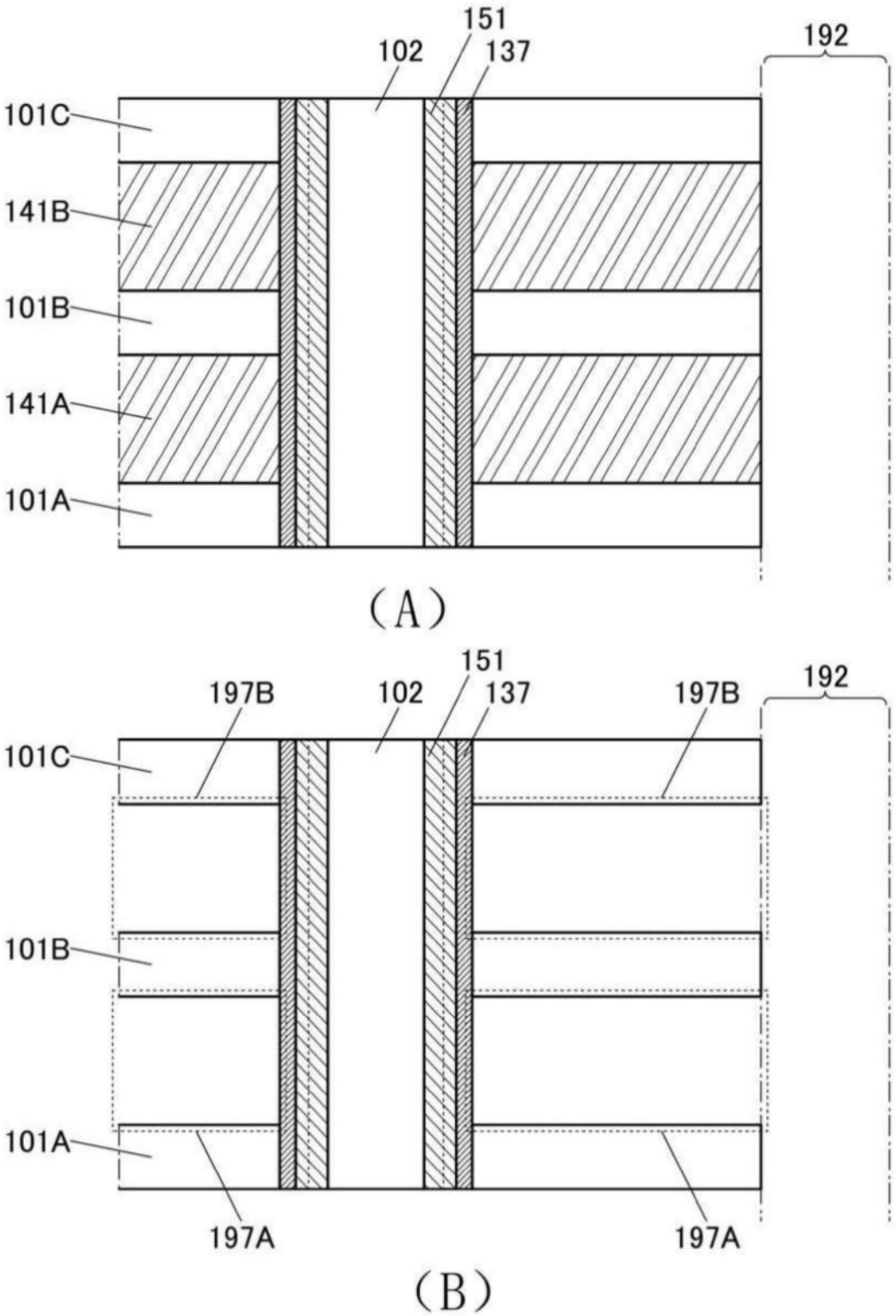

151
102
137
192
101C
141B
101B
141A
101A
(A)
197B
102
151
137
197B
192
101C
101B
101A
197A
197A
(B)

图38

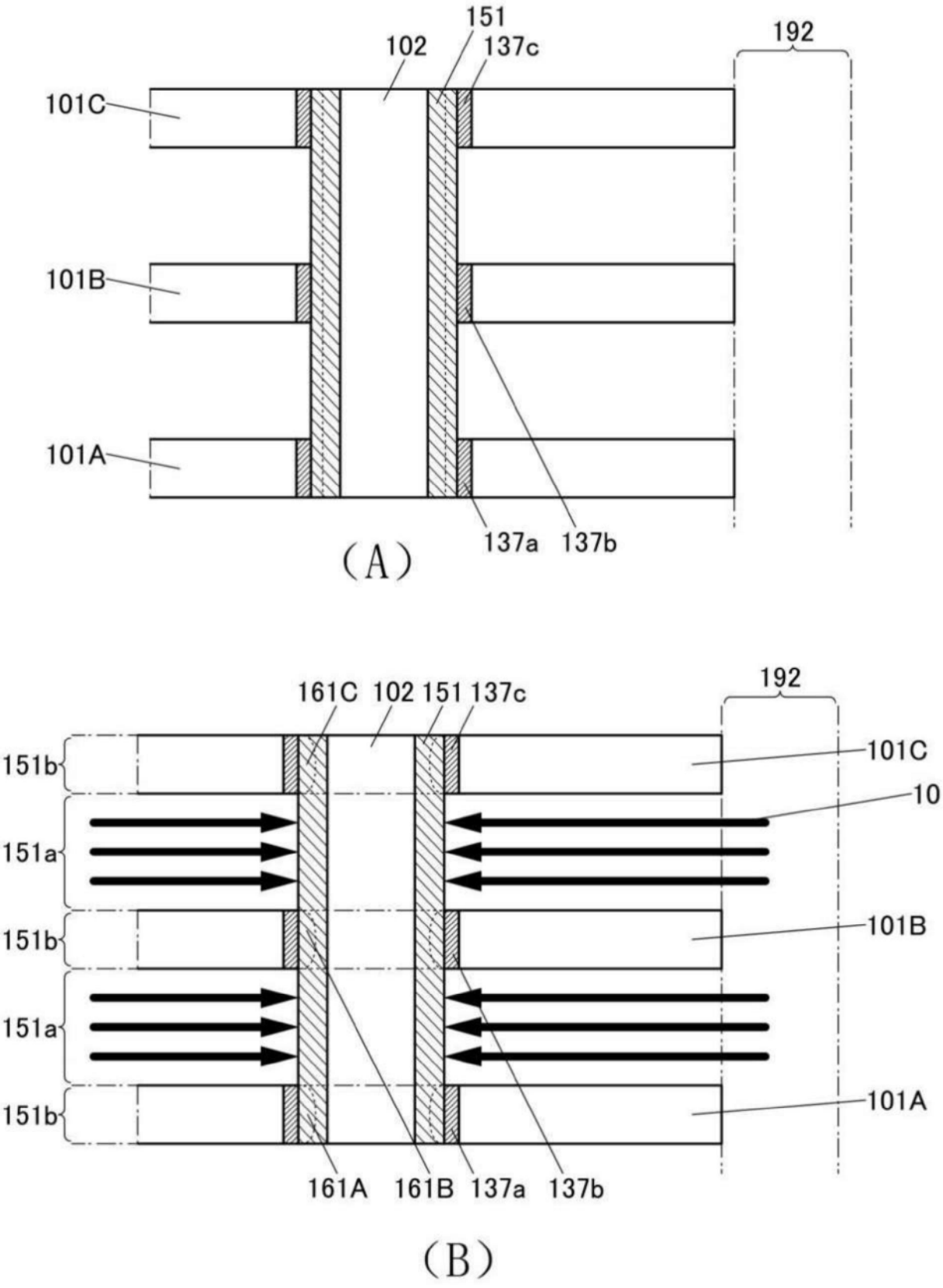

151
102
137c
192
101C
101B
101A
137a
137b
(A)
161C
102
151
137c
192
151b
101C
10
151a
151b
101B
151a
151b
101A
161A
161B
137a
137b
(B)

图39

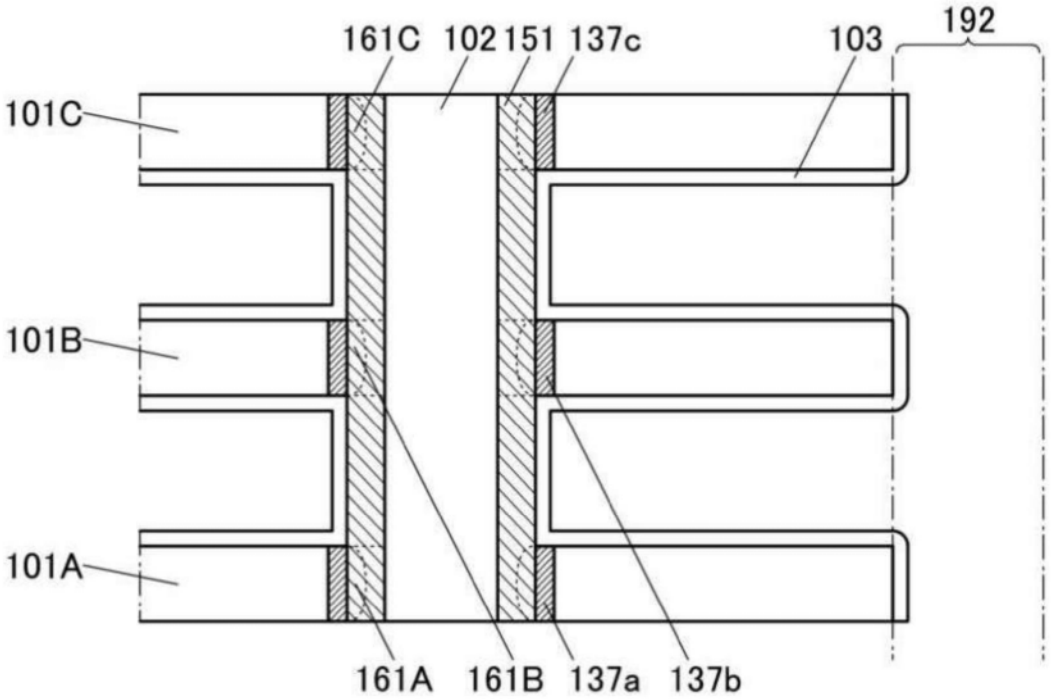
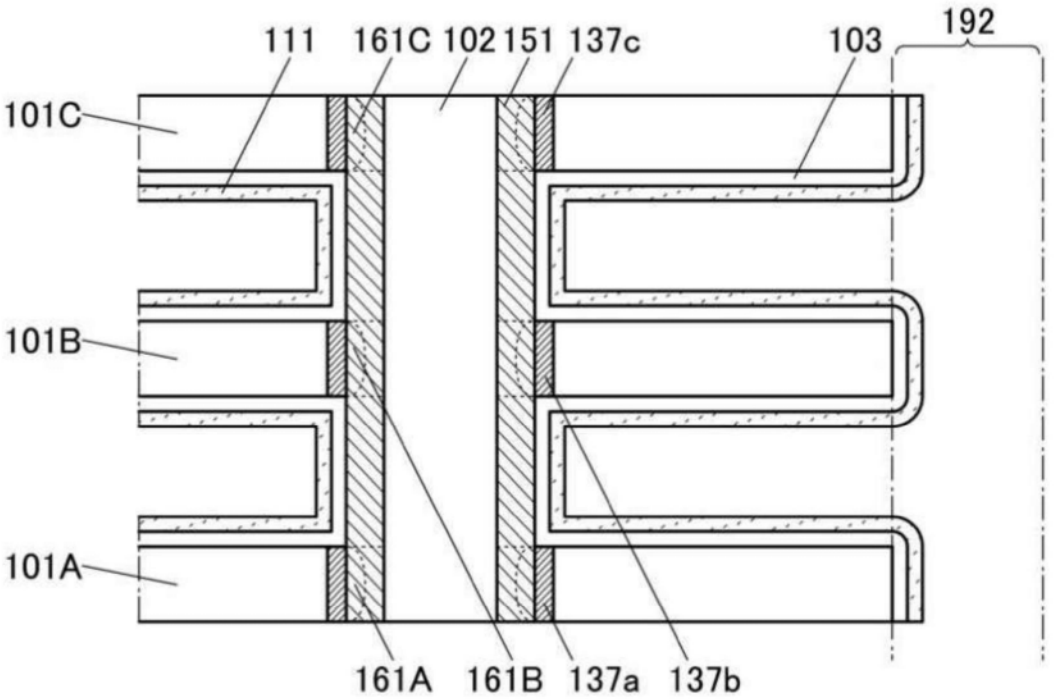
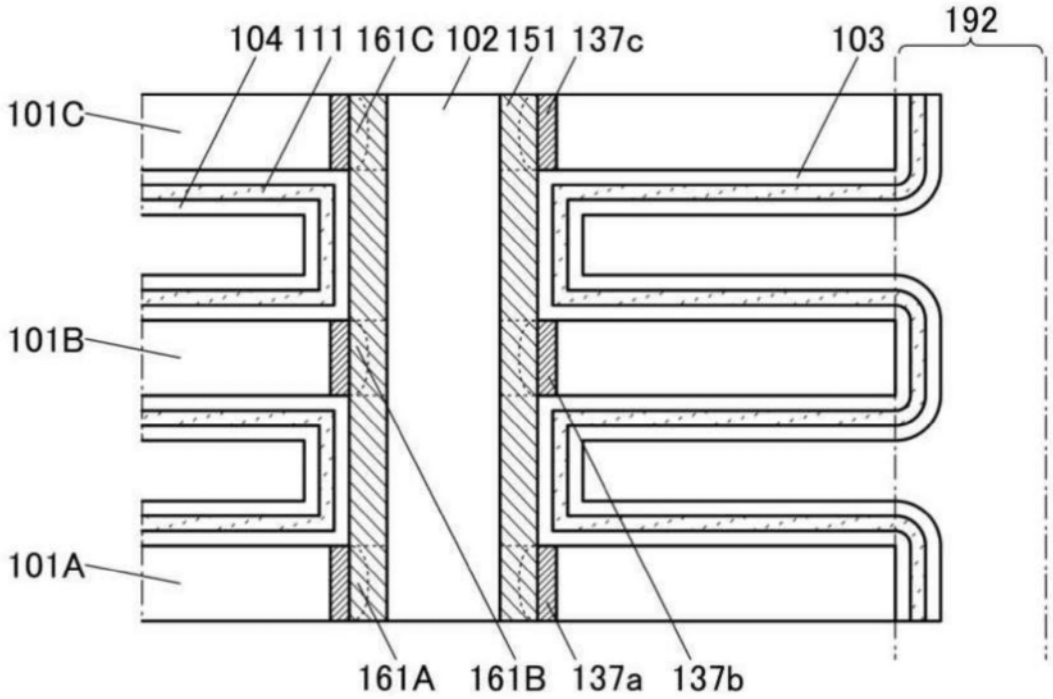


图40

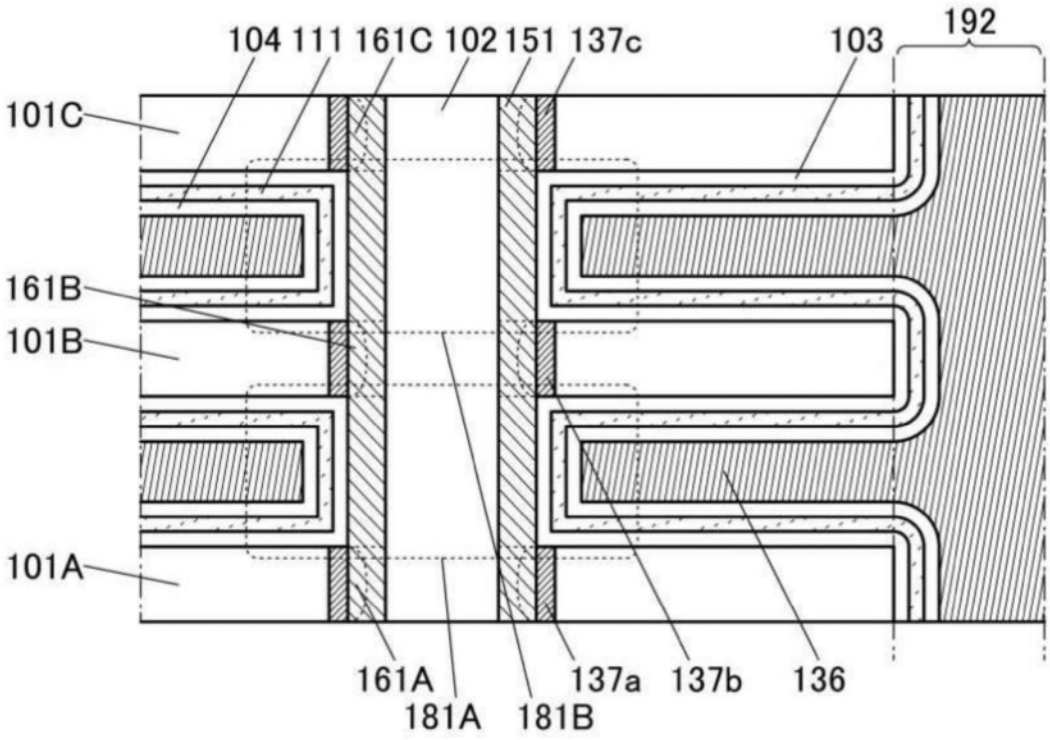

111
161C
102
151
137c
103
192
101C
101B
101A
161A
161B
137a
137b

(A)

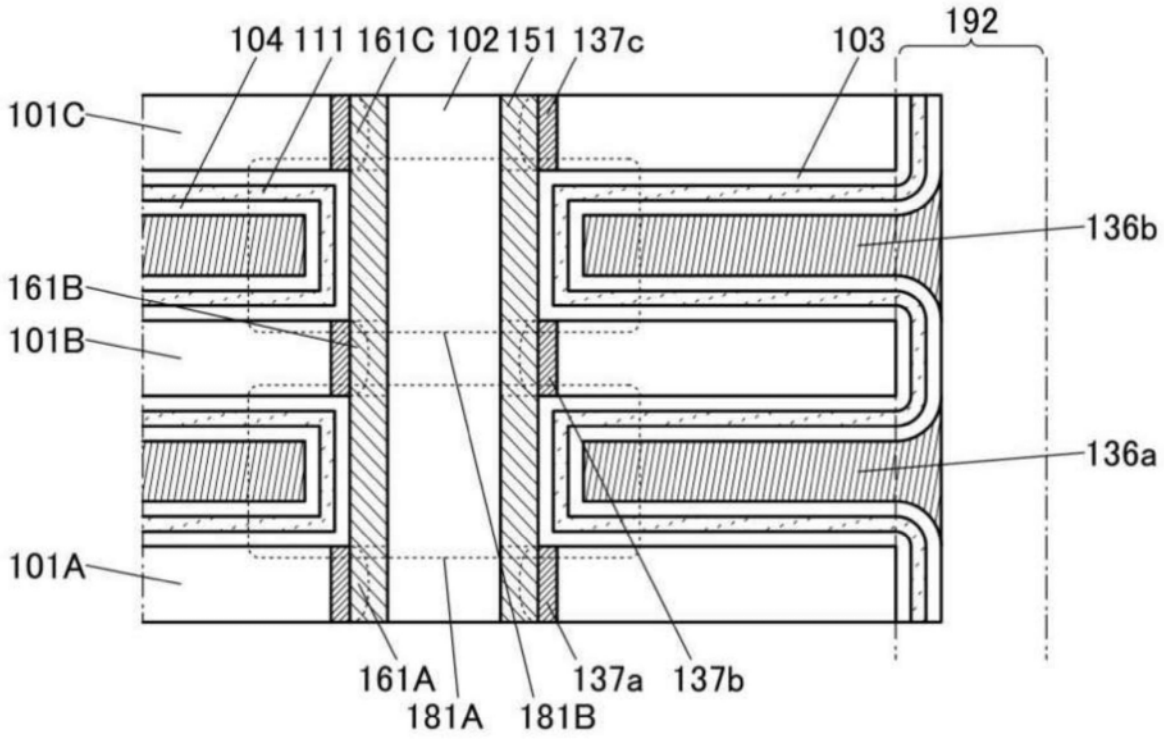

104
111
161C
102
151
137c
103
192
101C
101B
101A
161A
161B
137a
137b

(B)

图41


104 111 161C 102 151 137c
103
192
101C
161B
101B
101A
161A
181A
181B
137a
137b
136

(A)


104 111 161C 102 151 137c
103
192
101C
136b
161B
101B
136a
101A
161A
181A
181B
137a
137b

(B)

图42

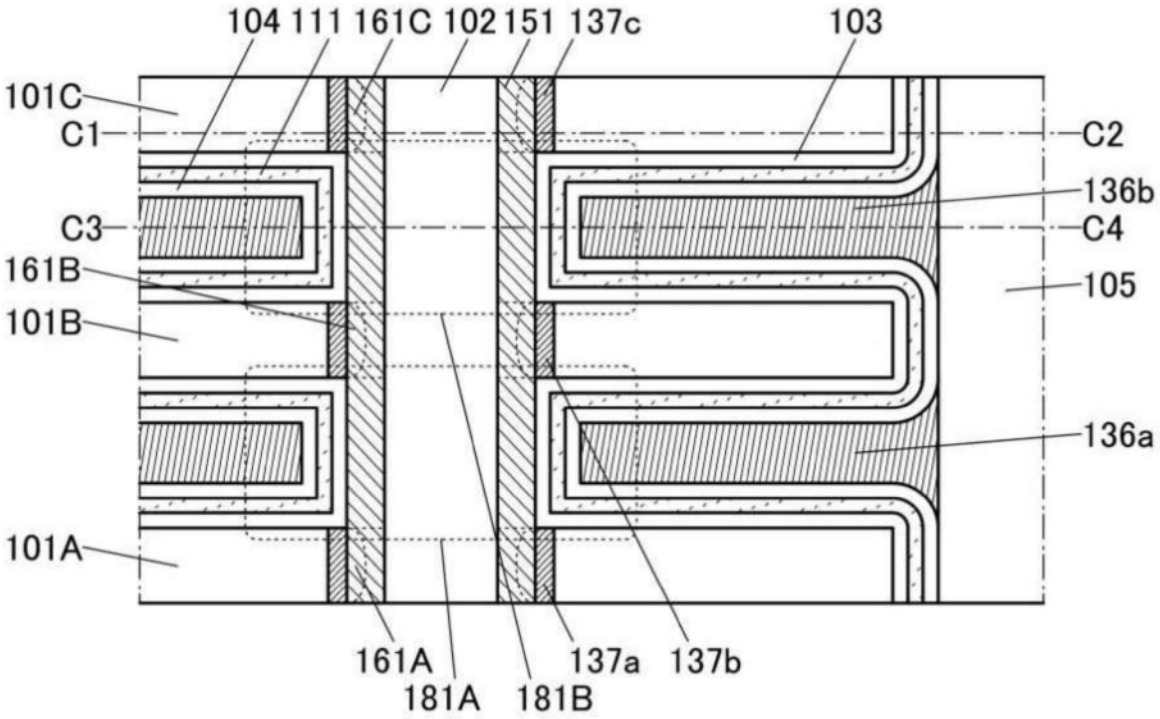
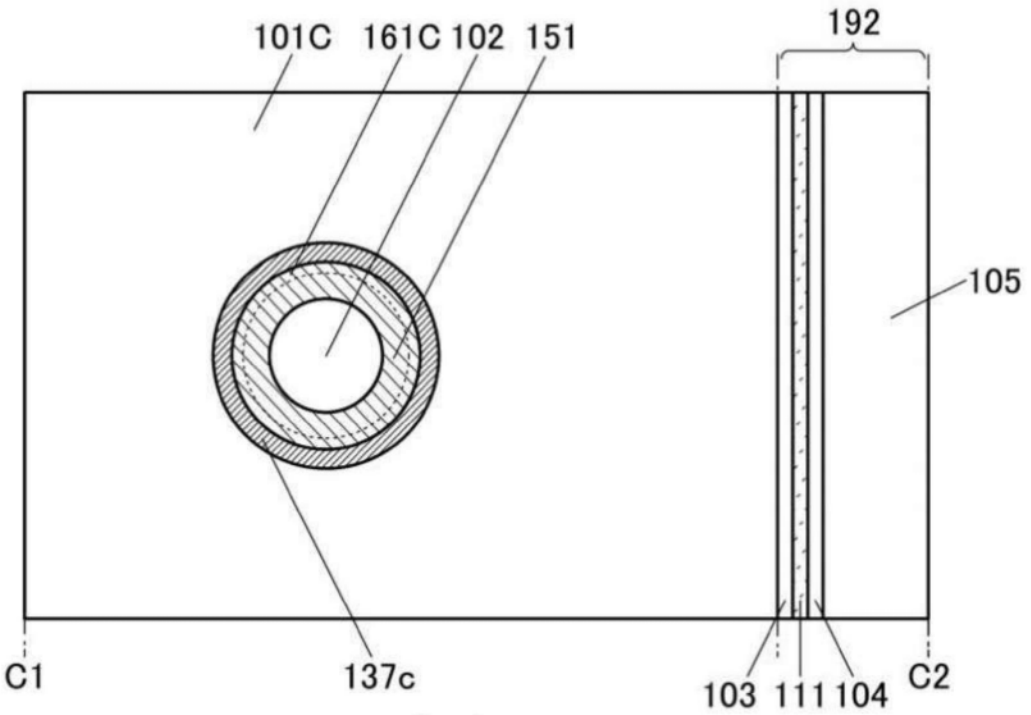
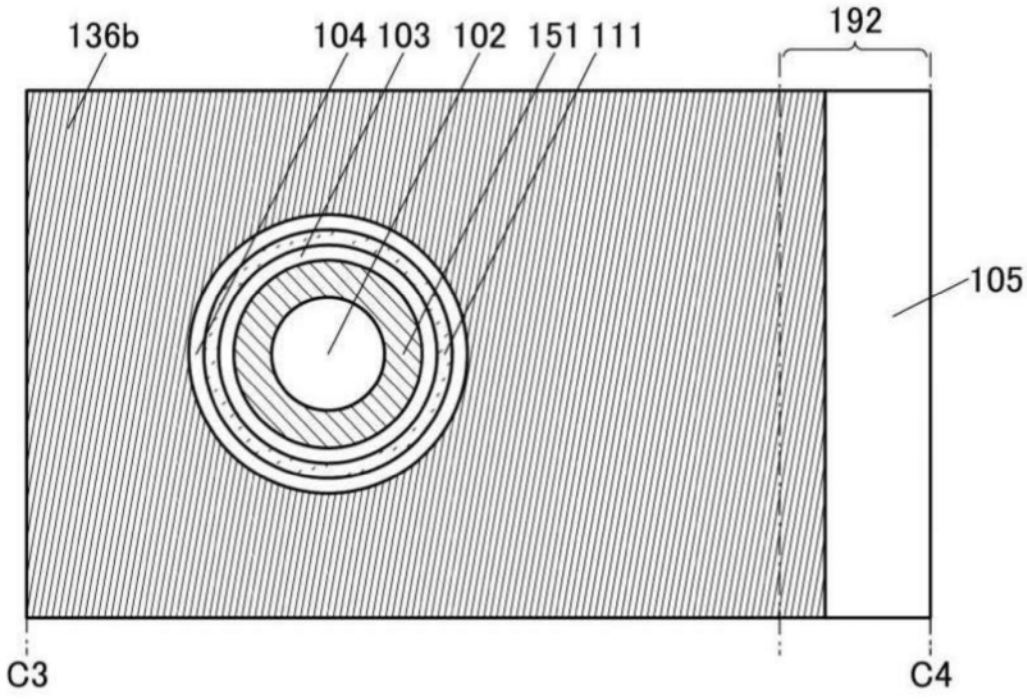

104
111
161C
102
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b

图43

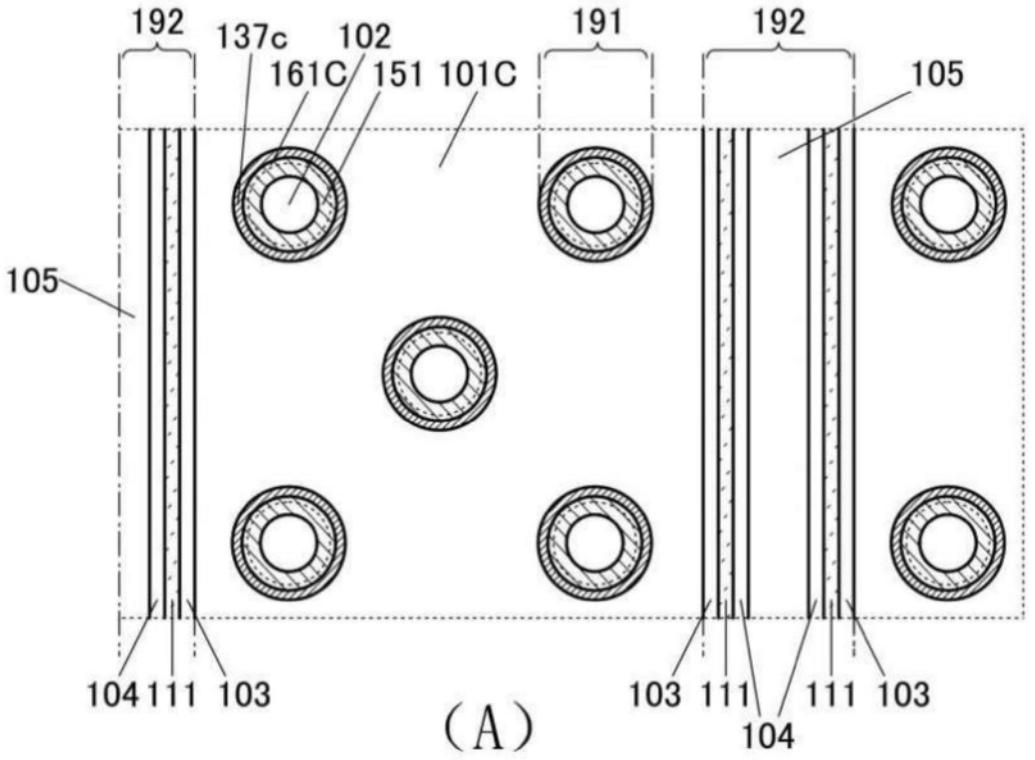

101C
161C
102
151
192
105
C1
137c
103
111
104
C2

(A)


136b
104
103
102
151
111
192
105
C3
C4

(B)

图44


192
137c
102
161C
151
101C
191
192
105
105
104
111
103
103
111
111
103
104
(A)

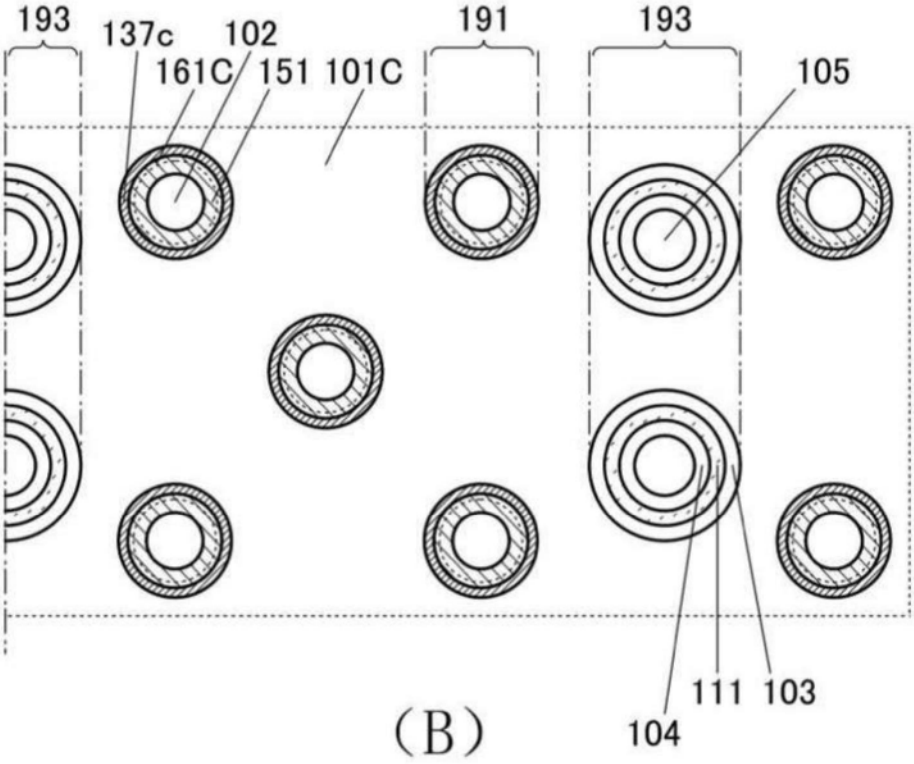

193
137c
102
161C
151
101C
191
193
105
111
103
104
(B)

图45

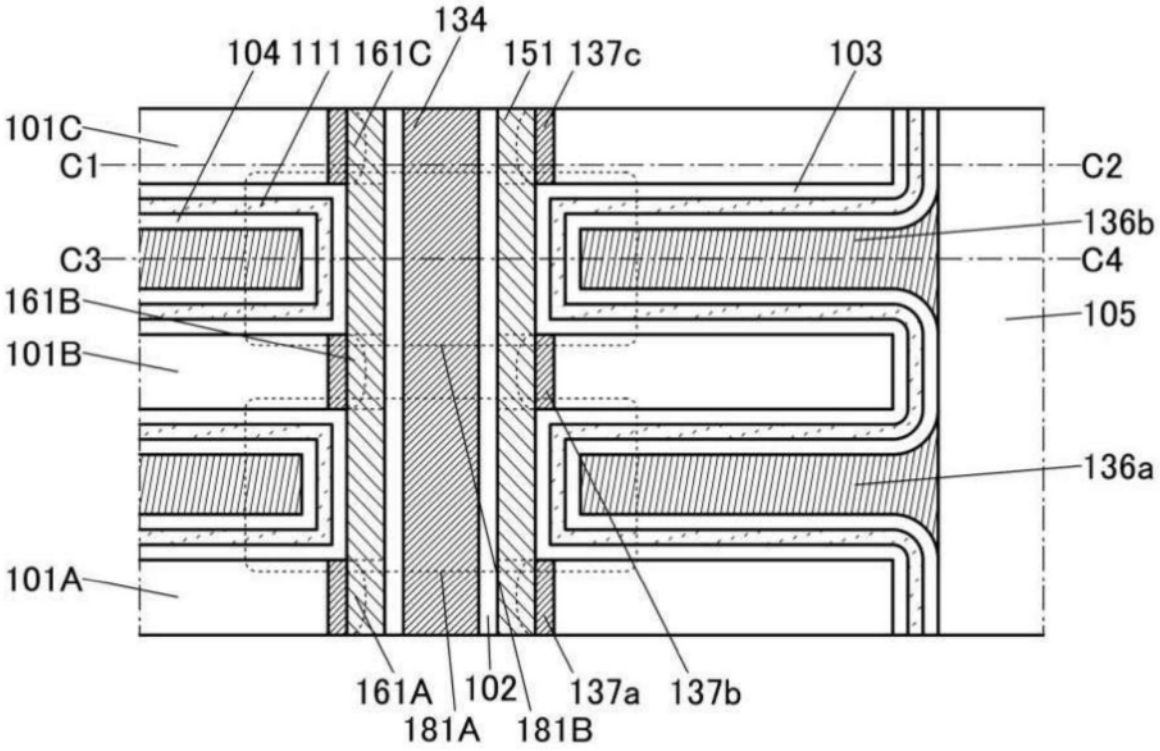

134
104
111
161C
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
102
137a
137b
181A
181B

图46

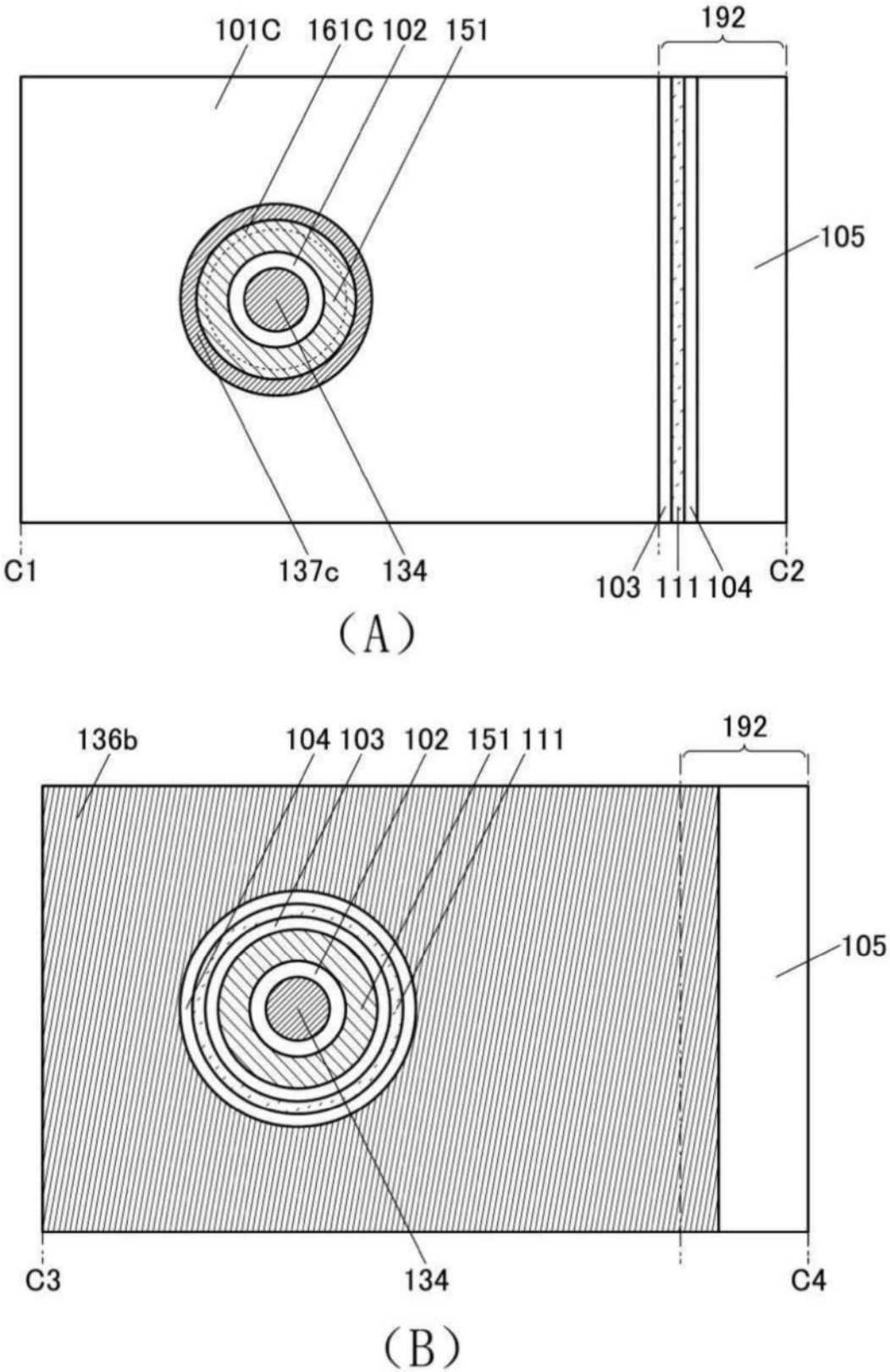

101C
161C
102
151
192
105
C1
137c
134
103
111
104
C2
(A)
136b
104
103
102
151
111
192
105
C3
134
C4
(B)

图47

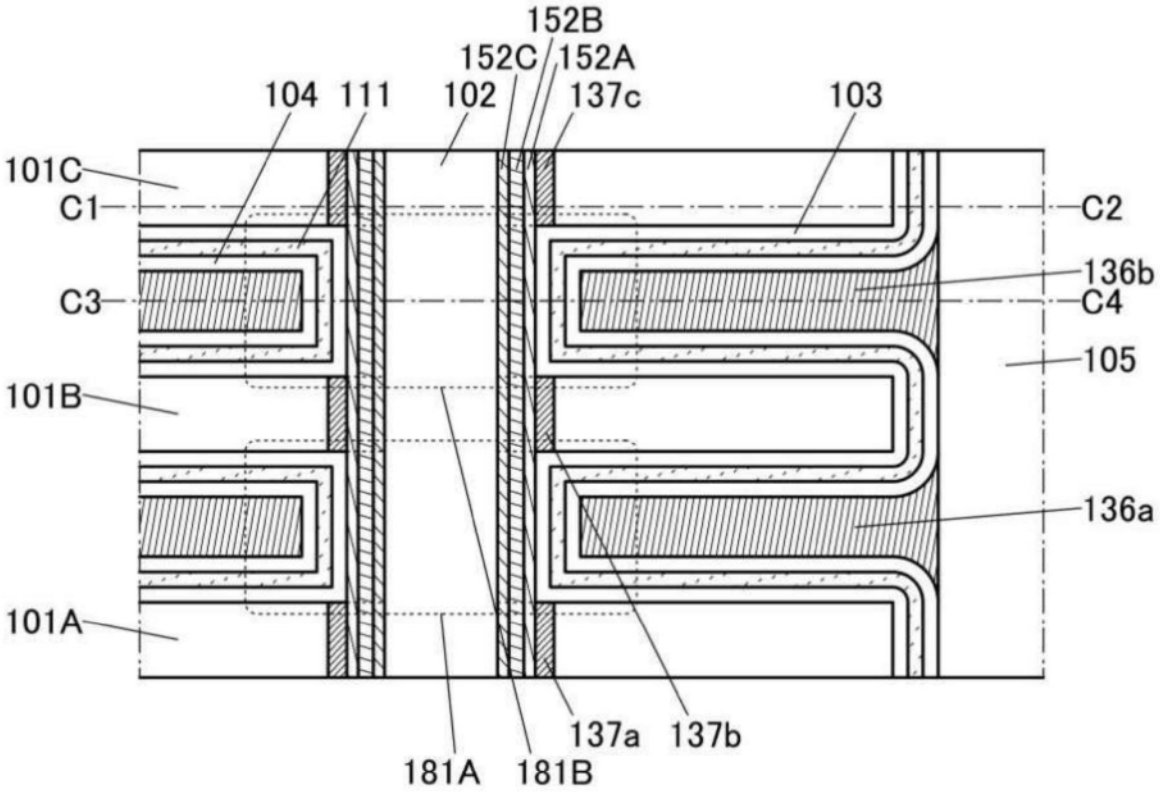

152B
152C
152A
104
111
102
137c
103
101C
C1
C2
136b
C3
C4
105
101B
136a
101A
137a
137b
181A
181B

图48

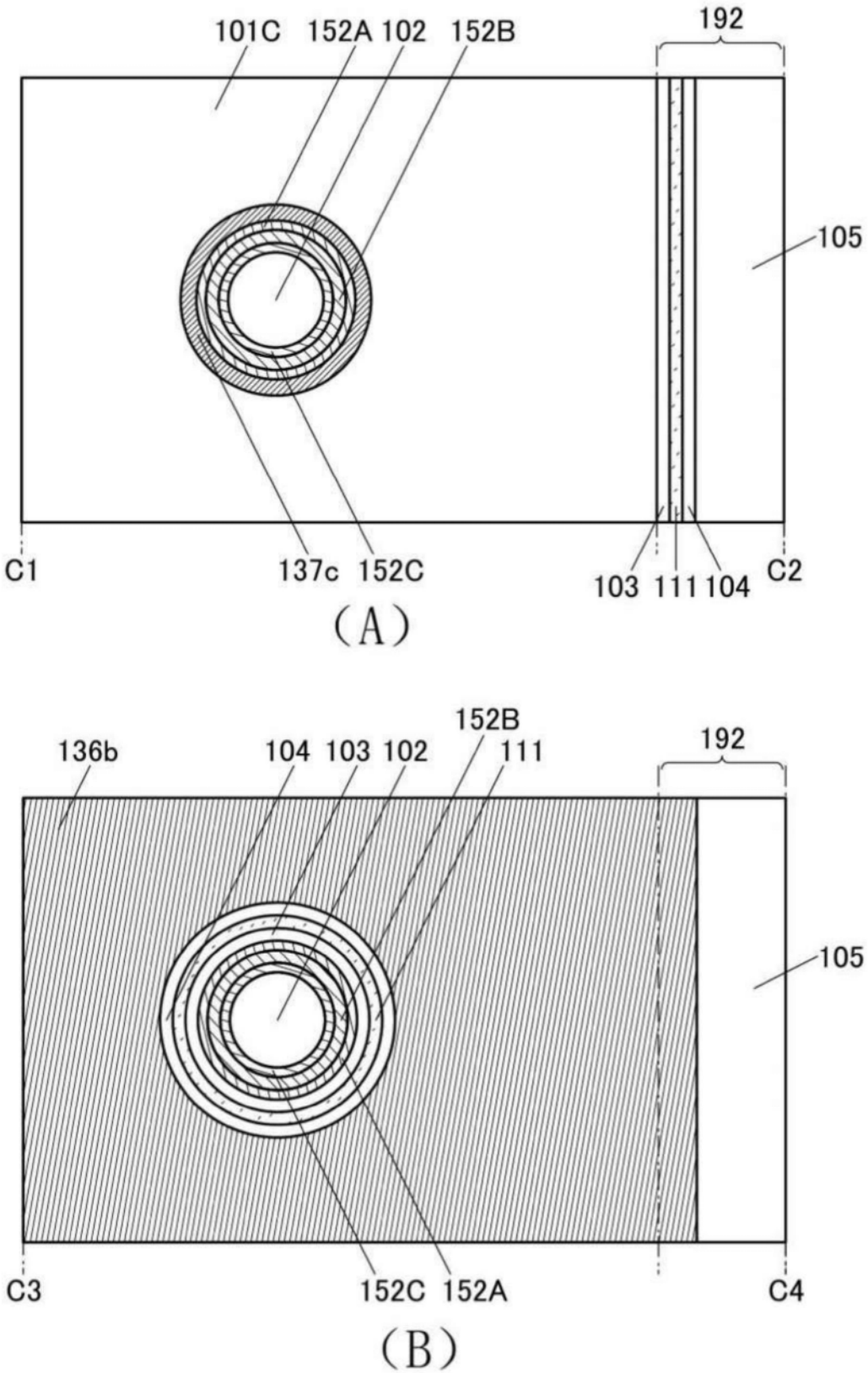
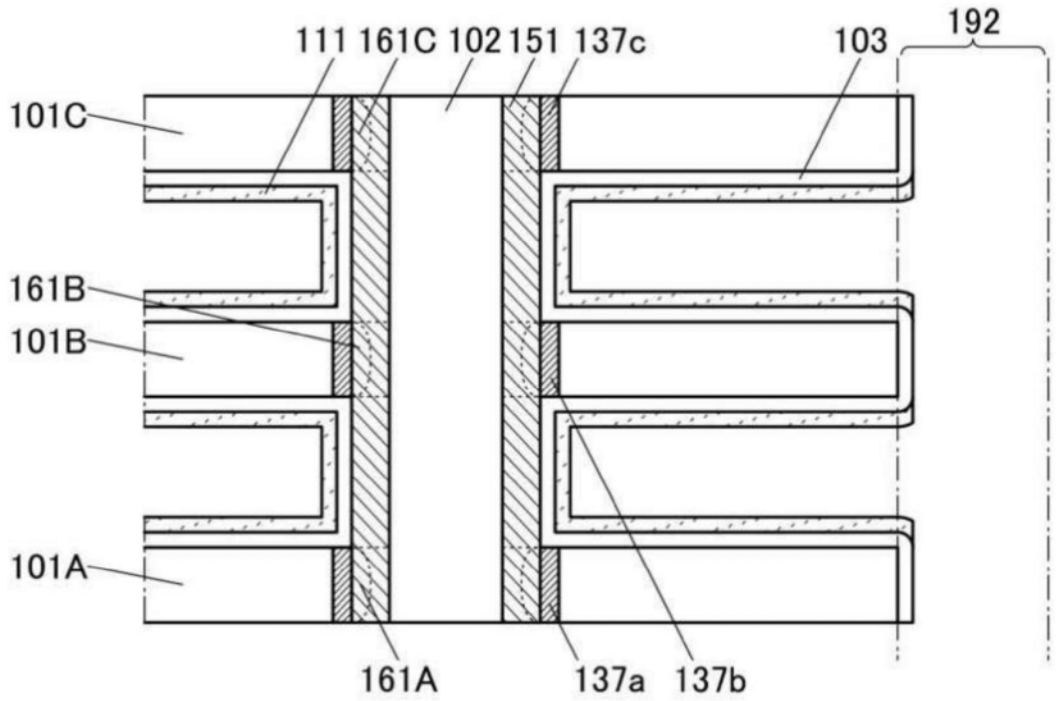
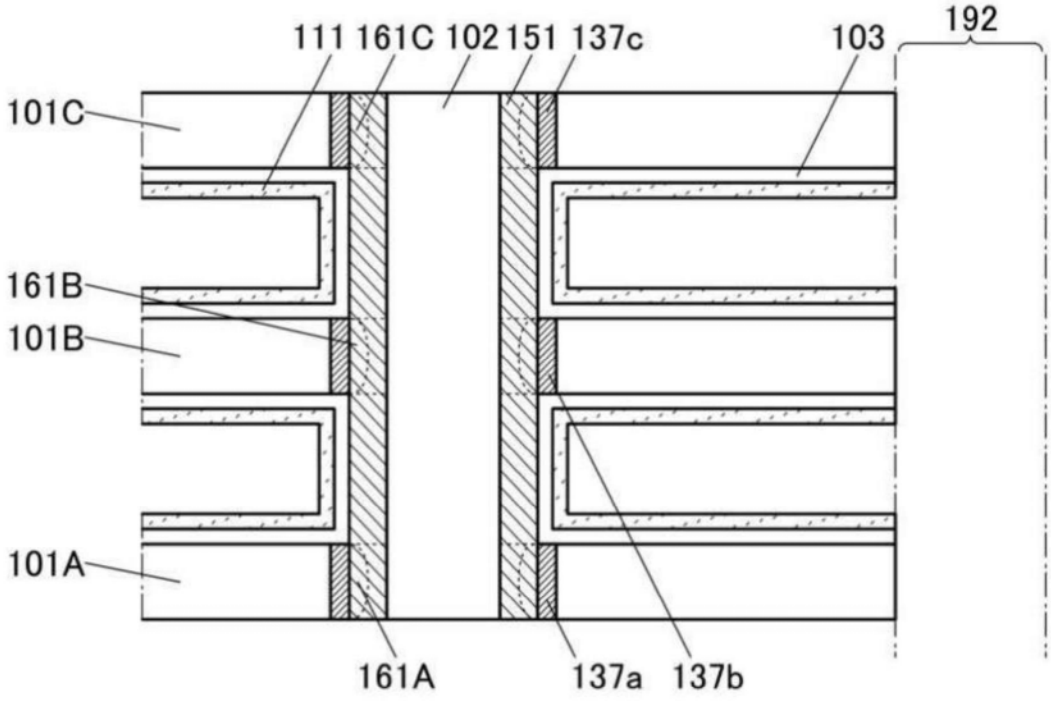

101C
152A
102
152B
192
105
C1
137c
152C
103
111
104
C2
(A)
136b
104
103
102
152B
111
192
105
C3
152C
152A
C4
(B)

图49

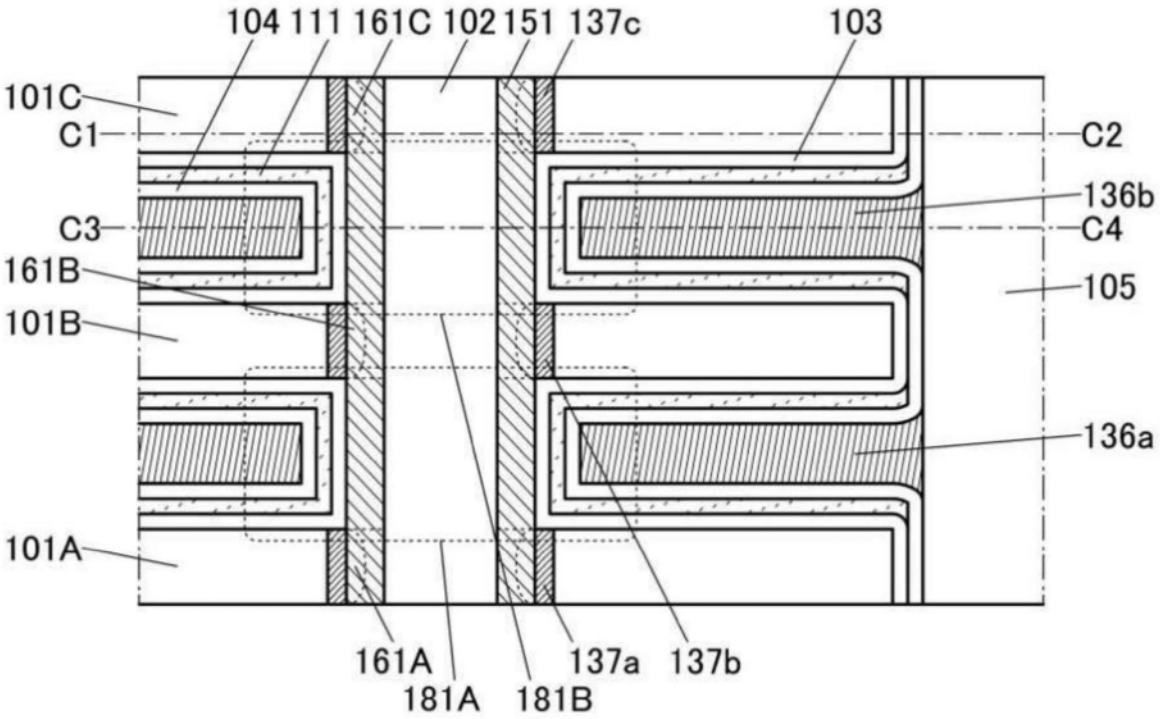

111
161C
102
151
137c
103
192
101C
161B
101B
101A
161A
137a
137b

(A)

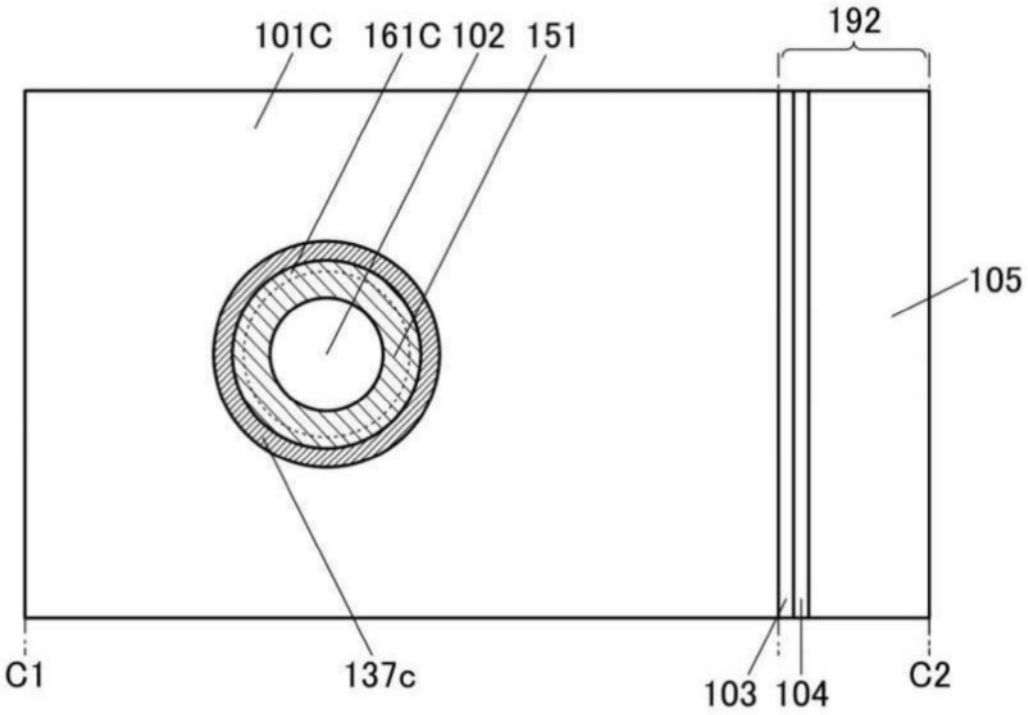

111
161C
102
151
137c
103
192
101C
161B
101B
101A
161A
137a
137b

(B)

图50


104
111
161C
102
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b

(A)


101C
161C
102
151
192
105
C1
137c
103
104
C2

(B)

图51

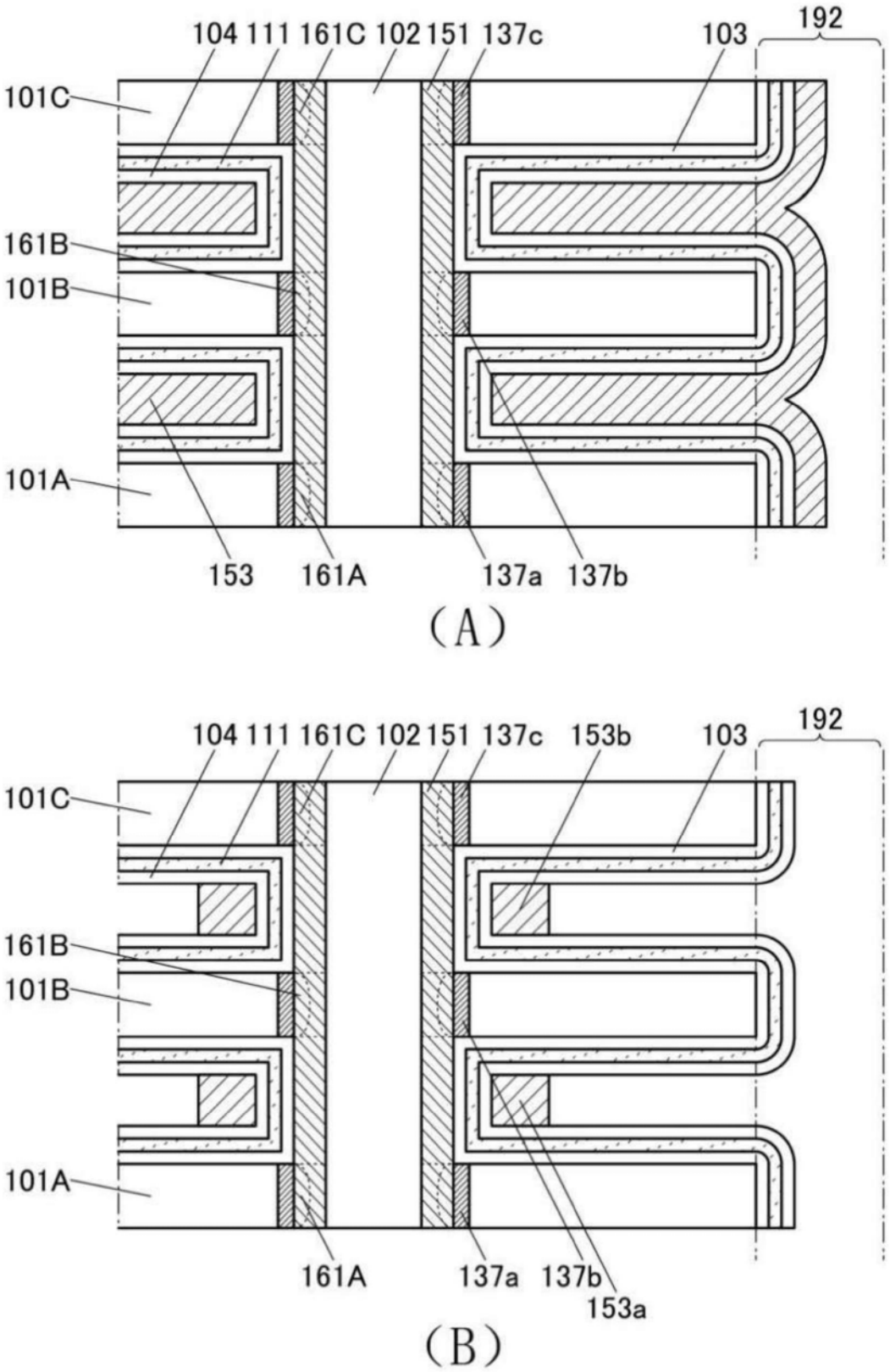

104 111 161C 102 151 137c
103
192
101C
161B
101B
101A
153
161A
137a
137b
(A)
104 111 161C 102 151 137c
153b
103
192
101C
161B
101B
101A
161A
137a
137b
153a
(B)

图52

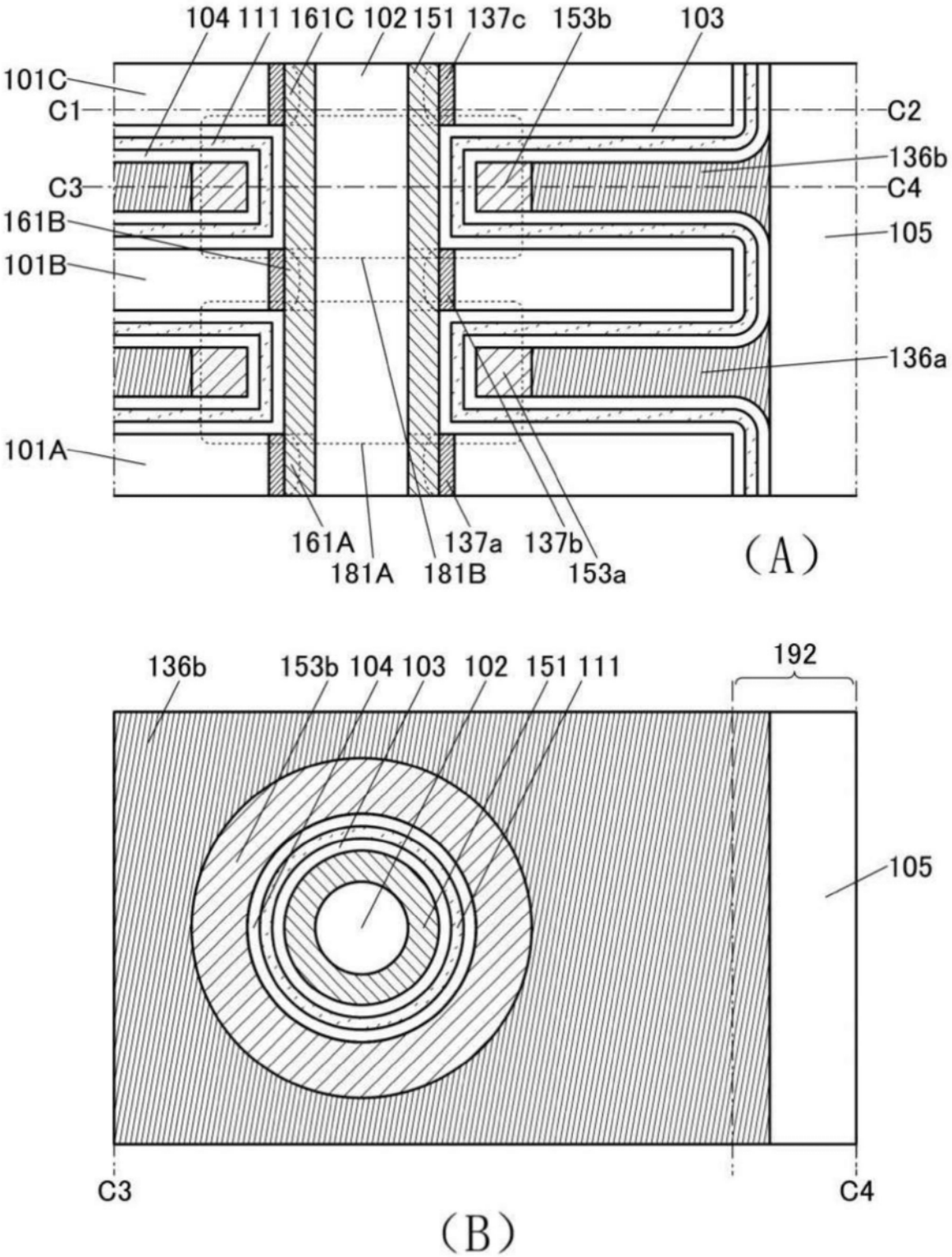
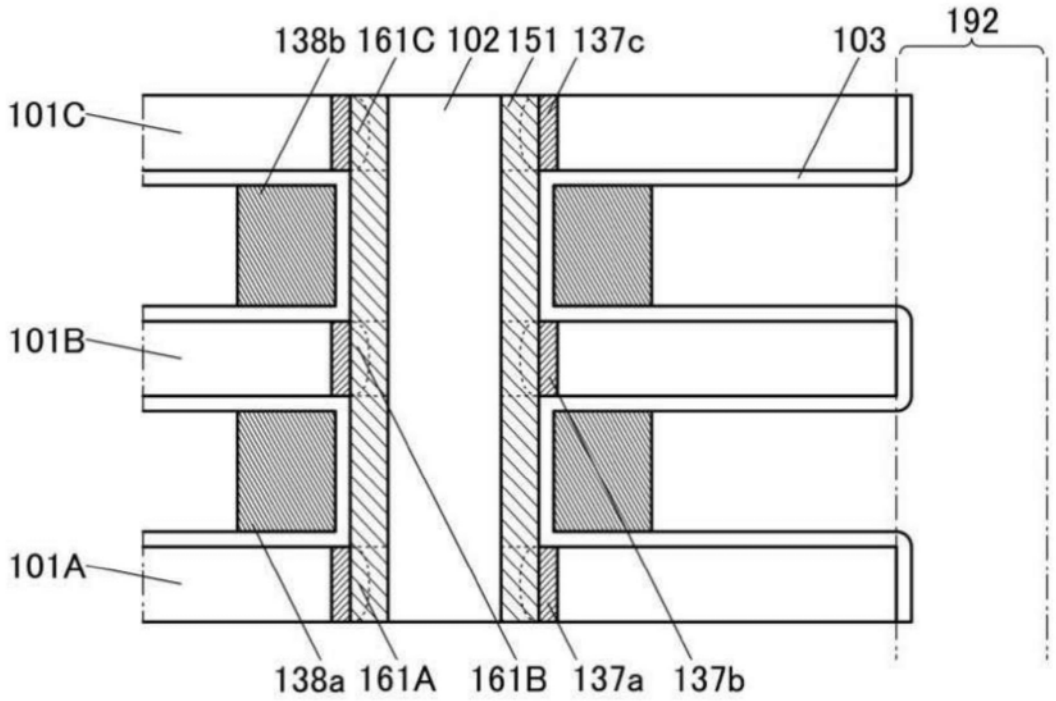
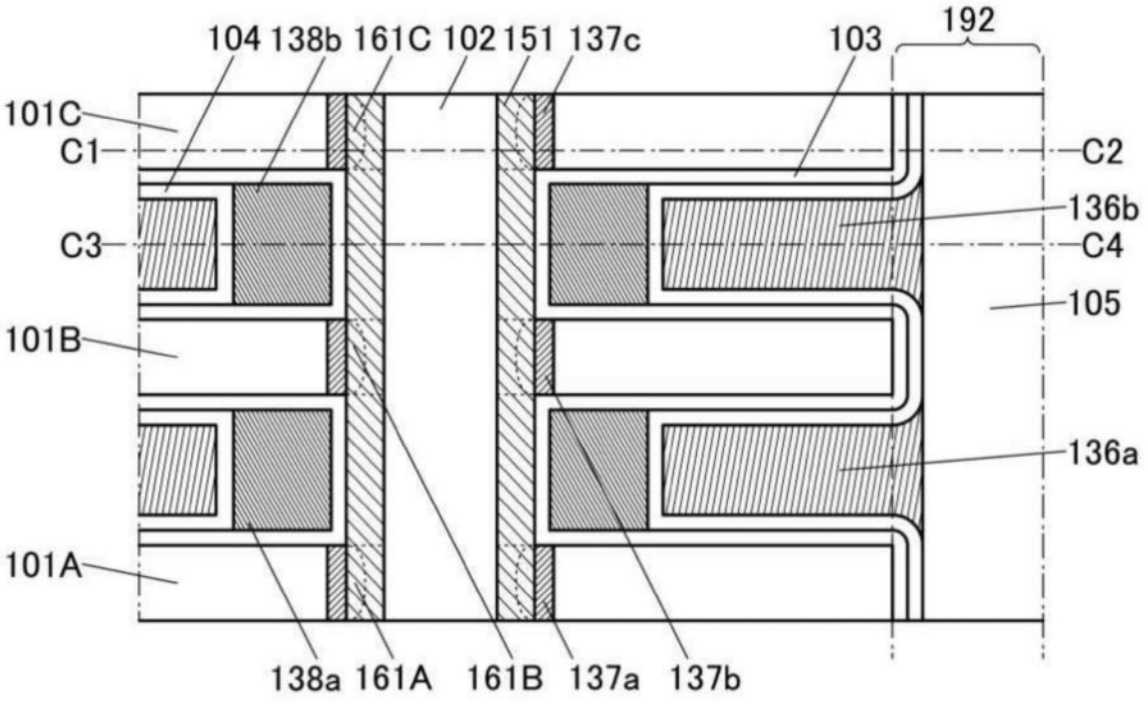

104 111 161C 102 151 137c 153b 103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A 181A 181B 137a 137b 153a
(A)
136b 153b 104 103 102 151 111
192
105
C3
C4
(B)

图53


138b
161C
102
151
137c
103
192
101C
101B
101A
138a
161A
161B
137a
137b

(A)


104
138b
161C
102
151
137c
103
192
101C
C1
C2
C3
C4
136b
105
101B
136a
101A
138a
161A
161B
137a
137b

(B)

图54

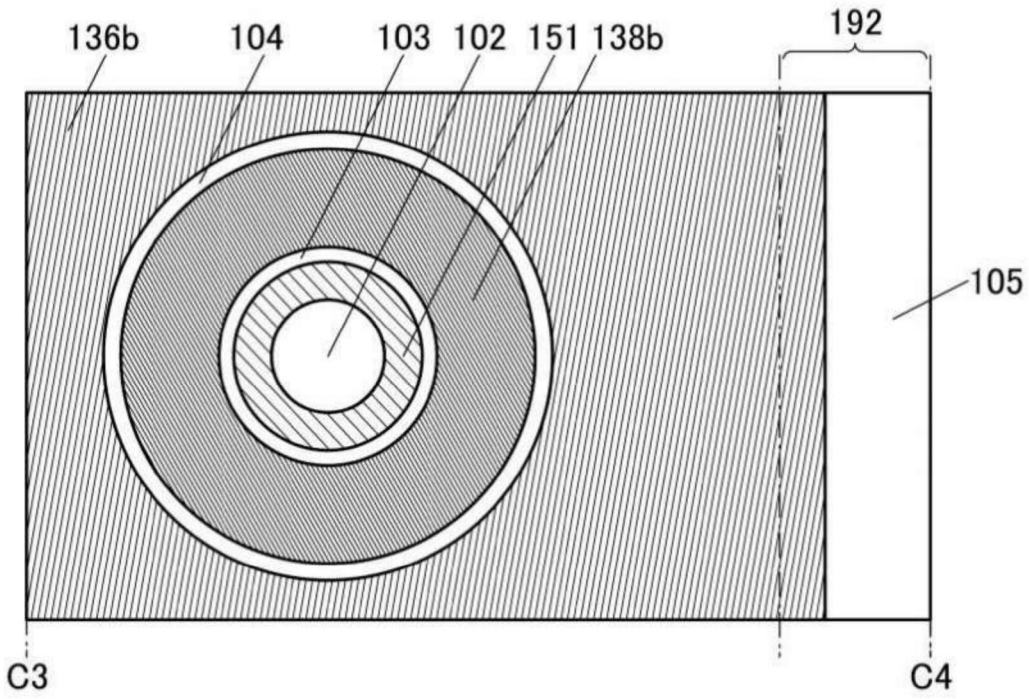


图55

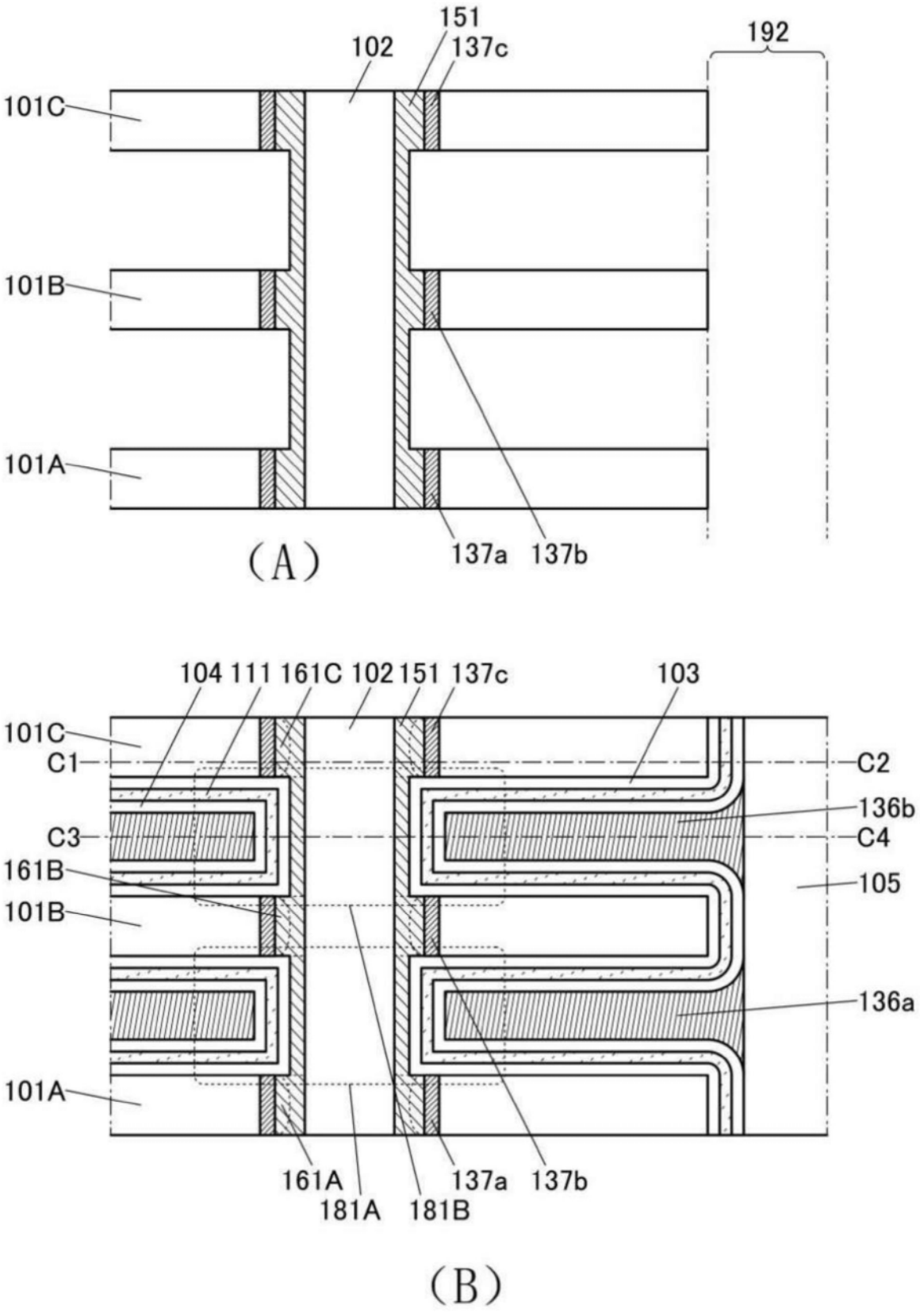
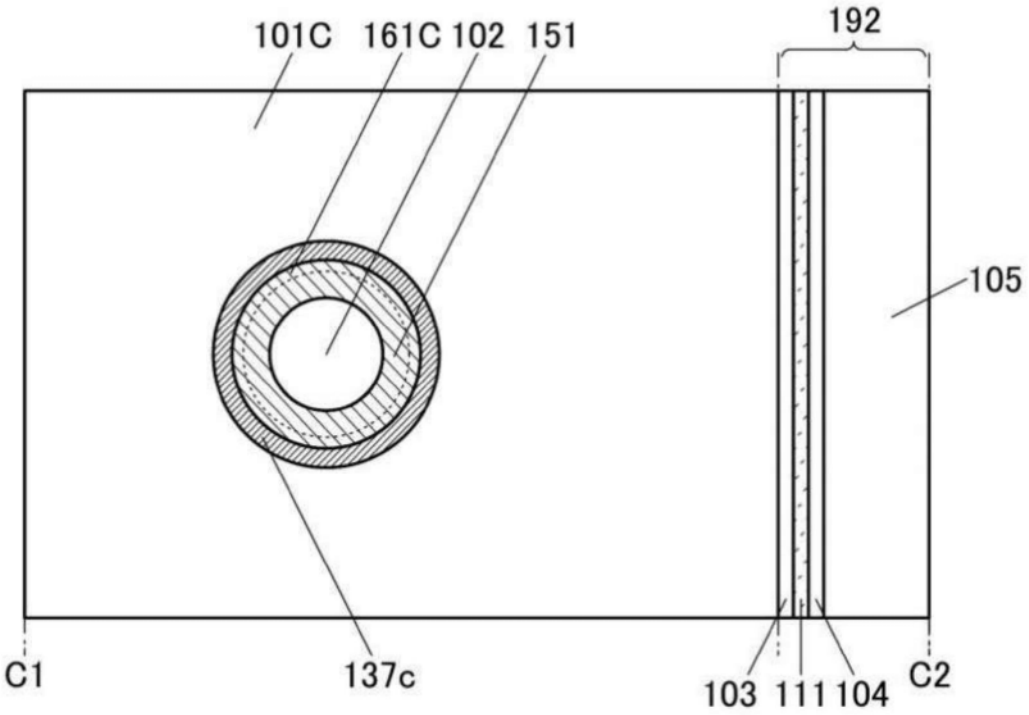
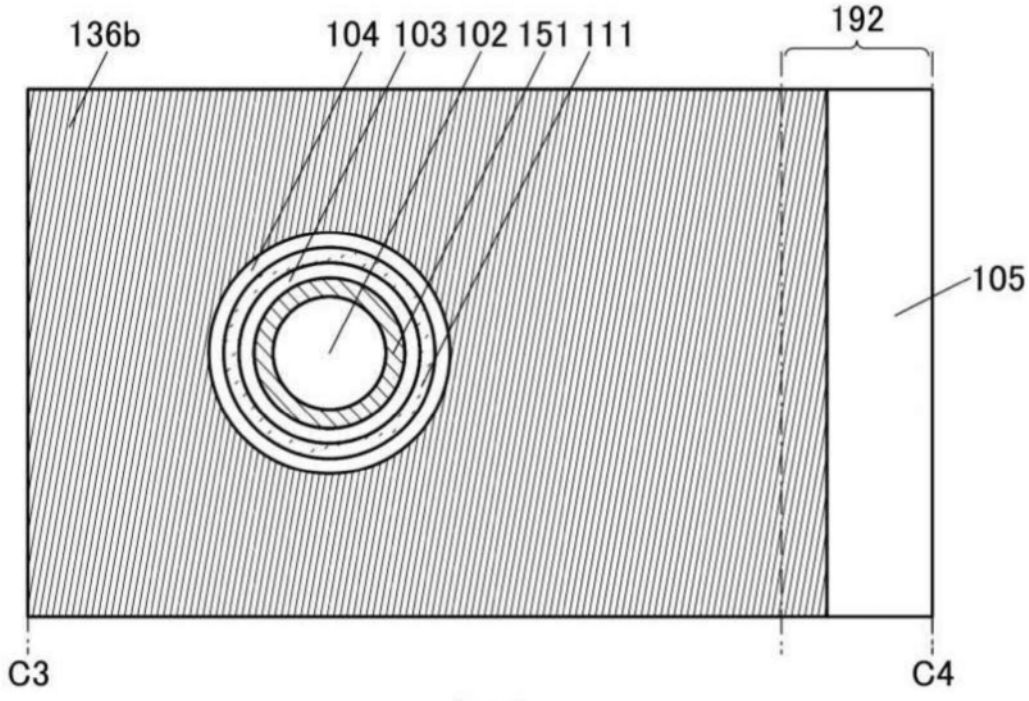

151
102
137c
192
101C
101B
101A
137a
137b
(A)
104 111 161C 102 151 137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b
(B)

图56


101C
161C
102
151
192
105
C1
137c
103
111
104
C2

(A)


136b
104
103
102
151
111
192
105
C3
C4

(B)

图57

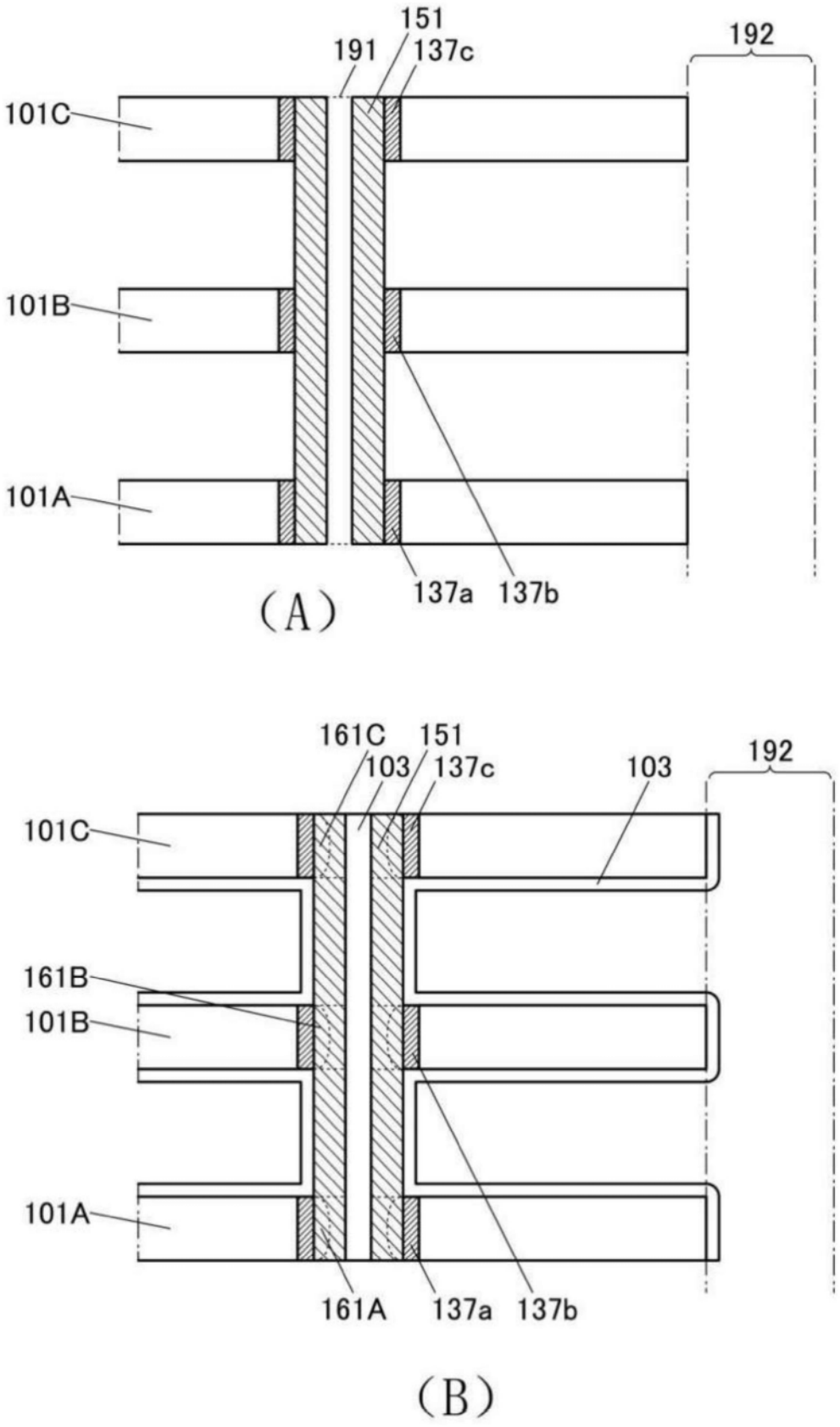

151
191
137c
192
101C
101B
101A
137a
137b
(A)
161C
151
103
137c
103
192
101C
161B
101B
101A
161A
137a
137b
(B)

图58

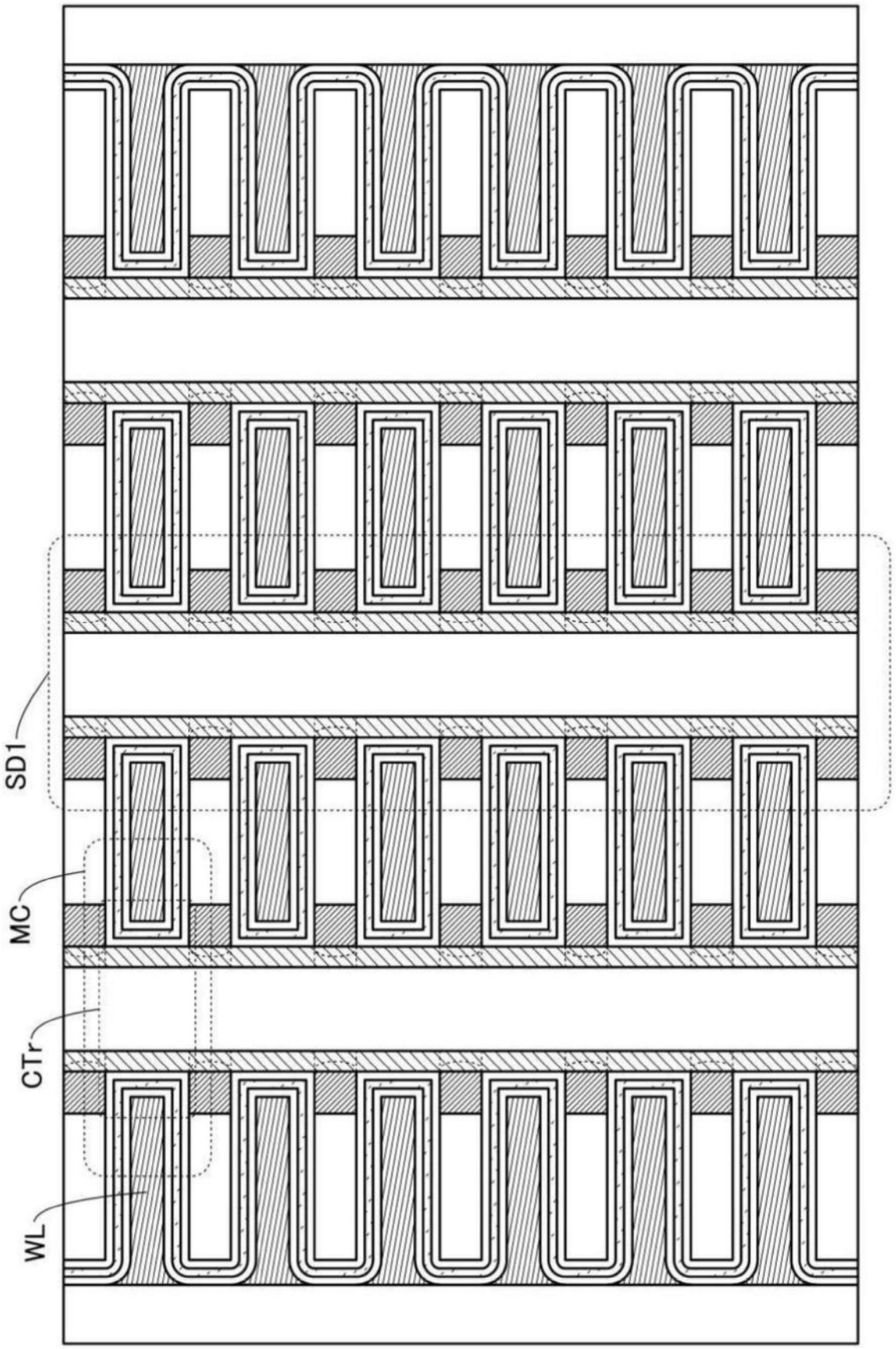


图59

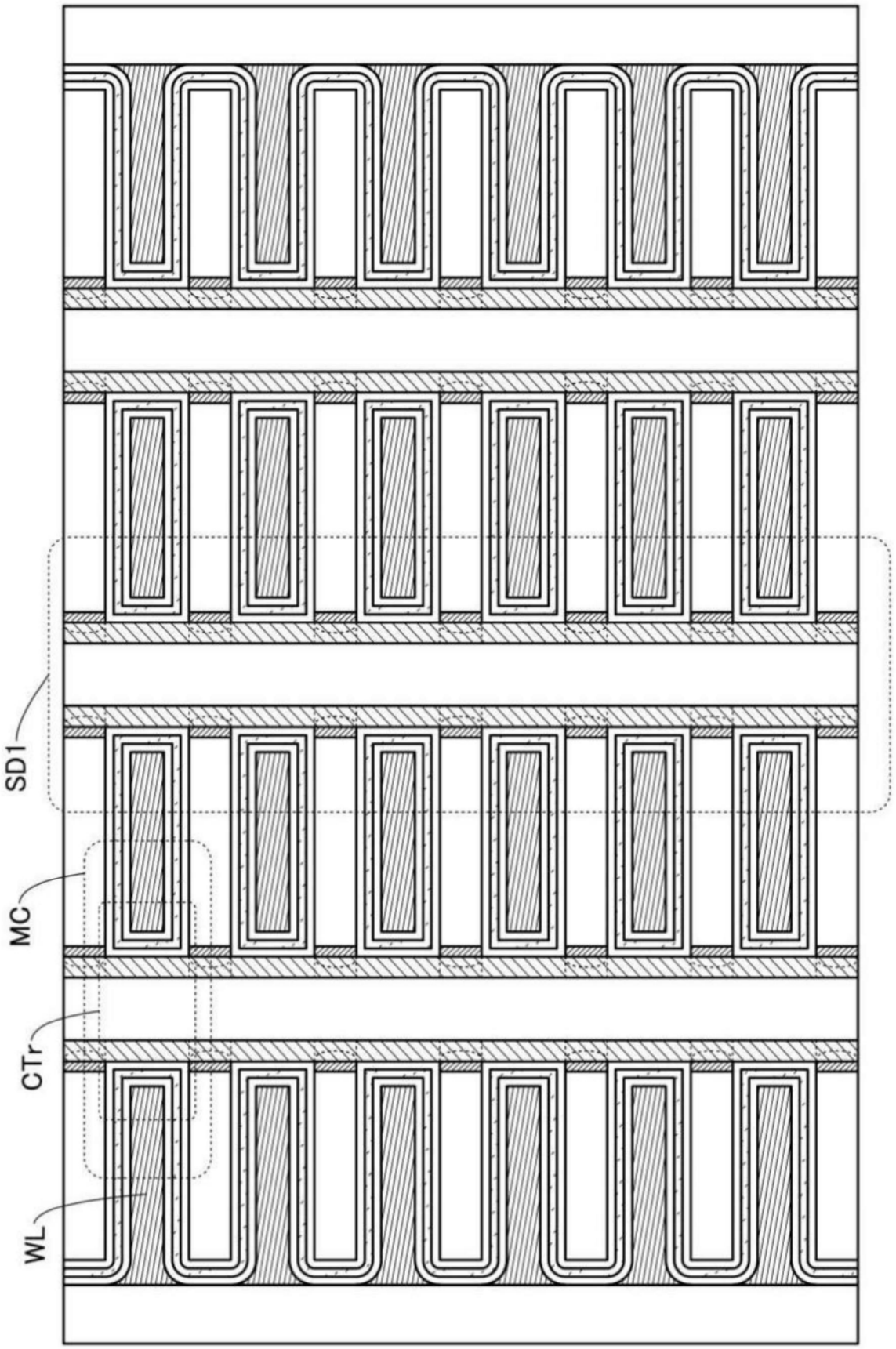


图60

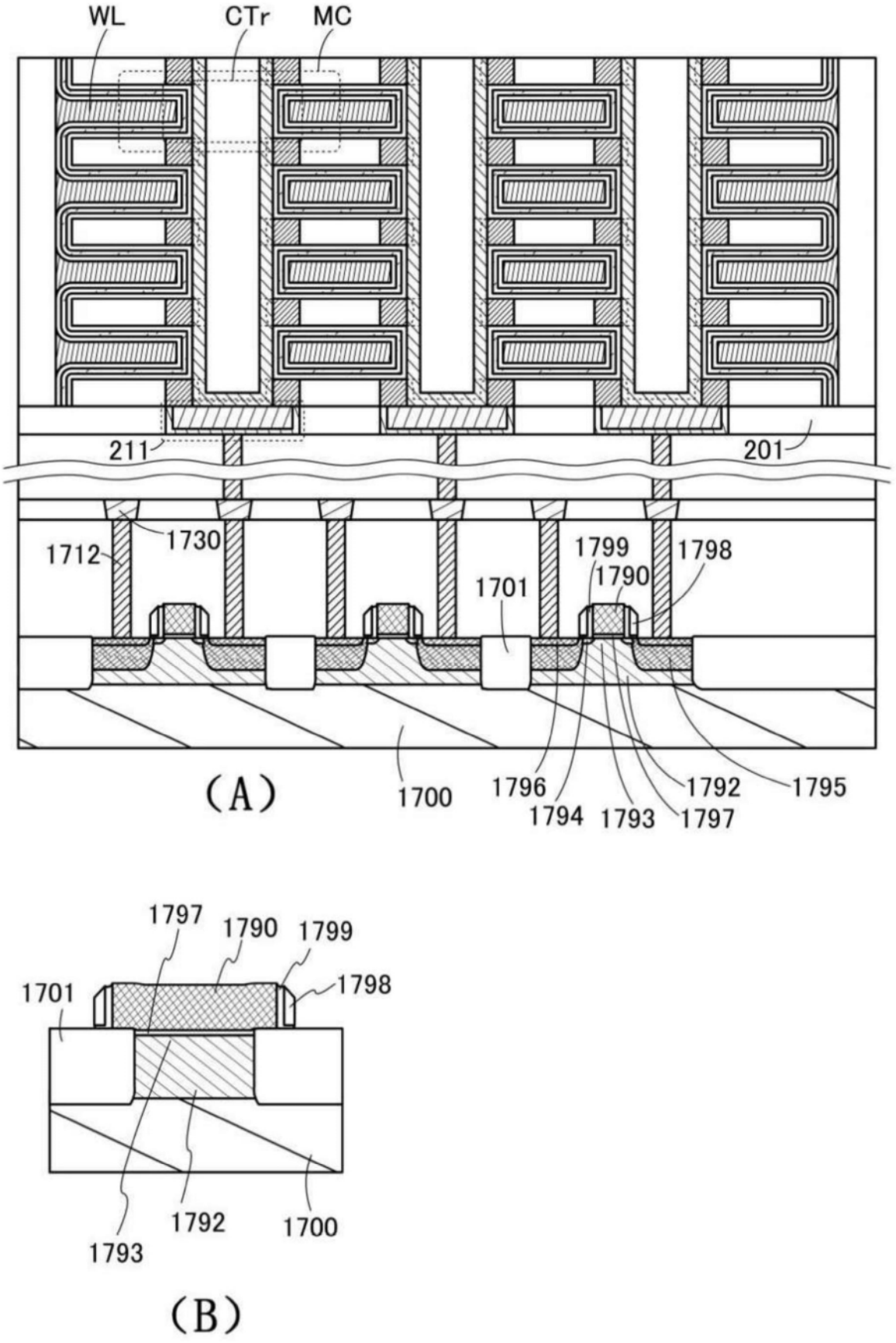

WL
CTr
MC
211
201
1712
1730
1799
1798
1790
1701
1796
1794
1793
1792
1797
1795
1700
(A)
1797
1790
1799
1798
1701
1793
1792
1700
(B)

图61

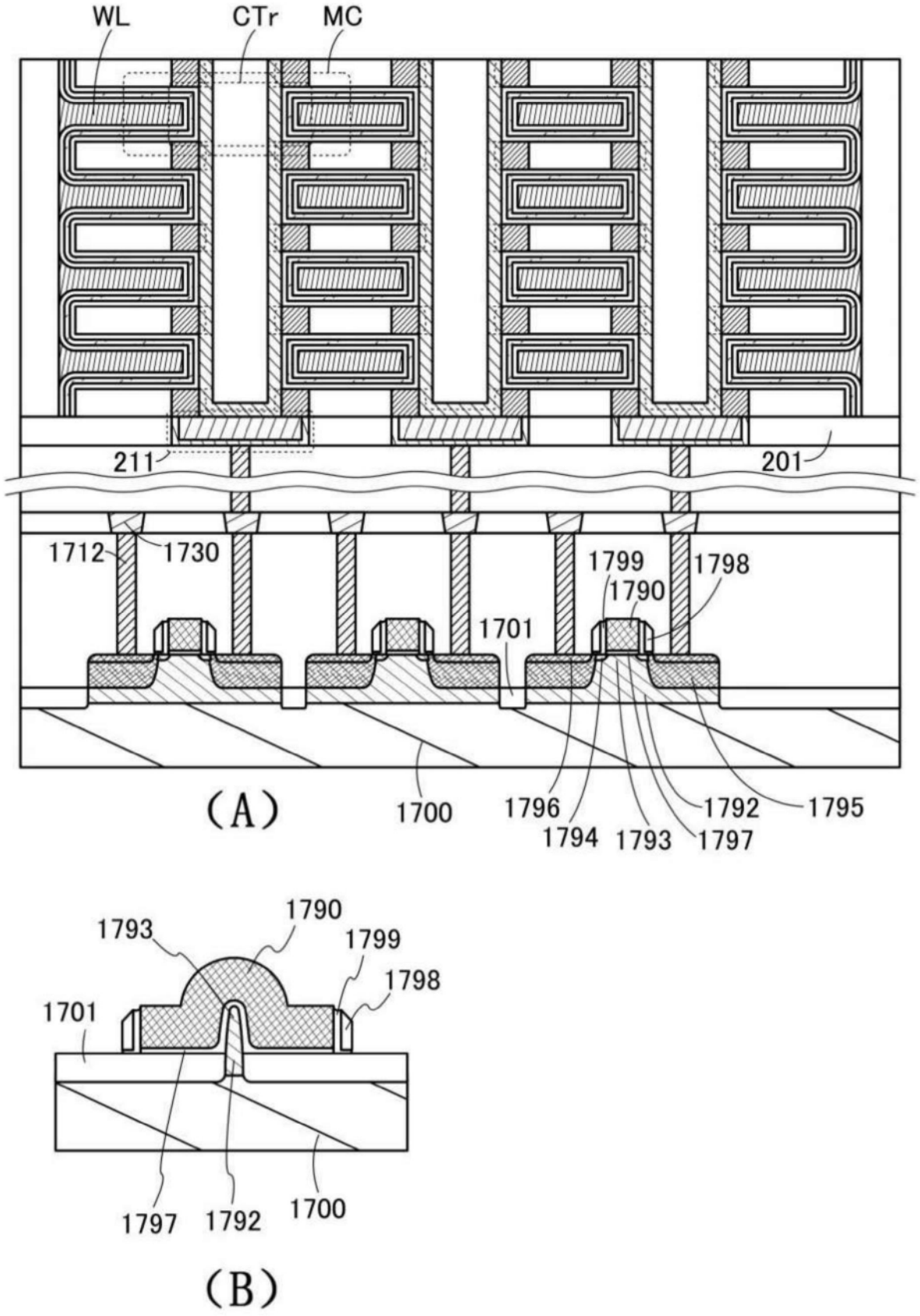

WL
CTr
MC
211
201
1712
1730
1799
1790
1798
1701
1700
1796
1794
1793
1792
1797
1795
(A)
1790
1793
1799
1798
1701
1797
1792
1700
(B)

图62

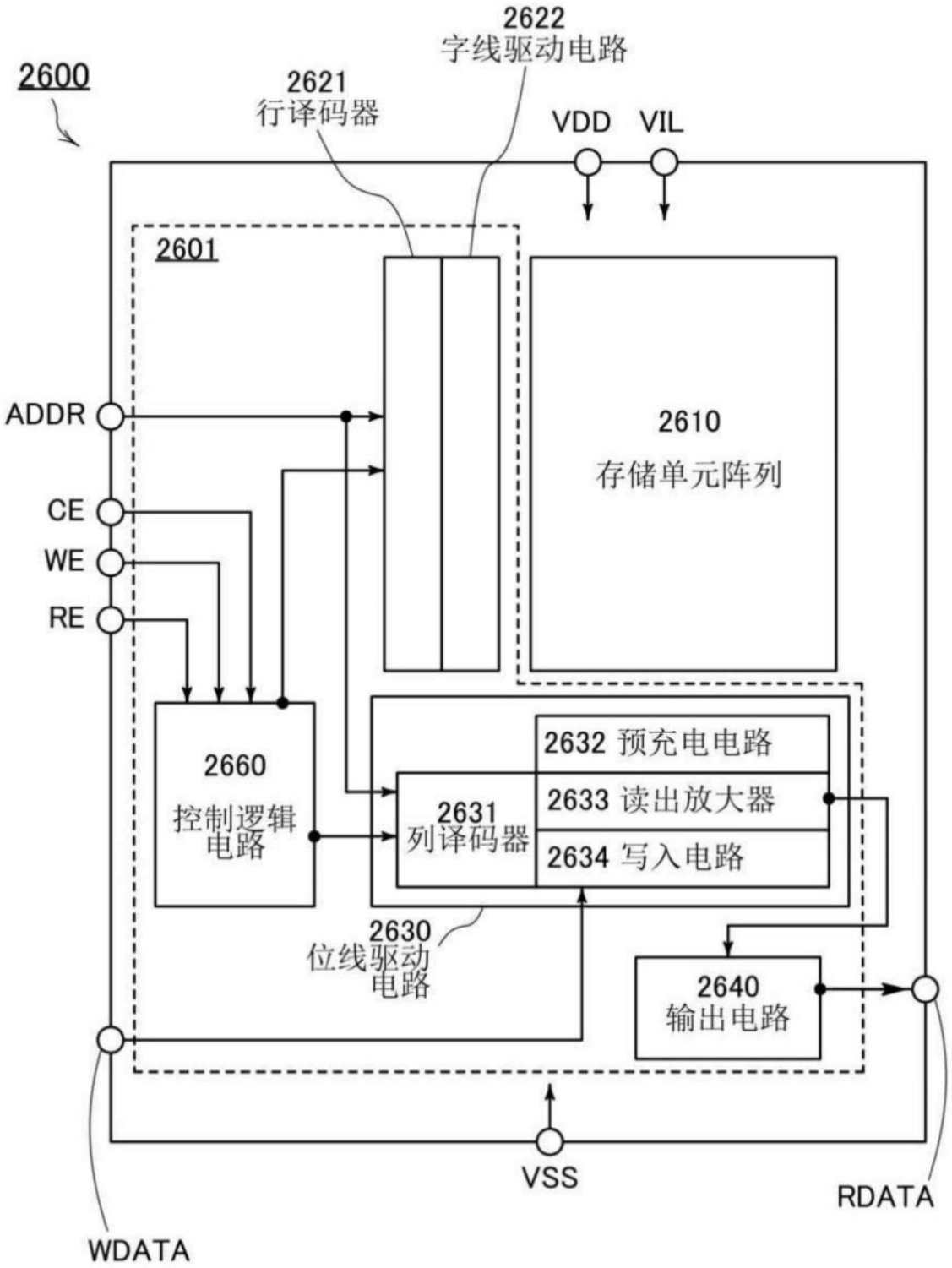

2600
2622
字线驱动电路
2621
行译码器
VDD
VIL
2601
ADDR
CE
WE
RE
2610
存储单元阵列
2660
控制逻辑电路
2632 预充电电路
2633 读出放大器
2634 写入电路
2631
列译码器
2630
位线驱动电路
2640
输出电路
VSS
RDATA
WDATA

图63

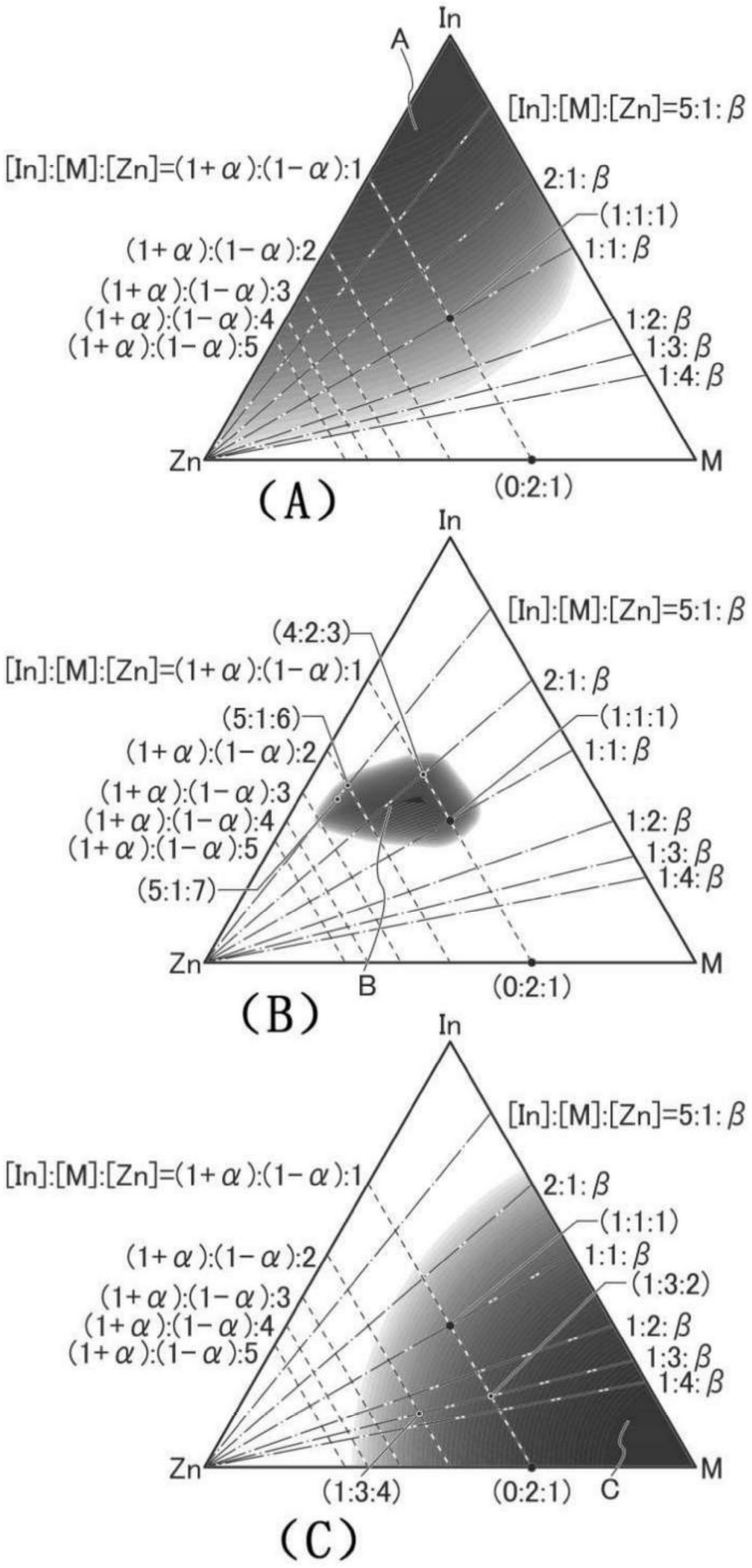

In
A
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(0:2:1)
(A)
In
[In]:[M]:[Zn]=5:1:β
(4:2:3)
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(5:1:6)
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
(5:1:7)
Zn
B
M
(0:2:1)
(B)
In
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1:3:2)
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(1:3:4)
(0:2:1)
C
(C)

图64

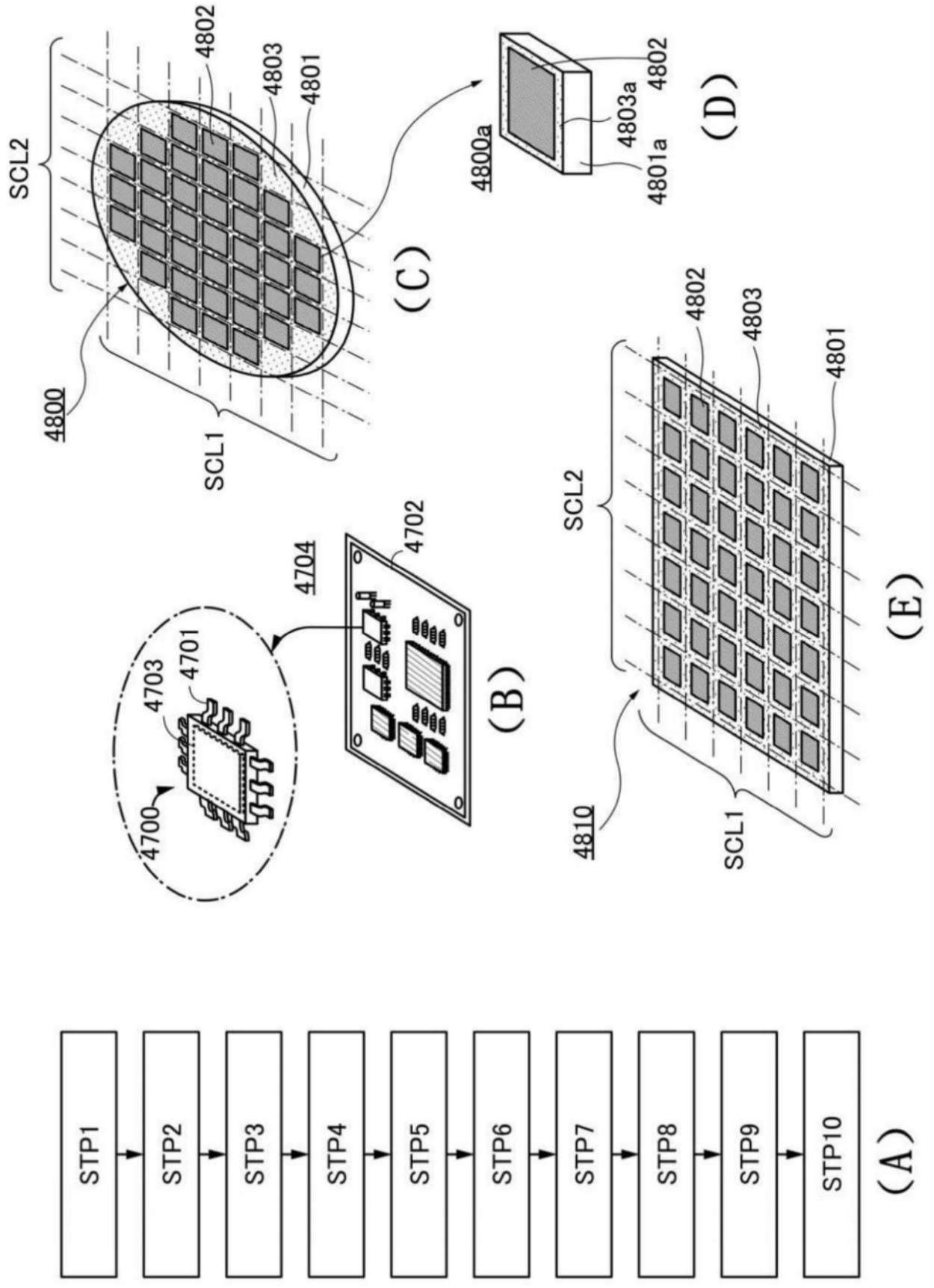

STP1
STP2
STP3
STP4
STP5
STP6
STP7
STP8
STP9
STP10
(A)
4700
4703
4701
4704
4702
(B)
SCL2
4800
4802
4803
4801
SCL1
(C)
4800a
4803a
4802
4801a
(D)
4810
SCL2
4802
4803
4801
SCL1
(E)

图65

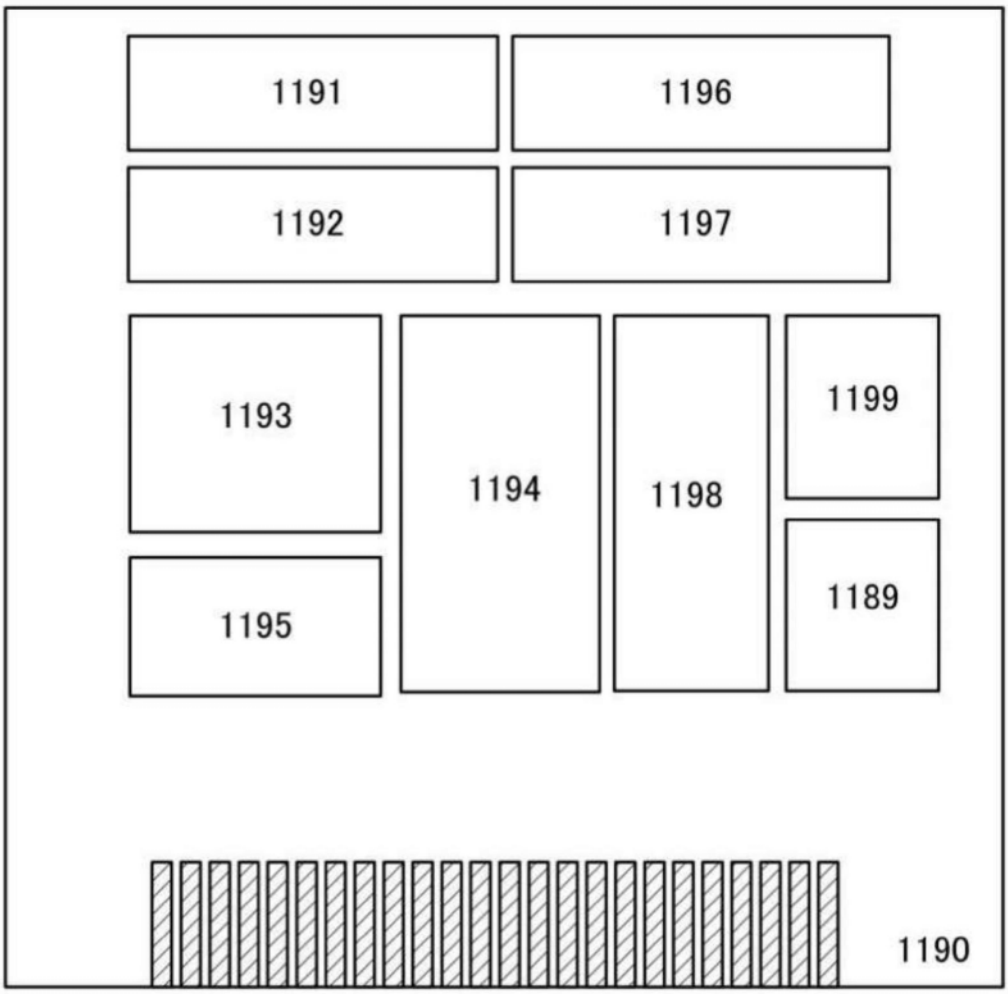


图66

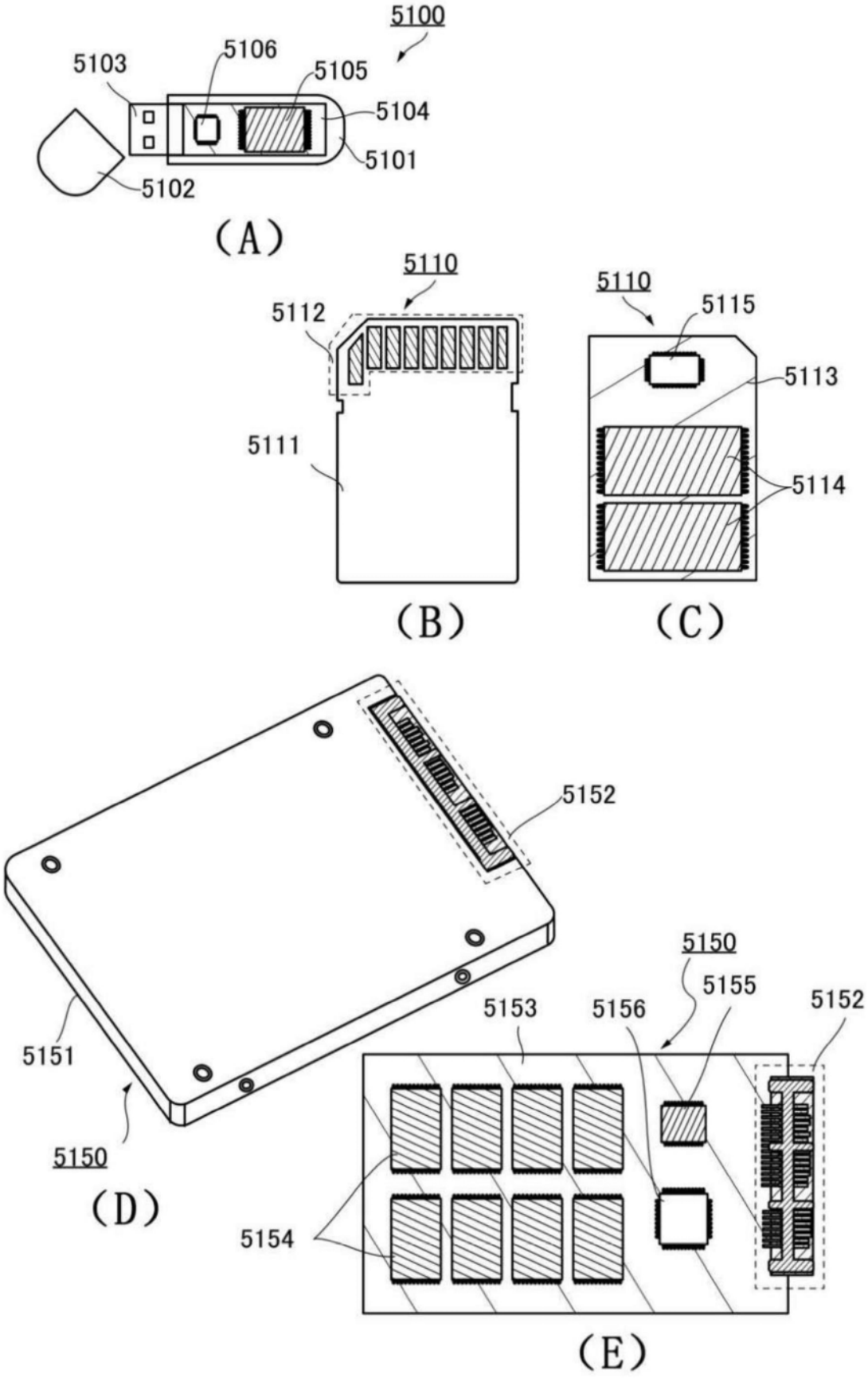

5100
5103
5106
5105
5104
5101
5102
(A)
5110
5112
5111
(B)
5110
5115
5113
5114
(C)
5152
5151
5150
(D)
5150
5155
5153
5156
5152
5154
(E)

图67

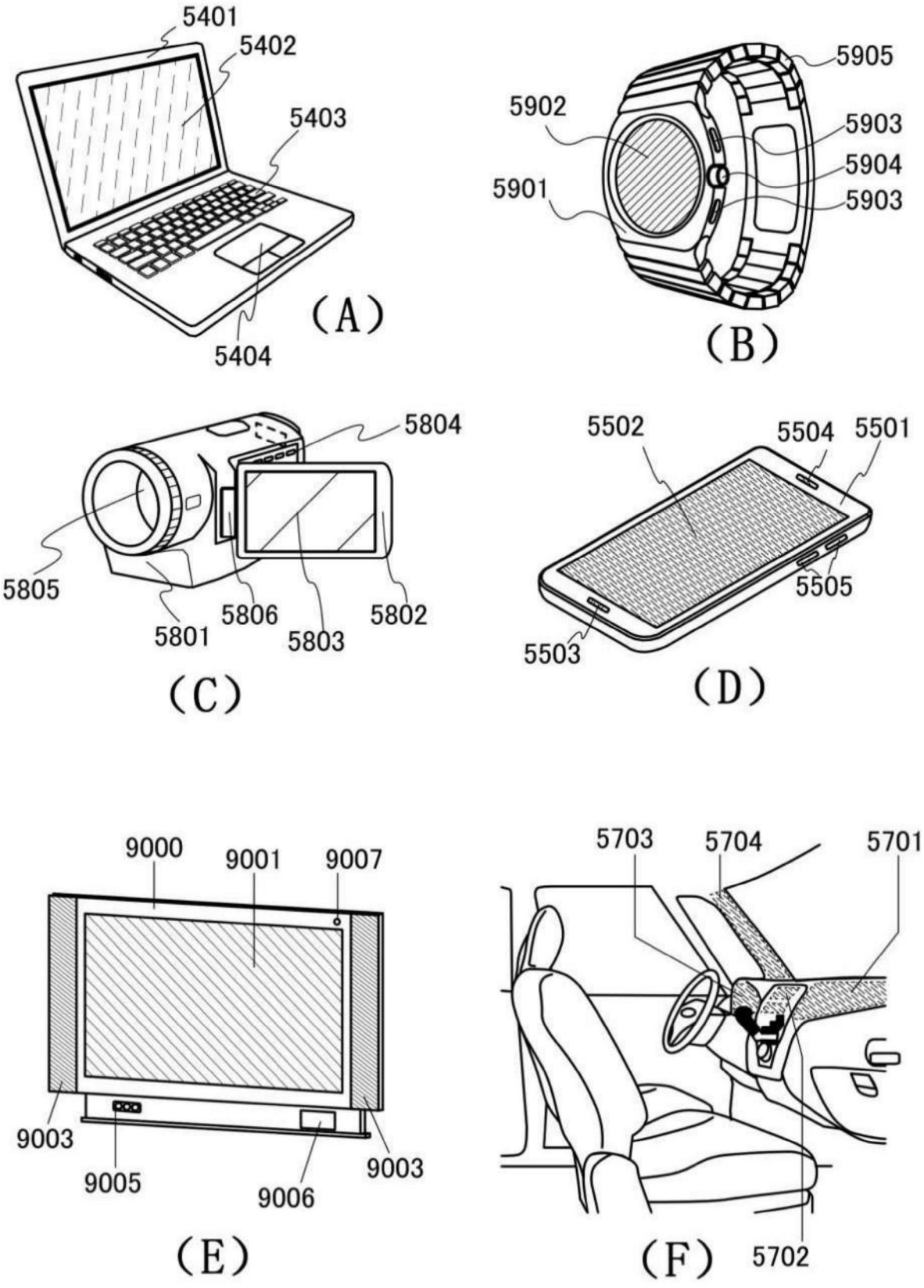

5401
5402
5403
5404
(A)
5905
5902
5903
5904
5901
5903
(B)
5804
5805
5801
5806
5803
5802
(C)
5502
5504
5501
5505
5503
(D)
9000
9001
9007
9003
9005
9006
9003
(E)
5703
5704
5701
5702
(F)

图68