(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
30. November 2017 (30.11.2017)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2017/202416 A1

(51) Internationale Patentklassifikation:
H03M 1/12 (2006.01) *H03M 1/16* (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2017/100431

(22) Internationales Anmeldedatum:
18. Mai 2017 (18.05.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
DE 20 2016 003 454.6
23. Mai 2016 (23.05.2016) DE

(71) Anmelder: **GREVE, Anne Amanda** [DE/DE]; Staffeler Str. 9, 53474 Bad Neuenahr- Ahrweiler (DE).

(72) Erfinder; und

(71) Anmelder: **KÜLS, Guido Erwin** [DE/DE]; Goethestr. 24, 51143 Köln (DE).

(74) Anwalt: **LIMBECK, Achim**; Auf dem Schimmerich 11, 53579 Erpel (DE).

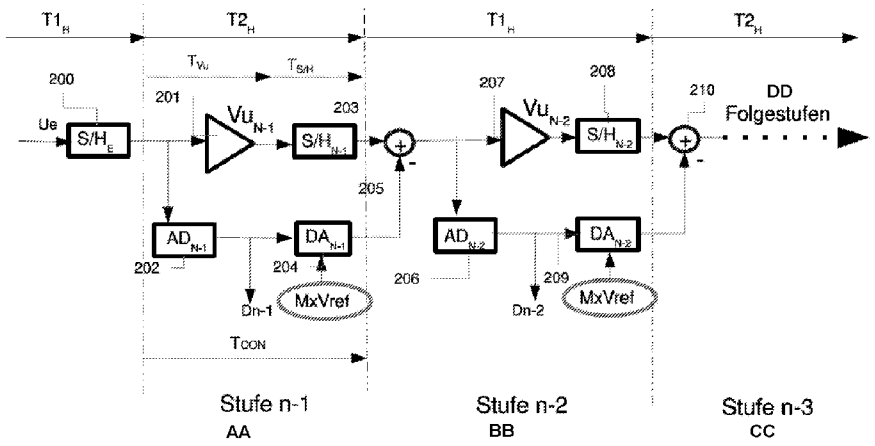
(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

WO 2017/202416 A1

(54) **Title:** METHOD FOR ANALOG-TO-DIGITAL CONVERSION AND CONVERTING ANALOG INPUT SIGNALS

(54) **Bezeichnung:** VERFAHREN ZUR ANALOG-DIGITAL-WANDLUNG UND UMSETZUNG ANALOGER EINGANGSSIGNALE

Fig. 2



AA Step n-1
BB Step n-2
CC Step n-3
DD Subsequent steps

(57) **Abstract:** The invention relates to a method for analog-to-digital conversion and for converting analog input signals into a digital data stream, wherein most significant bits D_{n-1} are produced within a cycle time $T_{AD/DA}$ by means of at least one AD/DA branch (202, 204), the signal is amplified within a cycle time T_{VU} by means of at least one amplifier (201), and the signal is stored within a cycle time T_{SH} by means of at least one memory (203), characterized in that the AD/DA branch (202, 204) works simultaneously with the at least one amplifier (201) and the memory (203) in the same cycle $T1_H$. Highly preferably, a method having a step D_{n-1} is provided, in which method the signal is processed further in at least one further step D_{n-2}, wherein the analog input signal is

[Fortsetzung auf der nächsten Seite]

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

— *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)*

stored in S/H steps (300, 301) with the cycle $T1_H$, while during $T2_H$ the stored signal is simultaneously forwarded to the amplifier (302) in the upper branch and to the AD block (303) in the lower branch and D_{n-1} is produced.

(57) Zusammenfassung: Die vorliegende Erfindung betrifft ein Verfahren zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale in einen digitalen Datenstrom, wobei mit mindestens einem AD/DA-Zweig (202, 204) höchstwertige Bits D_{n-1} innerhalb einer Taktzeit $T_{AD/DA}$ erzeugt werden, mit mindestens einem Verstärker (201) das Signal innerhalb einer Taktzeit T_{VU} verstärkt wird und das Signal mittels mindestens eines Speichers (203) innerhalb einer Taktzeit T_{SH} gespeichert wird, dadurch gekennzeichnet, dass der AD/DA-Zweig (202, 204) zeitlich parallel mit dem mindestens einen Verstärker (201) und dem Speicher (203) im gleichen Takt $T1_H$ arbeiten. Ganz besonders bevorzugt ist ein Verfahren mit einer Stufe D_{n-1} vorgesehen, bei dem das Signal in mindestens einer weiteren Stufe D_{n-2} weiterverarbeitet wird, wobei in S/H-Stufen (300, 301) das analoge Eingangssignal mit dem Takt $T1_H$ gespeichert wird, wobei während $T2_H$ das gespeicherte Signal zeitgleich im oberen Zweig an den Verstärker (302) und im unteren Zweig an den AD-Block (303) weitergeleitet und D_{n-1} erzeugt wird.

Verfahren zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale

BESCHREIBUNG

Technisches Gebiet

[0001] Die vorliegende Erfindung betrifft eine Verfahren zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale in einen digitalen Datenstrom gemäß dem Obersatz des Patentanspruchs 1.

Stand der Technik

[0002] Im Zuge der fortschreitenden Digitalisierung in der Signalverarbeitung und Übertragung von elektrischen Signalen, die zu Beginn in analoger Form vorliegen werden immer schnellere Analog-/Digitalwandler (AD/DA) benötigt. Eine bekannte Architektur hierzu mit hoher Wandlungsrate und vertretbarem technischem Schaltungsaufwand und damit geringer Chipfläche bilden die seit einigen Jahren bekannten Pipelined ADCs. Diese Anordnung auf Blockschaltbildebene ist jedoch im zeitlichen Ablauf nicht optimal.

Kurzbeschreibung der Zeichnung

[0003] Weitere Merkmale des Stands der Technik ergeben sich aus der nachfolgenden Beschreibung anhand einer Zeichnung.

[0004] In der Zeichnung zeigt

[0005] Fig. 1 eine Blockschaltbildebene eines Verfahrens zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale in einen digitalen Datenstrom mit mehreren Stufen $_{n-1}$, $_{n-2}$, $_{n-3}$.

[0006] $T_{gesamt1} = T_{Vu} + T_{SH} + T_{con}$ entspricht hierbei $T2_H=T1_H$

[0007] $T2_H$,$T1_H$: High Pegel der Taktsignale T2, T1.

[0008] Bei genauerer Betrachtung der Abläufe auf der Blockschaltbildebene nach Fig.1 fällt auf, dass innerhalb der einzelnen Konverterstufen (Sub-ADCs) in z.B. Stufe n-2 eine zeitlich serielle Anordnung des AD/DA-Zweigs 106/107 sowie der Vu (Verstärkerstufen) 104 und S/H-Stufen 105 (Sample and Hold Glieder) vorliegt.

[0009] Hierbei erfolgt in der Eingangsstufe (Stufe n-1), gebildet aus dem Sample and Hold Glied S/H_N 100 dem AD/DA-Zweig 101/102 die Erzeugung des höchstwertigsten Bits Dn-1. Anschließend erfolgt die Bildung des Residiumsignals am Sumationspunkt 102 in der Stufe n-2, sowie eine Verstärkung des Signals mit dem Verstärker Vu_{N-1} 104 um z.B. einen Faktor 2 (bei je einem Bit Umsetzung je Stufe), danach eine Speicherung in 105 des Analog- bzw. Residiumsignals mit darauf folgender AD/DA-Wandlung 106/107 und in der Stufe n-3 wieder eine Verstärkung des Signals in 109 mit z. B. einem Faktor Zwei. Hierbei erfolgt die Verstärkung 104, das Speichern 105 und die AD/DA-Verarbeitung 106/107 bis zur nächsten Vu-Stufe 109 zur gleichen Taktzeit (hier $T2_H$) zeitlich seriell hinter einander.

[0010] Die Vu_{N-3}-Stufe 109 wartet hierbei solange bis die Prozesse innerhalb $T2_H$ abgeschlossen sind und leitet dann das Signal zur Umsetzung eines weiteren Bit (bzw. weitere Bits)an die Folgestufe. Die benötigte Gesamtzeit $T_{gesamt1}$ ergibt sich aus der Zeit für die $T_{AD/DA}$ sowie der benötigten Zeit für die Verstärkung T_{Vu} und die Speicherung TS_H im Sample and Hold Glied mit $T_{gesamt1} = T_{AD/DA} + T_{Vu} + T_{SH}$.

Darstellung der Erfindung

[0011] Der vorliegenden Erfindung liegt daher die Aufgabe zu Grunde, ein Verfahren zu schaffen, welches die vorgenannten Probleme ausräumt und mittels dem eine Beschleunigung bzw. eine Verringerung der benötigten Gesamtzeit erreicht wird.

[0012] Erfindungsgemäß wird die voranstehende Aufgabe gemäß dem Oberbegriff des Anspruchs 1 in Verbindung mit den kennzeichnenden Merkmalen gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen des erfindungsgemäßen Verfahrens sind in den abhängigen Unteransprüchen angegeben.

Kurzbeschreibung der Zeichnungen

[0013] Weitere Ziele, Merkmale, Vorteile und Anwendungsmöglichkeiten des erfindungsgemäßen Verfahrens ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen anhand der Zeichnungen. Dabei bilden alle beschriebenen und/oder bildlich dargestellten Merkmale für sich oder in beliebiger Kombination den Gegenstand der Erfindung, unabhängig von der Zusammenfassung in einzelnen Ansprüchen oder deren Rückbeziehung.

[0014] In den Zeichnungen zeigen

[0015] Fig. 2 ein Blockdiagramm auf der Grundlage des erfindungsgemäßen Verfahrens, bei dem der AD/DA-Zweig zeitlich parallel mit einem Verstärker und einem Speicher 203 gleichen Takt arbeiten; bei: $T_{con} \sim T_{VU} + T_{S/H}$ ist $T_{ges} = T_{con} = T_{VU} + T_{S/H}$ entspricht hier $T2_H = T1_H$; $T2_H$, $T1_H$: High Pegel der Taktsignale T2, T1.

[0016] Fig. 3 eine besonders bevorzugte Erweiterung der in Fig. 2 dargestellten Ausführungsform der Erfindung zur Verwendung in der SC-Technik (switched capaciter);

[0017] Fig. 4 den zeitlichen Ablauf der Umsetzung eines Eingangssignals Ue innerhalb der einzelnen Konverterstufen mit den Taktzeiten T1 und T2 im Vergleich zu den Abläufen nach Anordnung im Sinne der Erfindung nach Fig.3;

[0018] Fig. 5a und Fig. 5b die Spannungs- und Schaltbedingungen für Fig. 3; Dabei gelten bei Ue>Vref/2 →Dn=1 →Ue'=Ue-Vref/2 →ab Stufe n-1 weiter mit Vref/4 und bei Ue>Vref/2 →Dn=0 →Ue'=Ue-=V →ab Stufe n-1 weiter mit Vref/4;

[0019] Fig. 6 eine Modifikation der Schaltung von Fig. 3;

[0020] Fig. 5c die Spannungspegel für die Variante von Fig. 6; Dabei gelten bei Ue>Vref/2 →Dn=1 →Ue'=Ue →ab Stufe n-1 weiter mit ¾ Vref und bei Ue>Vref/2 →Dn=0 →Ue'=Ue →ab Stufe n-1 weiter mit ¼ Vref;

[0021] Fig. 7 ein Schaltbild eines Pipeline Wandlers gemäß dem Stand der Technik mit 1 Bit je Stufe;

[0022] Fig.8 ein Ausführungsbeispiel zur Erfindung auf Schaltbildebene für die ersten drei Stufen des Pipeline Wandlers nach Fig.7;

[0023] Fig. 9a eine Teilschaltung aus Fig.3;

[0024] Fig. 9b eine Teilschaltung auf Bauteilebene nach Fig. 3;

[0025] Fig. 9c eine Teilschaltung aus Fig.6

[0026] Fig. 9d eine Teilschaltung auf Bauteilebene nach Fig. 6 und Fig. 8.

Ausführung der Erfindung

[0027] Wie aus Fig. 2 ersichtlich, werden bei dem vorliegenden Verfahren zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale in einen digitalen Datenstrom mit mindestens einem AD/DA-Zweig 202,204 höchstwertige Bits D_{n-1} innerhalb einer Taktzeit $T_{AD/DA}$ erzeugt, wobei mindestens ein Verstärker 201 das Signal innerhalb einer Taktzeit T_{VU} verstärkt und das Signal mittels mindestens eines Speichers 203 innerhalb einer Taktzeit T_{SH} gespeichert wird.

[0028] Das erfindungsgemäße Verfahren ist gemäß der Darstellung in Fig. 2 dadurch gekennzeichnet, dass der AD/DA-Zweig (202,204) zeitlich parallel mit dem mindestens einen Verstärker 201 und dem Speicher 203 im gleichen Takt $T1_H$ arbeiten. Der Summationspunkt 205 liegt hierbei hinter dem Speicherglied S/H_{N-1} 203.

[0029] Wenn die Hardwarevoraussetzungen so gestaltet sind, dass $T_{AD/DA} = T_{VU} + T_{SH}$, dann ergibt sich die Gesamtzeit $T_{gesamt2}$ nach Fig.2 aus der Zeit für den oberen Zweig Tvu (Zeit für die Verstärkung) plus die Zeit für die Speicherung des Signals T_{SH} oder die Zeit für die AD/DA Wandlung im unteren Zweig, innerhalb einer Stufe nach $T_{gesamt2} = T_{AD/DA} = T_{VU} + T_{SH}$.

[0030] Die Gesamtzeit $T_{gesamt2}$ verkürzt sich hierbei im Vergleich mit der oben aufgeführten Gesamtzeit $T_{gesamt\ 1}$ auf $T_{gesamt2} = T_{gesamt1} / 2$ oder mit $f_{Takt}=1/ T_{gesamt}$ ergibt sich $f_{Takt2}=2x\ f_{Takt1}$ und führt hiermit zur Verdopplung der Samplefrequenz bzw. Wandlungrate.

[0031] Hierbei ist $T_{gesamt1}$ die Wandlungszeit eines SubADCs nach dem Stand der Technik und $T_{gesamt2}$ die Wandlungszeit in der modifizierten Art im Sinne der Erfindung.

[0032] Somit ist im günstigsten Fall eine Verbesserung der Wandlungsrate bis hin zu einer Verdoppelung möglich. Im weniger optimalen Fall, dass $T_{AD/DA}$ > oder < als $T_{VU}+T_{SH}$ ausfällt ergibt sich $T_{gesammt2}$ aus der jeweils größeren Zeitspanne.

[0033] In Fig. 3 ist eine besonders bevorzugte Erweiterung der in Fig. 2 dargestellten Ausführungsform der Erfindung zur Verwendung in der SC-Technik (switched capaciter) dargestellt. Hierbei wird in den S/H Stufen 300 und 301 das analoge Eingangssignal mit dem Takt $T1_H$ gespeichert.

[0034] Während $T2_H$ wird das gespeicherte Signal zeitgleich im oberen Zweig an den Verstärker 302 und im unteren Zweig an den AD Block 303 weitergeleitet und D_{n-1} erzeugt.

[0035] Die Verstärkung des eingangsseitigen Verstärkers 302 beträgt hierbei vorzugsweise Vu =1, damit das Analogsignal am Ausgang von 302 nicht größer wird als die maximale Eingangsspannung. Alternativ kann die Gesammtverstärkung Vu des Eingangasignals innerhalb der gesammten Eingangsstufe gleich 1 betragen. Hier erfolgt im Vergleich zu 103 keine Subtraktion von der DA Stufe. Ebenso muss im Vergleich zu Fig. 2 in Fig.3 parallel zu 300 ein weiteres SH Glied 301 eingefügt werden.

[0036] Zurzeit wird in der üblichen SC Technik das SH Glied 100 von Fig.1 im Folgetakt hardwaremäßig mit der Vu_{N-1} Stufe 104 zusammen geschaltet. In Fig. 3 arbeiten jedoch die Stufen 303 und 305 während des gleichen Taktes $T2_H$, wobei auch hier 300 mit 302 zusammen geschaltet wird und 301 das Signal für 303 bereithält. Außerdem erfolgt während $T2_H$ die Speicherung in 305 und 306. Am Ausgang von 308 und 307 wird das Residiumsignal während eines erneuten Takt $T1_H$ gebildet.

[0037] Die Vu_{N-2} Stufe 309 verstärkt ab hier mit dem Faktor 2 (bei hier gezeigter Einbit Umsetzung je Stufe). 310 erzeugt während $T1_H$ den Binärwert Dn-2. 313 erzeugt zusammen mit dem Signal über 311 und 312 ein folgen-

des Residiumsignal im oberen Signalzweig sowie mit 317 den Binärwert Dn-3 usw.

[0038] Fig. 4 zeigt weiterhin den zeitlichen Ablauf der Umsetzung vom Eingangssignal Ue innerhalb der einzelnen Konverterstufen mit den Taktzeiten T1 und T2 im Vergleich zu den Abläufen nach Anordnung im Sinne der Erfindung nach Fig.3.

[0039] Eine Umsetzung auf Bauteilebene von S/H_{N-1}' 306 AD_{N-1} 303 sowie DA_{N-1} 304 und AD_{N-2} 310 mit dem Summationspunkt 307 zeigt Fig. 9b. S1 bildet zusammen mit C1 das Sample and Hold Glied und entspricht in Fig.3 bzw. Fig. 9A dem S/H' Block.

[0040] Während gemäß Fig. 3 eine Subtraktion des in AD_{n-1}(304) rückgewandelten Signals von D_{n-1} vom Residiumsignal am Summationspunkt (307) duchgeführt und das Ergebniss an AD_{n-2} (310) weitergegeben wird, ist es ebenso möglich, diese Subtraktion innerhalb des AD Blocks zu verlegen (siehe hierzu Fig. 9a, 9b,9c,9d). Daraus ergibt sich das Blockdiagramm nach Fig. 6. Hier wird vom Block AD_{n-1} (603) das Signal Dn-1 direkt auf den Block Adn-2 (610) zugeführt.

[0041] Innerhalb des Blocks ADN-2 (610) wird durch Umschalten der Gewichteten Referenzspannungen MX V_{ref} eine folgende Ad-Wandlung mit dem Ergebnis D_{n-2} durchgeführt.

[0042] Der DA Block wird gebildet von den Schaltern S2, S3,S4, die die einzelnen Referenzspannungen (-) ½ Uref oder Ground (0V) am Fußpunkt der Kapazität des S/H' Blocks je nach eingezeichneter Schaltbedingung, schalten.

[0043] Hierbei entsteht gleichzeitig die Subtraktion von Ures – U_{AD} als Referenzspannung am Komperator. Residiumsignal minus der Spannung aus dem AD-Wandler. Die hierzu vorzugsweise anzuwendende äquivalente Schaltung zeigt Fig. 9c mit Fig.9d. Hierbei wird die Subtraktion von Ures -

.U_{AD} in den Eingang des Komperators verlegt. Stattdessen wird die Referenzspannung ¼ Uref und ¾ Uref am invertierenden Eingang abhängig von Dn-1 umgeschaltet. Der Fußpunkt der Kapazität C1 liegt hierbei fest auf GND (0V). Am nicht invertierenden Eingang wird die gespeicherte Spannung von C1 angelegt.

[0044] Dadurch ergibt sich eine Modifikation der Schaltung von Fig. 3 zur Schaltung Fig.6. Der Block S/H_{N-1}' führt das Residiumsignal zum $AD_{N-2.}$ Das Wandlungsereignis Dn-1 schaltet innerhalb von AD_{N-2} die Referenzspannungen MxUref z.B. ¼ Uref oder ¾ Uref. um. Dieser erzeugt dann mit dem Residiumsignal aus S/H_{N-2} das Wandlungsergebnis Dn-2 usw.

[0045] Grundsätzlich ist es möglich, das Prinzip aus Fig. 3 und. Fig 6 auf Wandler mit mehrstufige Sub adc mit zusatlichen Komperatoren und Referenzspannungen zu übertragen.

[0046] Eine weitere Darstellung hierzu bezüglich der angelegten Referenzspannungen liefert Fig.5. In Fig. 5a) und Fig. 5b) sind die Spannungs - und Schaltbedingungen für Fig. 3 angegeben. In Fig. 5. c) die Spannungspegel für die Variante von Fig. 6.

[0047] Das Signal D_{n-1} kann vorzugsweise dem Block AD_{n-1}(603) und/oder dem Block AD_{n-2}(610) zugeführt und damit mindestens eine gewichtete Referenzspannung zu- oder abgeschaltet werden, um damit mit dem Residiumsignal aus S/H n-1 (606) den Binarwert D_{n-2} zu erzeugen.

[0048] Ein Ausführungsbeispiel zur Erfindung auf Schaltbildebene zeigt weiterhin Fig. 8 für die ersten drei Stufen des Pipeline Wandlers im Vergleich zum Stand der Technik nach Fig.7, bei dem die Komperatoren mit D_{n-x} über Wirkungslinie auf V_{ref} oder GND schalten.

[0049] Die hier gezeigten Ausführungen zum Pipelined ADC mit beispielhaften Ein- Bit- Wandlern je Stufe lassen sich vom geschulten Fachmann mit passenden Mehrbit- AD Stufen und Referenzspannungen in höher auflösende Stufen anpassen.

[0050] Die Erfindung ist auch mit bisherigen Techniken wie z.B. Pipelined ADC's mit Double Sampling und kalibrierten Pipelined ADC's kombinier- und anwendbar.

[0051] Mögliche Anwendungsgebiete der Erfindung sind Bereiche in denen es auf sehr schnelle Analog- Digitalwandlung ankommt, wie z.B. bei sehr schneller Bildaufzeichnung oder auch in der Messtechnik.

[0052] Das Verfahren gemäß den Patentansprüchen 1 bis 9 ist auch auf ADC's anwendbar, die mehrere Bits je Stufe bzw. Ad Blocks umsetzten und somit auf höherauflösende Sub ADC's.

[0053] Das erfindungsgemäße Verfahren beschränkt sich in seiner Ausführung nicht auf die vorstehend angegebenen bevorzugten Ausführungsformen. Vielmehr sind eine Vielzahl von Ausgestaltungsvariationen denkbar, welche von der dargestellten Lösung auch bei grundsätzlich anders gearteter Ausführung Gebrauch machen.

Verfahren zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale

PATENTANSPRÜCHE

1. Verfahren zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale in einen digitalen Datenstrom, wobei mit mindestens einem AD/DA-Zweig (202,204) höchstwertige Bits D_{n-1} innerhalb einer Taktzeit $T_{AD/DA}$ erzeugt werden, mit mindestens einem Verstärker (201) das Signal innerhalb einer Taktzeit T_{VU} verstärkt wird und das Signal mittels mindestens eines Speichers (203) innerhalb einer Taktzeit T_{SH} gespeichert wird,
dadurch gekennzeichnet, dass
der AD/DA-Zweig (202,204) zeitlich parallel mit dem mindestens einen Verstärker (201) und dem Speicher (203) im gleichen Takt $T1_H$ arbeiten.

2. Verfahren nach Anspruch 1 mit einer Stufe D_{n-1}, wobei das Signal in mindestens einer weiteren Stufe D_{n-2} weiterverarbeitet wird,
dadurch gekennzeichnet, dass
in S/H-Stufen (300, 301) das analoge Eingangssignal mit dem Takt $T1_H$ gespeichert wird, wobei während $T2_H$ das gespeicherte Signal zeitgleich im oberen Zweig an den Verstärker (302) und im unteren Zweig an den AD-Block (303) weitergeleitet und D_{n-1} erzeugt wird.

3. Verfahren nach Anspruch 2,
dadurch gekennzeichnet, dass
die Verstärkung des eingangsseitigen Verstärkers (302) Vu =1 beträgt, damit das Analogsignal am Ausgang des Verstärkers (302) nicht größer wird als die maximale Eingangsspannung oder dass die Gesammtverstärkung Vu des Eingangasignals innerhalb der gesammten Eingangsstufe gleich 1 beträgt.

4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet, dass
parallel zur S/H-Stufe (300) ein weiteres SH-Glied (301) eingefügt ist.

5. Verfahren nach den Ansprüchen 2 und 3,
dadurch gekennzeichnet, dass
die Stufen (303, 305) während des gleichen Taktes $T2_H$ arbeiten, wobei S/H-Stufe (300) mit S/H-Stufe (302) zusammen geschaltet wird und S/H-Stufe (301) das Signal für AD-Block (303) bereithält und während $T2_H$ die Speicherung im Speicher (305) und (306) erfolgt.

6. Verfahren nach den Ansprüchen 2 bis 5,
dadurch gekennzeichnet, dass
am Ausgang von (308) und (307) das Residiumsignal während eines erneuten Takts T_{1H} gebildet wird.

7. Verfahren nach Anspruch 1, mit einer Stufe D_{n-1}, wobei das Signal in mindestens zwei weiteren Stufe D_{n-2}, D_{n-3} weiterverarbeitet wird,
dadurch gekennzeichnet, dass
S/H_{N-2} (313) zusammen mit dem Signal über DA_{N-2} (311) und S/H_{N-2} (312) ein folgendes Residiumsignal im oberen Signalzweig erzeugt sowie mit AD_{N-3} (317) den Binärwert D_{n-3} usw.

8. Verfahren nach einem der vorangegangenen Ansprüche,
dadurch gekennzeichnet, dass
das Signal D_{n-1} dem Block AD_{n-1}(603) und dem Block AD_{n-2}(610) zugeführt und damit mindestens eine gewichtete Referenzspannung zu- oder abgeschaltet wird, um damit mit dem Residiumsignal aus S/H n-1 (606) den Binarwert D_{n-2} zu erzeugen.

Verfahren zur Analog-Digital-Wandlung und Umsetzung analoger Eingangssignale

ZEICHNUNGEN

Fig. 1

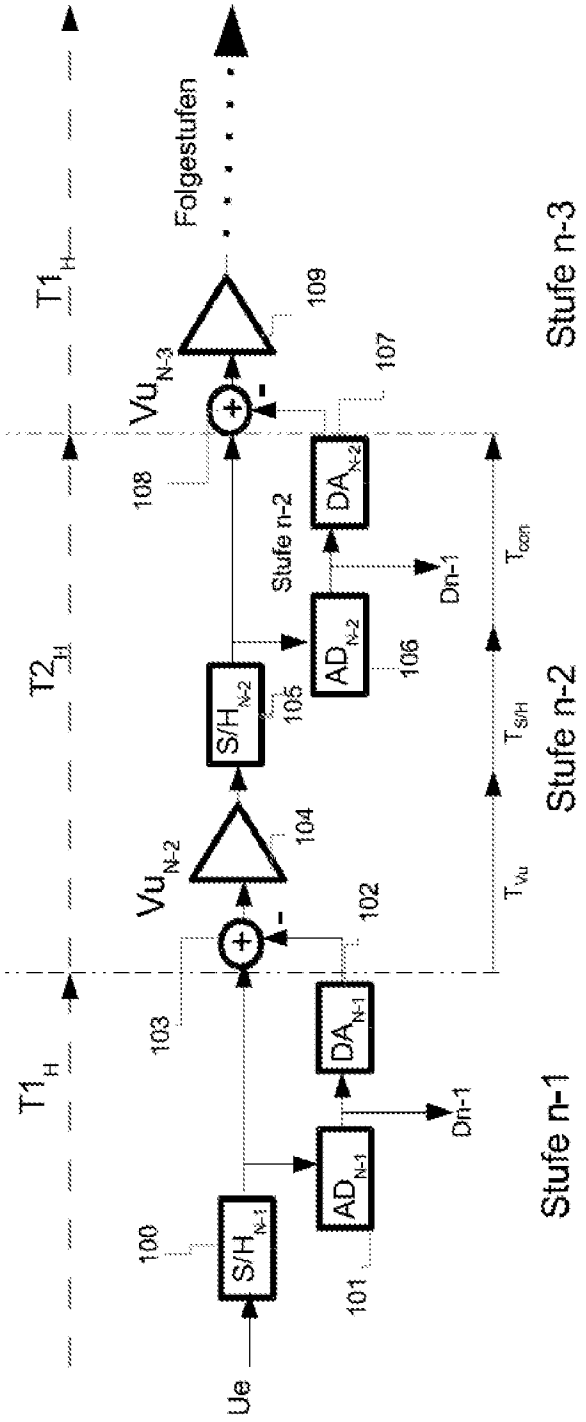


Fig. 2

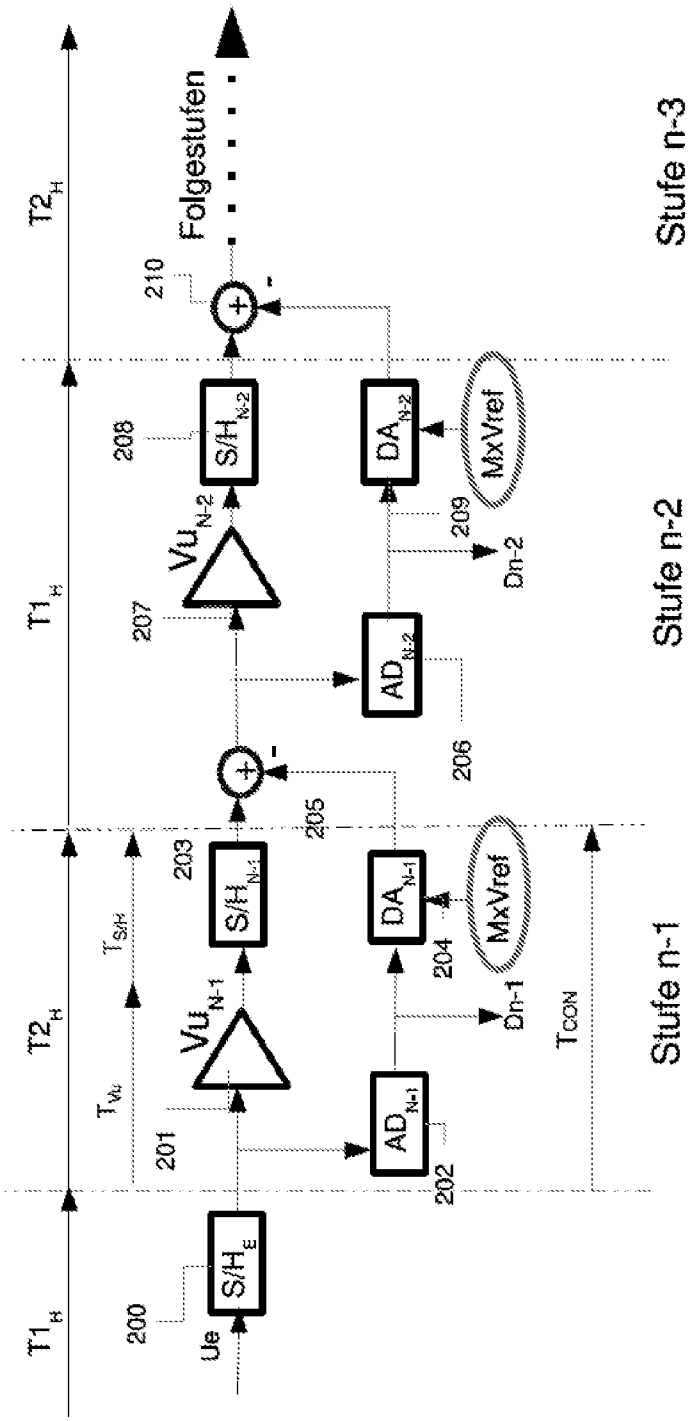

T1H
T2H
T2H
T1H
T2H
Ue
S/He
200
201
AD N-1
202
DA N-1
204
MxVref
Dn-1
TCON
Vu N-1
TWu
TS/H
S/H N-1
203
205
AD N-2
206
DA N-2
209
MxVref
Dn-2
Vu N-2
207
S/H N-2
208
210
Folgestufen
Stufe n-1
Stufe n-2
Stufe n-3

Fig. 3

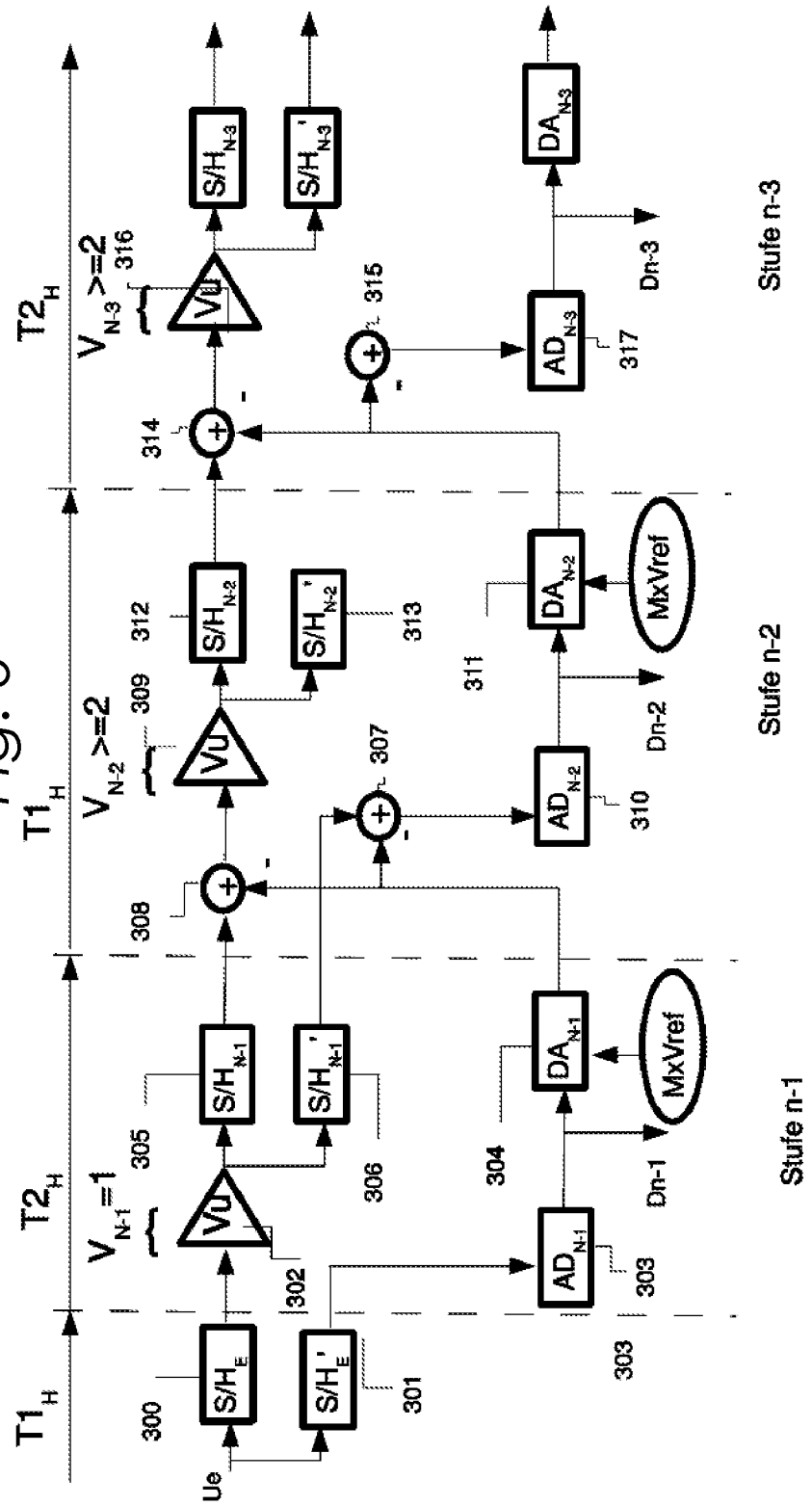

T1H
T2H
T1H
T2H
T2H
Ue
300
301
S/HE
S/HE'
VU
VN-1=1
302
303
ADN-1
303
304
DAN-1
MxVref
Dn-1
305
306
S/HN-1
S/HN-1'
307
308
-
+
-
+
310
ADN-2
311
DAN-2
MxVref
Dn-2
309
VN-2>=2
312
313
S/HN-2
S/HN-2'
314
-
+
315
-
+
317
ADN-3
Dn-3
316
VN-3>=2
S/HN-3
S/HN-3'
DAN-3
Stufe n-1
Stufe n-2
Stufe n-3

Fig. 4

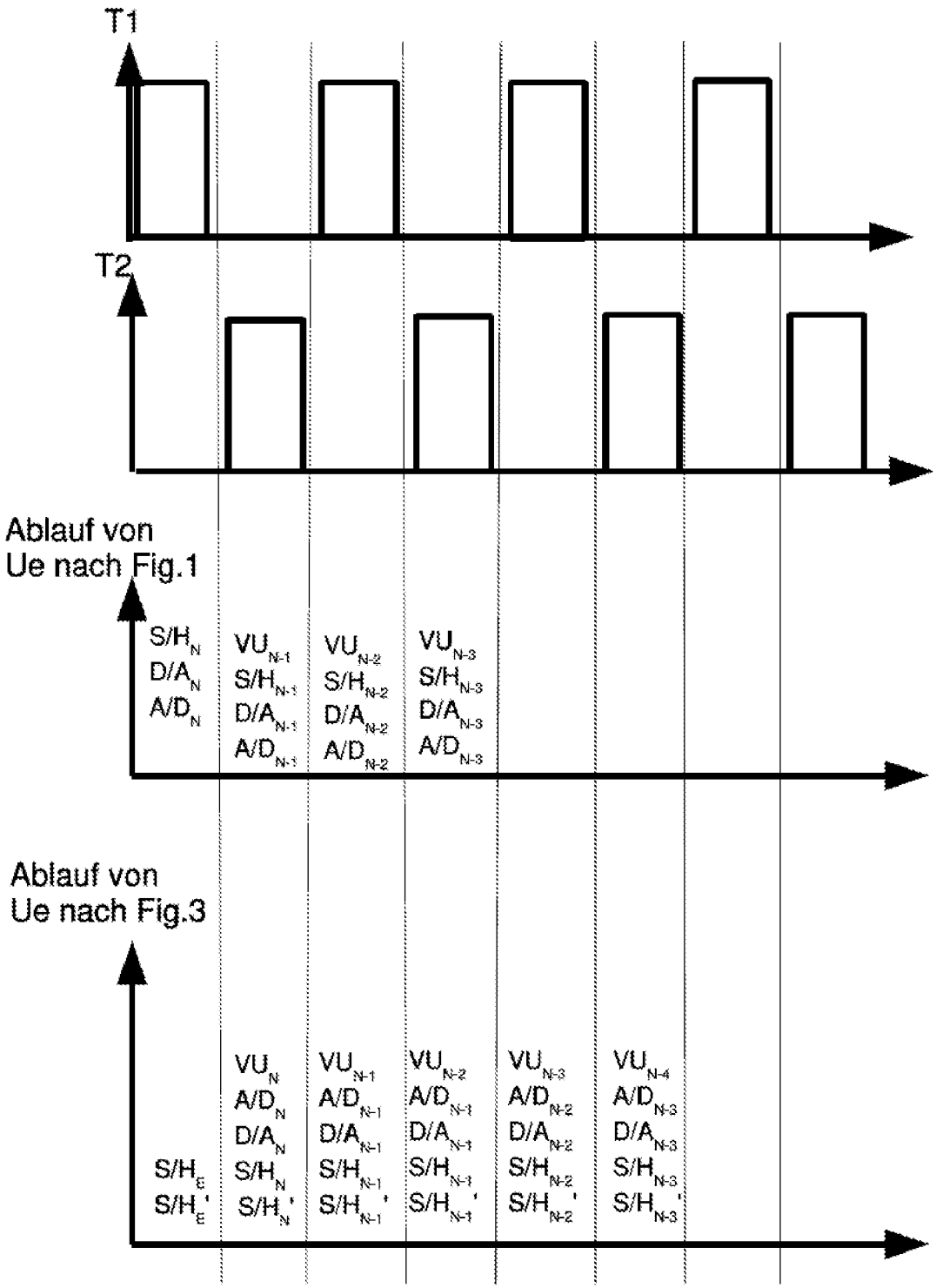

T1
T2
Ablauf von
Ue nach Fig.1
S/H N
D/A N
A/D N
VU N-1
S/H N-1
D/A N-1
A/D N-1
VU N-2
S/H N-2
D/A N-2
A/D N-2
VU N-3
S/H N-3
D/A N-3
A/D N-3
Ablauf von
Ue nach Fig.3
S/H ε
S/H ε'
VU N
A/D N
D/A N
S/H N
S/H N'
VU N-1
A/D N-1
D/A N-1
S/H N-1
S/H N-1'
VU N-2
A/D N-1
D/A N-1
S/H N-1
S/H N-1'
VU N-3
A/D N-2
D/A N-2
S/H N-2
S/H N-2'
VU N-4
A/D N-3
D/A N-3
S/H N-3
S/H N-3'

Fig. 5a

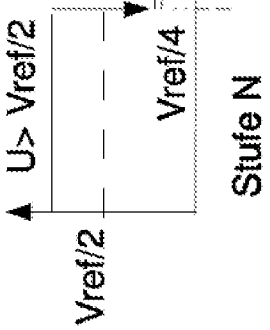


Fig. 5b

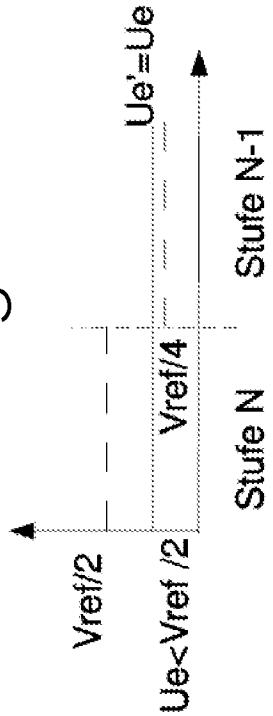


Fig. 5c

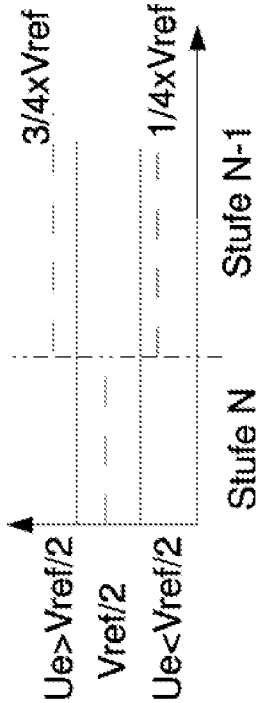


Fig. 6

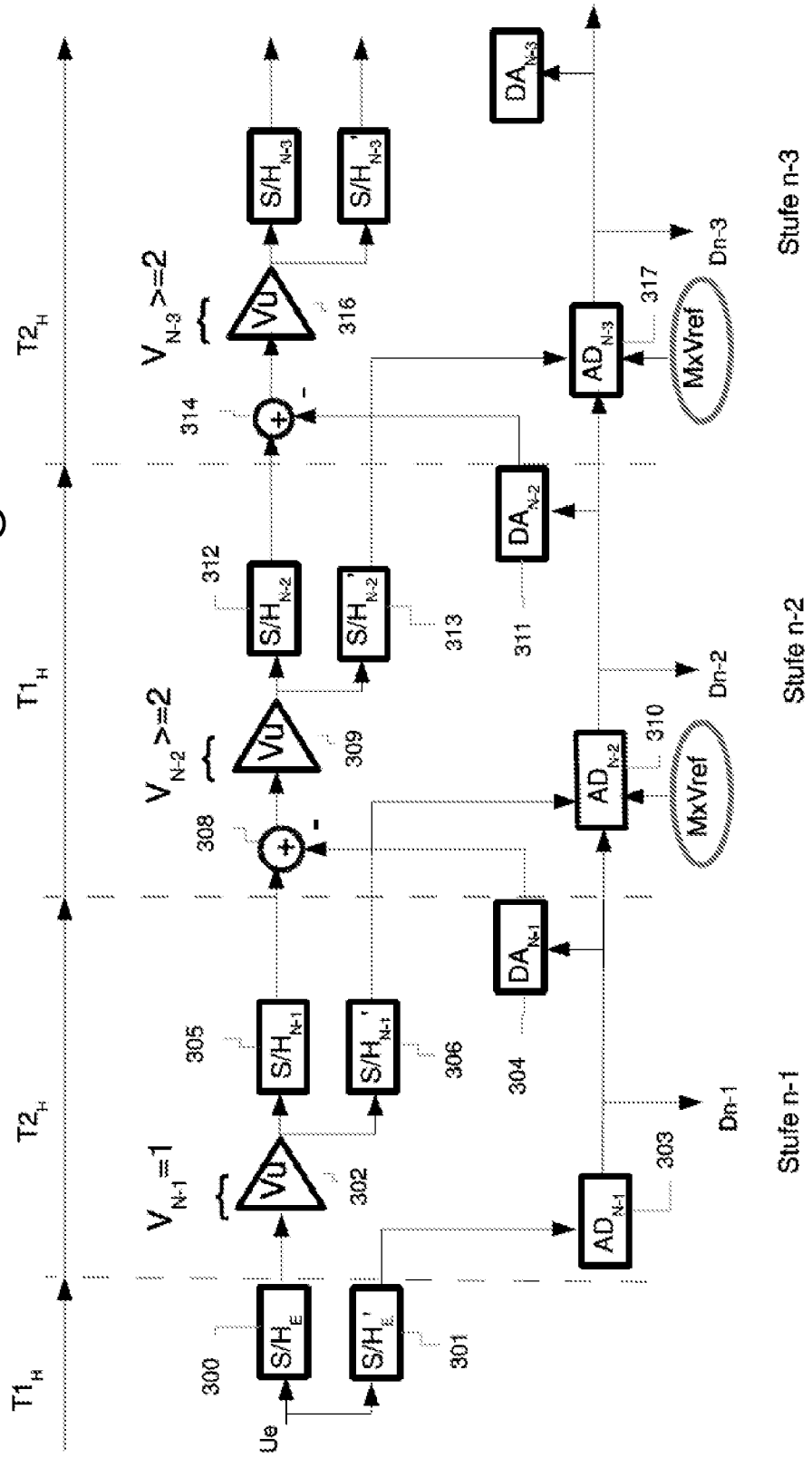

T1H
T2H
T2H
T1H
Ue
S/HE
S/HE'
300
301
VU
VN-1=1
302
S/HN-1
S/HN-1'
305
306
ADN-1
303
DAN-1
304
Dn-1
Stufe n-1
VU
VN-2>=2
309
S/HN-2
S/HN-2'
312
313
308
-
ADN-2
310
DAN-2
311
MxVref
Dn-2
Stufe n-2
VU
VN-3>=2
316
S/HN-3
S/HN-3'
314
-
ADN-3
317
DAN-3
MxVref
Dn-3
Stufe n-3

Fig. 7

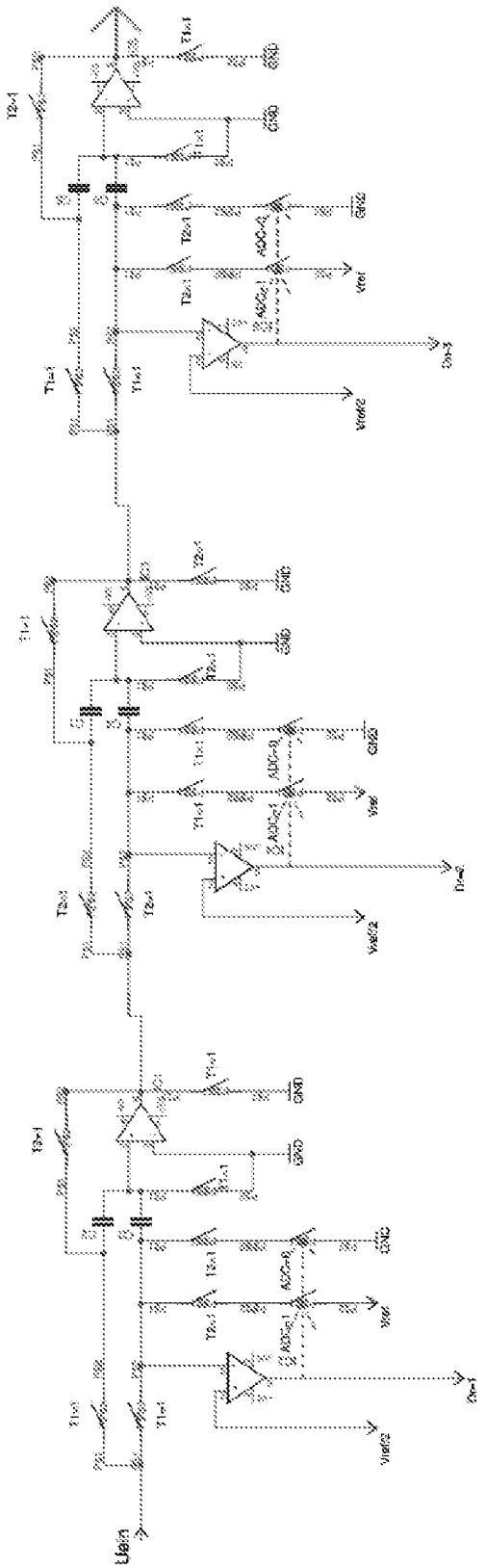
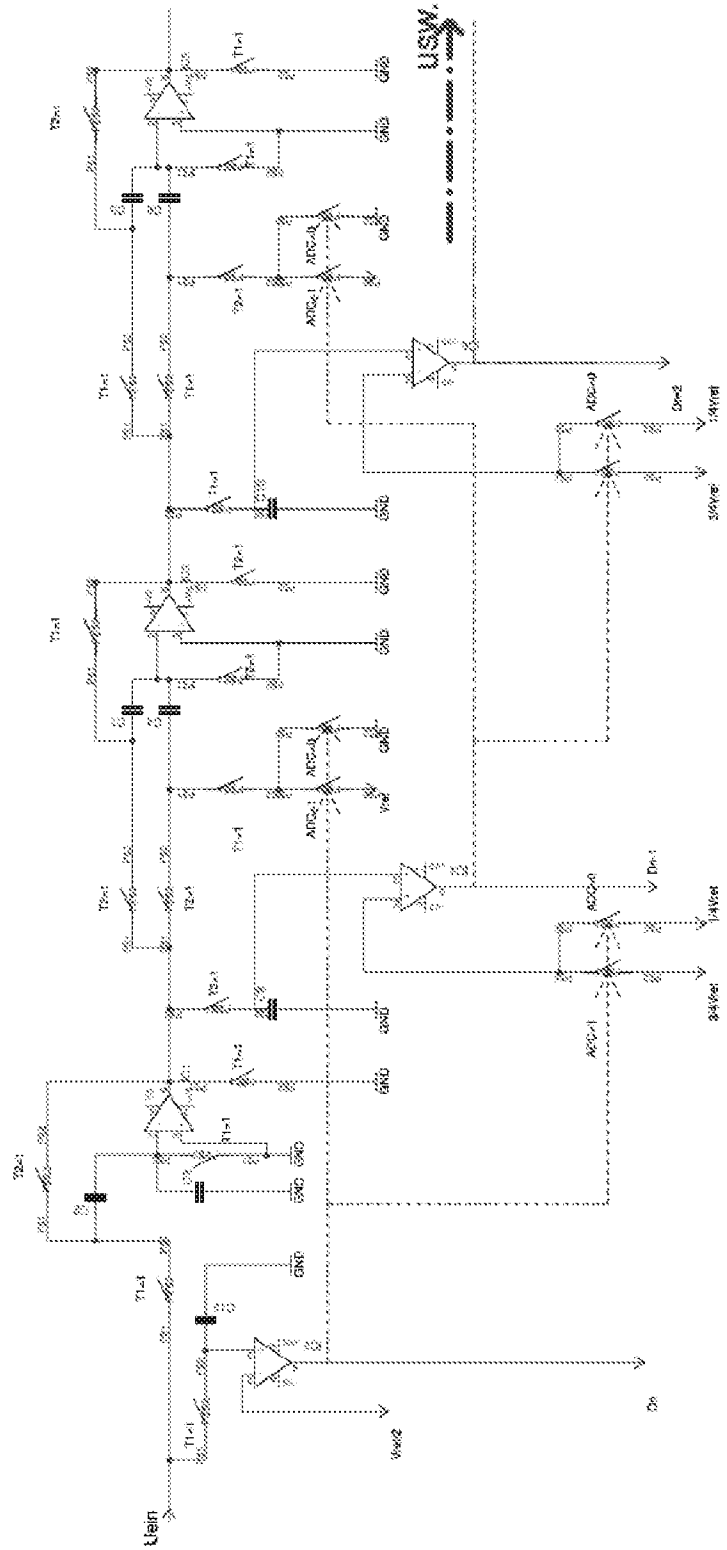


Fig. 8



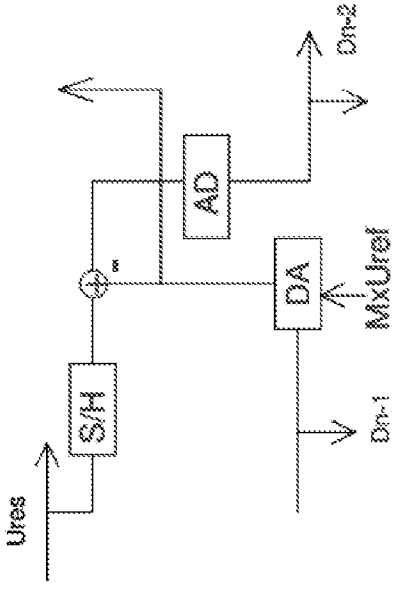


Fig. 9a

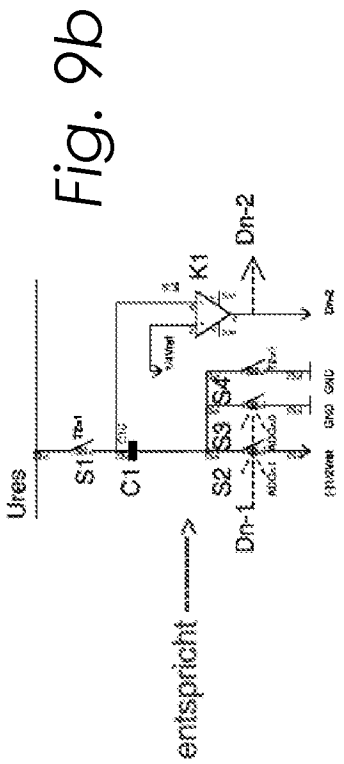


Fig. 9b

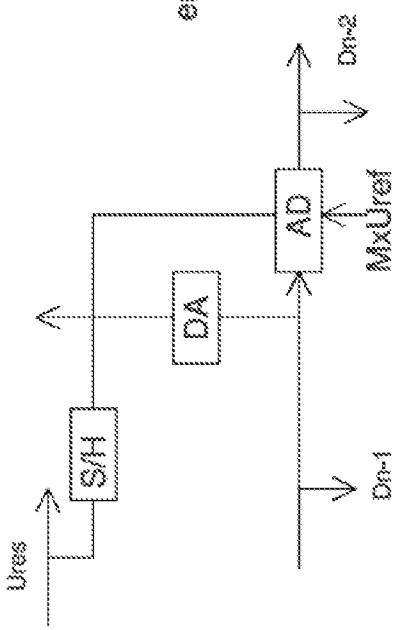


Fig. 9c

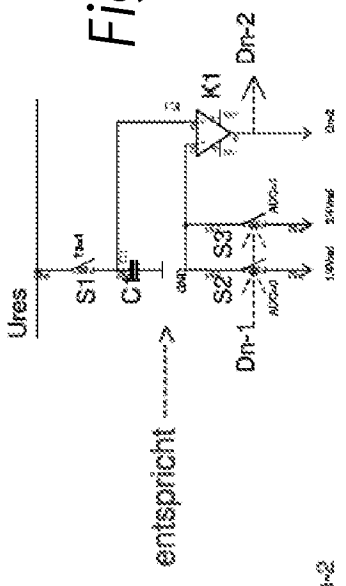


Fig. 9d

INTERNATIONAL SEARCH REPORT

International application No
PCT/DE2017/100431

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03M1/12
ADD. H03M1/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, WPI Data, COMPENDEX, INSPEC, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 274 377 A (MATSUURA TATSUJI [JP] ET AL) 28 December 1993 (1993-12-28) figures 7,8	1-8
X	EP 0 901 232 A2 (SANYO ELECTRIC CO [JP]) 10 March 1999 (1999-03-10) figures 2,3	1-8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 September 2017	28/09/2017

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Galardi, Leonardo

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/DE2017/100431

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5274377 A	28-12-1993	JP 3153271 B2	03-04-2001
		JP H0514199 A	22-01-1993
		US 5274377 A	28-12-1993
EP 0901232 A2	10-03-1999	EP 0901232 A2	10-03-1999
		US 6304206 B1	16-10-2001

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE2017/100431

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H03M1/12
ADD. H03M1/16

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H03M

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data, COMPENDEX, INSPEC, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 274 377 A (MATSUURA TATSUJI [JP] ET AL) 28. Dezember 1993 (1993-12-28) Abbildungen 7,8	1-8
X	EP 0 901 232 A2 (SANYO ELECTRIC CO [JP]) 10. März 1999 (1999-03-10) Abbildungen 2,3	1-8

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
13. September 2017	28/09/2017

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Galardi, Leonardo

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE2017/100431

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5274377 A	28-12-1993	JP 3153271 B2	03-04-2001
		JP H0514199 A	22-01-1993
		US 5274377 A	28-12-1993
EP 0901232 A2	10-03-1999	EP 0901232 A2	10-03-1999
		US 6304206 B1	16-10-2001