



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0116943
(43) 공개일자 2014년10월06일

(51) 국제특허분류(Int. Cl.)
G06F 12/08 (2006.01)
(21) 출원번호 10-2014-7023237
(22) 출원일자(국제) 2013년01월23일
심사청구일자 없음
(85) 번역문제출일자 2014년08월20일
(86) 국제출원번호 PCT/US2013/022775
(87) 국제공개번호 WO 2013/112607
국제공개일자 2013년08월01일
(30) 우선권주장
13/451,010 2012년04월19일 미국(US)
61/589,577 2012년01월23일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
클랜시, 로버트 디
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
스파이어, 토마스 필립
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
디펜더퍼, 제임스
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

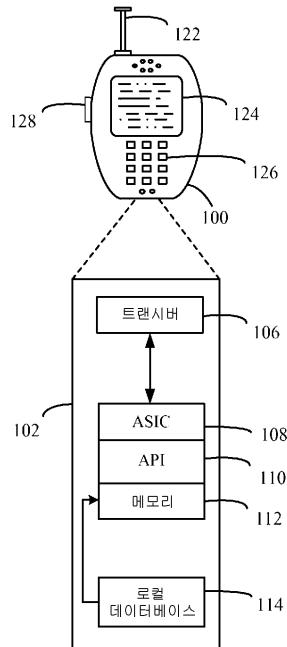
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 높은 시간적인 참조 국부성 데이터 필 버퍼들의 변위의 방지

(57) 요 약

본 발명은 높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 것에 관한 것이다. 본 발명의 실시예는 콘텐츠를 데이터 버퍼에 저장하고, 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하고, 콘텐츠를 저장하는 캐시 대신에, 콘텐츠를 타겟팅하는 각각의 동작에 대해 데이터 버퍼를 액세스한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

높은 시간적인 참조 국부성(high temporal locality of reference)을 갖는 메모리 콘텐츠를 액세스하는 방법으로서,

상기 콘텐츠를 데이터 버퍼에 저장하는 단계,

상기 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하는 단계, 및

상기 콘텐츠를 저장하는 캐시 대신에, 상기 콘텐츠를 타겟팅하는 각각의 동작에 대해 상기 데이터 버퍼를 액세스하는 단계를 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 방법.

청구항 2

제 1 항에 있어서,

상기 결정하는 단계는,

상기 데이터 버퍼 내의 카운터를 초기화하는 단계,

상기 데이터 버퍼가 미리 결정된 수의 클록 사이클들 내에 액세스될 때 상기 카운터를 증분하는 단계,

상기 데이터 버퍼가 미리 결정된 수의 클록 사이클들 내에 액세스되지 않을 때 상기 카운터를 감분하는 단계, 및

상기 카운터가 임계치를 초과할 때, 상기 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하는 단계를 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 방법.

청구항 3

제 2 항에 있어서,

상기 카운터가 상기 임계치를 초과할 때, 상기 버퍼의 할당 해제(de-allocation)을 방지하는 단계, 및

상기 카운터가 상기 임계치 미만으로 떨어질 때, 상기 콘텐츠를 상기 캐시에 저장하고, 상기 데이터 버퍼를 할당 해제하는 단계를 더 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 방법.

청구항 4

제 1 항에 있어서,

상기 결정하는 단계는,

스택 포인터(stack pointer)를 포함하는 레지스터가 상기 저장하는 단계에 사용된다고 결정하는 단계, 및

필 버퍼가 높은 시간적인 참조 국부성을 갖는다는 것을 나타내도록 상기 필 버퍼 내의 플래그를 설정하는 단계를 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 방법.

청구항 5

제 4 항에 있어서,

상기 플래그가 상기 필 버퍼가 높은 시간적인 참조 국부성을 갖는다는 것을 나타낼 때, 상기 데이터 버퍼의 할

당 해제를 방지하는 단계를 더 포함하는,
높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 방법.

청구항 6

제 4 항에 있어서,

상기 스택 포인터가 변할 때, 상기 높은 시간적인 참조 국부성을 나타내는 플래그를 제거하는 단계를 더 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 방법.

청구항 7

제 6 항에 있어서,

상기 플래그가 제거될 때, 상기 콘텐츠를 상기 캐시에 저장하고, 상기 데이터 버퍼를 할당 해제하는 단계를 더 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 방법.

청구항 8

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치로서,

상기 콘텐츠를 데이터 버퍼에 저장하도록 구성된 로직,

상기 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하도록 구성된 로직, 및

상기 콘텐츠를 저장하는 캐시 대신에, 상기 콘텐츠를 타겟팅하는 각각의 동작에 대해 상기 데이터 버퍼를 액세스하도록 구성된 로직을 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 9

제 8 항에 있어서,

상기 결정하도록 구성된 로직은,

상기 데이터 버퍼 내의 카운터를 초기화하도록 구성된 로직,

상기 데이터 버퍼가 미리 결정된 수의 클록 사이클들 내에 액세스될 때 상기 카운터를 충분하도록 구성된 로직,

상기 데이터 버퍼가 미리 결정된 수의 클록 사이클들 내에 액세스되지 않을 때 상기 카운터를 감소하도록 구성된 로직,

상기 카운터가 임계치를 초과할 때, 상기 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하도록 구성된 로직을 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 10

제 9 항에 있어서,

상기 카운터가 상기 임계치를 초과할 때, 상기 버퍼의 할당 해제(de-allocation)을 방지하도록 구성된 로직, 및

상기 카운터가 상기 임계치 미만으로 떨어질 때, 상기 콘텐츠를 상기 캐시에 저장하고, 상기 데이터 버퍼를 할당 해제하도록 구성된 로직을 더 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 11

제 8 항에 있어서,

상기 결정하도록 구성된 로직은,

스택 포인터를 포함하는 레지스터가 상기 저장하는 것에 사용된다고 결정하도록 구성된 로직, 및
필 버퍼가 높은 시간적인 참조 국부성을 갖는다는 것을 나타내도록 상기 필 버퍼 내의 플래그를 설정하도록 구
성된 로직을 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 12

제 11 항에 있어서,

상기 플래그가 상기 필 버퍼가 높은 시간적인 참조 국부성을 갖는다는 것을 나타낼 때, 상기 데이터 버퍼의 할
당 해제를 방지하도록 구성된 로직을 더 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 13

제 11 항에 있어서,

상기 스택 포인터가 변할 때, 상기 높은 시간적인 참조 국부성을 나타내는 플래그를 제거하도록 구성된 로직을
더 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 14

제 13 항에 있어서,

상기 플래그가 제거될 때, 상기 콘텐츠를 상기 캐시에 저장하고, 상기 데이터 버퍼를 할당 해제하도록 구성된
로직을 더 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 15

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치로서,

상기 콘텐츠를 데이터 버퍼에 저장하기 위한 수단,

상기 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하기 위한 수단, 및

상기 콘텐츠를 저장하는 캐시 대신에, 상기 콘텐츠를 타겟팅하는 각각의 동작에 대해 상기 데이터 버퍼를 액세
스하기 위한 수단을 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 장치.

청구항 16

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 비일시적인 컴퓨터-판독 가능 매체로서,

상기 콘텐츠를 데이터 버퍼에 저장하기 위한 적어도 하나의 명령,

상기 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하기 위한 적어도 하나의 명령, 및

상기 콘텐츠를 저장하는 캐시 대신에, 상기 콘텐츠를 타겟팅하는 각각의 동작에 대해 상기 데이터 버퍼를 액세
스하기 위한 적어도 하나의 명령을 포함하는,

높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하기 위한 비일시적인 컴퓨터-판독 가능 매체.

명세서

기술 분야

[0001]

본 특허 출원은 2012년 1월 23일자로 출원된 "PREVENTING THE DISPLACEMENT OF HIGH TEMPORAL LOCALITY OF REFERENCE DATA FILL BUFFERS"란 명칭의 가출원 제 61/589,577 호를 우선권으로 주장하며, 상기 가출원은 본원의 양수인에게 양도되고, 그로 인해 인용에 의해 본원에 명백히 통합된다.

[0002]

본 발명은 마이크로프로세서의 전력 관리에 관한 것이며, 더 상세하게는, 높은 시간적인 참조 국부성 데이터 필 버퍼들(high temporal locality of reference data fill buffers)의 변위(displacement)를 방지하는 것에 관한 것이다.

배경 기술

[0003]

마이크로프로세서의 문맥에서 로드들(loads) 및 저장들(stores)의 실행 동안에, 메모리의 비교적 작은 원도우가 고조된 주파수로 기록 및 판독되는 데이터 패턴들이 발생한다. 그러한 메모리 영역은 높은 시간적인 참조 국부성을 갖는 것으로 말해진다. 일 예는 소프트웨어 스택 – 절차들이 호출되고 반환될 때, 스택이 끊임없이 푸싱 및 풀링됨 –이다.

[0004]

높은 시간적인 참조 국부성을 갖는 메모리 영역들은, 더 낮은 시간적인 참조 국부성을 갖는 영역들보다 더 많은 전력을 요구하는데, 왜냐하면 메모리의 이러한 영역들이 종종 페이지 테이블에서 캐싱 가능한 것으로 마킹되고, 따라서 큰 캐시 구조가 기록될 때마다, 스택으로의 각각의 푸시가 상당한 전력 드로우(power draw)를 발생시킬 수 있기 때문이다. 또한, 필 버퍼 이용 가능성이 일반적으로 저장-유닛에 대한 스루풋으로 변환되기 때문에, 높은 시간적인 참조 국부성을 갖지 않는 메모리의 영역들에 할당된 캐시 필 버퍼들을 유지하는 것이 불리하다. 부가적으로, 필 버퍼들의 수명-사이클이 관리되지 않는다면, 메모리의 동일한 영역에 대한 다수의 필 버퍼들의 할당 및 할당 해제가 시간에 걸쳐 추가적인 전력 이슈들을 도입시킬 것이다.

[0005]

이것은 모바일 디바이스의 마이크로프로세서와 같이, 전력-중요 공간들의 문맥에서의 이슈이다. 마이크로프로세서들의 전력 프로파일들은, 모바일 디바이스들에서 더 긴 배터리 수명에 대한 요구가 상승함에 따라 점점 더 중요해지고 있다.

발명의 내용

[0006]

본 발명은 높은 시간적인 참조 국부성을 갖는 메모리 콘텐츠를 액세스하는 것에 관한 것이다. 본 발명의 실시 예는 콘텐츠를 데이터 버퍼에 저장하고, 데이터 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는다고 결정하고, 콘텐츠를 저장하는 캐시 대신에 콘텐츠를 타겟팅하는 각각의 동작에 대해 데이터 버퍼를 액세스한다.

[0007]

첨부 도면들은 본 발명의 실시예들의 설명에 도움이 되도록 제시되며, 실시예들의 한정이 아닌 단지 실시예들의 예시를 위해서만 제공된다.

도면의 간단한 설명

[0008]

도 1은 본 발명의 적어도 하나의 실시예에 따른 예시적인 사용자 장비(UE)를 예시한다.

도 2는 본 발명의 적어도 하나의 실시예에 따른 예시적인 프로세서의 간략한 블록도를 예시한다.

도 3은 본 발명의 적어도 하나의 실시예에 따른 예시적인 메모리 구조의 간략한 블록도를 예시한다.

도 4는 본 발명의 적어도 하나의 실시예에 따른 예시적인 흐름도를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0009]

본 발명의 양상들은 본 발명의 특정 실시예들에 관련한 다음의 설명 및 관련 도면들에서 개시된다. 본 발명의 범위에서 벗어나지 않으면서 대안적인 실시예들이 창안될 수 있다. 추가로, 본 발명의 잘 알려진 엘리먼트들은 본 발명의 관련 세부사항들을 모호하게 하지 않도록 상세히 설명되지 않을 것이거나 생략될 것이다.

[0010]

"예시적인"이라는 단어는 본원에서 "예시, 실례 또는 예증으로서의 역할"을 의미하는데 사용된다. 본원에서 "예시적인" 것으로서 설명되는 어떠한 실시예도 다른 실시예들에 비해 반드시 바람직하거나 유리한 것으로 해석되는 것은 아니다. 마찬가지로, "본 발명의 실시예들"이라는 용어는 본 발명의 모든 실시예들이 논의되는 특징, 이점 또는 동작 모드를 포함할 것을 요구하는 것은 아니다.

- [0011] 본원의 설명에서, "기록"이라는 용어는 당분야에 알려진 바와 같이 "저장" 동작들과 동의어로 사용된다. 마찬가지로, "판독"이라는 용어는 "로드"와 동의어로 사용된다. 또한, 설명에서, 전체 캐시 라인의 입도 (granularity)보다 더 적은 입도를 나타낼 수 있는 "캐시 블록들"에 속하는 판독/기록 동작들에 대해 참조들이 이루어질 수 있다. 그러나, 그러한 참조들이 단지 예시적인 목적이며, 실시예들의 범위를 제한하는 것으로 해석되지 않아야 한다는 것이 이해될 것이다. 예를 들면, 개시된 기술들은 캐시 워드, 캐시 라인 등과 같이, 적용 가능한 경우에 임의의 다른 입도 상의 동작들로 용이하게 확장될 수 있다. 또한, 설명이 홀로 데이터의 기록/판독 동작들에 관련하여 제공될 수 있을지라도, 참조된 캐시 블록이 데이터 또는 명령들을 포함할 수 있다는 것이 또한 이해될 것이다. 부가적으로, 더 낮은 레벨들의 메모리 계층에 대한 참조들은 프로세서들 또는 프로세싱 엘리먼트들과 연관될 수 있는 로컬 또는 제 1 레벨(L1) 캐시들을 넘어서는 보조 저장 엘리먼트들(backing storage elements)을 포함할 수 있다. 예를 들면, 본원에서 더 낮은 레벨들의 메모리 계층에 대한 참조들은 제 2 레벨(L2) 캐시들, 메인 메모리들, 및 L2 캐시들과 메인 메모리 사이에 존재할 수 있는 하나 이상의 레벨들의 메모리 구조들을 나타낼 수 있다.
- [0012] 본원에서 사용되는 용어는 특정 실시예들만을 설명할 목적이며, 본 발명의 실시예들을 제한하는 것으로 의도되지는 않는다. 본원에서 사용되는 바와 같이, 단수 형태들("a", "an" 및 "the")은 문맥상 명백하게 달리 표시하지 않는 한, 복수 형태들을 물론 포함하는 것으로 의도된다. "포함하는"("comprises", "comprising,", "includes" 및/또는 "including")이라는 용어들은 본원에서 사용될 때, 언급되는 특징들, 정수들, 단계들, 동작들, 엘리먼트들 및/또는 컴포넌트들의 존재를 특정하지만, 하나 이상의 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들, 및/또는 이들의 그룹들의 존재 또는 부가를 배제하지는 않는다는 것이 또한 이해될 것이다.
- [0013] 또한, 많은 실시예들은 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들에 관해 설명된다. 본원에서 설명되는 다양한 동작들은 특정 회로들(예를 들어, 주문형 집적 회로(ASIC: application specific integrated circuit)들)에 의해, 하나 이상의 프로세서들에 의해 실행되는 프로그램 명령들에 의해, 또는 이 둘의 조합에 의해 수행될 수 있는 것이 인식될 것이다. 추가로, 본원에서 설명되는 이러한 시퀀스의 동작들은, 실행 시, 연관된 프로세서로 하여금 본원에서 설명되는 기능을 수행하게 할 대응하는 한 세트의 컴퓨터 명령들이 저장된 임의의 형태의 컴퓨터 판독 가능 저장 매체 내에 그 전체가 구현되는 것으로 간주될 수 있다. 따라서, 본 발명의 다양한 양상들은 다수의 상이한 형태들로 구현될 수 있으며, 이를 모두는 청구된 요지의 범위 내에 있는 것으로 고려된다. 또한, 본원에서 설명되는 실시예들 각각에 대해, 임의의 그러한 실시예들의 대응하는 형태는 본원에서, 예를 들어, 설명되는 동작을 수행"하도록 구성된 로직"으로서 설명될 수 있다.
- [0014] 구성된 로직 또는 "하도록 구성된 로직"이 특정 로직 게이트들 또는 엘리먼트들로 제한되지 않고, 일반적으로 (하드웨어 또는 하드웨어 및 소프트웨어의 조합 중 어느 하나를 통해) 본원에 설명된 기능을 수행하기 위한 능력을 나타내는 것이 인식될 것이다. 따라서, 구성된 로직들 또는 "하도록 구성된 로직"은 "로직"이라는 단어를 공유함에도 불구하고 반드시 로직 게이트들 또는 로직 엘리먼트들로서 구현되지는 않는다. 다양한 블록들 내의 로직 사이의 다른 상호 작용들 또는 협력은 아래에 더 상세히 설명되는 실시예들의 검토로부터 당업자에게 명백하게 될 것이다.
- [0015] 도 1을 참조하면, UE(100)(여기서는 무선 디바이스), 가령, 셀룰러 휴대폰은, 궁극적으로 코어 네트워크, 인터넷 및/또는 다른 원격 서버들 및 네트워크들로부터 올 수 있는 라디오 액세스 네트워크(RAN)로부터 전송된 소프트웨어 애플리케이션들, 데이터 및/또는 커맨드들을 수신 및 실행할 수 있는 플랫폼(102)을 갖는다. 플랫폼(102)은 "ASIC(108)" 또는 다른 프로세서, 마이크로프로세서, 로직 회로, 또는 다른 데이터 프로세싱 디바이스에 동작 가능하게 연결된 트랜시버(106)를 포함할 수 있다. ASIC(108) 또는 다른 프로세서는 무선 디바이스의 메모리(112) 내의 임의의 상주 프로그램들과 인터페이싱하는 애플리케이션 프로그래밍 인터페이스("API")(110) 레이어를 실행한다. 메모리(112)는 판독 전용 또는 랜덤 액세스 메모리(RAM 및 ROM), EEPROM, 플래시 카드들, 또는 컴퓨터 플랫폼들에 공통인 임의의 메모리로 구성될 수 있다. 플랫폼(102)은 메모리(112)에서 능동적으로 사용되지 않는 애플리케이션들을 보유할 수 있는 로컬 데이터베이스(114)를 또한 포함할 수 있다. 로컬 데이터베이스(114)는 통상 플래시 메모리 셀이지만, 당분야에 알려진 것과 같은 임의의 2차 저장 디바이스, 예컨대 자기 매체들, EEPROM, 광학 매체들, 테이프, 소프트 또는 하드 디스크 등일 수 있다. 내부 플랫폼(102) 컴포넌트들은, 당분야에 알려진 바와 같이 다른 컴포넌트들 중에서도 안테나(122), 디스플레이(124), 푸시-투-토크 버튼(128) 및 키패드(126)와 같은 외부 디바이스들에 또한 동작 가능하게 연결될 수 있다.
- [0016] 따라서, 본 발명의 실시예는 본원에서 설명된 기능들을 수행하기 위한 능력을 포함하는 UE를 포함할 수 있다. 당업자들에 의해 인식될 바와 같이, 다양한 로직 엘리먼트들은 본원에서 개시된 기능을 달성하기 위해 이산 엘

리먼트들, 프로세서 상에서 실행되는 소프트웨어 모듈들 또는 소프트웨어 및 하드웨어의 임의의 조합으로 구현될 수 있다. 예를 들면, ASIC(108), 메모리(112), API(110) 및 로컬 데이터베이스(114)는 본원에서 개시된 다양한 기능들을 로딩하고, 저장하며 실행하기 위해 모두 협력적으로 사용될 수 있고, 따라서 이들 기능들을 수행하기 위한 로직은 다양한 엘리먼트들에 걸쳐 분포될 수 있다. 대안적으로, 그 기능은 하나의 이산 컴포넌트에 통합될 수 있다. 따라서, 도 1의 UE(100)의 특징들은 단지 예시적인 것으로 고려되며, 본 발명은 예시된 특징들 또는 배열로 제한되지 않는다.

[0017] UE(100)와 RAN 사이의 무선 통신은 상이한 기술들, 가령, CDMA(code division multiple access), W-CDMA, TDMA(time division multiple access), FDMA(frequency division multiple access), OFDM(Orthogonal Frequency Division Multiplexing), GSM(Global System for Mobile Communications), 3GPP LTE(Long Term Evolution) 또는 무선 통신 네트워크 또는 데이터 통신 네트워크에서 사용될 수 있는 다른 프로토콜들에 기초할 수 있다. 따라서, 본원에서 제공된 예시들은 본 발명의 실시예들을 제한하려고 의도된 것은 아니며, 단지 본 발명의 실시예들의 양상들의 설명을 보조하기 위한 것이다.

[0018] 도 2는 ASIC(108)와 같은 프로세서(10)의 간략한 기능 블록도를 도시한다. 프로세서(10)는 제어 로직(14)에 따라 명령 실행 파이프라인(12)에서 명령들을 실행한다. 제어 로직(14)은 프로그램 카운터(PC)(15)를 유지하고, 예를 들면, 현재 명령 세트 동작 모드, 연산 동작들 및 논리 비교들의 결과들(제로, 올림(carry), 동일, 비동일)에 관한 정보 등을 나타내기 위해 하나 이상의 상태 레지스터들(16) 내의 비트들을 설정 및 클리어링한다. 일부 실시예들에서, 파이프라인(12)은 다수의 병렬 파이프라인들을 갖는 슈퍼스칼라 설계일 수 있다. 파이프라인(12)은 또한 실행 유닛으로 지칭될 수 있다. GPR(General Purpose Register) 파일(24)은 파이프라인(12)에 의해 액세스 가능한 레지스터들을 제공하고, 메모리 계층의 상부를 포함한다.

[0019] 상이한 명령 세트 동작 모드들에서 적어도 2 개의 명령 세트들로부터의 명령들을 실행하는 프로세서(10)는 부가적으로, 각각의 명령의 실행 시에, 적어도 미리 결정된 타겟 명령 세트 동작 모드와 현재 명령 세트 동작 모드를 비교하고, 2 개의 동작 모드 사이의 매치의 표시를 제공하도록 동작 가능한 디버그 회로(18)를 포함한다. 디버그 회로(18)가 아래에 더 상세히 설명된다.

[0020] 파이프라인(12)은 명령 캐시(I-캐시)(26)로부터의 명령들을 폐칭하고, 메모리 어드레스 변환 및 승인들이 ITLB(Instruction-sde Translation Lookaside Buffer)(28)에 의해 관리된다. 데이터가 데이터 캐시(D-캐시)(30)로부터 액세스되고, 메모리 어드레스 변환 및 승인들이 메인 TLB(Translation Lookaside Buffer)(32)에 의해 관리된다. 다양한 실시예들에서, ITLB(28)는 TLB(32)의 부분의 복제품을 포함할 수 있다. 대안적으로, ITLB(28) 및 TLB(32)가 일체화될 수 있다. 마찬가지로, 프로세스(10)의 다양한 실시예들에서, I-캐시(26) 및 D-캐시(30)는 일체화 또는 통합될 수 있다. 또한, I-캐시(26) 및 D-캐시(30)는 L1 캐시들일 수 있다. I-캐시(26) 및/또는 D-캐시(30)에서의 미스들(misses)은 메모리 인터페이스들(34)에 의한 메인 (오프-칩) 메모리(38, 40)로의 액세스를 발생시킨다. 메모리 인터페이스(34)는 하나 이상의 메모리 디바이스들(38, 40)에 대한 공유 버스를 구현하는 버스 상호 접속부(42)에 대한 마스터 입력일 수 있다. 부가적인 마스터 디바이스들(도시되지 않음)은 부가적으로 버스 상호 접속부(42)에 접속될 수 있다.

[0021] 프로세서(10)는 주변 버스(46) 상의 마스터 디바이스일 수 있는 입력/출력(I/O) 인터페이스(44)를 포함할 수 있고, 주변 버스(46)를 통해 I/O 인터페이스(44)는 다양한 주변 디바이스들(48, 50)을 액세스할 수 있다. 당업자들은 프로세서(10)의 다수의 변형예들이 가능하다는 것을 인지할 것이다. 예를 들면, 프로세서(10)는 I 및 D 캐시들(26, 30) 중 어느 하나 또는 둘 모두에 대한 제 2 레벨(L2) 캐시를 포함할 수 있다. 또한, 프로세서(10) 내에 도시된 기능 블록들 중 하나 이상은 특정 실시예에서 생략될 수 있다. JTAG 제어기, 명령 프리디코더, 브랜치 타겟 어드레스 캐시 등과 같이, 프로세서(10)에 상주할 수 있는 다른 기능 블록들은 본 발명의 설명과 밀접한 관련이 없고, 명확히 하기 위해 생략된다.

[0022] 마이크로프로세서의 문맥에서 로드들 및 저장들의 실행 동안에, 메모리의 비교적 작은 원도우가 고조된 주파수로 기록 및 판독되는 데이터 패턴들이 발생한다. 그러한 메모리 영역은 높은 시간적인 참조 국부성을 갖는 것으로 말해진다. 일 예는 소프트웨어 스택 – 절차들이 호출되고 반환될 때, 스택이 끊임없이 푸싱 및 풀링됨 –이다.

[0023] 높은 시간적인 참조 국부성을 갖는 메모리 영역들은 코어의 전력 활용에 대해 도전 과제를 제공한다. 메모리의 이러한 영역들이 종종 페이지 테이블에서 캐싱 가능한 것으로 마킹되고, 따라서 큰 캐시 구조가 기록될 때마다, 스택으로의 각각의 푸시가 상당한 전력 드로우를 발생시킬 수 있기 때문에, 이러한 도전 과제가 존재한다. 필버퍼 이용 가능성이 일반적으로 저장-유닛에 대한 스루풋으로 변환되기 때문에, 높은 시간적인 참조 국부성을

갖지 않는 메모리의 영역들에 할당된 캐시 필 버퍼들을 유지하는 것이 절대적으로 불리하며, 문제점을 복잡하게 한다. 부가적으로, 필 버퍼들의 수명-사이클이 관리되지 않는다면, 메모리의 동일한 영역에 대한 다수의 필 버퍼들의 할당 및 할당 해제가 시간에 걸쳐 추가적인 전력 이슈들을 도입시킬 것이다.

[0024] 이것은 모바일 디바이스의 마이크로프로세서와 같이, 전력-중요 공간들의 문맥에서의 이슈이다. 마이크로프로세서들의 전력 프로파일들은, 모바일 디바이스들에서 더 긴 배터리 수명에 대한 요구가 상승함에 따라 점점 더 중요해지고 있다.

[0025] 본 발명의 실시예들은 높은 시간적인 참조 국부성을 갖는 메모리의 영역들을 검출하고, 그 영역을 타겟팅하는 각각의 저장 동작에 대해 캐시로의 기록들을 방지하고, 메모리의 동일한 영역에 대한 버퍼들의 일정한 할당 및 할당 해제를 방지함으로써 이들 및 다른 이슈들을 해소한다. 본 발명의 실시예는 캐시 대신에 필 버퍼에 기록한다. 필 버퍼에만 기록함으로써, 큰 캐시 구조를 액세스하는 것과 연관된 전력이 절약된다. 또한, 필 버퍼가 철수(retiring)하는 것을 막기 위해, 메모리의 동일한 영역에 대한 새로운 필 버퍼들의 할당 및 할당 해제가 방지된다. 한편, 로드-사용 패널티가 변하지 않도록 필 버퍼 데이터가 로드들에 대해 계속 액세스 가능하기 때문에, IPC(instructions-per-cycle)가 감소되지 않는다. 부가적으로, 필 버퍼들은 높은 시간적인 참조 국부성을 갖지 않는 액세스들에 대해 주로 계속 이용 가능한데, 왜냐하면 높은 시간적 국부성을 갖는 것으로 마킹된 것(들)이 스택 포인터 이벤트들을 주시(watch)하거나 및/또는 필 버퍼가 얼마나 자주 액세스되는지를 추적함으로써 그들 자신의 철수를 관리하기 때문이다.

[0026] 도 3은 본 발명의 실시예에 따른 예시적인 메모리 구조(300)의 간략한 블록도를 예시한다. 메모리 구조(300)는 제 1 레벨(L1) 캐시(305) 및 제 2 레벨(L2) 캐시 및/또는 다른 더 높은 레벨 메모리(310)를 포함한다. 메모리 구조(300)는 또한 데이터 버퍼들(0 내지 N)(버퍼들(320a, b 및 n)로서 도시됨)을 포함한다. 점선에 의해 표시된 바와 같이, 데이터 버퍼(320b)와 데이터 버퍼(320n) 사이에 임의의 수의 데이터 버퍼들이 존재할 수 있다. 각각의 데이터 버퍼(320a, b 및 n)는 시간적인 검출기 필드(322a, b 및 n) 각각, 및/또는 스택 플래그 필드(324a, b 및 n) 각각을 포함한다. 데이터는 제 1 레벨(L1) 캐시(305)로 또는 캐시(305)로부터, 예를 들면, 데이터 버퍼(320a)로 또는 데이터 버퍼(320a)로부터 기록될 수 있다. 마찬가지로, 데이터는 캐시/메모리(310)로 또는 캐시/메모리(310)로부터, 예를 들면, 데이터 버퍼(320a)로 또는 데이터 버퍼(320a)로부터 기록될 수 있다. 데이터는 임의의 이용 가능한 데이터 버퍼(0-N)로 또는 임의의 이용 가능한 데이터 버퍼(0-N)로부터 기록될 수 있고, 데이터는 캐시(305) 및/또는 캐시/메모리(310)로 또는 캐시(305) 및/또는 캐시/메모리(310)로부터 동일한 데이터 버퍼로 또는 동일한 데이터 버퍼로부터 기록될 필요가 없다.

[0027] 본 발명의 실시예는 높은 시간적인 참조 국부성을 갖는 메모리의 영역들과 연관된 로드 및 저장 동작들을 인식하고, 높은 시간적인 참조 국부성을 갖는 메모리의 영역들과 연관되지 않은 로드 및 저장 동작들로부터 이들을 구별한다. 본 발명의 실시예는 연관된 데이터 캐시 필 버퍼들을 그들의 시간적인 참조 국부성에 따라 관리한다.

[0028] 예를 들면, 높은 시간적인 참조 국부성을 결정하기 위한 기술은, 동작이 스택과 연관될 때를 인식하는 것이다. ARM(advanced RISC(reduced instruction set computer) machine) 아키텍처에서, 스택 포인터가 범용 레지스터 파일의 레지스터(14)(R14)에 유지되고, 그래서 본 발명의 실시예는 R14가 로드들 및 저장들, 예를 들면, 필 버퍼로의 로드들 및 저장들에 대한 베이스 레지스터로서 사용되는 때를 검출한다. 이러한 식별은 동작의 특성으로서 저장 유닛에 제공된다. 저장 유닛은, 예를 들면, 필 버퍼의 필드, 가령 도 3의 스택 플래그 필드(324a, b 또는 n)에서 플래그를 설정함으로써 높은 시간적인 국부성을 갖는 것으로 데이터 캐시 필 버퍼를 플래깅한다. 저장은 메모리가 캐시에 상주하든지 상관없이 캐시가 아닌 필 버퍼에 대해 수행된다. 캐시 내의 오래된(stale) 데이터를 확인하기 위해, 필 버퍼는 스택으로부터의 로드들의 수행을 유지하도록 캐시 자체와 같이 액세스 가능하게 되어야 한다. 캐시에 기록하지 않는 것에 부가하여, 필 버퍼의 수명-주기는, 메모리의 이러한 영역에 대한 필 버퍼(들)가 연속적으로 할당 및 할당 해제되지 않도록 연장된다. 이어서, 데이터 필 버퍼는 스택 포인터로 하여금 변하게 하는 시스템 이벤트들(푸시들/팝들 이외의 이벤트들)을 검출하고, 따라서 자신의 높은 시간적인 국부성 상태를 제거함으로써 반응하고, 정상 필 버퍼들이 하는 것처럼 철수한다.

[0029] 높은 시간적인 참조 국부성을 갖는 메모리의 영역들을 식별하기 위한 또 다른 기술 – 위에 설명된 기술과 관련하여 사용될 수 있거나 사용되지 않을 수 있음 – 은 각각의 필 버퍼가 얼마나 자주 저장되거나 로딩되는지를 각각의 필 버퍼가 모니터링하고, 증가된 주파수로 액세스되는 필 버퍼들을 높은 시간적인 참조 국부성을 갖는 것으로 마킹하는 것이다. 이어서, 필 버퍼는 자신이 얼마나 자주 액세스되는지를 계속해서 추적하고, 그 필 버퍼와 연관된 활동이 진정될 때 자신의 높은 시간적인 국부성 상태를 제거할 것이다.

[0030]

예를 들면, 필 버퍼는 필 버퍼의 필드, 예를 들면, 도 3의 시간적인 검출기 필드(322a, b 또는 n)에 저장된 카운터를 사용하여 자신이 얼마나 자주 액세스되는지를 추적할 수 있다. 필 버퍼가 할당될 때, 자신의 카운터는 초기에 10으로 설정될 수 있다. 필 버퍼가 예시적인 100 클록 사이클들 내에 액세스되지 않는다면, 카운터는 9로 감소될 것이다. 필 버퍼가 다음의 100 사이클들 내에 적어도 한번 액세스되었다면, 카운터는 8로 증분될 것이다. 마찬가지로, 필 버퍼가 다음의 100 사이클들 내에 적어도 한번 액세스되었다면, 카운터는 12로 증분될 것이고, 기타 등등이다. 반면에, 필 버퍼가 100 사이클들 내에 적어도 한번 액세스되었다면, 카운터는 11로 증분될 것이다. 이러한 방법으로, 10을 초과하는 카운터 값을 갖는 임의의 필 버퍼는 높은 시간적인 참조 국부성을 갖는 것으로 고려될 것이고, 임의의 필 버퍼가 그렇지 않을 경우에, 할당 해제가 되지 않을 것이다. 반면에, 10 미만의 카운터 값을 갖는 임의의 필 버퍼는 높은 시간적인 참조 국부성을 갖지 않는 것으로 고려될 것이고, 임의의 필 버퍼가 정상적으로 그럴 것이기 때문에 할당 해제될 것이다.

[0031]

카운터의 초기 값을 10으로 설정하고, 클록 사이클들의 수를 100으로 설정하는 것이 단지 예라는 것이 명백하다. 임의의 수들의 다른 가능성들이 존재하고, 이것들은 본 발명의 실시예를 구현하는 특정 프로세서에 의존할 수 있다. 즉, 이러한 경계들은 상이한 프로세서들에 대해 상이할 수 있고, 또한 프로세서의 전력 관리를 최적화하기 위해 시간에 걸쳐 조절될 수 있다. 예를 들면, 초기 경계들이 충분한 전력 관리를 제공하지 않는다면, 카운터 및/또는 사이클들의 수는 높은 시간적인 참조 국부성을 갖는 필 버퍼들이 너무 빨리 할당 해제되는 것을 방지하도록 감소될 수 있다. 즉, 카운터 및/또는 사이클들의 수가 너무 높다면, 필 버퍼들 중 어느 것도 높은 시간적인 참조 국부성을 갖는 것으로 처리되지 않을 것이기 때문에, 성능이 감소할 수 있다.

[0032]

카운터 및 사이클 임계치들이 변경될 필요가 있을 수 있기 때문에, 그들은 구성 가능한 값들이어야 한다. 즉, 그 값들은 하나 이상의 레지스터들에 저장되고, 소프트웨어에 의해 구성 가능하여야 한다. 이러한 방법으로, 필 버퍼는 자신의 카운터 및 클록 사이클들의 수와, 카운터 및/또는 클록 사이클 경계들을 저장하는 레지스터들을 비교함으로써 자신이 높은 시간적인 참조 국부성을 갖는지를 결정할 수 있다.

[0033]

도 4는 본 발명의 적어도 하나의 실시예에 따른 예시적인 흐름도(400)를 예시한다. (410)에서, 데이터 필 버퍼는 유휴인데, 즉, 할당되지 않는다. (420)에서, 데이터 버퍼가 할당되고, 데이터로 채워진다. 이러한 할당은 상술된 바와 같이 시간적인 검출기 카운터를 초기화하는 것을 포함할 수 있다. (430)에서, 필 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는지 여부가 결정된다. 상술된 바와 같이, 이것은 카운터의 값이 특정 임계치를 초과하는지 및/또는 레지스터(R14)가 필 버퍼에 대한 로드 또는 저장을 위한 베이스 레지스터로서 사용되고 있는지를 결정하는 것을 포함할 수 있다. 필 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖지 않는 것으로 (430)에서 결정되면, (450)에서, 버퍼의 콘텐츠가 캐시, 예를 들면, 캐시(305)에 기록된다. (460)에서, 필 버퍼가 할당 해제되고, (410)에서 유휴 상태로 복귀한다.

[0034]

필 버퍼의 콘텐츠가 높은 시간적인 참조 국부성을 갖는 것으로 (430)에서 결정되면, 필 버퍼는 후속으로 할당 해제되지 않지만, 오히려 (440)에서 자신의 시간적인 참조 국부성으로의 임의의 변화를 대기한다. 이것은, 예를 들면, 카운터의 값을 감소하는 것을 포함할 것인데, 왜냐하면 그것이 시간적인 참조 국부성에서의 가능한 변화를 나타낼 것이기 때문이다. 나중에, 카운터가, 예를 들면, 버퍼의 사용 부족으로 인해 감소되거나, 스택 포인터가 변할 때, 필 버퍼는 자신의 콘텐츠가 높은 시간적인 참조 국부성을 갖는지 여부를 (430)에서 다시 결정하고, 이어서 적절할 때 (440 또는 450)으로 진행한다.

[0035]

(430 및 440)의 루프에 의해 도시된 바와 같이, 동일한 데이터가 다수의 사이클들 동안에 할당된 필 버퍼에 저장될 수 있다. 이것은, (450 및 460)에서와 같이, 그렇지 않은 경우 필 버퍼가 할당 해제되고 캐시에 기록될 데이터이다. 즉, (420)에서 할당된 데이터가 (430)에서 결정된 바와 같이 높은 시간적인 참조 국부성을 갖는다면, 데이터가 더 이상 높은 시간적인 참조 국부성을 갖지 않을 때까지(440) 데이터가 필 버퍼에 남아있을 것이다. 그러한 방법으로, 자주 액세스되는 데이터의 임의의 로드들 및 저장들이 캐시 대신에 필 버퍼로부터 액세스될 것이다.

[0036]

당업자들은, 정보 및 신호들이 다양한 다른 기술들 및 기법들 중 임의의 것을 이용하여 표현될 수 있음을 인식할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심벌들 및 칩들은 전압들, 전류들, 전자기파들, 자기 필드들 또는 자기 입자들, 광 필드들 또는 광 입자들, 또는 이들의 임의의 조합으로 표현될 수 있다.

[0037]

또한, 당업자들은 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 조합들로 구현될 수 있음을 인식할 것이다. 이러한 하드웨어와 소프트웨어의 상호 호환성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들,

블록들, 모듈들, 회로들 및 단계들은 일반적으로 이들의 기능과 관련하여 위에서 설명되었다. 이러한 기능이 하드웨어로 구현되는지 아니면 소프트웨어로 구현되는지는 전체 시스템에 부과된 설계 제약들 및 특정 애플리케이션에 좌우된다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수 있지만, 이러한 구현 결정들이 본 발명의 범위를 벗어나게 하는 것으로 해석되지 않아야 한다.

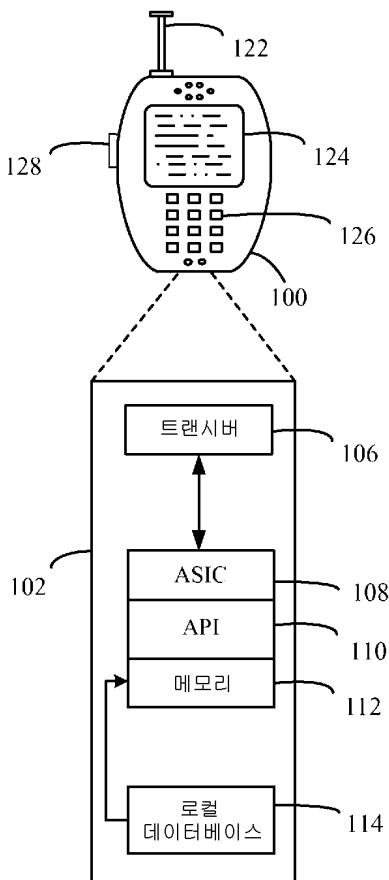
[0038] 본원에 개시된 실시예들과 관련하여 설명된 방법들, 시퀀스들 및/또는 알고리즘들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 제거 가능한 디스크, CD-ROM, 또는 당분야에 공지된 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 읽고 저장 매체에 정보를 기록할 수 있도록 프로세서에 연결된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다.

[0039] 따라서, 본 발명의 실시예는 높은 시간적인 국부성 필 베피들의 변위를 방지하기 위한 방법을 구현하는 컴퓨터 판독 가능 매체들을 포함할 수 있다. 따라서, 본 발명은 예시된 예들로 제한되지 않고, 본원에 설명된 기능을 수행하기 위한 임의의 수단이 본 발명의 실시예들에 포함된다.

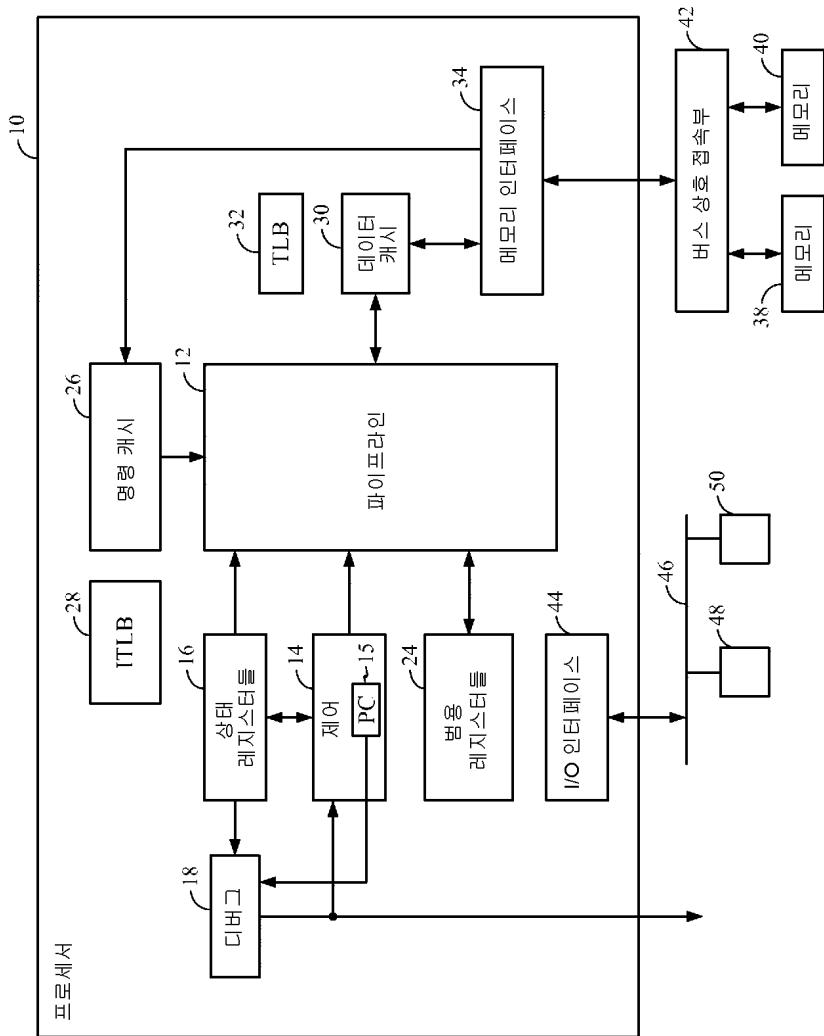
[0040] 앞서 말한 개시 내용은 본 발명의 예시적인 실시예들을 보여주지만, 첨부된 청구항들에 의해 정의된 바와 같은 본 발명의 범위를 벗어나지 않으면서 본원에서 다양한 변경들 및 수정들이 이루어질 수 있다는 점이 유의되어야 한다. 본원에 설명된 본 발명의 실시예들에 따른 방법 청구항들의 기능들, 단계들 및/또는 동작들은 어떠한 특정 순서로 수행될 필요는 없다. 더욱이, 본 발명의 엘리먼트들이 단수 형태로 설명 또는 청구될 수 있지만, 단수로의 한정이 명시적으로 언급되지 않는 한 복수 형태가 고려된다.

도면

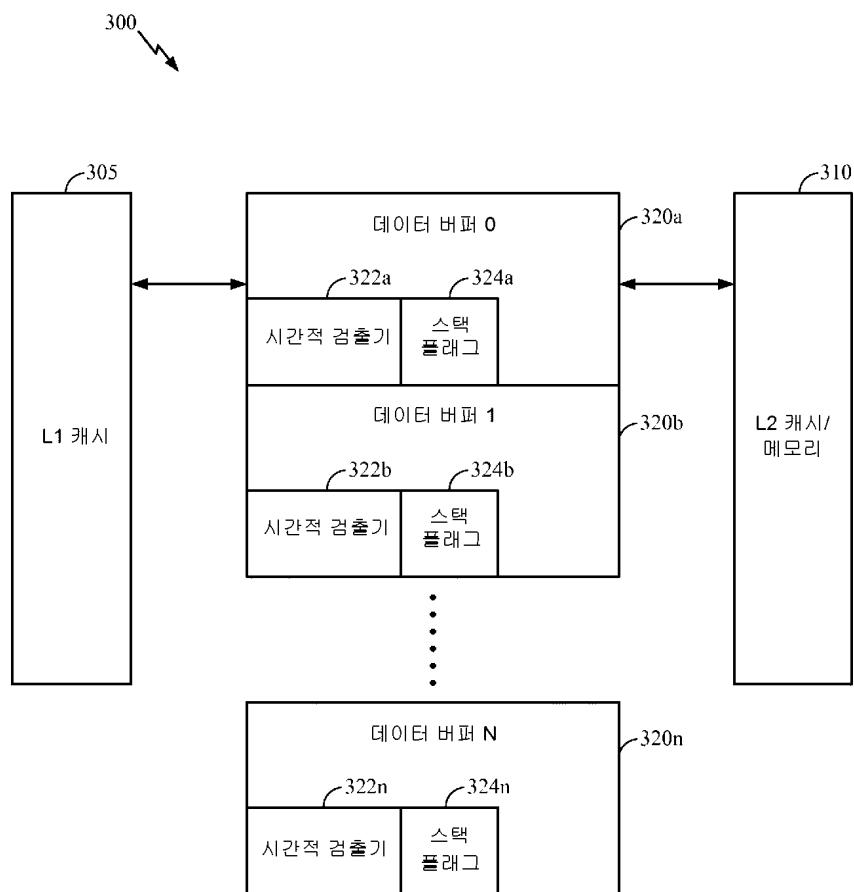
도면1



도면2



도면3



도면4

