

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局(43) 国际公布日
2012年3月22日 (22.03.2012)

PCT

(10) 国际公布号
WO 2012/034394 A1(51) 国际专利分类号:
H01L 27/10 (2006.01) *H01L 45/00* (2006.01)

(21) 国际申请号: PCT/CN2011/072370

(22) 国际申请日: 2011年4月1日 (01.04.2011)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201010279505.8 2010年9月13日 (13.09.2010) CN(71) 申请人(对除美国外的所有指定国): **北京大学**
(PEKING UNIVERSITY) [CN/CN]; 中国北京市海淀区颐和园路5号, Beijing 100871 (CN)。

(72) 发明人; 及

(75) 发明人/申请人(仅对美国): **蔡一茂** (CAI, Yimao) [CN/CN]; 中国北京市海淀区颐和园路5号, Beijing 100871 (CN)。 **黄如** (HUANG, Ru) [CN/CN]; 中国北京市海淀区颐和园路5号, Beijing 100871 (CN)。
秦石强 (QIN, Shiqiang) [CN/CN]; 中国北京市海淀区颐和园路5号, Beijing 100871 (CN)。 **唐柏人**(TANG, Poren) [CN/CN]; 中国北京市海淀区颐和园路5号, Beijing 100871 (CN)。 **张丽杰** (ZHANG, Lijie) [CN/CN]; 中国北京市海淀区颐和园路5号, Beijing 100871 (CN)。 **唐昱** (TANG, Yu) [CN/CN]; 中国北京市海淀区颐和园路5号, Beijing 100871 (CN)。(74) 代理人: **北京万象新悦知识产权代理事务所(普通合伙)** (BEIJING WANXIANGXINYUE INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀路50号北大资源东楼1330室, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

[见续页]

(54) Title: NONVOLATILE MEMORY ARRAY WITH THREE-DIMENSIONAL STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 一种三维结构非易失存储器阵列及其制备方法

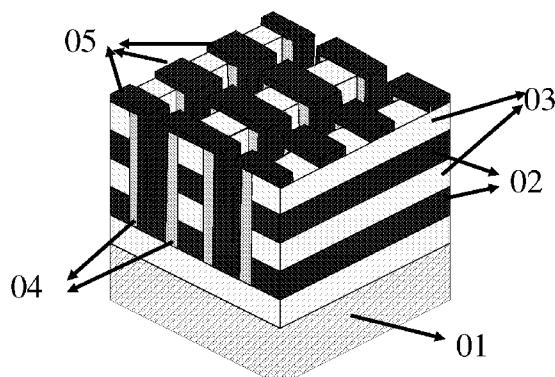


图 2 / Fig. 2

(57) Abstract: The present invention provides a resistance variable memory array with a three-dimensional structure and a manufacturing method thereof, which fall into the nonvolatile memory technology field of the super-large-scale integration manufacturing technology. The resistance variable memory array with a three-dimensional structure in the present invention comprises a substrate, a bottom electrode/isolation dielectric stack structure, a deep groove etched in the bottom electrode/isolation dielectric stack structure, a resistance variable material and a top electrode layer deposited on the side wall of the deep groove. The bottom electrode and the top electrode are crossed on the side wall of the deep groove. Between crossing points the resistance variable material is set, each forming a resistance variable memory unit. All the resistance variable memory units form a three dimensional resistance variable memory array, where the three-dimensional resistance variable memories are isolated by the isolation dielectric layer. The present invention can increase storage density of resistance variable memory, simplify the process, and reduce processing cost.

(57) 摘要:

[见续页]

**(84) 指定国** (除另有指明, 要求每一种可提供的地区

保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

本发明提供一种三维结构阻变存储器阵列及其制造方法，属于超大规模集成电路制造技术中的非易失存储器技术领域。本发明三维结构阻变存储器阵列包括衬底和底电极/隔离介质堆栈结构，在底电极/隔离介质堆栈结构上刻蚀出深槽，在深槽侧壁上淀积阻变材料以及顶电极层，其中底电极和顶电极在深槽侧壁上呈十字交叉，交叉点之间有阻变材料，每个交叉点形成一个阻变存储器单元，所有的阻变存储器单元形成三维阻变存储器阵列，阵列中的三维阻变存储器由隔离介质层隔离。本发明可以提高阻变存储器的存储密度，并且简化工艺，降低工艺成本。

一种三维结构非易失存储器阵列及其制备方法

技术领域

本发明属于超大规模集成电路制造技术中的非易失存储器技术领域，具体涉及一种三维结构非易失存储器阵列及其制备方法。

背景技术

以闪存为代表的非易失存储器因为其断电情况下的数据保持能力以及可多次擦写数据等优点被广泛应用于各种产品中，比如手机，笔记本，掌上电脑和固态硬盘等存储及通讯设备。如今闪存已经占据了非易失半导体存储器的大部分市场份额，然而随着信息社会中人们对大容量、低成本、底功耗和高性能等方面需求的日益提高以及半导体技术的高速发展，现有闪存技术由于其制备技术缩比能力差，工作电压较高，功耗较大等因素已经难于满足非易失存储器技术发展的需求。阻变存储器通过对阻变材料施加电压或电流改变其阻值，并在断电后能够保持其高阻或电阻状态，从而实现非易失存储的功能。阻变存储器具有和现有大规模集成电路制造技术相兼容，缩比能力强，操作电压低、操作速度快等优点，是未来具有较大应用潜力的大容量、低成本、高性能的非易失存储器。两外一方面，采用三维结构可以大大增加非易失存储器的存储密度，从而降低存储成本。阻变存储器通常采用十字线（cross bar）的结构和多层堆栈的方式来实现三维架构（如图 1），这种方式需要对每一层电极进行光刻刻蚀来形成十字线结构，因此光刻和刻蚀次数和堆栈的层数成正比，大大增加了工艺的难度和成本。

总而言之，如何采用简单的工艺实现三维结构的阻变存储器阵列是非易失存储器技术亟待解决的难题之一。

发明内容

本发明提供一种三维结构阻变存储器阵列及其制造方法，可以提高阻变存储器的存储密度，并且简化工艺，降低工艺成本。其中，数据存储层为阻变材料，阻变材料位于由底电极金属层和隔离介质层形成的深槽侧壁上，顶电极和底电极在深槽侧壁上交叉，在交叉点的两个电极之间有阻变材料，共同形成阻变存储器，并通过隔离介质层进行隔离。

上述目的是通过如下技术方案实现的：

一种三维结构阻变存储阵列，包括：衬底和底电极/隔离介质堆栈结构，在底电极/隔离介质堆栈结构上刻蚀出的深槽，在深槽侧壁上淀积阻变材料以及顶电极层，其中底电极和顶电极在深槽侧壁上呈十字交叉，交叉点之间有阻变材料，每个交叉点形成一个阻变存储器单元。

所有的存储单元形成的三维阻变存储器阵列，阵列中的三维阻变存储器由隔离介质层隔离。

上述顶、底电极层的厚度以 50~100 纳米为宜，而隔离介质层的厚度一般在 100~200 纳米，阻变材料层的厚度在 10~50 纳米，底电极/隔离介质堆栈结构的层数由工艺水平决定，理论上并无限制。底电极/隔离介质堆栈结构上刻蚀出的深槽宽度为 100~200 纳米。

对衬底、隔离介质层和底、顶电极层的材料无特殊要求。衬底可以是硅衬底，也可以是石英、有机性衬底等，隔离介质层可以是氧化铝、氧化硅等等任何绝缘层。电极层可以根据需要选择任何可通过蒸发或者溅射方式生长的金属或者其它导电材料，例如金属 Ti, Cu 和化合物 TiN，形成金属单质薄膜或其它导电薄膜。

本发明提供的三维结构阻变存储器阵列的制备方法如下：

通过交替淀积介质和电极材料层后进行深槽刻蚀，在深槽侧壁上淀积并刻蚀形成阻变材料，然后淀积顶电极金属材料并光刻、刻蚀形成顶电极线条，在顶电极以及先前淀积的底电极材料层的交叉位置上形成三维的阻变存储器阵列。具体的，在硅或其他衬底上（如石英、柔性衬底）交替淀积隔离介质层（二氧化硅，氮化硅等）和电极金属层（铝、铜、氮化钛等），顶层为介质层覆盖。在介质隔离层和电极材料层交替的堆栈结构上，进行深槽刻蚀，停止层为衬底上方的一层介质隔离层。在深槽上淀积阻变材料（如氧化哈，氧化锆，氧化钛等材料），然后进行阻变材料刻蚀，使得仅在深槽的侧墙上保留阻变材料。接着进行电极材料电极淀积并进行光刻刻蚀，形成顶电极线条。这样在每个顶电极和先前电极的电极材料侧壁的交叉点之间都有阻变材料。在垂直方向上形成了三维阻变存储器阵列。

具体步骤包括：

(1) 在在硅或其他衬底上（如石英、柔性衬底）上生长或淀积隔离介质层（如二氧化硅、氮化硅等），该介质层起电学隔离的作用；

(2) 在隔离介质层上淀积电极金属层；

(3) 重复 (1) (2) 步骤交替淀积多层隔离介质层、电极金属层，总层数可以灵活控制，最上层为隔离介质层。

(4) 光刻并刻蚀上面淀积的多层隔离介质层/电极金属层结构至最底层介质层，从而开出多个深槽，其侧壁为离介质层、电极金属层堆栈结构；

(5) 以深槽为窗口淀积阻变材料层（如氧化哈，氧化锆，氧化钛等材料），并且通过回刻工艺，仅保留深槽侧壁上的阻变材料层；

淀积电极金属层，并光刻刻蚀形成顶电极，该电极和深槽侧壁上的阻变材料和金属层形成三维的阻变存储器件及其阵列；

与现有技术相比，本发明提出的三维阻变器件及其制备方法有如下优势：第一，先整体

淀积电极材料和介质材料，然后再光刻刻蚀的方法，比起现有技术中材料每淀积一层电极材料都需要进行一次光刻和刻蚀相比，可以有效减少光刻和刻蚀次数，大大减少工艺步骤和降低工艺成本。第二，底电极和顶电极交叉点的尺寸由底电极材料的淀积厚度控制，因此不受光刻分辨率的限制，可以进一步有效缩小器件尺寸提高存储密度。

因此，上述三维结构阻变存储器阵列及其制备方法是经济且高效的提升阻变存储器密度的方法。

附图说明

通过附图所示，本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图，重点在于示出本发明的主旨。

图 1 为现有技术的三维结构阻变存储器阵列示意图，其中

1—顶电极， 2—底电极， 3—阻变材料

图 2 为本发明的三维结构阻变存储器阵列示意图，其中

01—硅衬底， 02—底电极， 03—阻变材料, 04—阻变材料， 05—顶电极

图 3 (a) ~ (e) 为本发明优选实施例三维结构阻变存储器阵列的制造方法的示意图。

具体实施方式

为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施例的限制。

其次，本发明结合示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

正如本发明背景技术的介绍，发明人经过研究发现，若将三维技术合适地运用在阻变存储器件，可以结合新存储材料和三维集成技术两种技术的优势，解决现有非易失存储器的缩比能力减弱，操作功耗和电压高的问题，并能进一步提高非易失存储器件的存储密度，提升存储器件性能。如果能通过工艺优化，在不增加工艺复杂性的前提下，提出三维的阻变存储器阵列和其制备方法，将极大地非易失存储器的存储密度和性能。

基于此，本发明提出一种新的三维阻变存储器件阵列及其制造方法，可以运用介质层电极层交替淀积堆栈以及整体光刻刻蚀和侧墙阻变材料形成的方法，可形成三维阻变器件结构，增加存储密度，并减少工艺步骤，降低成本。

本发明提供的三维阻变存储器件阵列如图 2 所示，包括：01—硅衬底，02—底电极，03—隔离介质层，04—阻变材料，05—顶电极。底电极 01 和顶电极 05 在底电极/阻变材料堆栈结构的深槽侧壁上交叉，交叉点之间有阻变材料 04。每个交叉点形成一个存储单元，所有的单元形成三维阻变存储器件阵列，并由介质层进行隔离。

上述三维阻变存储器件阵列的制造方法，包括：

在硅或其他衬底上（如石英、柔性衬底）交替淀积隔离介质层（二氧化硅，氮化硅等）和电极金属层（铝、铜、氮化钛等），顶层为介质层覆盖。在介质隔离层和电极材料层交替的堆栈结构上，进行深槽刻蚀，停止层为衬底上方的一层介质隔离层。在深槽上淀积阻变材料（如氧化哈，氧化锆，氧化钛等材料），然后进行阻变材料刻蚀，使得仅在深槽的侧墙上保留阻变材料。接着进行电极材料电极淀积并进行光刻刻蚀，形成顶电极线条。这样在每个顶电极和先前电极的电极材料侧壁的交叉点之间都有阻变材料。在垂直方向上形成了三维阻变存储器阵列。

下面结合附图详细说明本发明提供的三维阻变存储器件阵列的制造方法的优选实施例。

(1) 在硅衬底上上淀积分离 100~200 纳米介质层（本实施例为二氧化硅），该介质层起电学隔离的作用；

(2) 在隔离介质层上淀积 50~100 纳米的 TiN 电极层；

(3) 重复 (1) (2) 步骤交替淀积多层隔离介质层、电极金属层，总层数可以灵活控制，最上层为隔离介质层，如图 3(a) 所示。

(4) 光刻并刻蚀上面淀积的多层隔离介质层/电极金属层结构至最底层介质层，从而开出多个深槽，深槽宽度为 100~200 纳米，其侧壁为离介质层、电极金属层堆栈结构，如图 3(b) 所示；

(5) 以深槽为窗口淀积 10~50 纳米厚的阻变材料层（本实施例为为氧化钛），并且通过回刻工艺，仅保留深槽侧壁上的阻变材料层，如图 3(c) 所示；

(6) 淀积 50~100 纳米的 TiN 电极层 (图 3(d))，并光刻刻蚀形成顶电极，该电极和深槽侧壁上的阻变材料和金属层形成三维的阻变存储器件及其阵列,如图 3(e) 所示；

以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制。此外，所述半导体器件及其制造方法也可以用于其他衬底，阻变材料。隔离介质层以及电极材料构成的阻变存储器阵列，在此不再赘述。

虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

权 利 要 求 书

- 1、一种三维结构阻变存储器阵列，其特征在于，包括衬底和底电极/隔离介质堆栈结构，在底电极/隔离介质堆栈结构上刻蚀而成多个深槽，在上述深槽内设有阻变材料层和顶电极材料层，形成十字交叉的横向底电极和纵向顶电极，交叉的底电极和顶电极之间为阻变材料，每个交叉结构为一个阻变存储单元，从而形成三维阻变存储器阵列。
- 2、如权利要求 1 所述的三维结构阻变存储器阵列的存储单元，其特征在于：存储单元的阻变材料层位于底电极/隔离介质堆栈结构上刻蚀而成的深槽侧壁上。
- 3、一种三维结构阻变存储器阵列的制备方法，其步骤包括：
 - 1)在衬底上通过交替淀积介质和底电极材料层，形成底电极层/介质层的堆栈结构；
 - 2)在底电极层/介质层的堆栈结构上进行刻蚀形成多个深槽，在深槽侧壁上淀积并刻蚀形成阻变材料层；
 - 3)在深槽内淀积顶电极金属材料并刻蚀形成顶电极线条，顶电极和底电极在深槽侧壁上交叉，形成三维的阻变存储器阵列。
- 4、如权利要求 3 所述的三维结构阻变存储器阵列的制备方法，其特征在于：在底电极层/介质层的堆栈结构上进行光刻和刻蚀形成深槽，深槽底部位于衬底上的第一层介质层。
- 5、如权利要求 3 所述的三维结构阻变存储器阵列的制备方法，其特征在于：上述底电极层/介质层的堆栈结构中底电极材料层的厚度为 50~100 纳米。
- 6、如权利要求 3 所述的三维结构阻变存储器阵列的制备方法，其特征在于：上述底电极层/介质层的堆栈结构中介质层的厚度为 100~200 纳米。
- 7、如权利要求 3 所述的三维结构阻变存储器阵列的制备方法，其特征在于：上述深槽宽度为 100~200 纳米。
- 8、如权利要求 3 所述的三维结构阻变存储器阵列的制备方法，其特征在于：上述阻变材料层的厚度为 10~50 纳米。
- 9、如权利要求 3 所述的三维结构阻变存储器阵列的制备方法，其特征在于：上述顶电极材料层的厚度为 50~100 纳米。

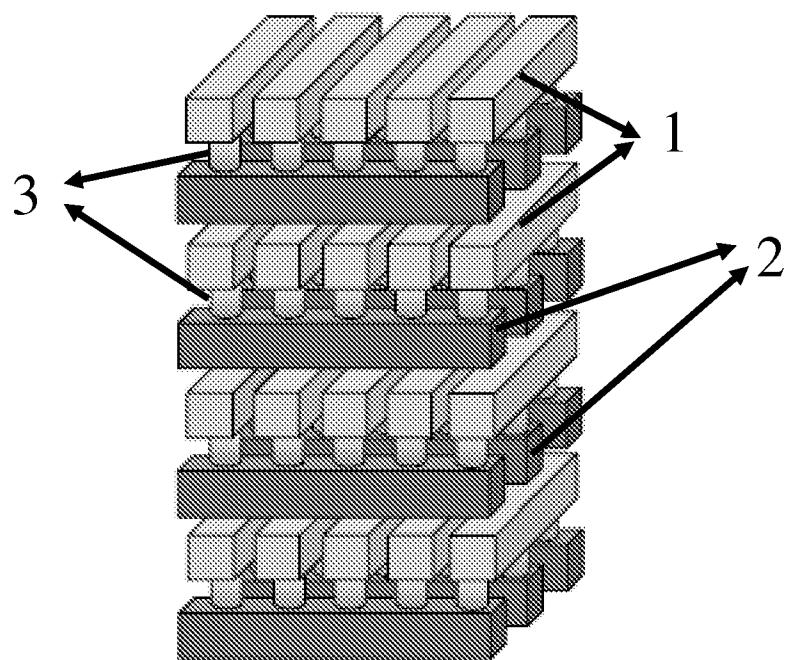


图 1

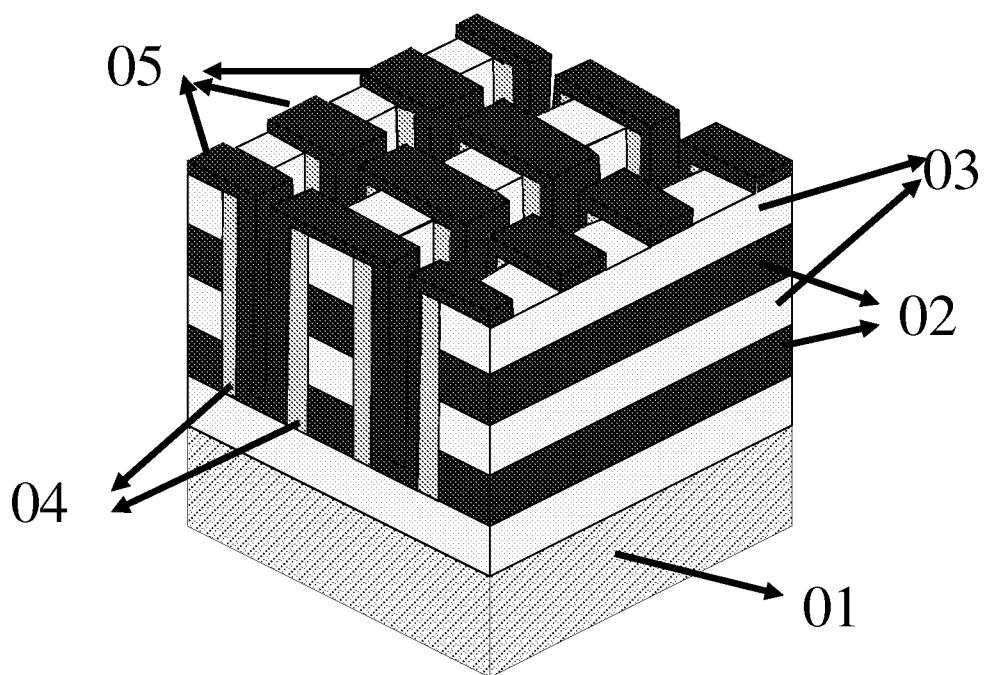


图 2

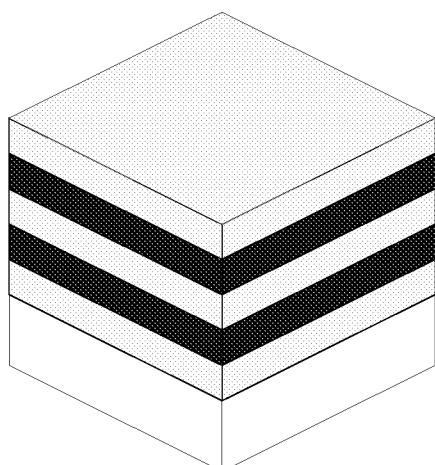


图 3 (a)

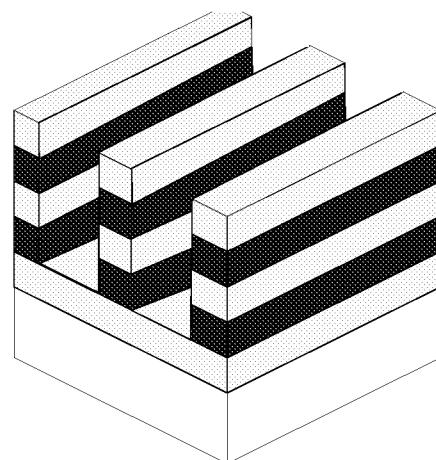


图 3 (b)

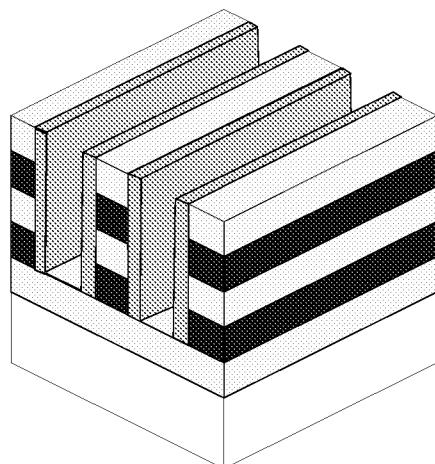


图 3 (c)

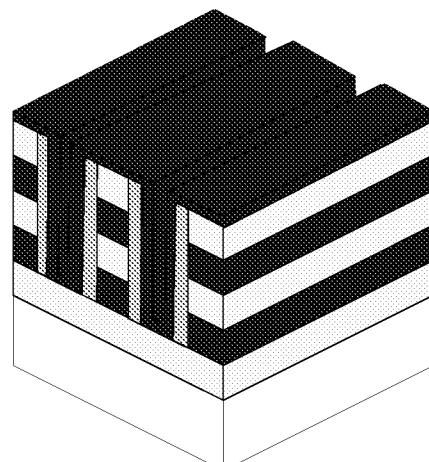


图 3 (d)

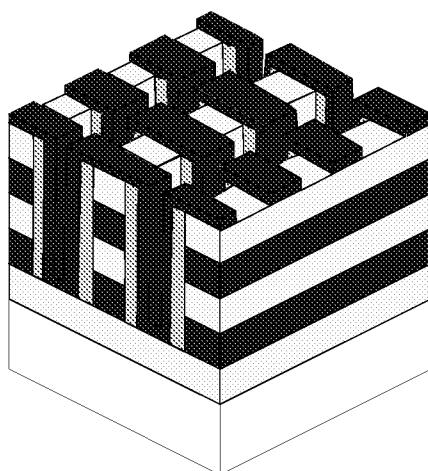


图 3 (e)

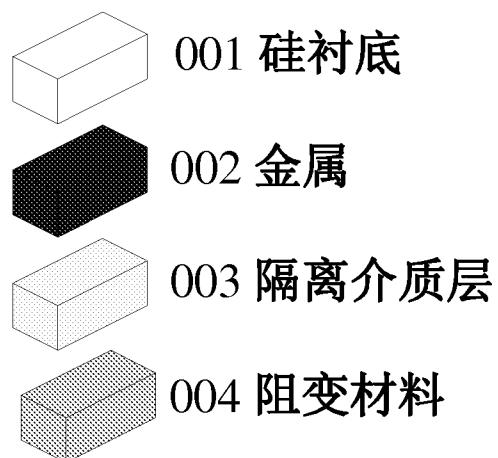


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/072370

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI;EPDOC;CNKI;CNPAT: RESIST RAM,RESIST MEMORY,PHASE CHANGE RAM,PHASE CHANGE MEMORY, SIDE WALL,ARRAY,MATRIX,THREE-DIMENSION

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2010/0178729A1(YOON, Hongsik et al.)15 Jul.2010 (15.07.2010) Description paragraphs 61-74,90-105; Figs.3A-4A,8A-8G	1-9
X	CN101826545A(MACRONIX INT. CO., LTD.)08 Sep.2010(08.09.2010) Description paragraphs 46-59; Figs.5-7,12-16	1-9
X	WO2010/101340A1(GWANGJU INSTITUTE OF SCIENCE AND TECHNOLOGY)10 Sep.2010 (10.09.2010) Description paragraphs 34-119;Figs.18-19	1-2
PX	JP2010251479A(SHARP K.K.)04 Nov.2010(04.11.2010) Description paragraphs 32-100;Figs.1-11	1-9
PX	CN101976676A(UNIV. PEKING) 16 Feb.2011(16.02.2011) Claims 1-9;Figs.2-3e	1-9
A	US2009/0218558A1(PARK, Jun-Beom et al.) 03 Sep.2009(03.09.2009) the whole document	1-9
A	US2009/0317540A1(SANDHU, Gurtej et al.) 24 Dec.2009(24.12.2009) the whole document	1-9

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 Jun.2011(08.06.2011)

Date of mailing of the international search report
14 Jul. 2011 (14.07.2011)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer
SHAO, Ye
Telephone No. (86-10)62413923

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/072370

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2010178729A1	15.07.2010	JP2010166047A	29.07.2010
		KR20100083402A	22.07.2010
		CN101840995A	22.09.2010
CN101826545A	08.09.2010	US2010226195A1	09.09.2010
WO2010101340A1	10.09.2010	KR20100100052A	15.09.2010
		KR20100116826A	02.11.2010
		KR100993052B	08.11.2010
JP2010251479A	04.11.2010	None	
CN101976676A	16.02.2011	None	
US2009218558A1	03.09.2009	KR20090093034A	02.09.2009
		KR100978911B	31.08.2010
US2009317540A1	24.12.2009	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/072370

Continuation of : Second sheet A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10 (2006.01) i

H01L45/00 (2006.01) i

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词 (如使用))

WPI;EPODOC;CNKI;CNPAT: 相变,阻变,存储器,三维,RESIST RAM,RESIST MEMORY,PHASE CHANGE RAM,PHASE CHANGE MEMORY,SIDE WALL,ARRAY,MATRIX,THREE-DIMENSION

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2010/0178729A1 (YOON,Hongsik 等) 15.7 月 2010 (15.07.2010) 说明书第 61-74,90-105 段、附图 3A-4A,8A-8G	1-9
X	CN101826545A (旺宏电子股份有限公司) 08.9 月 2010 (08.09.2010) 说明书第 46-59 段、附图 5-7,12-16	1-9
X	WO2010/101340A1 (GWANGJU INSTITUTE OF SCIENCE AND TECHNOLOGY) 10.9 月 2010 (10.09.2010) 说明书第 34-119 段、附图 18-19	1-2
PX	JP2010-251479A (夏普株式会社) 04.11 月 2010 (04.11.2010) 说明书第 32-100 段、附图 1-11	1-9
PX	CN101976676A (北京大学) 16.2 月 2011 (16.02.2011) 权利要求 1-9、附图 2-3e	1-9
A	US2009/0218558A1 (PARK, Jun-Beom 等) 03.9 月 2009 (03.09.2009) 全文	1-9
A	US2009/0317540A1 (SANDHU,Gurtej 等) 24.12 月 2009 (24.12.2009) 全文	1-9

 其余文件在 C 栏的续页中列出。 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

08.6 月 2011 (08.06.2011)

国际检索报告邮寄日期

14.7 月 2011 (14.07.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

邵烨

电话号码: (86-10) 62413923

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/072370

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US2010178729A1	15.07.2010	JP2010166047A	29.07.2010
		KR20100083402A	22.07.2010
		CN101840995A	22.09.2010
CN101826545A	08.09.2010	US2010226195A1	09.09.2010
WO2010101340A1	10.09.2010	KR20100100052A	15.09.2010
		KR20100116826A	02.11.2010
		KR100993052B	08.11.2010
JP2010251479A	04.11.2010	无	
CN101976676A	16.02.2011	无	
US2009218558A1	03.09.2009	KR20090093034A	02.09.2009
		KR100978911B	31.08.2010
US2009317540A1	24.12.2009	无	

续第 2 页 A. 主题的分类

H01L27/10 (2006.01) i

H01L45/00 (2006.01) i