

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年5月6日(06.05.2021)



(10) 国際公開番号

WO 2021/085171 A1

(51) 国際特許分類:

G01J 1/02 (2006.01) H04N 5/369 (2011.01)

H01L 31/10 (2006.01) G01S 7/486 (2020.01)

H01L 27/146 (2006.01) G01S 17/89 (2020.01)

(21) 国際出願番号: PCT/JP2020/039051

(22) 国際出願日: 2020年10月16日(16.10.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-197019 2019年10月30日(30.10.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

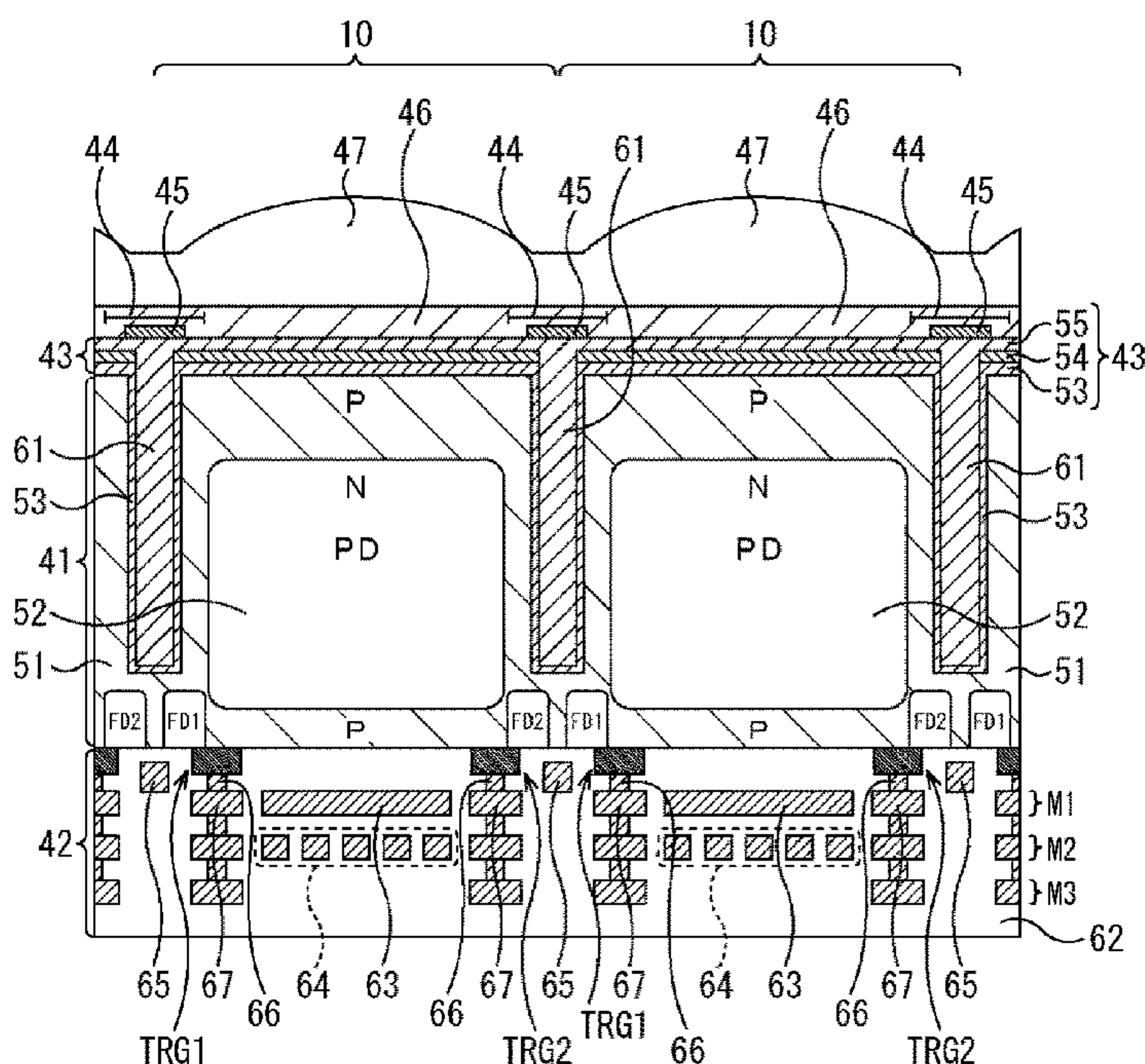
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 小室 雄太郎 (KOMURO Yutaro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 蛭子 芳樹 (EBIKO Yoshiki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 山岸 肇 (YAMAGISHI Hajime); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: LIGHT RECEIVING ELEMENT, RANGING MODULE, AND ELECTRONIC DEVICE

(54) 発明の名称: 受光素子、測距モジュール、および、電子機器

FIG. 2



(57) Abstract: The present technology relates to a light receiving element, a ranging module, and an electronic device that can reduce incident light leakage to adjacent pixels. The light receiving element includes a semiconductor layer on which a photodiode that photoelectrically converts infrared light is formed in units of pixels, and a wiring layer on which a transfer transistor that reads out charges generated by the photodiode is formed, wherein an inter-pixel light shielding part that blocks the infrared light is formed at a pixel boundary part of the wiring layer. For example, the present technology

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋 3 丁目 9 番 10 号 池袋 F N ビル 4 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

can be applied to a ranging module that measures the distance to a subject.

(57) 要約: 本技術は、入射光の隣接画素への漏れ込みを低減することができるようにする受光素子、測距モジュール、および、電子機器に関する。受光素子は、赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層とを備え、配線層の画素境界部には、赤外光を遮光する画素間遮光部が形成されている。本技術は、例えば、被写体までの距離を測定する測距モジュール等に適用できる。

明 細 書

発明の名称： 受光素子、測距モジュール、および、電子機器

技術分野

[0001] 本技術は、受光素子、測距モジュール、および、電子機器に関し、特に、入射光の隣接画素への漏れ込みを低減できるようにした受光素子、測距モジュール、および、電子機器に関する。

背景技術

[0002] 従来、間接ToF (Time of Flight) 方式を利用した測距システムが知られている。このような測距システムでは、ある位相でLED (Light Emitting Diode) やレーザを用いて照射されたアクティブ光が対象物にあたって反射した光を受光することで得られる信号電荷を高速に異なる領域に振り分けることのできるセンサが必要不可欠である。

[0003] そこで、例えばセンサの基板に直接電圧を印加して基板内に電流を発生させることで、基板内の広範囲の領域を高速に変調できるようにした技術が提案されている（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-86904号公報

発明の概要

発明が解決しようとする課題

[0005] 間接ToF方式に利用される受光素子の光源には、波長940nm近傍の近赤外線を使うケースが多い。近赤外線は、半導体層であるシリコンの吸収係数が低く、量子効率が低いため、光路長を延ばすことで量子効率を上げる構造が考えられるが、入射光の隣接画素への漏れ込みが懸念される。

[0006] 本技術は、このような状況に鑑みてなされたものであり、入射光の隣接画素への漏れ込みを低減できるようにするものである。

課題を解決するための手段

[0007] 本技術の第1の側面の受光素子は、
赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、
前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層と
を備え、
前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている。

[0008] 本技術の第2の側面の測距モジュールは、
所定の発光源と、
受光素子と
を備え、
前記受光素子は、
赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、
前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層と
を備え、
前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている。

[0009] 本技術の第3の側面の電子機器は、
所定の発光源と、
受光素子と
を備え、
前記受光素子は、
赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、
前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形

成されている配線層と

を備え、

前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている

測距モジュール

を備える。

[0010] 本技術の第1乃至第3の側面においては、受光素子に、赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層とが設けられ、前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている。

[0011] 受光素子、測距モジュール、及び、電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

図面の簡単な説明

[0012] [図1]本技術を適用した受光素子の概略構成例を示すブロック図である。

[図2]画素の第1構成例を示す断面図である。

[図3]画素間遮光部の効果を説明する図である。

[図4]画素の第1構成例の変形例を示す断面図である。

[図5]図2の画素の回路構成例を示す図である。

[図6]図4の画素回路の配置例を示す平面図である。

[図7]画素間遮光部のその他の形成例を示す平面図である。

[図8]画素間遮光部のその他の形成例を示す平面図である。

[図9]図2の画素のその他の回路構成例を示す図である。

[図10]図9の画素回路の配置例を示す平面図である。

[図11]画素の第2構成例を示す断面図である。

[図12]モスアイ構造部のその他の形状例を示す断面図である。

[図13]画素の第3構成例を示す断面図である。

[図14]図13の反射膜の効果を説明する図である。

[図15]画素の第3構成例の第1変形例を示す断面図である。

[図16]図15の反射膜の効果を説明する図である。

[図17]画素の第3構成例の第2変形例を示す断面図である。

[図18]画素の第4構成例を示す断面図である。

[図19]画素の第5構成例を示す断面図である。

[図20]画素の第6構成例を示す断面図である。

[図21]画素の第7構成例を示す断面図である。

[図22]画素の第7構成例の変形例を示す断面図である。

[図23]画素の第8構成例を示す断面図である。

[図24]画素の第8構成例の変形例を示す断面図である。

[図25]画素の第9構成例を示す断面図である。

[図26]受光素子がIR撮像センサとして構成される場合の画素の回路構成例を示す図である。

[図27]受光素子がIR撮像センサとして構成される場合の画素の断面図である。

[図28]受光素子がRGBIR撮像センサとして構成される場合の画素配置例を示す図である。

[図29]本技術を適用した測距モジュールの構成例を示すブロック図である。

[図30]本技術を適用した電子機器としてのスマートフォンの構成例を示すブロック図である。

[図31]車両制御システムの概略的な構成の一例を示すブロック図である。

[図32]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0013] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 受光素子の構成例
2. 画素の第1構成例に係る断面図
3. 第1構成例の変形例

- 4. 画素の回路構成例
- 5. 画素の平面図
- 6. 画素のその他の回路構成例
- 7. 画素の平面図
- 8. 画素の第2構成例に係る断面図
- 9. 画素の第3構成例に係る断面図
- 10. 第3構成例の変形例
- 11. 画素の第4構成例に係る断面図
- 12. 画素の第5構成例に係る断面図
- 13. 画素の第6構成例に係る断面図
- 14. 画素の第7構成例に係る断面図
- 15. 画素の第8構成例に係る断面図
- 16. 画素の第9構成例に係る断面図
- 17. IR撮像センサの構成例
- 18. RGBIR撮像センサの構成例
- 19. 測距モジュールの構成例
- 20. 電子機器の構成例
- 21. 移動体への応用例

[0014] なお、以下の説明で参照する図面において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる。また、図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれている場合がある。

[0015] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれる。

[0016] <1. 受光素子の構成例>

図 1 は、本技術を適用した受光素子の概略構成例を示すブロック図である。

[0017] 図 1 に示される受光素子 1 は、間接ToF方式による測距情報を出力するToFセンサである。

[0018] 受光素子 1 は、所定の光源から照射された光（照射光）が物体にあたって反射されてきた光（反射光）を受光し、物体までの距離情報をデプス値として格納したデプス画像を出力する。なお、光源から照射される照射光は、例えば、波長が780nm乃至1000nmの範囲の赤外光であり、オンオフが所定の周期で繰り返されるパルス光である。

[0019] 受光素子 1 は、図示せぬ半導体基板上に形成された画素アレイ部 2 1 と、画素アレイ部 2 1 と同じ半導体基板上に集積された周辺回路部とを有する。周辺回路部は、例えば垂直駆動部 2 2、カラム処理部 2 3、水平駆動部 2 4、およびシステム制御部 2 5 等から構成されている。

[0020] 受光素子 1 には、さらに信号処理部 2 6 およびデータ格納部 2 7 も設けられている。なお、信号処理部 2 6 およびデータ格納部 2 7 は、受光素子 1 と同じ基板上に搭載してもよいし、受光素子 1 とは別のモジュール内の基板上に配置してもよい。

[0021] 画素アレイ部 2 1 は、受光した光量に応じた電荷を生成し、その電荷に応じた信号を出力する画素 1 0 が行方向および列方向の行列状に2次元配置された構成となっている。すなわち、画素アレイ部 2 1 は、入射した光を光電変換し、その結果得られた電荷に応じた信号を出力する画素 1 0 を複数有する。ここで、行方向とは、水平方向の画素 1 0 の配列方向をいい、列方向とは、垂直方向の画素 1 0 の配列方向をいう。行方向は、図中、横方向であり、列方向は図中、縦方向である。画素 1 0 の詳細については、図 2 以降で後述する。

[0022] 画素アレイ部 2 1 においては、行列状の画素配列に対して、画素行ごとに画素駆動線 2 8 が行方向に沿って配線されるとともに、各画素列に2つの垂直信号線 2 9 が列方向に沿って配線されている。画素駆動線 2 8 は、画素 1

0から信号を読み出す際の駆動を行うための駆動信号を伝送する。なお、図1では、画素駆動線28について1本の配線として示しているが、1本に限られるものではない。画素駆動線28の一端は、垂直駆動部22の各行に対応した出力端に接続されている。

[0023] 垂直駆動部22は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部21の各画素10を全画素同時あるいは行単位等で駆動する。すなわち、垂直駆動部22は、垂直駆動部22を制御するシステム制御部25とともに、画素アレイ部21の各画素10の動作を制御する駆動部を構成している。

[0024] 垂直駆動部22による駆動制御に応じて画素行の各画素10から出力される検出信号は、垂直信号線29を通してカラム処理部23に入力される。カラム処理部23は、各画素10から垂直信号線29を通して出力される検出信号に対して所定の信号処理を行うとともに、信号処理後の検出信号を一時的に保持する。カラム処理部23は、具体的には、信号処理としてノイズ除去処理やAD (Analog to Digital) 変換処理などを行う。

[0025] 水平駆動部24は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部23の画素列に対応する単位回路を順番に選択する。この水平駆動部24による選択走査により、カラム処理部23において単位回路ごとに信号処理された検出信号が順番に信号処理部26へ出力される。

[0026] システム制御部25は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成され、そのタイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部22、カラム処理部23、および水平駆動部24などの駆動制御を行う。

[0027] 信号処理部26は、少なくとも演算処理機能を有し、カラム処理部23から出力される検出信号に基づいて演算処理等の種々の信号処理を行う。データ格納部27は、信号処理部26での信号処理にあたって、その処理に必要なデータを一時的に格納する。

[0028] 以上のように構成される受光素子1は、物体までの距離情報をデプス値と

して画素値に格納したデプス画像を出力する。

[0029] < 2. 画素の第 1 構成例に係る断面図 >

図 2 は、画素アレイ部 2 1 に配置される画素 1 0 の第 1 構成例を示す断面図である。

[0030] 受光素子 1 は、半導体基板 4 1 と、その表面側（図中下側）に形成された多層配線層 4 2 とを備える。

[0031] 半導体基板 4 1 は、例えばシリコン（Si）で構成され、例えば数 μm 程度の厚みを有して形成されている。半導体基板 4 1 では、例えば、P 型（第 1 導電型）の半導体領域 5 1 に、N 型（第 2 導電型）の半導体領域 5 2 が画素単位に形成されることにより、フォトダイオード PD が画素単位に形成されている。半導体基板 4 1 の表裏両面に設けられている P 型の半導体領域 5 1 は、暗電流抑制のための正孔電荷蓄積領域を兼ねている。

[0032] 図 2 において上側となる半導体基板 4 1 の上面が、半導体基板 4 1 の裏面であり、光が入射される光入射面となる。半導体基板 4 1 の裏面側上面には、反射防止膜 4 3 が形成されている。

[0033] 反射防止膜 4 3 は、例えば、固定電荷膜および酸化膜が積層された積層構造とされ、例えば、ALD（Atomic Layer Deposition）法による高誘電率（High-k）の絶縁薄膜を用いることができる。具体的には、酸化ハフニウム（ HfO_2 ）や、酸化アルミニウム（ Al_2O_3 ）、酸化チタン（ TiO_2 ）、STO（Strontium Titan Oxide）などを用いることができる。図 2 の例では、反射防止膜 4 3 は、酸化ハフニウム膜 5 3、酸化アルミニウム膜 5 4、および酸化シリコン膜 5 5 が積層されて構成されている。

[0034] 反射防止膜 4 3 の上面であって、半導体基板 4 1 の隣接する画素 1 0 の境界部 4 4（以下、画素境界部 4 4 とも称する。）には、入射光の隣接画素への入射を防止する画素間遮光膜 4 5 が形成されている。画素間遮光膜 4 5 の材料は、光を遮光する材料であればよく、例えば、タングステン（W）、アルミニウム（Al）又は銅（Cu）などの金属材料を用いることができる。

[0035] 反射防止膜 4 3 の上面と、画素間遮光膜 4 5 の上面には、平坦化膜 4 6 が

、例えば、酸化シリコン（ SiO_2 ）、窒化シリコン（ SiN ）、酸窒化シリコン（ SiON ）等の絶縁膜、または、樹脂などの有機材料により形成されている。

[0036] そして、平坦化膜46の上面には、オンチップレンズ47が画素単位に形成されている。オンチップレンズ47は、例えば、スチレン系樹脂、アクリル系樹脂、スチレンーアクリル共重合系樹脂、またはシロキサン系樹脂等の樹脂系材料で形成される。オンチップレンズ47によって集光された光は、フォトダイオードPDに効率良く入射される。

[0037] また、半導体基板41の裏面側の画素境界部44には、半導体基板41の裏面側（オンチップレンズ47側）から基板深さ方向に所定の深さまで、隣接画素どうしを分離する画素間分離部61が形成されている。画素間分離部61の底面および側壁を含む外周部は、反射防止膜43の一部である酸化ハフニウム膜53で覆われている。画素間分離部61は、入射光が隣の画素10へ突き抜けることを防止し、自画素内に閉じ込めるとともに、隣接する画素10からの入射光の漏れ込みを防止する。

[0038] 図2の例では、反射防止膜43の最上層の材料である酸化シリコン膜55を、裏面側から掘り込んだトレンチ（溝）に埋め込むことにより酸化シリコン膜55と画素間分離部61を同時形成するため、反射防止膜43としての積層膜の一部である酸化シリコン膜55と、画素間分離部61とが同一の材料で構成されているが、必ずしも同一である必要はない。画素間分離部61として裏面側から掘り込んだトレンチ（溝）に埋め込む材料は、例えば、タングステン（W）、アルミニウム（Al）、チタン（Ti）、窒化チタン（ TiN ）等の金属材料でもよい。

[0039] 一方、多層配線層42が形成された半導体基板41の表面側には、各画素10に形成された1つのフォトダイオードPDに対して、2つの転送トランジスタTRG1およびTRG2が形成されている。また、半導体基板41の表面側には、フォトダイオードPDから転送された電荷を一時保持する電荷蓄積部としての浮遊拡散領域FD1およびFD2が、高濃度のN型半導体領域（N型拡散領域

）により形成されている。

[0040] 多層配線層42は、複数の金属膜Mと、その間の層間絶縁膜62とで構成される。図2では、第1金属膜M1乃至第3金属膜M3の3層で構成される例が示されている。

[0041] 多層配線層42の複数の金属膜Mのうち、半導体基板41に最も近い第1金属膜M1の、フォトダイオードPDの形成領域の下方に位置する領域、換言すれば、平面視において、フォトダイオードPDの形成領域と少なくとも一部が重なる領域には、反射膜（反射部材）63が形成されている。反射膜63は、第1金属膜M1の他のメタル配線67と同じ材料、例えば、銅（Cu）やアルミニウム（Al）、タングステン（W）、チタン（Ti）、窒化チタン（TiN）等などの金属膜で形成されている。

[0042] 反射膜63は、オンチップレンズ47を介して光入射面から半導体基板41内に入射し、半導体基板41内で光電変換されずに半導体基板41を透過してしまった赤外光を、反射膜63で反射させて半導体基板41内へと再度入射させる機能を有する。この反射機能により、半導体基板41内で光電変換される赤外光の量をより多くし、量子効率（QE）、つまり赤外光に対する画素10の感度を向上させることができる。

[0043] また、反射膜63は、オンチップレンズ47を介して光入射面から半導体基板41内に入射し、半導体基板41内で光電変換されずに半導体基板41を透過してしまった赤外光を、半導体基板41に最も近い第1金属膜M1で遮光し、それより下方の第2金属膜M2や第3金属膜M3へ透過させないようにする。したがって、反射膜63は、遮光膜でもあるとも言える。この遮光機能により、半導体基板41内で光電変換されずに半導体基板41を透過してしまった赤外光が、第1金属膜M1より下の金属膜Mで散乱し、近傍画素へ入射してしまうことを抑制できる。これにより、近傍画素で誤って光を検知してしまうことを防ぐことができる。

[0044] また、多層配線層42の画素境界部44には、反射膜63で反射された入射光が、隣の画素10のフォトダイオードPDへ入射されることを防止する画

素間遮光部 6 5 が形成されている。画素間遮光部 6 5 の材料としては、例えば、反射膜 6 3 を含む第 1 金属膜 M 1 のメタル配線 6 7 と同じ材料を用いることができる。その他、例えば、メタル配線 6 7 が銅であれば、画素間遮光部 6 5 の材料にはタングステンをういたり、有機材料を用いた赤外線吸収膜等で形成するなどして、第 1 金属膜 M 1 のメタル配線 6 7 と異なる材料を用いてもよい。

[0045] 画素間遮光部 6 5 の基板深さ方向の位置は、画素間遮光部 6 5 の目的を達成するため、第 1 金属膜 M 1 の反射膜 6 3 よりも上側（半導体基板 4 1 側）に形成されている。例えば、画素間遮光部 6 5 は、ポリシリコン等で形成された転送トランジスタ TRG 1 または TRG 2 のゲートと、第 1 金属膜 M 1 のメタル配線 6 7 とを接続するゲートコンタクト 6 6 と同じ層位置（深さ方向の位置）か、または、それよりも半導体基板 4 1 側に形成されている。画素間遮光部 6 5 をゲートコンタクト 6 6 と同じ層位置に形成する場合には、画素間遮光部 6 5 とゲートコンタクト 6 6 とを同時に形成することができるので、工程を共通化し、工程数を少なくすることができる。

[0046] なお、第 1 金属膜 M 1 のメタル配線 6 7 のうち、ゲートコンタクト 6 6 を介して、転送トランジスタ TRG 1 または TRG 2 のゲートと電氣的に接続されているメタル配線を、コンタクト配線 6 7 と称する。

[0047] 多層配線層 4 2 の複数の金属膜 M のうち、所定の金属膜 M である、例えば、第 2 金属膜 M 2 には、例えば、櫛歯形状にパターン形成することにより、配線容量 6 4 が形成されている。反射膜 6 3 と配線容量 6 4 とは同じ層（金属膜 M）に形成してもよいが、異なる層に形成する場合には、配線容量 6 4 が、反射膜 6 3 よりも半導体基板 4 1 から遠い層に形成される。換言すれば、反射膜 6 3 が、配線容量 6 4 よりも半導体基板 4 1 の近くに形成される。

[0048] 以上のように、受光素子 1 は、オンチップレンズ 4 7 と多層配線層 4 2 との間に半導体層である半導体基板 4 1 を配置し、オンチップレンズ 4 7 が形成された裏面側から入射光をフォトダイオード PD に入射させる裏面照射型の構造を有する。

[0049] また、画素10は、各画素に設けられたフォトダイオードPDに対して、2つの転送トランジスタTRG1およびTRG2を備え、フォトダイオードPDで光電変換されて生成された電荷（電子）を、浮遊拡散領域FD1またはFD2に振り分け可能に構成されている。

[0050] 受光素子1が受光する反射光は、波長が780nm乃至1000nm程度の赤外光であり、半導体基板41であるシリコンの吸収が少なく、量子効率が低い。そのため、第1構成例に係る画素10は、画素境界部44に画素間分離部61を形成することにより、入射光が隣の画素10へ突き抜けることを防止し、自画素内に閉じ込めるとともに、隣接する画素10からの入射光の漏れ込みを防止する。また、フォトダイオードPDの形成領域の下方の金属膜Mに反射膜63を設けることにより、半導体基板41内で光電変換されずに半導体基板41を透過してしまった赤外光を、反射膜63で反射させて半導体基板41内へと再度入射させるように構成されている。

[0051] 一方で、フォトダイオードPDの形成領域の下方の第1金属膜M1に反射膜63を設けることにより、例えば、図3の矢印で示されるように、反射膜63で反射された入射光が隣接画素へ突き抜けることが懸念される。そこで、多層配線層42の画素境界部44に画素間遮光部65を形成することにより、多層配線層42からの回り込みによる入射光の隣接画素への漏れ込みを防止する。

[0052] 以上の構成により、半導体基板41内で光電変換される赤外光の量をより多くし、量子効率（QE）、つまり赤外光に対する画素10の感度を向上させることができる。

[0053] <3. 第1構成例の変形例>

図4は、図2に示した第1構成例に係る画素10の変形例を示す断面図である。

[0054] 図4において、図2に示した第1構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0055] 図4の変形例では、図2の第1構成例において半導体基板41の裏面側（

オンチップレンズ47側)から掘り込んで形成されたDTI (Deep Trench Isolation)である画素間分離部61が、半導体基板41を貫通する画素間分離部71に置き換えられた点が異なり、その他の点で共通する。

[0056] 画素間分離部71は、半導体基板41の裏面側(オンチップレンズ47側)または表面側から反対側の基板面に貫通するまでトレンチを形成し、その内部に、反射防止膜43の最上層の材料である酸化シリコン膜55を埋め込むことにより形成される。画素間分離部71としてトレンチ内に埋め込む材料は、酸化シリコン膜55等の絶縁膜の他、例えば、タングステン(W)、アルミニウム(Al)、チタン(Ti)、窒化チタン(TiN)等の金属材料でもよい。

[0057] このような画素間分離部71を形成することにより、隣接する画素どうしを電氣的に完全分離することができる。これにより、入射光が隣の画素10へ突き抜けることを防止し、自画素内に閉じ込めるとともに、隣接する画素10からの入射光の漏れ込みを防止する。また、多層配線層42の画素境界部44に画素間遮光部65を形成することにより、多層配線層42からの回り込みによる入射光の隣接画素への漏れ込みを防止する。

[0058] したがって、第1構成例の変形例においても、半導体基板41内で光電変換される赤外光の量をより多くし、量子効率、つまり赤外光に対する画素10の感度を向上させることができる。

[0059] <4. 画素の回路構成例>

図5は、画素アレイ部21に2次元配置された画素10の回路構成を示している。

[0060] 画素10は、光電変換素子としてフォトダイオードPDを備える。また、画素10は、転送トランジスタTRG、浮遊拡散領域FD、付加容量FDL、切替トランジスタFDG、増幅トランジスタAMP、リセットトランジスタRST、及び、選択トランジスタSELをそれぞれ2個ずつ有する。さらに、画素10は、電荷排出トランジスタOFGを有している。

[0061] ここで、画素10において2個ずつ設けられる転送トランジスタTRG、浮遊

拡散領域FD、付加容量FDL、切替トランジスタFDG、増幅トランジスタAMP、リセットトランジスタRST、及び、選択トランジスタSELのそれぞれを区別する場合、図5に示されるように、転送トランジスタTRG1およびTRG2、浮遊拡散領域FD1およびFD2、付加容量FDL1およびFDL2、切替トランジスタFDG1およびFDG2、増幅トランジスタAMP1およびAMP2、リセットトランジスタRST1およびRST2、並びに、選択トランジスタSEL1およびSEL2のように称する。

[0062] 転送トランジスタTRG、切替トランジスタFDG、増幅トランジスタAMP、選択トランジスタSEL、リセットトランジスタRST、及び、電荷排出トランジスタDFGは、例えば、N型のMOSトランジスタで構成される。

[0063] 転送トランジスタTRG1は、ゲート電極に供給される転送駆動信号TRG1gがアクティブ状態になるとこれに応答して導通状態になることで、フォトダイオードPDに蓄積されている電荷を浮遊拡散領域FD1に転送する。転送トランジスタTRG2は、ゲート電極に供給される転送駆動信号TRG2gがアクティブ状態になるとこれに応答して導通状態になることで、フォトダイオードPDに蓄積されている電荷を浮遊拡散領域FD2に転送する。

[0064] 浮遊拡散領域FD1およびFD2は、フォトダイオードPDから転送された電荷を一時保持する電荷蓄積部である。

[0065] 切替トランジスタFDG1は、ゲート電極に供給されるFD駆動信号FDG1gがアクティブ状態になるとこれに応答して導通状態になることで、付加容量FDL1を、浮遊拡散領域FD1に接続させる。切替トランジスタFDG2は、ゲート電極に供給されるFD駆動信号FDG2gがアクティブ状態になるとこれに応答して導通状態になることで、付加容量FDL2を、浮遊拡散領域FD2に接続させる。付加容量FDL1およびFDL2は、図2の配線容量64によって形成されている。

[0066] リセットトランジスタRST1は、ゲート電極に供給されるリセット駆動信号RSTgがアクティブ状態になるとこれに応答して導通状態になることで、浮遊拡散領域FD1の電位をリセットする。リセットトランジスタRST2は、ゲート電極に供給されるリセット駆動信号RSTgがアクティブ状態になるとこれに

答して導通状態になることで、浮遊拡散領域FD 2 の電位をリセットする。なお、リセットトランジスタRST 1 およびRST 2 がアクティブ状態とされるとき、切替トランジスタFDG 1 およびFDG 2 も同時にアクティブ状態とされ、付加容量FDL 1 およびFDL 2 もリセットされる。

[0067] 垂直駆動部 2 2 は、例えば、入射光の光量が多い高照度のとき、切替トランジスタFDG 1 およびFDG 2 をアクティブ状態として、浮遊拡散領域FD 1 と付加容量FDL 1 を接続するとともに、浮遊拡散領域FD 2 と付加容量FDL 2 を接続する。これにより、高照度時に、より多くの電荷を蓄積することができる。

[0068] 一方、入射光の光量が少ない低照度のときには、垂直駆動部 2 2 は、切替トランジスタFDG 1 およびFDG 2 を非アクティブ状態として、付加容量FDL 1 およびFDL 2 を、それぞれ、浮遊拡散領域FD 1 およびFD 2 から切り離す。これにより、変換効率を上げることができる。

[0069] 電荷排出トランジスタOFGは、ゲート電極に供給される排出駆動信号OFG 1 g がアクティブ状態になるとこれに応答して導通状態になることで、フォトダイオードPDに蓄積された電荷を排出する。

[0070] 増幅トランジスタAMP 1 は、ソース電極が選択トランジスタSEL 1 を介して垂直信号線 2 9 Aに接続されることにより、不図示の定電流源と接続し、ソースフォロフ回路を構成する。増幅トランジスタAMP 2 は、ソース電極が選択トランジスタSEL 2 を介して垂直信号線 2 9 Bに接続されることにより、不図示の定電流源と接続し、ソースフォロフ回路を構成する。

[0071] 選択トランジスタSEL 1 は、増幅トランジスタAMP 1 のソース電極と垂直信号線 2 9 Aとの間に接続されている。選択トランジスタSEL 1 は、ゲート電極に供給される選択信号SEL 1 gがアクティブ状態になるとこれに応答して導通状態となり、増幅トランジスタAMP 1 から出力される検出信号VSL 1 を垂直信号線 2 9 Aに出力する。

[0072] 選択トランジスタSEL 2 は、増幅トランジスタAMP 2 のソース電極と垂直信号線 2 9 Bとの間に接続されている。選択トランジスタSEL 2 は、ゲート電極に供給される選択信号SEL 2 gがアクティブ状態になるとこれに応答して導通

状態となり、増幅トランジスタAMP 2 から出力される検出信号VSL 2 を垂直信号線 2 9 Bに出力する。

[0073] 画素 1 0 の転送トランジスタTRG 1 およびTRG 2、切替トランジスタFDG 1 およびFDG 2、増幅トランジスタAMP 1 およびAMP 2、選択トランジスタSEL 1 およびSEL 2、並びに、電荷排出トランジスタOFGは、垂直駆動部 2 2 によって制御される。

[0074] 図 5 の画素回路において、付加容量FDL 1 およびFDL 2 と、その接続を制御する、切替トランジスタFDG 1 およびFDG 2 は省略してもよいが、付加容量FDL を設け、入射光量に応じて使い分けることにより、高ダイナミックレンジを確保することができる。

[0075] 画素 1 0 の動作について簡単に説明する。

[0076] まず、受光を開始する前に、画素 1 0 の電荷をリセットするリセット動作が全画素で行われる。すなわち、電荷排出トランジスタOFGと、リセットトランジスタRST 1 およびRST 2、並びに、切替トランジスタFDG 1 およびFDG 2 がオンされ、フォトダイオードPD、浮遊拡散領域FD 1 およびFD 2、並びに、付加容量FDL 1 およびFDL 2 の蓄積電荷が排出される。

[0077] 蓄積電荷の排出後、全画素で受光が開始される。

[0078] 受光期間では、転送トランジスタTRG 1 とTRG 2 とが交互に駆動される。すなわち、第 1 の期間において、転送トランジスタTRG 1 がオン、転送トランジスタTRG 2 がオフに制御される。この第 1 の期間では、フォトダイオードPDで発生した電荷が、浮遊拡散領域FD 1 に転送される。第 1 の期間の次の第 2 の期間では、転送トランジスタTRG 1 がオフ、転送トランジスタTRG 2 がオンに制御される。この第 2 の期間では、フォトダイオードPDで発生した電荷が、浮遊拡散領域FD 2 に転送される。これにより、フォトダイオードPDで発生した電荷が、浮遊拡散領域FD 1 とFD 2 とに振り分けられて、蓄積される。

[0079] ここで、光電変換で得られた電荷（電子）の読み出しが行われる方の転送トランジスタTRGおよび浮遊拡散領域FDをアクティブタップ（active tap）とも称することとする。逆に、光電変換で得られた電荷の読み出しが行われな

い方の転送トランジスタTRGおよび浮遊拡散領域FDをイナクティブタップ（inactive tap）とも称することとする。

[0080] そして、受光期間が終了すると、画素アレイ部21の各画素10が、線順次を選択される。選択された画素10では、選択トランジスタSEL1およびSEL2がオンされる。これにより、浮遊拡散領域FD1に蓄積された電荷が、検出信号VSL1として、垂直信号線29Aを介してカラム処理部23に出力される。浮遊拡散領域FD2に蓄積された電荷は、検出信号VSL2として、垂直信号線29Bを介してカラム処理部23に出力される。

[0081] 以上で1回の受光動作が終了し、リセット動作から始まる次の受光動作が実行される。

[0082] 画素10が受光する反射光は、光源が照射したタイミングから、対象物までの距離に応じて遅延されている。対象物までの距離に応じた遅延時間によって、2つの浮遊拡散領域FD1とFD2に蓄積される電荷の配分比が変化するため、2つの浮遊拡散領域FD1とFD2に蓄積される電荷の配分比から、物体までの距離を求めることができる。

[0083] <5. 画素の平面図>

図6は、図5に示した画素回路の配置例を示した平面図である。

[0084] 図6における横方向は、図1の行方向（水平方向）に対応し、縦方向は図1の列方向（垂直方向）に対応する。

[0085] 図6に示されるように、矩形の画素10の中央部の領域に、フォトダイオードPDがN型の半導体領域52で形成されている。

[0086] フォトダイオードPDの外側であって、矩形の画素10の四辺の所定の一边に沿って、転送トランジスタTRG1、切替トランジスタFDG1、リセットトランジスタRST1、増幅トランジスタAMP1、及び、選択トランジスタSEL1が直線的に並んで配置され、矩形の画素10の四辺の他の一边に沿って、転送トランジスタTRG2、切替トランジスタFDG2、リセットトランジスタRST2、増幅トランジスタAMP2、及び、選択トランジスタSEL2が直線的に並んで配置されている。

[0087] さらに、転送トランジスタTRG、切替トランジスタFDG、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELが形成されている画素10の二辺とは別の辺に、電荷排出トランジスタOFGが配置されている。

[0088] 画素間遮光部65は、例えば、ゲートコンタクト66と同じサイズおよび平面形状の遮光部材を各画素10の境界線上に所定の間隔で配置することにより構成されている。図6の例では、画素間遮光部65を構成する1個の遮光部材の平面形状は矩形状であるが、角部が丸みを帯びた矩形状や、楕円形状、円形状であってもよい。

[0089] 図7および図8は、画素間遮光部65のその他の形成例を示す図である。

[0090] 画素間遮光部65は、図7に示されるように、平面形状が、画素10の境界線の方に長く、他の画素10との隣接する方向に短い線状の遮光部材を画素10の境界線上に所定の間隔で配置した構成としてもよい。

[0091] あるいはまた、画素間遮光部65は、図8に示されるように、画素10の全周を囲むように遮光部材を画素10の境界線上に配置して構成してもよい。

[0092] <6. 画素のその他の回路構成例>

図9は、画素10のその他の回路構成例を示している。

[0093] 図9において、図5と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0094] 画素10は、光電変換素子としてフォトダイオードPDを備える。また、画素10は、第1転送トランジスタTRGa、第2転送トランジスタTRGb、メモリMEM、浮遊拡散領域FD、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELをそれぞれ2個ずつ有する。

[0095] ここで、画素10において2個ずつ設けられる第1転送トランジスタTRGa、第2転送トランジスタTRGb、メモリMEM、浮遊拡散領域FD、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELのそれぞれを区別する場合、図9に示されるように、第1転送トランジスタTRGa1およびTR

Ga2、第2転送トランジスタTRGb1およびTRGb2、転送トランジスタTRG1およびTRG2、メモリMEM1およびMEM2、浮遊拡散領域FD1およびFD2、増幅トランジスタAMP1およびAMP2、並びに、選択トランジスタSEL1およびSEL2のように称する。

[0096] 従って、図5の画素回路と、図9の画素回路を比較すると、転送トランジスタTRGが、2種類の第1転送トランジスタTRGaおよび第2転送トランジスタTRGbに変更され、メモリMEMが追加されている。また、付加容量FDLと切替トランジスタFDGが省略されている。

[0097] 第1転送トランジスタTRGa、第2転送トランジスタTRGb、リセットトランジスタRST、増幅トランジスタAMP、及び、選択トランジスタSELは、例えば、N型のMOSトランジスタで構成される。

[0098] 図5に示した画素回路では、フォトダイオードPDで生成された電荷を、浮遊拡散領域FD1およびFD2に転送して保持するようにしたが、図9の画素回路では、電荷蓄積部として設けられたメモリMEM1およびMEM2に転送されて、保持される。

[0099] 即ち、第1転送トランジスタTRGa1は、ゲート電極に供給される第1転送駆動信号TRGa1gがアクティブ状態になるとこれに応答して導通状態になることで、フォトダイオードPDに蓄積されている電荷をメモリMEM1に転送する。第1転送トランジスタTRGa2は、ゲート電極に供給される第1転送駆動信号TRGa2gがアクティブ状態になるとこれに応答して導通状態になることで、フォトダイオードPDに蓄積されている電荷をメモリMEM2に転送する。

[0100] また、第2転送トランジスタTRGb1は、ゲート電極に供給される第2転送駆動信号TRGb1gがアクティブ状態になるとこれに応答して導通状態になることで、メモリMEM1に蓄積されている電荷を、浮遊拡散領域FD1に転送する。第2転送トランジスタTRGb2は、ゲート電極に供給される第2転送駆動信号TRGb2gがアクティブ状態になるとこれに応答して導通状態になることで、メモリMEM2に蓄積されている電荷を、浮遊拡散領域FD2に転送する。

[0101] リセットトランジスタRST1は、ゲート電極に供給されるリセット駆動信号

RST 1 gがアクティブ状態になるとこれに応答して導通状態になることで、浮遊拡散領域FD 1 の電位をリセットする。リセットトランジスタRST 2 は、ゲート電極に供給されるリセット駆動信号RST 2 gがアクティブ状態になるとこれに応答して導通状態になることで、浮遊拡散領域FD 2 の電位をリセットする。なお、リセットトランジスタRST 1 およびRST 2 がアクティブ状態とされるとき、第2転送トランジスタTRGb1およびTRGb2も同時にアクティブ状態とされ、メモリMEM 1 およびMEM 2 もリセットされる。

[0102] 図5の画素回路では、フォトダイオードPDで発生した電荷が、メモリMEM 1 とMEM 2 とに振り分けられて、蓄積される。そして、読み出されるタイミングで、メモリMEM 1 とMEM 2 に保持されている電荷が、それぞれ、浮遊拡散領域FD 1 とFD 2 に転送され、画素10から出力される。

[0103] <7. 画素の平面図>

図10は、図9に示した画素回路の配置例を示した平面図である。

[0104] 図10における横方向は、図1の行方向（水平方向）に対応し、縦方向は図1の列方向（垂直方向）に対応する。

[0105] 図10に示されるように、矩形の画素10の中央部の領域に、フォトダイオードPDがN型の半導体領域52で形成されている。

[0106] フォトダイオードPDの外側であって、矩形の画素10の四辺の所定の一辺に沿って、第1転送トランジスタTRGa1、第2転送トランジスタTRGb1、リセットトランジスタRST 1、増幅トランジスタAMP 1、及び、選択トランジスタSEL 1 が直線的に並んで配置され、矩形の画素10の四辺の他の一辺に沿って、第1転送トランジスタTRGa2、第2転送トランジスタTRGb2、リセットトランジスタRST 2、リセットトランジスタRST 2、増幅トランジスタAMP 2、及び、選択トランジスタSEL 2 が直線的に並んで配置されている。メモリMEM 1 およびMEM 2 は、例えば、埋め込み型のN型拡散領域により形成される。

[0107] 画素間遮光部65としては、図6に示した、ゲートコンタクト66と同じ平面形状の遮光部材を等間隔で配置した構成が採用されているが、図7や図8の構成や、その他の構成でもよい。

[0108] なお、画素回路の配置は、図6または図10の例に限られず、その他の配置とすることもできる。

[0109] <8. 画素の第2構成例に係る断面図>

図11は、画素10の第2構成例を示す断面図である。

[0110] 図11において、図2に示した第1構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0111] 図11の第2構成例では、半導体基板41の裏面であって、フォトダイオードPDの形成領域の上方に、微細な凹凸が周期的に形成されたモスアイ（Moth Eye）構造部111が形成されている。また、半導体基板41のモスアイ構造部111に対応して、その上面に形成された反射防止膜43もモスアイ構造で形成されている。

[0112] 半導体基板41のモスアイ構造部111は、例えば、略同形状かつ略同じ大きさの複数の四角錐の領域が規則的に（格子状に）設けられた構成とされる。

[0113] モスアイ構造部111は、例えば、フォトダイオードPD側に頂点を有する四角錐形状の複数の領域が規則的に並ぶように配列された逆ピラミッド構造に形成される。

[0114] あるいはまた、モスアイ構造部111は、オンチップレンズ47側に頂点を有する複数の四角錐の領域が、規則的に並ぶように配列された順ピラミッド構造でもよい。複数の四角錐の大きさおよび配置は、規則的に並ぶことなく、ランダムに形成されてもよい。また、モスアイ構造部111の各四角錐の各凹部または各凸部は、ある程度曲率を有し、丸みのある形状となってもよい。モスアイ構造部111は、凹凸構造が周期的にまたはランダムに繰り返される構造であればよく、凹部または凸部の形状は任意である。

[0115] 図12は、モスアイ構造部111のその他の形状例を示す断面図である。

[0116] 図12の例では、モスアイ構造部111の形状は、半導体基板41に平行な面を有し、基板深さ方向に一定量掘り込んだ凹部が一定周期で並ぶように配列された凹凸構造を有する。なお、図12では、反射防止膜43が、酸化

ハフニウム膜 5 3 と酸化シリコン膜 5 5 の 2 層で構成されているが、他の構成例と同様に 3 層でもよいし、単層でもよい。

[0117] 図 1 1 および図 1 2 のように、半導体基板 4 1 の光入射面に、入射光を回折する回折構造としてモスアイ構造部 1 1 1 を形成することで、基板界面における急激な屈折率の変化を緩和し、反射光による影響を低減させることができる。

[0118] 第 2 構成例のその他の構成は、第 1 構成例と同様である。

[0119] 図 1 1 および図 1 2 においても、多層配線層 4 2 の画素境界部 4 4 に、画素間遮光部 6 5 を形成することにより、多層配線層 4 2 からの回り込みによる入射光の隣接画素への漏れ込みを防止する。

[0120] したがって、第 2 構成例においても、半導体基板 4 1 内で光電変換される赤外光の量をより多くし、量子効率、つまり赤外光に対する画素 1 0 の感度を向上させることができる。

[0121] < 9. 画素の第 3 構成例に係る断面図 >

図 1 3 は、画素 1 0 の第 3 構成例を示す断面図である。

[0122] 上述した第 1 および第 2 構成例では、多層配線層 4 2 からの回り込みによる入射光の隣接画素への漏れ込みを防止する構成について説明したが、第 3 構成例では、オンチップレンズ 4 7 側からの回り込みによる入射光の隣接画素への漏れ込みを防止する構成について説明する。

[0123] 図 1 3 において、図 2 に示した第 1 構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0124] 図 1 3 に示される第 3 構成例では、図 2 においてフォトダイオード PD の形成領域の下方の第 1 金属膜 M 1 と同じ層に形成されていた反射膜 6 3 が、反射膜 1 4 1 に変更されている。また、図 2 において多層配線層 4 2 の画素境界部 4 4 に形成されていた画素間遮光部 6 5 が省略されている。

[0125] 第 3 構成例における反射膜 1 4 1 は、第 1 構成例における反射膜 6 3 とは形成されている材料が異なる。具体的には、第 1 構成例では、転送トランジスタ TRG 1 または TRG 2 のゲートと電氣的に接続されているメタル配線 6 7 と

同じ材料（例えば、銅、アルミニウムなど）で形成されていたが、第3構成例では、メタル配線67と異なる材料で形成されている。例えば、メタル配線67が銅で形成されている場合、反射膜141は、アルミニウム、タングステン（W）、白金（Pt）、ニッケル（Ni）等で形成されている。

[0126] 反射膜141を形成する材料は、例えば、半導体基板41の厚さに応じて決定することができる。例えば、半導体基板41の厚さが厚いとき（例えば、 $6\mu\text{m}$ 以上の厚さであるとき）、反射膜141の材料には、アルミニウムを採用することができる。また例えば、半導体基板41の厚さが薄いとき（例えば、 $6\mu\text{m}$ より小さい厚さであるとき）、反射膜141の材料には、タングステン、白金、ニッケルなどを採用することができる。

[0127] 換言すれば、例えば、半導体基板41の厚さが厚いとき（例えば、 $6\mu\text{m}$ 以上の厚さであるとき）、反射膜141の材料には、反射率が比較的高い材料（例えば、70%より大きい材料）を採用することができる。また例えば、半導体基板41の厚さが薄いとき（例えば、 $6\mu\text{m}$ より小さい厚さであるとき）、反射膜141の材料には、反射率が比較的低い材料（例えば、30ないし70%以下の材料）を採用することができる。

[0128] 反射膜141を形成する材料には、少なくとも赤外光の波長の範囲において、第1金属膜M1の他のメタル配線67の材料よりも反射率（屈折率）の低い材料が用いられる。そのような材料としては、例えば、Al, Ni, Cr, Fe, Pt, Rh, Snなどの金属及びその合金、 Ta_2O_5 , Al_2O_3 , Si_3N_4 などの金属化合物などが挙げられる。

[0129] 第3構成例のその他の構成は、第1構成例と同様である。

[0130] 受光素子1が受光する反射光は、波長が780nm乃至1000nm程度の赤外光であり、半導体基板41であるシリコンの吸収が少なく、量子効率が低い。そのため、半導体基板41へ入射された光が、半導体基板41を突き抜けて、反射膜141で再び、半導体基板41へ反射される。このとき、反射膜141の反射率が100%に近いほど高いと、図14の実線の矢印のように、反射膜141で反射された光が、半導体基板41の光入射面をさらに突

き抜けて、オンチップレンズ47で反射され、隣接する画素10へ漏れ込み、フレアの原因となり得る。

[0131] 第3の構成例によれば、反射膜141を形成する材料を、第1金属膜M1の他のメタル配線67の材料よりも反射率の低い材料で形成し、半導体基板41の厚さに応じて、他のメタル配線67よりも反射率を低くすることで、図14の破線の矢印のように、反射膜141で反射された全ての光が半導体基板41内で吸収されるように調整することができる。これにより、反射膜141で反射された光が、半導体基板41の光入射面をさらに突き抜けることを抑制することができるので、オンチップレンズ47側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。

[0132] 以上の構成により、半導体基板41内で光電変換される赤外光の量をより多くし、量子効率、つまり赤外光に対する画素10の感度を向上させるとともに、反射光が半導体基板41を突き抜けることによるフレアの原因を抑制することができる。

[0133] <10. 第3構成例の変形例>

<第1変形例>

図15は、図13に示した第3構成例に係る画素10の第1変形例を示す断面図である。

[0134] 図15において、図13に示した第3構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0135] 図15の第1変形例では、反射膜141の基板深さ方向の位置が、図13に示した第3構成例と異なり、その他の点で、図13に示した第3構成例と共通する。

[0136] 具体的には、図13に示した第3構成例では、反射膜141の基板深さ方向の位置が、第1金属膜M1と同じ位置（同じ層）に形成されていたが、図15の第1変形例では、第1金属膜M1と異なる位置（異なる層）に形成されている。具体的には、反射膜141の基板深さ方向の位置が、第1金属膜M1よりもフォトダイオードPD側（半導体基板41側）に形成されている。

[0137] 反射膜141を第1金属膜M1と同じ層に形成した場合、図16のAに示されるように、第1金属膜M1のメタル配線67を避けて反射膜141を配置しなければならないため、平面視における反射膜141の面積が小さくなる。

[0138] これに対して、反射膜141を第1金属膜M1と異なる層に形成した場合、図16のBに示されるように、平面視で、第1金属膜M1のメタル配線67と反射膜141とが干渉しないので、反射膜141を、フォトダイオードPDと重畳する領域に大きく配置することができる。これにより、反射膜63の目的をより大きく達成することができる。すなわち、半導体基板41内で光電変換されずに半導体基板41を透過してしまった赤外光を、より多く、反射膜63で反射させて半導体基板41内へと入射させることができる。

[0139] 以上の構成により、半導体基板41内で光電変換される赤外光の量をより多くし、量子効率、つまり赤外光に対する画素10の感度を向上させるとともに、反射光が半導体基板41を突き抜けることによるフレアの原因を抑制することができる。

[0140] <第2変形例>

図17は、図13に示した第3構成例に係る画素10の第2変形例を示す断面図である。

[0141] 図17において、図13に示した第3構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0142] 図17の第2変形例では、図13に示した第3構成例の反射膜141が、反射膜141Pに置き換えられており、その他の構成は、図13に示した第3構成例と共通する。

[0143] 反射膜141Pは、基板深さ方向の位置が、図13に示した反射膜141と異なり、形成される材料も反射膜141と異なる。

[0144] 具体的には、反射膜141Pは、転送トランジスタTRG1およびTRG2のゲートと同じ基板深さ位置に、転送トランジスタTRG1およびTRG2のゲートと同じ材料（例えば、ポリシリコン）で形成されている。反射膜141Pを、転送トランジスタTRG1およびTRG2のゲートと同じ基板深さ位置に、同じ材料で

形成することで、反射膜 1 4 1 P を、転送トランジスタ TRG 1 および TRG 2 のゲートと同時に形成することができるので、工程を共通化し、工程数を少なくすることができる。なお、反射膜 1 4 1 P は、ポリシリコンとサリサイド膜で形成してもよい。

[0145] 図 1 5 の第 1 変形例および図 1 7 の第 2 変形例のように、反射膜 1 4 1 または 1 4 1 P の基板深さ方向の位置を、第 1 金属膜 M 1 よりもフォトダイオード PD 側とすることで、多層配線層 4 2 からの回り込みによる入射光の隣接画素への漏れ込みも防止することができる。

[0146] < 1 1 . 画素の第 4 構成例に係る断面図 >

図 1 8 は、画素 1 0 の第 4 構成例を示す断面図である。

[0147] 図 1 8 において、図 1 3 に示した第 3 構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0148] 図 1 8 の第 4 構成例では、フォトダイオード PD の形成領域の下方の半導体基板 4 1 と多層配線層 4 2 との接続面に、微細な凹凸が周期的に形成されたモスアイ構造部 1 6 1 が、さらに形成されている。モスアイ構造部 1 6 1 は、図 1 1 で説明したモスアイ構造部 1 1 1 と同様に、逆ピラミッド構造または順ピラミッド構造とすることができる。あるいはまた、モスアイ構造部 1 6 1 は、図 1 2 に示したような、半導体基板 4 1 に平行な凹部が一定周期で並ぶように配列された凹凸構造でもよい。

[0149] 第 4 構成例のその他の構成は、図 1 3 に示した第 3 構成例と同様である。

[0150] フォトダイオード PD の形成領域の下方の半導体基板 4 1 と多層配線層 4 2 との界面に、モスアイ構造部 1 6 1 を形成することにより、フォトダイオード PD を突き抜けた光が、モスアイ構造部 1 1 1 で拡散され、反射膜 1 4 1 へ到達する。赤外光の反射膜 1 4 1 での反射が抑制されるので、反射膜 1 4 1 で反射された光が、半導体基板 4 1 の光入射面をさらに突き抜けることを抑制することができる。その結果、オンチップレンズ 4 7 側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。

[0151] < 1 2 . 画素の第 5 構成例に係る断面図 >

図 19 は、画素 10 の第 5 構成例を示す断面図である。

[0152] 図 19 において、図 13 に示した第 3 構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0153] 図 19 の第 5 構成例では、図 13 に示した第 3 構成例の反射膜 141 が、反射膜 141M に置き換えられている。図 19 のその他の構成は、図 13 に示した第 3 構成例と同一である。

[0154] 反射膜 141M は、半導体基板 41 側の面形状が、微細な凹凸が周期的に形成されたモスアイ構造となっている点で、反射膜 141 と異なる。反射膜 141M の半導体基板 41 側の面形状を、モスアイ構造とすることにより、図 18 の第 4 構成例と同様に、フォトダイオード PD 突き抜けた光が、反射膜 141M で拡散されて、半導体基板 41 へ反射する。これにより、赤外光の反射膜 141M での反射が抑制されるので、反射膜 141M で反射された光が、半導体基板 41 の光入射面をさらに突き抜けることを抑制することができる。その結果、オンチップレンズ 47 側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。

[0155] < 13. 画素の第 6 構成例に係る断面図 >

図 20 は、画素 10 の第 6 構成例を示す断面図である。

[0156] 図 20 において、上述した第 1 ないし第 5 構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0157] 図 20 の第 5 構成例に係る画素 10 は、半導体基板 41 の裏面であって、フォトダイオード PD の形成領域の上方に、モスアイ構造部 111 を有し、半導体基板 41 のおもて面であって、フォトダイオード PD の形成領域の下方に、モスアイ構造部 161 を有する。

[0158] また、図 20 の第 6 構成例に係る画素 10 は、フォトダイオード PD の形成領域の下方の第 1 金属膜 M1 の層に、第 1 金属膜 M1 の他のメタル配線 67 の材料よりも反射率の低い材料で形成された反射膜 141 を有する。

[0159] 換言すれば、図 20 の第 6 構成例に係る画素 10 は、図 18 に示した第 4 構成例の半導体基板 41 の裏面側に、モスアイ構造部 111 を追加した構造

とされている。

[0160] 図20の第6構成例において、半導体基板41の裏面側（図中の上側）のモスアイ構造部111の微細な凹凸構造の形状と、半導体基板41のおもて面側（図中の下側）のモスアイ構造部161の微細な凹凸構造の形状は、同一でもよいし、異なってもよい。また、モスアイ構造部111の凹凸構造の周期と、モスアイ構造部161の凹凸構造の周期は、同一でもよいし、異なってもよい。

[0161] 例えば、モスアイ構造部111の凹凸構造の周期を、モスアイ構造部161の凹凸構造の周期より長く形成した場合、赤外に近い波長の光はモスアイ構造部111で拡散されて、紫外に近い波長の光はモスアイ構造部161で拡散され、赤外に近い波長の光はモスアイ構造部161で拡散されない。半導体基板41の厚みが厚く、赤外光の反射を比較的に抑える必要がない場合には、モスアイ構造部111の凹凸構造の周期が、モスアイ構造部161の凹凸構造の周期より長く形成される。反対に、半導体基板41の厚みが薄く、反射膜141における赤外光の反射を抑えたい場合には、モスアイ構造部161の凹凸構造の周期が、モスアイ構造部111の凹凸構造の周期より長く形成される。

[0162] 図20の第6構成例においても、他のメタル配線67よりも反射率を低くした反射膜141により、オンチップレンズ47側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。また、モスアイ構造部111および161により、反射膜141で反射された光が、半導体基板41の光入射面をさらに突き抜けることを抑制することができる。

[0163] <14. 画素の第7構成例に係る断面図>

図21は、画素10の第7構成例を示す断面図である。

[0164] 図21において、上述した第1ないし第6構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0165] 図21の第6構成例に係る画素10は、半導体基板41の裏面に、モスアイ構造部111を有している。

[0166] また、図20の第6構成例に係る画素10は、フォトダイオードPDの形成領域の下方の第1金属膜M1の層に、第1金属膜M1の他のメタル配線67の材料よりも反射率の低い材料で形成された反射膜141を有する。

[0167] また、反射膜141の半導体基板41側の面に、ダミーコンタクト181が複数形成されている。ダミーコンタクト181は、転送トランジスタTRG1またはTRG2のゲートに接続されるゲートコンタクト66と同一の材料で、同一の工程で形成されるが、画素トランジスタのゲートには接続されないコンタクト配線である。反射膜141の半導体基板41側の面に、複数のダミーコンタクト181を形成することにより、微細な凹凸構造が形成されるので、図19に示した第5構成例の反射膜141Mと同様の効果を奏することができる。

[0168] すなわち、反射膜141Mの半導体基板41側の面に形成された複数のダミーコンタクト181により、フォトダイオードPDを突き抜けた光が、複数のダミーコンタクト181で拡散されて、半導体基板41へ反射する。これにより、反射膜141で反射された光が、半導体基板41の光入射面をさらに突き抜けることを抑制することができる。その結果、オンチップレンズ47側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。

[0169] 図21の第7構成例においても、他のメタル配線67よりも反射率を低くした反射膜141により、オンチップレンズ47側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。また、モスアイ構造部111により、反射膜141で反射された光が、半導体基板41の光入射面をさらに突き抜けることを抑制することができる。

[0170] <第7構成例の変形例>

なお、ダミーコンタクト181の平面形状やサイズ、反射膜141の平面上に配置される個数などは、特に限定されず、任意に決定することができる。ダミーコンタクト181のサイズおよび形状は、転送トランジスタTRG1またはTRG2のゲートに接続されるゲートコンタクト66のサイズおよび形状と

同じでもよいし、異なってもよい。

[0171] 例えば、図22に示されるように、ダミーコンタクト181は、ゲートコンタクト66よりも大きい平面サイズで形成し、反射膜141と接続されずに、層間絶縁膜62を挟んで、反射膜141よりも少し上方（フォトダイオードPD側）に形成してもよい。

[0172] <15. 画素の第8構成例に係る断面図>

図23は、画素10の第8構成例を示す断面図である。

[0173] 図23において、上述した第1構成例ないし第7構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0174] 上述した第1構成例ないし第7構成例およびその変形例では、多層配線層42からの回り込みによる入射光の隣接画素への漏れ込みを防止する各種の構成と、オンチップレンズ47側からの回り込みによる入射光の隣接画素への漏れ込みを防止する各種の構成とについて説明した。これらの各種の構成を適宜組み合わせて、多層配線層42からの回り込みと、オンチップレンズ47側からの回り込みによる入射光の隣接画素への漏れ込みを防止した構成を採用することができる。

[0175] 例えば、図23に示される第8構成例としての画素10は、図2に示した第1構成例と、図13に示した第3構成例の両方の特徴的構成を有している。

[0176] すなわち、図23の画素10は、フォトダイオードPDの形成領域の下方の第1金属膜M1の層に、第1金属膜M1の他のメタル配線67の材料よりも反射率の低い材料で形成された反射膜141を有する。

[0177] また、図23の画素10は、多層配線層42の画素境界部44に、反射膜141で反射された入射光が、隣の画素10のフォトダイオードPDへ入射されることを防止する画素間遮光部65を有する。

[0178] 図23の第8構成例のその他の構成は、例えば、図2に示した第1構成例と同一である。

[0179] 以上の構成を有する図23の画素10によれば、多層配線層42の画素境

界部 4 4 に配置された画素間遮光部 6 5 により、多層配線層 4 2 からの回り込みによる入射光の隣接画素への漏れ込みを防止する。

[0180] また、多層配線層 4 2 のフォトダイオード PD の形成領域の下方に配置された反射膜 1 4 1 により、オンチップレンズ 4 7 側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。

[0181] さらに、例えば、図 2 4 に示される画素 1 0 は、図 2 3 の画素間遮光部 6 5 と反射膜 1 4 1 とに加えて、半導体基板 4 1 の裏面に、モスアイ構造部 1 1 1 をさらに追加した構造を有する。モスアイ構造部 1 1 1 により、さらに、基板界面における反射を抑制することができる。

[0182] その他、図示は省略するが、多層配線層 4 2 からの回り込みによる入射光の隣接画素への漏れ込みを防止する各種の構成（上述した第 1 構成例ないし第 2 構成例）と、オンチップレンズ 4 7 側からの回り込みによる入射光の隣接画素への漏れ込みを防止する各種の構成（上述した第 3 構成例ないし第 7 構成例）を適宜組み合わせ、多層配線層 4 2 からの回り込みによる入射光の隣接画素への漏れ込み防止と、オンチップレンズ 4 7 側からの回り込みによる入射光の隣接画素への漏れ込み防止を、同時に達成することができる。

[0183] < 1 6. 画素の第 9 構成例に係る断面図 >

図 2 5 は、画素 1 0 の第 9 構成例を示す断面図である。

[0184] 図 2 5 において、上述した第 1 構成例ないし第 8 構成例と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0185] 上述した第 1 構成例ないし第 8 構成例では、受光素子 1 が 1 枚の半導体基板、即ち半導体基板 4 1 のみを用いて構成されていたが、図 2 5 の第 9 構成例では、半導体基板 4 1 と半導体基板 3 0 1 の 2 枚の半導体基板を用いて構成されている。

[0186] 図 2 5 の第 9 構成例に係る画素 1 0 は、1 枚の半導体基板 4 1 を用いた図 2 3 の第 8 構成例を、2 枚の半導体基板 4 1 と半導体基板 3 0 1 を用いた構成に変更した構成とされている。以下では、理解を容易にするため、半導体基板 4 1 と半導体基板 3 0 1 を、それぞれ、第 1 基板 4 1 と第 2 基板 3 0 1

とも称して説明する。

[0187] 図25の第9構成例において、第1基板41の光入射面側に、画素間遮光膜45、平坦化膜46、および、オンチップレンズ47が形成されている点は、図2の第1構成例と同様である。第1基板41の裏面側の画素境界部44には、画素間分離部61が形成されている点も、図2の第1構成例と同様である。

[0188] また、第1基板41に、光電変換部であるフォトダイオードPDが画素単位に形成されている点、第1基板41のおもて面側に、2つの転送トランジスタTRG1およびTRG2や、電荷蓄積部としての浮遊拡散領域FD1およびFD2が形成されている点も同様である。

[0189] 一方、図2の第1構成例と異なる点として、第1基板41の表面側である配線層311の絶縁層313が、第2基板301の絶縁層312と貼り合わされている。

[0190] 第1基板41の配線層311には、少なくとも1層の金属膜Mを含み、その金属膜Mを用いて、フォトダイオードPDの形成領域の下方に位置する領域に、反射膜141が形成されている。また、配線層311の画素境界部44に、画素間遮光部65が形成されている。

[0191] 第2基板301の貼り合わせ面側である絶縁層312側と反対側の界面には、画素トランジスタTr1、Tr2が形成されている。画素トランジスタTr1、Tr2は、例えば、増幅トランジスタAMP、選択トランジスタSELである。

[0192] すなわち、1枚の半導体基板41（第1基板41）のみを用いて構成される第1構成例ないし第8構成例では、転送トランジスタTRG、切替トランジスタFDG、増幅トランジスタAMP、及び、選択トランジスタSELの全ての画素トランジスタが、半導体基板41に形成されていたが、2枚の半導体基板の積層構造で構成される第9構成例の受光素子1では、転送トランジスタTRG以外の画素トランジスタ、即ち、切替トランジスタFDG、増幅トランジスタAMP、及び、選択トランジスタSELは、第2基板301に形成されている。

[0193] 第2基板301の第1基板41側と反対側には、少なくとも2層の金属膜M

を有する多層配線層 3 2 1 が形成されている。多層配線層 3 2 1 は、第 1 金属膜 M 1 1 と、第 2 金属膜 M 1 2、および、層間絶縁膜 3 3 3 を含む。

[0194] 転送トランジスタ TRG 1 を制御する転送駆動信号 TRG 1 g は、第 2 基板 3 0 1 を貫通する TSV (Through Silicon Via) 3 3 1 - 1 により、第 2 基板 3 0 1 の第 1 金属膜 M 1 1 から、第 1 基板 4 1 の転送トランジスタ TRG 1 のゲート電極に供給される。転送トランジスタ TRG 2 を制御する転送駆動信号 TRG 2 g は、第 2 基板 3 0 1 を貫通する TSV 3 3 1 - 2 により、第 2 基板 3 0 1 の第 1 金属膜 M 1 1 から、第 1 基板 4 1 の転送トランジスタ TRG 2 のゲート電極に供給される。

[0195] 同様に、浮遊拡散領域 FD 1 に蓄積された電荷は、第 2 基板 3 0 1 を貫通する TSV 3 3 2 - 1 により、第 1 基板 4 1 側から第 2 基板 3 0 1 の第 1 金属膜 M 1 1 へ伝送される。浮遊拡散領域 FD 2 に蓄積された電荷も、第 2 基板 3 0 1 を貫通する TSV 3 3 2 - 2 により、第 1 基板 4 1 側から第 2 基板 3 0 1 の第 1 金属膜 M 1 1 へ伝送される。

[0196] 配線容量 6 4 は、第 1 金属膜 M 1 1 か、または、第 2 金属膜 M 1 2 の不図示の領域に形成されている。配線容量 6 4 が形成される金属膜 M は、容量形成のため配線密度が高く形成され、転送トランジスタ TRG や切替トランジスタ FDG などのゲート電極に接続される金属膜 M は、誘導電流低減のため、配線密度は低く形成される。画素トランジスタごとに、ゲート電極と接続される配線層 (金属膜 M) が異なるように構成してもよい。

[0197] 以上のように、第 9 構成例に係る画素 1 0 は、第 1 基板 4 1 と第 2 基板 3 0 1 の 2 枚の半導体基板を積層して構成することができ、転送トランジスタ TRG 以外の画素トランジスタが、光電変換部を有する第 1 基板 4 1 とは異なる第 2 基板 3 0 1 に形成される。また、画素 1 0 の駆動を制御する垂直駆動部 2 2 や画素駆動線 2 8、検出信号を伝送する垂直信号線 2 9 など第 2 基板 3 0 1 に形成される。これにより、画素を微細化することができ、BEOL (Back End Of Line) 設計の自由度も高まる。

[0198] 第 9 構成例においても、フォトダイオード PD の形成領域の下方に位置する

配線層 3 1 1 の領域に反射膜 1 4 1 が形成され、配線層 3 1 1 の画素境界部 4 4 に、画素間遮光部 6 5 が形成されている。これにより、多層配線層 4 2 からの回り込みによる入射光の隣接画素への漏れ込み防止と、オンチップレンズ 4 7 側からの回り込みによる入射光の隣接画素への漏れ込み防止を、同時に達成することができる。

[0199] 図 2 5 の第 9 構成例は、図 2 3 の第 8 構成例を、2 枚の半導体基板を積層した積層構造に変更した構成であるが、上述した第 1 構成例ないし第 7 構成例についても同様に、2 枚の半導体基板を積層した積層構造に変更した構成が可能である。

[0200] < 1 7. IR 撮像センサの構成例 >

上述した、画素間遮光部 6 5 と反射膜 1 4 1 の少なくとも一方を有する画素構造は、間接 ToF 方式による測距情報を出力する受光素子に限らず、赤外光を受光し、IR 画像を生成する IR 撮像センサにも適用することができる。

[0201] 図 2 6 は、受光素子 1 が、IR 画像を生成して出力する IR 撮像センサとして構成される場合の画素 1 0 の回路構成を示している。

[0202] 受光素子 1 が ToF センサである場合、フォトダイオード PD で発生した電荷を、2 つの浮遊拡散領域 FD 1 と FD 2 とに振り分けて蓄積するため、画素 1 0 は、転送トランジスタ TRG、浮遊拡散領域 FD、付加容量 FDL、切替トランジスタ FDG、増幅トランジスタ AMP、リセットトランジスタ RST、及び、選択トランジスタ SEL をそれぞれ 2 個ずつ有していた。

[0203] 受光素子 1 が IR 撮像センサである場合には、フォトダイオード PD で発生した電荷を一時保持する電荷蓄積部は、1 つでよいとため、転送トランジスタ TRG、浮遊拡散領域 FD、付加容量 FDL、切替トランジスタ FDG、増幅トランジスタ AMP、リセットトランジスタ RST、及び、選択トランジスタ SEL も、それぞれ 1 個ずつとされる。

[0204] 換言すれば、受光素子 1 が IR 撮像センサである場合には、画素 1 0 は、図 2 6 に示されるように、図 4 に示した回路構成から、転送トランジスタ TRG 2、切替トランジスタ FDG 2、リセットトランジスタ RST 2、増幅トランジスタ A

MP 2、及び、選択トランジスタSEL 2を省略した構成に等しい。浮遊拡散領域FD 2と垂直信号線2 9Bも省略される。

[0205] 図2 7は、受光素子1がIR撮像センサとして構成される場合の画素1 0の断面図である。

[0206] 図2 7は、図2 3に示した第8構成例を、IR撮像センサに適用した場合の断面構成である。

[0207] 受光素子1がIR撮像センサとして構成される場合と、ToFセンサとして構成される場合との違いは、図2 6で説明したように、半導体基板4 1のおもて面側に形成される浮遊拡散領域FD 2と、画素トランジスタの有無である。そのため、半導体基板4 1のおもて面側である多層配線層4 2の構成が図2 3と異なる。具体的には、図2 3と比較すると、図2 7の画素1 0では、浮遊拡散領域FD 2と転送トランジスタTRG 2が省略されている。

[0208] 一方、図2 3と共通する構成として、図2 7の画素1 0には、フォトダイオードPDの形成領域の下方の多層配線層4 2の第1金属膜M 1の層には、反射膜1 4 1が、第1金属膜M 1の他のメタル配線6 7の材料よりも反射率の低い材料を用いて形成されている。また、多層配線層4 2の画素境界部4 4に、画素間遮光部6 5が形成されている。

[0209] 図2 7は、図2 3に示した第8構成例を、IR撮像センサに適用した場合の断面構成であるが、同様に、上述した第1構成例乃至第7構成例についても、半導体基板4 1のおもて面側に形成される浮遊拡散領域FD 2と、それに対応する画素トランジスタを省略することで、IR撮像センサに適用することができる。

[0210] 受光素子1がIR撮像センサとして構成される場合においても、多層配線層4 2の画素境界部4 4に画素間遮光部6 5を備えることにより、多層配線層4 2からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。また、反射膜1 4 1を備えることにより、オンチップレンズ4 7側からの回り込みによる入射光の隣接画素への漏れ込みを防止することができる。

[0211] したがって、受光素子 1 が IR 撮像センサとして構成される場合においても、半導体基板 4 1 内で光電変換される赤外光の量をより多くし、量子効率、つまり赤外光に対する感度を向上させることができる。

[0212] < 1 8. RGBIR 撮像センサの構成例 >

上述した、画素間遮光部 6 5 と反射膜 1 4 1 の少なくとも一方を有する画素構造は、赤外光のみを受光する受光素子に限らず、赤外光と RGB の光を受光する RGBIR 撮像センサにも適用することができる。

[0213] 図 2 8 は、受光素子 1 が、赤外光と RGB の光を受光する RGBIR 撮像センサとして構成される場合の画素配置例を示している。

[0214] 受光素子 1 が RGBIR 撮像センサとして構成される場合、図 2 8 の A に示されるように、 2×2 の 4 画素に、R（赤）の光を受光する R 画素、B（青）の光を受光する B 画素、G（緑）の光を受光する G 画素、および、IR（赤外）の光を受光する IR 画素が、割り当てられる。

[0215] 半導体基板 4 1 内で光電変換されずに半導体基板 4 1 を透過してしまった赤外光を反射させて半導体基板 4 1 内へと再度入射させる反射膜 6 3 または 1 4 1 は、R 画素、B 画素、G 画素、および、IR 画素の全てに配置してもよいし、受光量（受光感度）の調整等を目的として、一部の画素のみに配置してもよい。

[0216] 例えば、図 2 8 の B に示されるように、R 画素、B 画素、G 画素、および、IR 画素のうち、IR 画素と R 画素には、反射膜 6 3 または 1 4 1 を配置し、B 画素と G 画素には、反射膜 6 3 または 1 4 1 を配置しない構成とすることができる。

[0217] < 1 9. 測距モジュールの構成例 >

図 2 9 は、上述した受光素子 1 を用いて測距情報を出力する測距モジュールの構成例を示すブロック図である。

[0218] 測距モジュール 5 0 0 は、発光部 5 1 1、発光制御部 5 1 2、および、受光部 5 1 3 を備える。

[0219] 発光部 5 1 1 は、所定波長の光を発する光源を有し、周期的に明るさが変

動する照射光を発して物体に照射する。例えば、発光部 5 1 1 は、光源として、波長が 7 8 0 nm 乃至 1 0 0 0 nm の範囲の赤外光を発する発光ダイオードを有し、発光制御部 5 1 2 から供給される矩形波の発光制御信号 C L K p に同期して、照射光を発生する。

[0220] なお、発光制御信号 C L K p は、周期信号であれば、矩形波に限定されない。例えば、発光制御信号 C L K p は、サイン波であってもよい。

[0221] 発光制御部 5 1 2 は、発光制御信号 C L K p を発光部 5 1 1 および受光部 5 1 3 に供給し、照射光の照射タイミングを制御する。この発光制御信号 C L K p の周波数は、例えば、2 0 メガヘルツ (M H z) である。なお、発光制御信号 C L K p の周波数は、2 0 メガヘルツに限定されず、5 メガヘルツや 1 0 0 メガヘルツなどであってもよい。

[0222] 受光部 5 1 3 は、物体から反射した反射光を受光し、受光結果に応じて距離情報を画素ごとに算出し、物体（被写体）までの距離に対応するデプス値を画素値として格納したデプス画像を生成して、出力する。

[0223] 受光部 5 1 3 には、上述した第 1 乃至第 8 構成例のいずれかの画素構造を有する受光素子 1 が用いられる。例えば、受光部 5 1 3 としての受光素子 1 は、発光制御信号 C L K p に基づいて、画素アレイ部 2 1 の各画素 1 0 の浮遊拡散領域 F D 1 または F D 2 に振り分けられた電荷に応じた検出信号から、距離情報を画素ごとに算出する。

[0224] 以上のように、間接 ToF 方式により被写体までの距離情報を求めて出力する測距モジュール 5 0 0 の受光部 5 1 3 として、上述した第 1 乃至第 8 構成例のいずれかの画素構造を有する受光素子 1 を組み込むことができる。これにより、測距モジュール 5 0 0 としての測距特性を向上させることができる。

[0225] < 2 0 . 電子機器の構成例 >

なお、受光素子 1 は、上述したように測距モジュールに適用できる他、例えば、測距機能を備えるデジタルスチルカメラやデジタルビデオカメラなどの撮像装置、測距機能を備えたスマートフォンといった各種の電子機器に適用することができる。

- [0226] 図30は、本技術を適用した電子機器としての、スマートフォンの構成例を示すブロック図である。
- [0227] スマートフォン601は、図30に示されるように、測距モジュール602、撮像装置603、ディスプレイ604、スピーカ605、マイクロフォン606、通信モジュール607、センサユニット608、タッチパネル609、および制御ユニット610が、バス611を介して接続されて構成される。また、制御ユニット610では、CPUがプログラムを実行することによって、アプリケーション処理部621およびオペレーションシステム処理部622としての機能を備える。
- [0228] 測距モジュール602には、図29の測距モジュール500が適用される。例えば、測距モジュール602は、スマートフォン601の前面に配置され、スマートフォン601のユーザを対象とした測距を行うことにより、そのユーザの顔や手、指などの表面形状のデプス値を測距結果として出力することができる。
- [0229] 撮像装置603は、スマートフォン601の前面に配置され、スマートフォン601のユーザを被写体とした撮像を行うことにより、そのユーザが写された画像を取得する。なお、図示しないが、スマートフォン601の背面にも撮像装置603が配置された構成としてもよい。
- [0230] ディスプレイ604は、アプリケーション処理部621およびオペレーションシステム処理部622による処理を行うための操作画面や、撮像装置603が撮像した画像などを表示する。スピーカ605およびマイクロフォン606は、例えば、スマートフォン601により通話を行う際に、相手側の音声の出力、および、ユーザの音声の収音を行う。
- [0231] 通信モジュール607は、インターネット、公衆電話回線網、所謂4G回線や5G回線等の無線移動体用の広域通信網、WAN (Wide Area Network)、LAN (Local Area Network) 等の通信網を介したネットワーク通信、Bluetooth (登録商標)、NFC (Near Field Communication) 等の近距離無線通信などを行う。センサユニット608は、速度や加速度、近接などをセンシングし、タッ

チパネル609は、ディスプレイ604に表示されている操作画面に対するユーザによるタッチ操作を取得する。

[0232] アプリケーション処理部621は、スマートフォン601によって様々なサービスを提供するための処理を行う。例えば、アプリケーション処理部621は、測距モジュール602から供給されるデプス値に基づいて、ユーザの表情をバーチャルに再現したコンピュータグラフィックスによる顔を作成し、ディスプレイ604に表示する処理を行うことができる。また、アプリケーション処理部621は、測距モジュール602から供給されるデプス値に基づいて、例えば、任意の立体的な物体の三次元形状データを作成する処理を行うことができる。

[0233] オペレーションシステム処理部622は、スマートフォン601の基本的な機能および動作を実現するための処理を行う。例えば、オペレーションシステム処理部622は、測距モジュール602から供給されるデプス値に基づいて、ユーザの顔を認証し、スマートフォン601のロックを解除する処理を行うことができる。また、オペレーションシステム処理部622は、測距モジュール602から供給されるデプス値に基づいて、例えば、ユーザのジェスチャを認識する処理を行い、そのジェスチャに従った各種の操作を入力する処理を行うことができる。

[0234] このように構成されているスマートフォン601では、測距モジュール602として、上述した測距モジュール500を適用することで、例えば、所定の物体までの距離を測定して表示したり、所定の物体の三次元形状データを作成して表示する処理などを行うことができる。

[0235] <21. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0236] 図31は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0237] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図31に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0238] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0239] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0240] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030

は、撮像部 1 2 0 3 1 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 1 2 0 3 0 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0241] 撮像部 1 2 0 3 1 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 1 2 0 3 1 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 1 2 0 3 1 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0242] 車内情報検出ユニット 1 2 0 4 0 は、車内の情報を検出する。車内情報検出ユニット 1 2 0 4 0 には、例えば、運転者の状態を検出する運転者状態検出部 1 2 0 4 1 が接続される。運転者状態検出部 1 2 0 4 1 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 1 2 0 4 0 は、運転者状態検出部 1 2 0 4 1 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0243] マイクロコンピュータ 1 2 0 5 1 は、車外情報検出ユニット 1 2 0 3 0 又は車内情報検出ユニット 1 2 0 4 0 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 1 2 0 1 0 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (A d v a n c e d D r i v e r A s s i s t a n c e S y s t e m) の機能実現を目的とした協調制御を行うことができる。

[0244] また、マイクロコンピュータ 1 2 0 5 1 は、車外情報検出ユニット 1 2 0 3 0 又は車内情報検出ユニット 1 2 0 4 0 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御すること

により、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0245] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0246] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 31 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0247] 図 32 は、撮像部 12031 の設置位置の例を示す図である。

[0248] 図 32 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0249] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検

出に用いられる。

[0250] なお、図32には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0251] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0252] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0253] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュー

タ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0254] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

[0255] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、車外情報検出ユニット 1 2 0 3 0 や撮像部 1 2 0 3 1 に適用され得る。具体的には、受光素子 1 または測距モジュール 5 0 0 を、車外情報検出ユニット 1 2 0 3 0 や撮像部 1 2 0 3 1 の距離検出処理ブロックに適用することができる。車外情報検出ユニット 1 2 0 3 0 や撮像部 1 2 0 3 1 に、本開示に係る技術を適用することにより、人、車、障害物、標識又は路面上の文字等の物体までの距離を高精度に測定することができ、得られた距離情報を用いて、ドライバの疲

労を軽減したり、ドライバや車両の安全度を高めることが可能になる。

[0256] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0257] また、上述した受光素子 1 においては、信号キャリアとして電子を用いる例について説明したが、光電変換で発生した正孔を信号キャリアとして用いるようにしてもよい。

[0258] 例えば、上述した受光素子 1 の画素 10 においては、各構成例の全てまたは一部を任意に組み合わせた構成を採用することができる。

[0259] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0260] なお、本技術は、以下の構成を取ることができる。

(1)

赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、

前記フォトダイオードで生成された電荷を読み出す転送トランジスタが形成されている配線層と

を備え、

前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている

受光素子。

(2)

前記配線層は、1 以上の金属膜を有し、

前記画素間遮光部は、前記半導体層に最も近い前記金属膜よりも前記半導体層側に形成されている

前記 (1) に記載の受光素子。

(3)

前記画素間遮光部は、前記転送トランジスタのゲートと、前記半導体層に最も近い前記金属膜と、を接続するゲートコンタクトと同じ層位置に形成さ

れている

前記（２）に記載の受光素子。

（４）

前記画素間遮光部は、前記ゲートコンタクトと同時に形成される

前記（３）に記載の受光素子。

（５）

前記配線層は、平面視において前記フォトダイオードと少なくとも一部が重なるように配置された反射膜を有し、

前記画素間遮光部は、前記反射膜と同じ材料で形成されている

前記（１）乃至（４）のいずれかに記載の受光素子。

（６）

前記配線層は、平面視において前記フォトダイオードと少なくとも一部が重なるように配置された反射膜を有し、

前記画素間遮光部は、前記反射膜と異なる材料で形成されている

前記（１）乃至（４）のいずれかに記載の受光素子。

（７）

前記画素間遮光部は、平面視で、前記画素の境界線上に遮光部材を所定の間隔で配置することにより構成されている

前記（１）乃至（６）のいずれかに記載の受光素子。

（８）

前記画素間遮光部は、平面視で、前記画素の境界線の方に長い線状の遮光部材を境界線上に所定の間隔で配置することにより構成されている

前記（１）乃至（６）のいずれかに記載の受光素子。

（９）

前記画素間遮光部は、平面視で、前記画素の全周を囲むように遮光部材を前記画素の境界線上に配置することにより構成されている

前記（１）乃至（６）のいずれかに記載の受光素子。

（１０）

前記半導体層の前記配線層が形成された面とは反対側の裏面側に、オンチップレンズが画素単位に形成されている

前記（１）乃至（９）のいずれかに記載の受光素子。

（１１）

前記半導体層の前記裏面側には、モスアイ構造が形成されている

前記（１０）に記載の受光素子。

（１２）

前記半導体層には、第１の転送トランジスタと第２の転送トランジスタの２つの前記転送トランジスタが形成され、

前記第１の転送トランジスタは、前記フォトダイオードで生成された電荷を第１の電荷蓄積部に転送し、

前記第２の転送トランジスタは、前記フォトダイオードで生成された電荷を第２の電荷蓄積部に転送する

前記（１）乃至（１１）のいずれかに記載の受光素子。

（１３）

前記半導体層は、前記画素境界部において、前記半導体層の深さ方向の少なくとも一部まで掘り込まれた画素間分離部をさらに備える

前記（１）乃至（１２）のいずれかに記載の受光素子。

（１４）

所定の発光源と、

受光素子と

を備え、

前記受光素子は、

赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、

前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層と

を備え、

前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている

測距モジュール。

(15)

所定の発光源と、

受光素子と

を備え、

前記受光素子は、

赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、

前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層と

を備え、

前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている

測距モジュール

を備える電子機器。

符号の説明

[0261] 1 受光素子, 10 画素, 21 画素アレイ部, M1 第1金属膜, M2 第2金属膜, M3 第3金属膜, PD フォトダイオード, 41 半導体基板, 42 多層配線層, 44 境界部(画素境界部), 45 画素間遮光膜, 47 オンチップレンズ, 61 画素間分離部, 62 層間絶縁膜, 63 反射膜, 65 画素間遮光部, 66 ゲートコンタクト, 67 メタル配線, 71 画素間分離部, 111 モスアイ構造部, 141 (141P, 141M) 反射膜, 161 モスアイ構造部, 181 ダミーコンタクト, 500 測距モジュール, 511 発光部, 513 受光部, 601 スマートフォン

請求の範囲

- [請求項1] 赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、
前記フォトダイオードで生成された電荷を読み出す転送トランジスタが形成されている配線層と
を備え、
前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている
受光素子。
- [請求項2] 前記配線層は、1以上の金属膜を有し、
前記画素間遮光部は、前記半導体層に最も近い前記金属膜よりも前記半導体層側に形成されている
請求項1に記載の受光素子。
- [請求項3] 前記画素間遮光部は、前記転送トランジスタのゲートと、前記半導体層に最も近い前記金属膜と、を接続するゲートコンタクトと同じ層位置に形成されている
請求項2に記載の受光素子。
- [請求項4] 前記画素間遮光部は、前記ゲートコンタクトと同時に形成される
請求項3に記載の受光素子。
- [請求項5] 前記配線層は、平面視において前記フォトダイオードと少なくとも一部が重なるように配置された反射膜を有し、
前記画素間遮光部は、前記反射膜と同じ材料で形成されている
請求項1に記載の受光素子。
- [請求項6] 前記配線層は、平面視において前記フォトダイオードと少なくとも一部が重なるように配置された反射膜を有し、
前記画素間遮光部は、前記反射膜と異なる材料で形成されている
請求項1に記載の受光素子。
- [請求項7] 前記画素間遮光部は、平面視で、前記画素の境界線上に遮光部材を

所定の間隔で配置することにより構成されている

請求項 1 に記載の受光素子。

[請求項8] 前記画素間遮光部は、平面視で、前記画素の境界線の方に長い線状の遮光部材を境界線上に所定の間隔で配置することにより構成されている

請求項 1 に記載の受光素子。

[請求項9] 前記画素間遮光部は、平面視で、前記画素の全周を囲むように遮光部材を前記画素の境界線上に配置することにより構成されている

請求項 1 に記載の受光素子。

[請求項10] 前記半導体層の前記配線層が形成された面とは反対側の裏面側に、オンチップレンズが画素単位に形成されている

請求項 1 に記載の受光素子。

[請求項11] 前記半導体層の前記裏面側には、モスアイ構造が形成されている

請求項 10 に記載の受光素子。

[請求項12] 前記半導体層には、第 1 の転送トランジスタと第 2 の転送トランジスタの 2 つの前記転送トランジスタが形成され、

前記第 1 の転送トランジスタは、前記フォトダイオードで生成された電荷を第 1 の電荷蓄積部に転送し、

前記第 2 の転送トランジスタは、前記フォトダイオードで生成された電荷を第 2 の電荷蓄積部に転送する

請求項 1 に記載の受光素子。

[請求項13] 前記半導体層は、前記画素境界部において、前記半導体層の深さ方向の少なくとも一部まで掘り込まれた画素間分離部をさらに備える

請求項 1 に記載の受光素子。

[請求項14] 所定の発光源と、

受光素子と

を備え、

前記受光素子は、

赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、

前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層と

を備え、

前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている

測距モジュール。

[請求項15]

所定の発光源と、

受光素子と

を備え、

前記受光素子は、

赤外光を光電変換するフォトダイオードが画素単位に形成されている半導体層と、

前記フォトダイオードで生成され電荷を読み出す転送トランジスタが形成されている配線層と

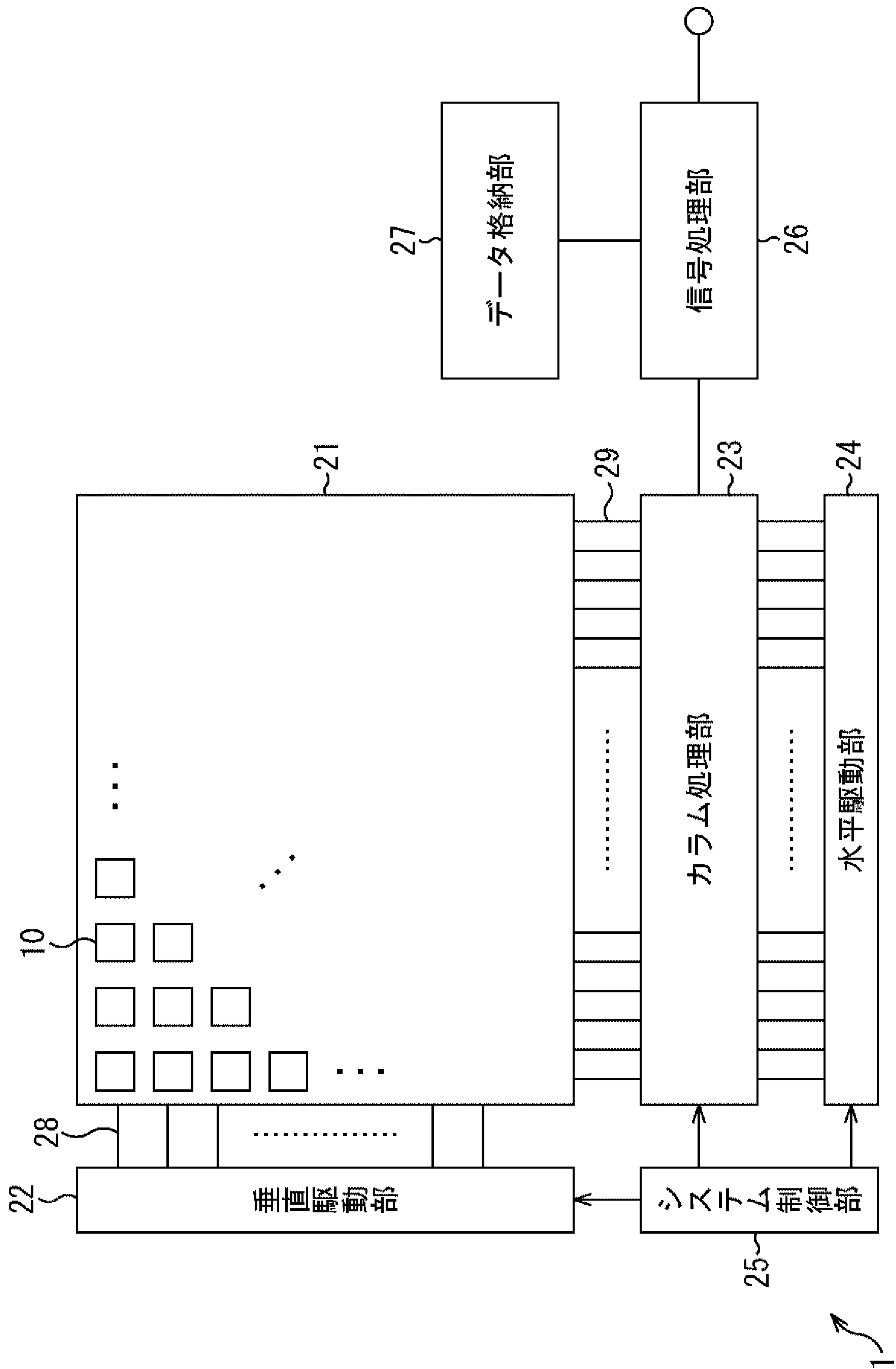
を備え、

前記配線層の画素境界部には、前記赤外光を遮光する画素間遮光部が形成されている

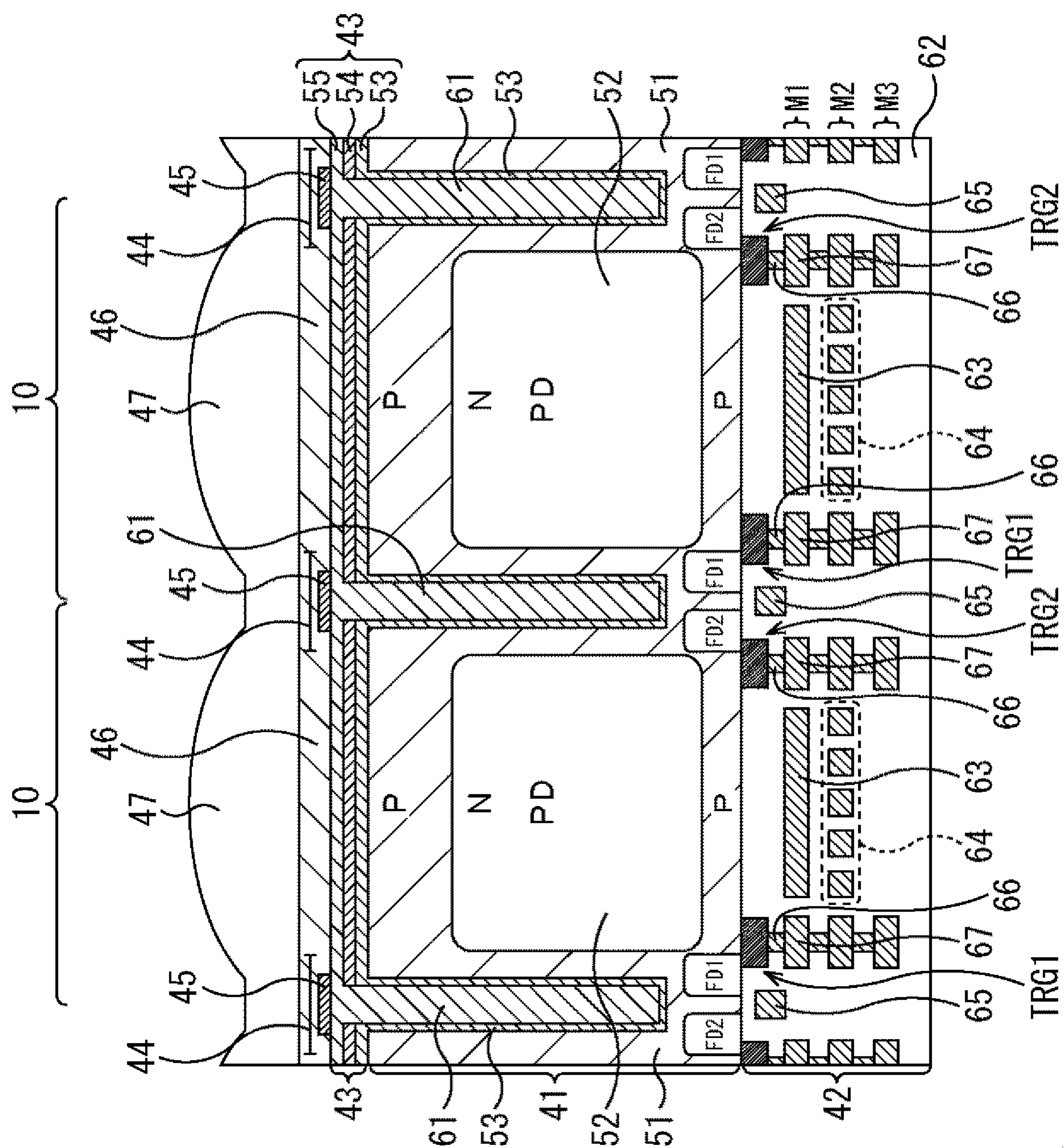
測距モジュール

を備える電子機器。

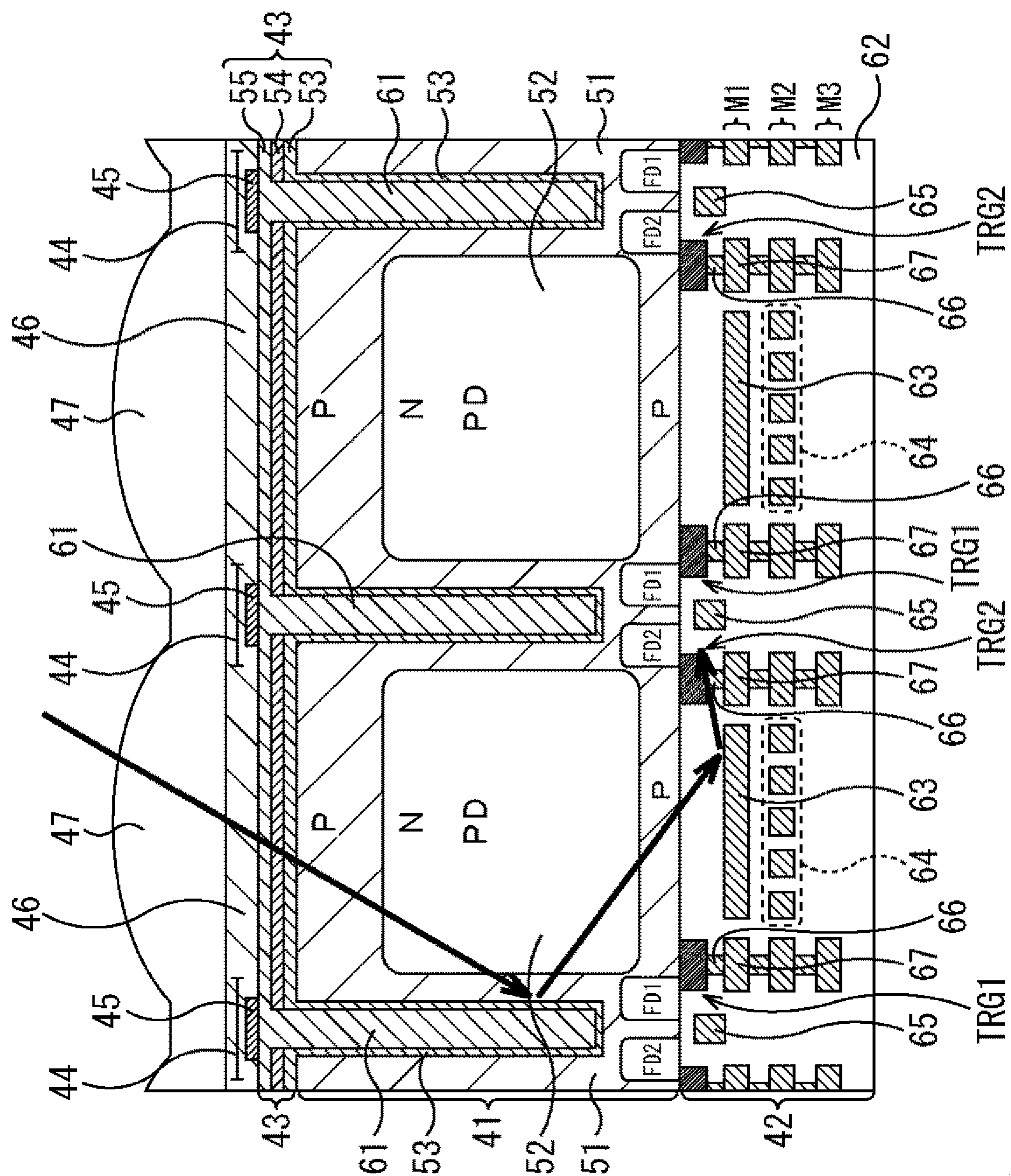
[図1]
FIG. 1



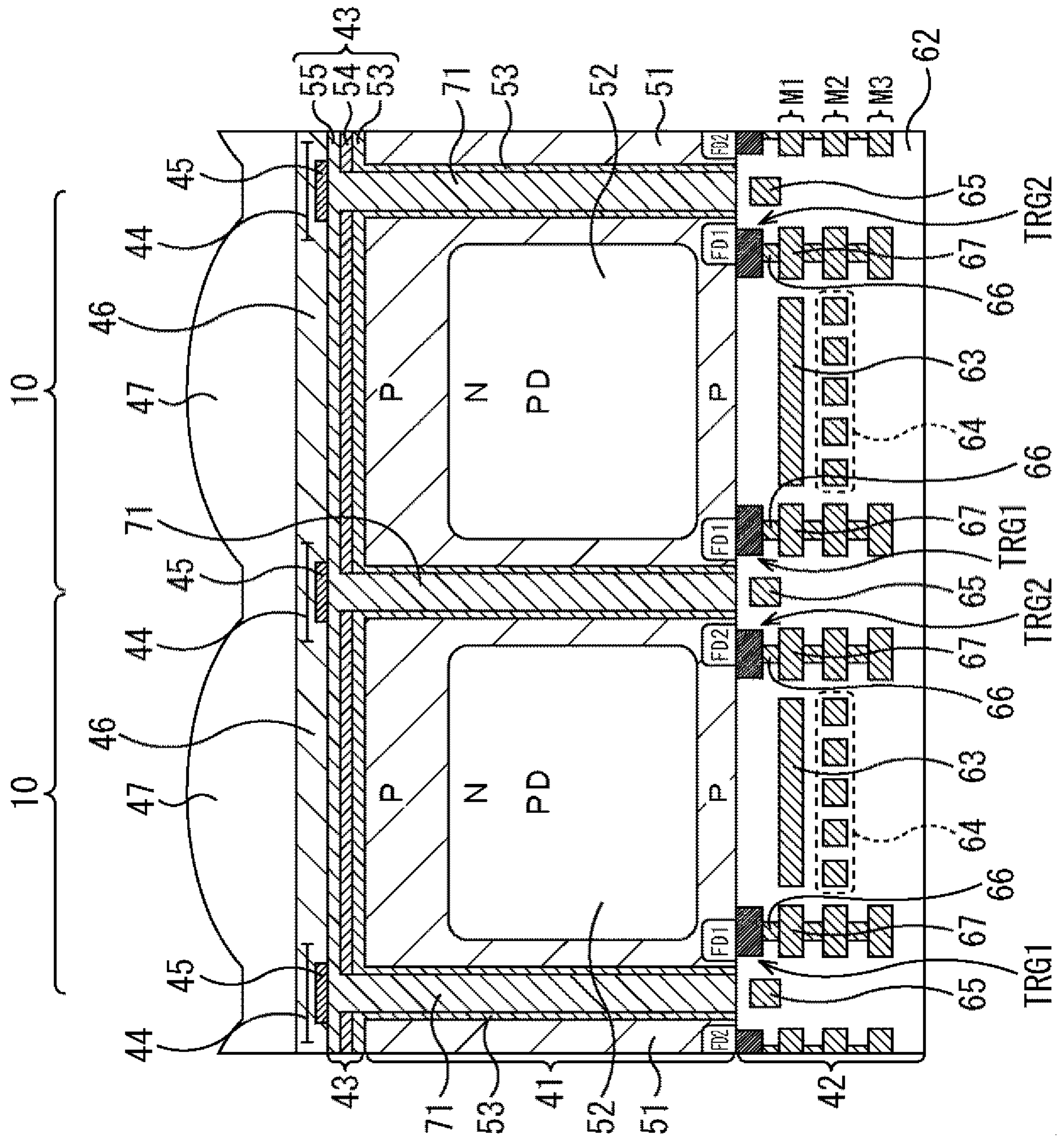
[図2]
FIG. 2



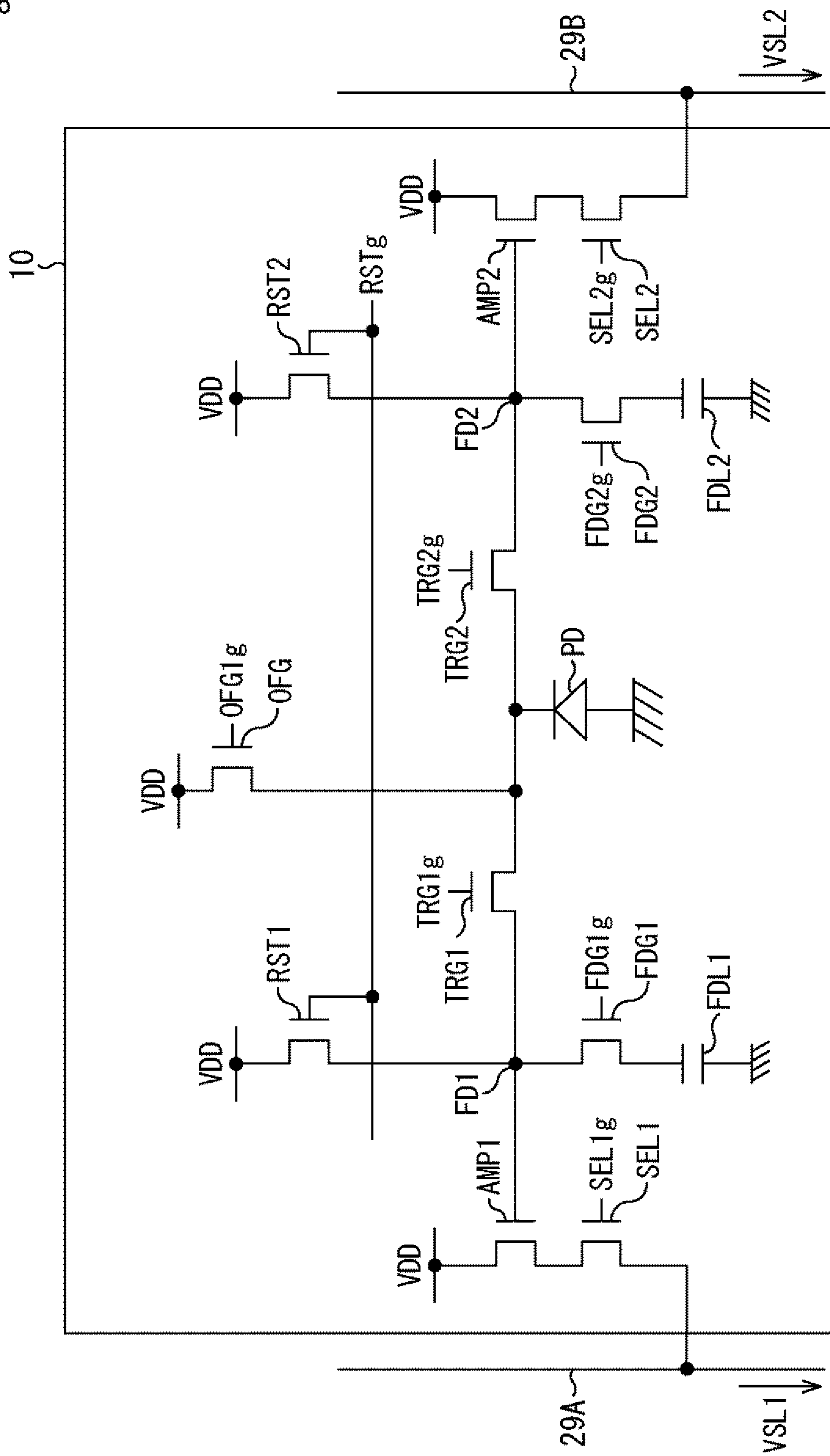
[図3]
FIG. 3



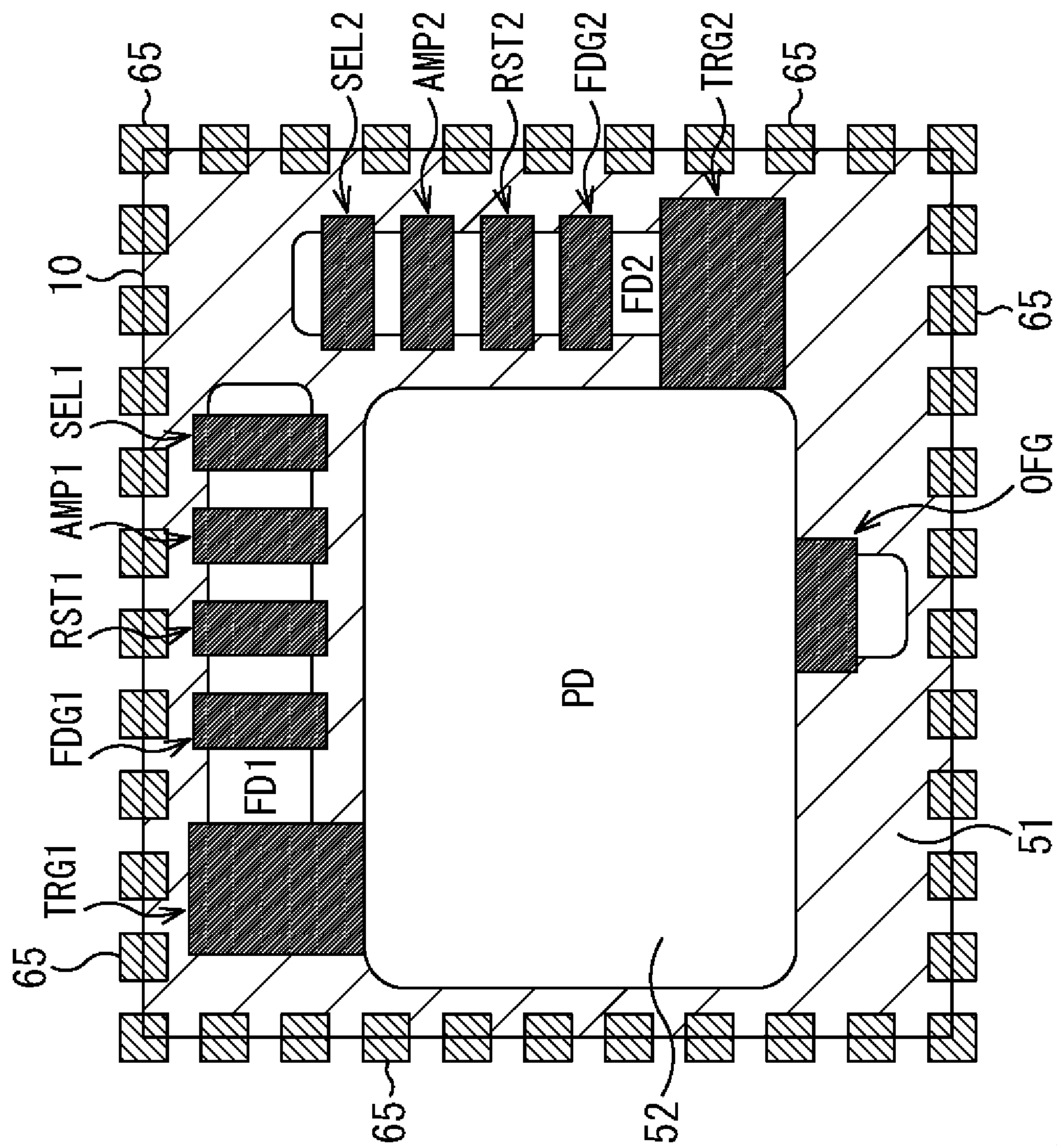
[図4]
FIG. 4



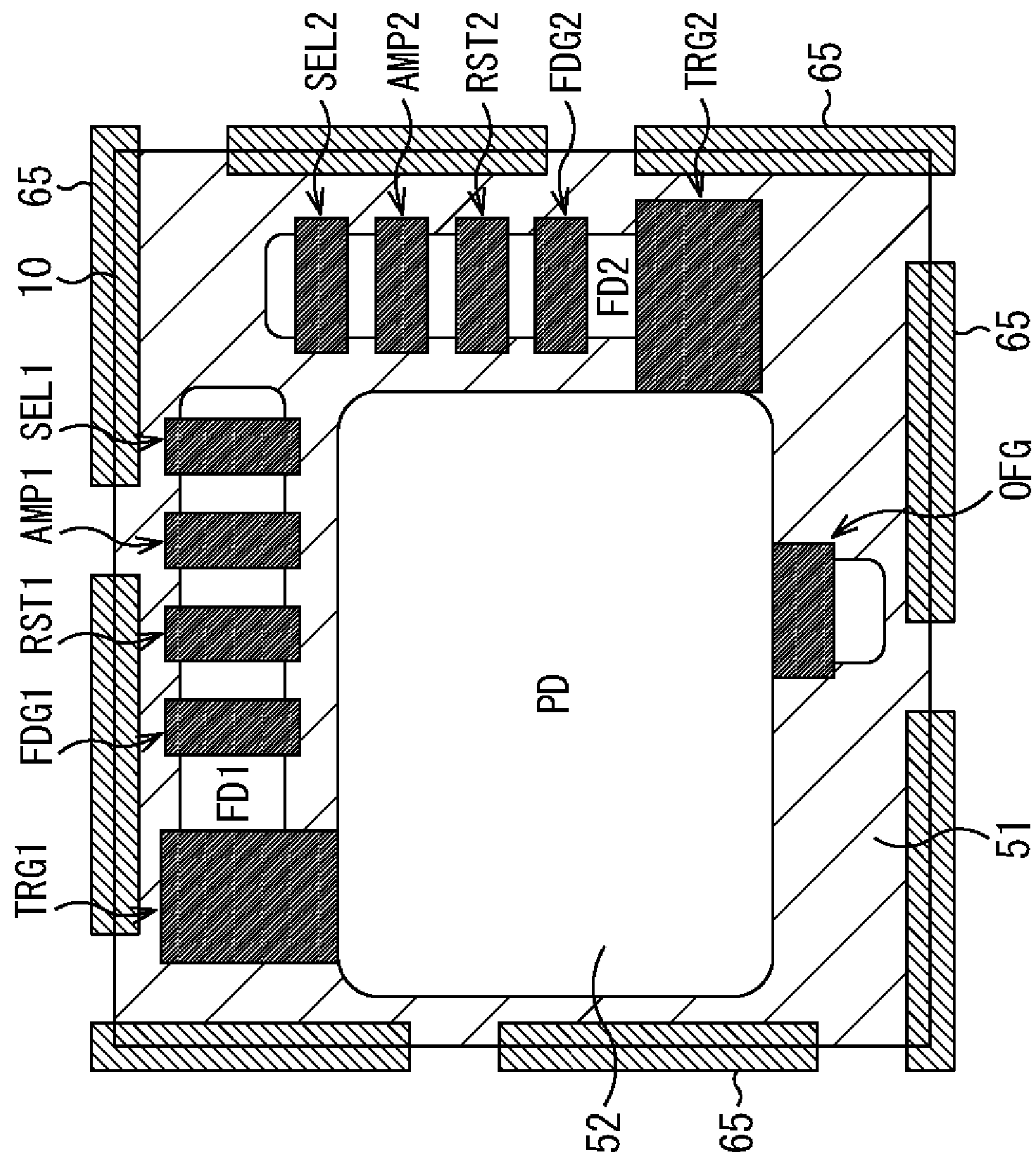
[図5]
FIG.5



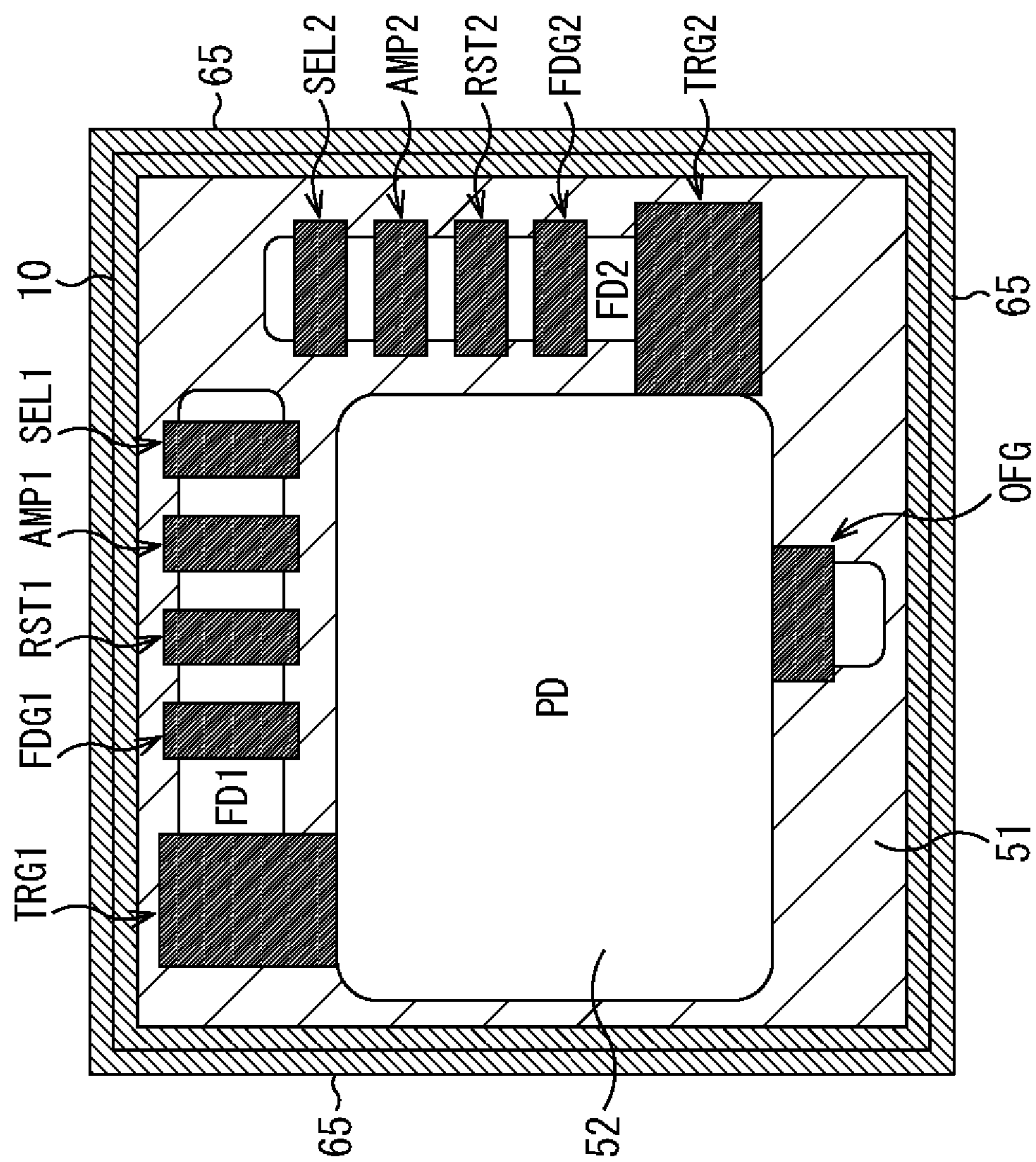
[図6]
FIG. 6



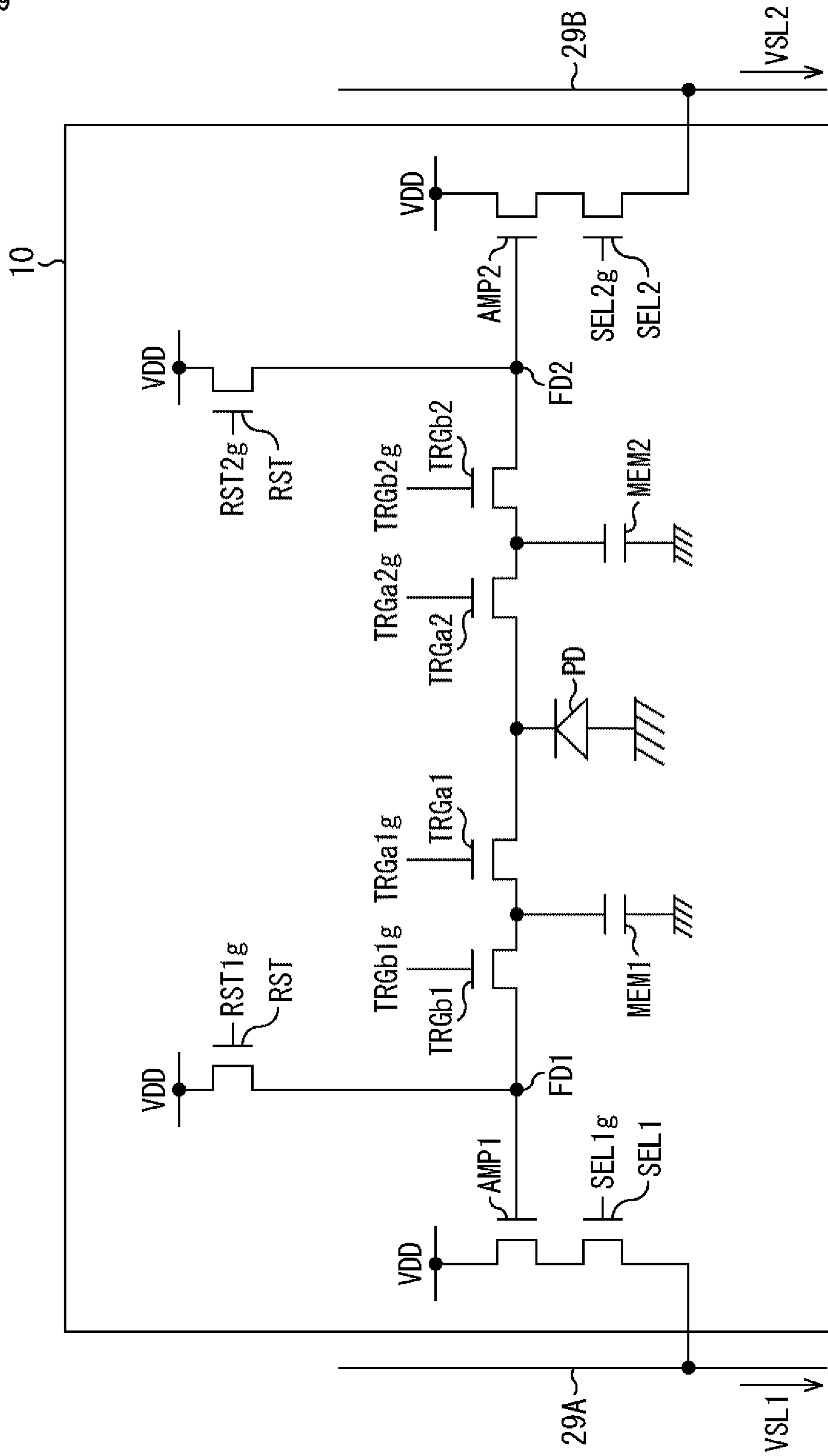
[図7]
FIG. 7



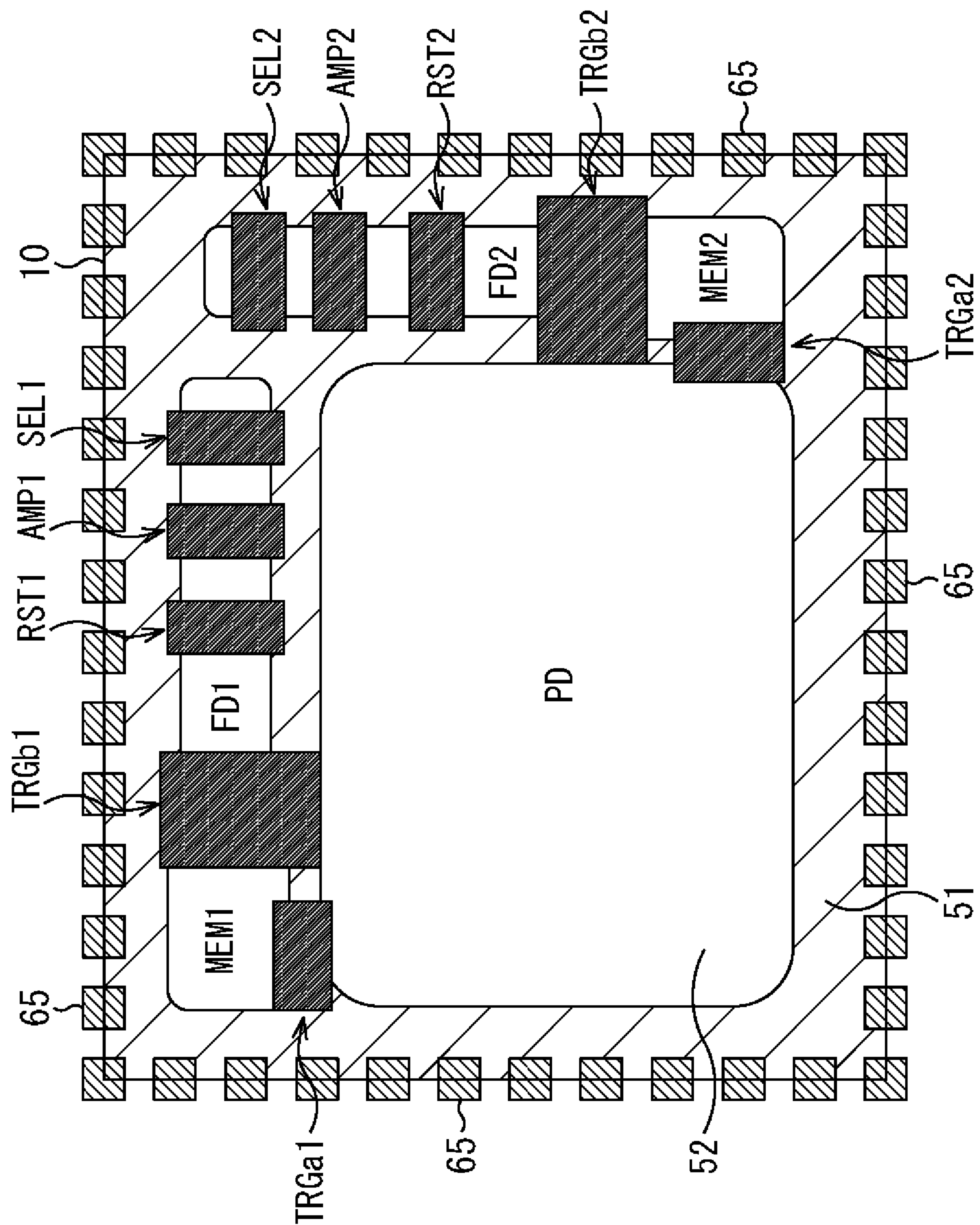
[図8]
FIG. 8



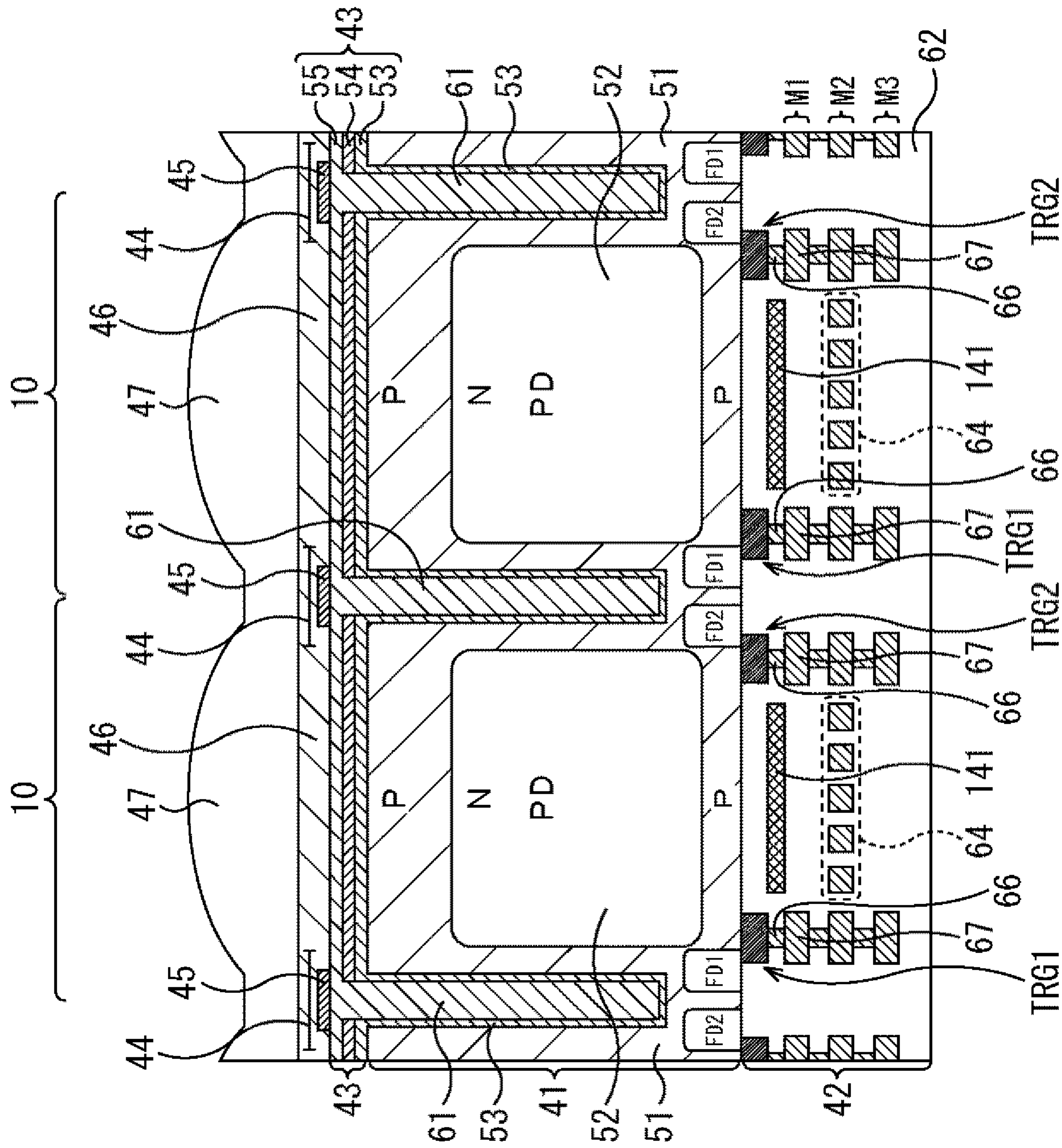
[図9]
FIG.9



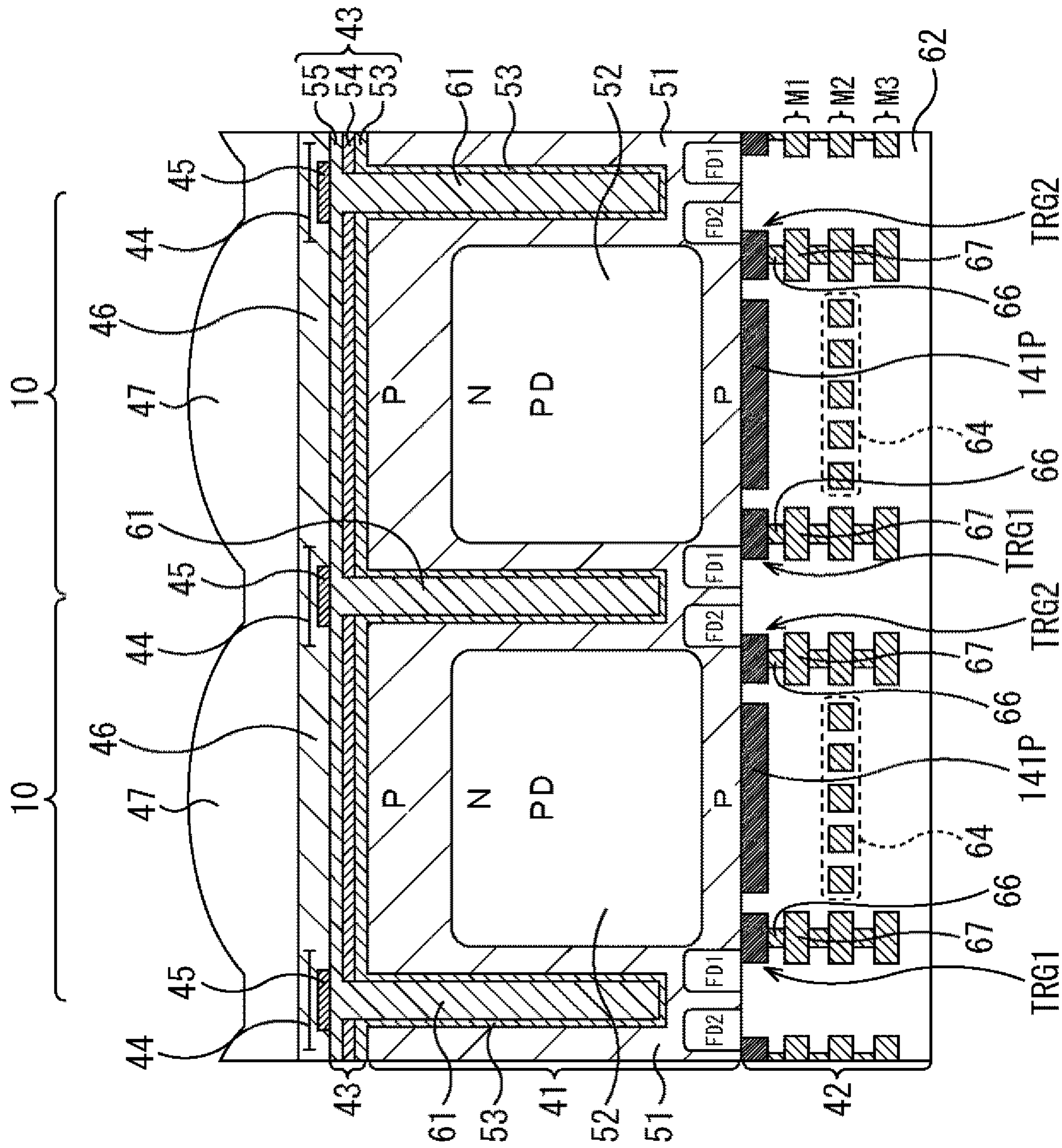
[図10]
FIG. 10



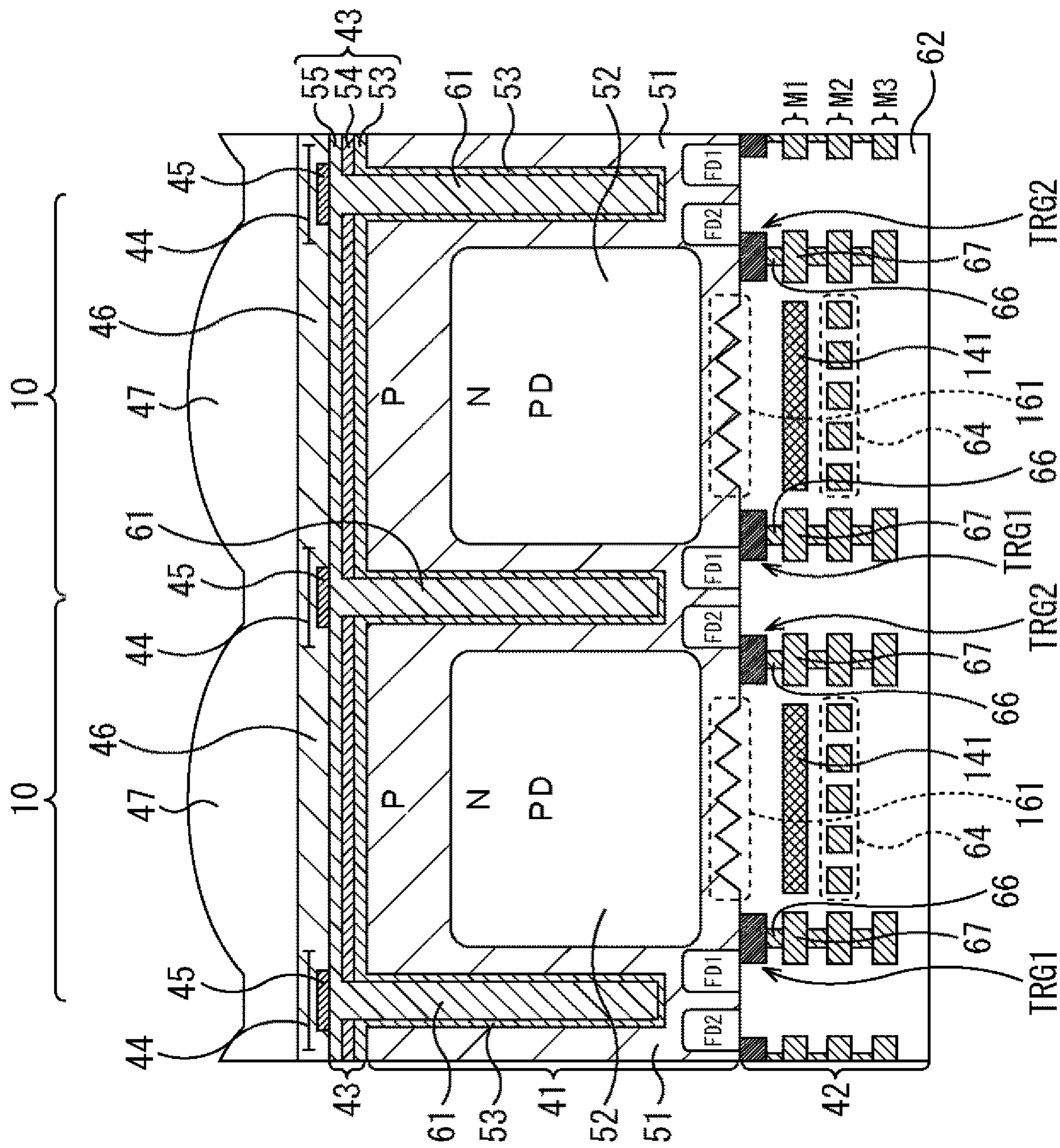
[図15]
FIG. 15



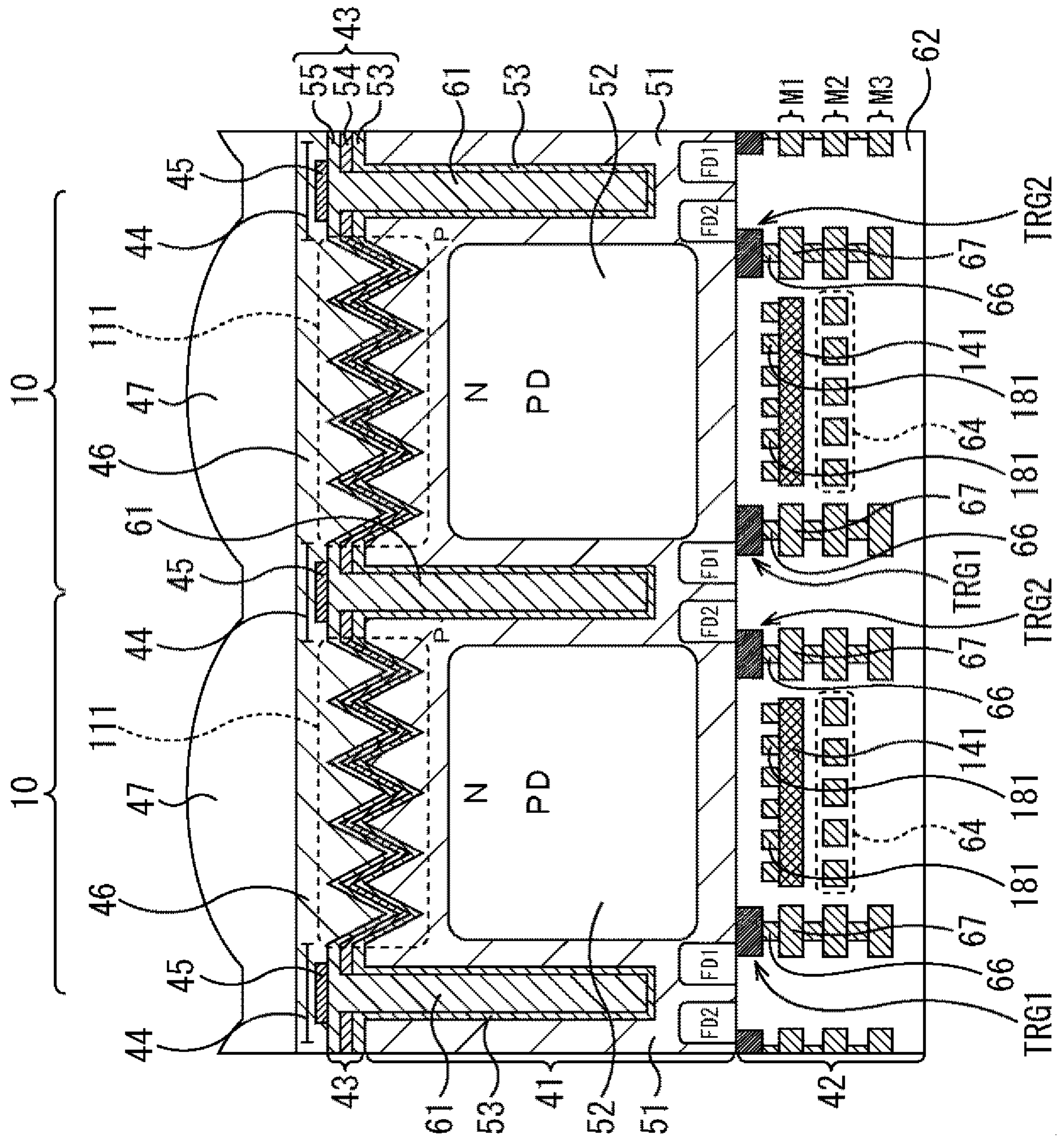
[図17]
FIG. 17



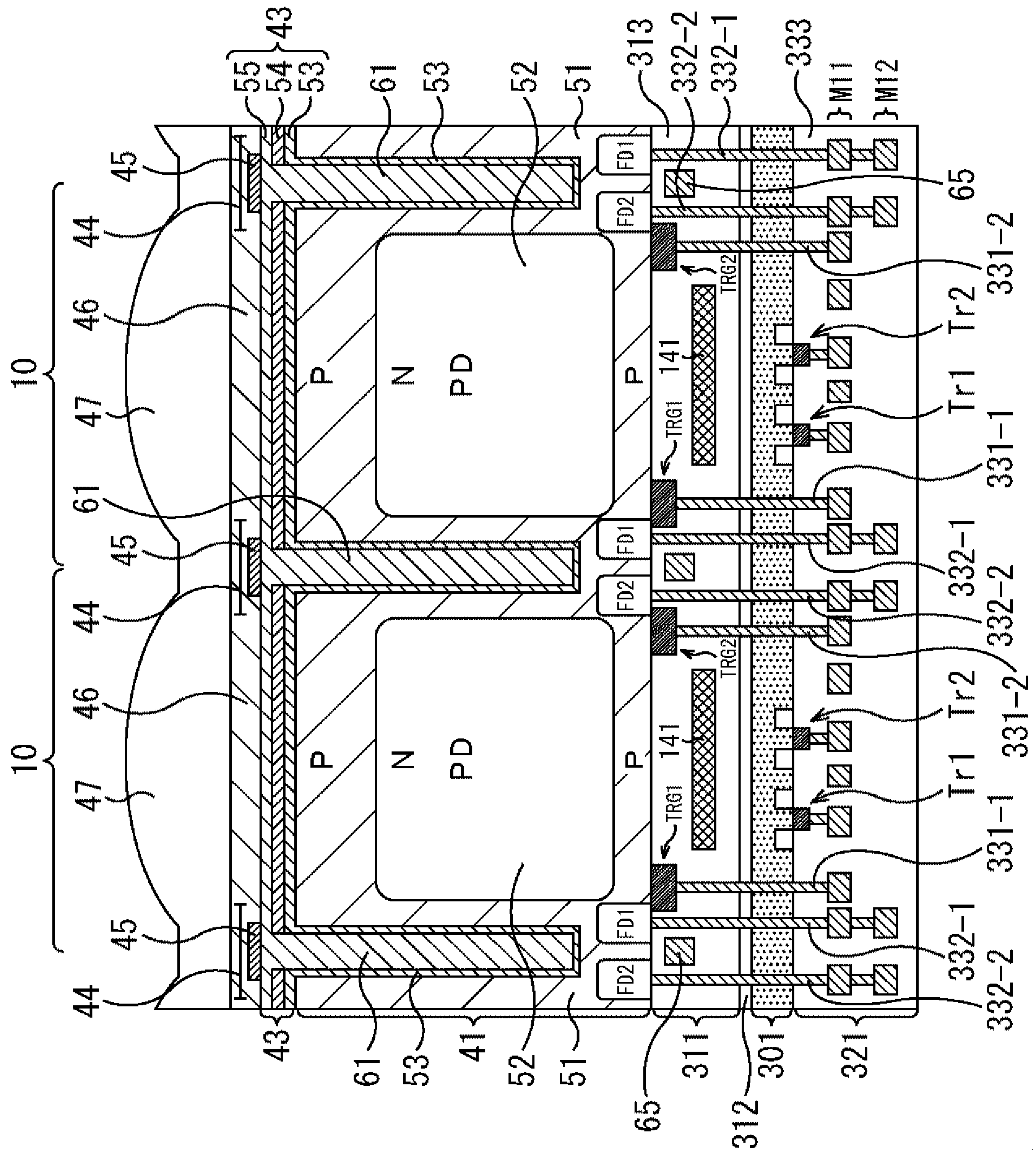
[図18]
FIG. 18



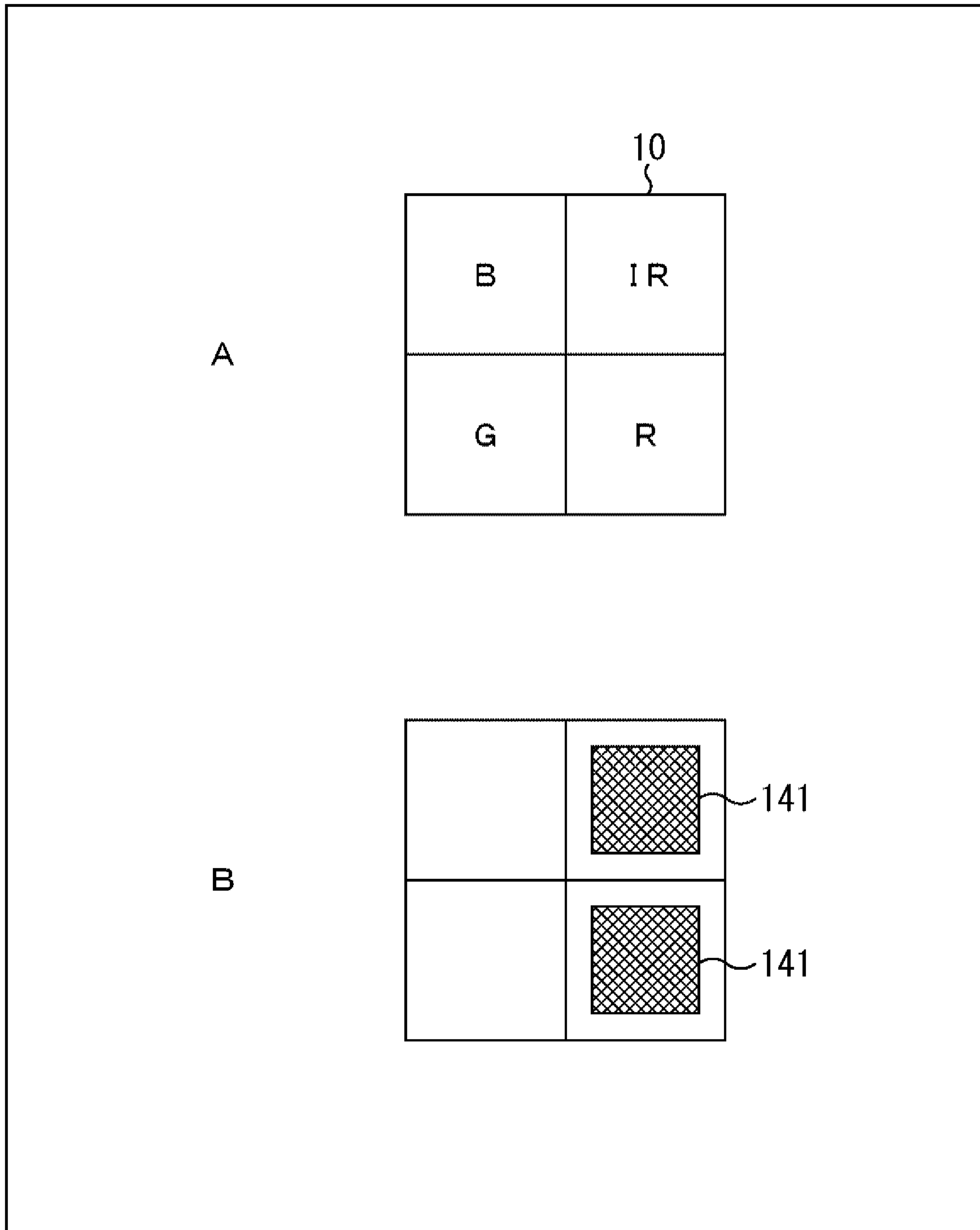
[図21]
FIG. 21



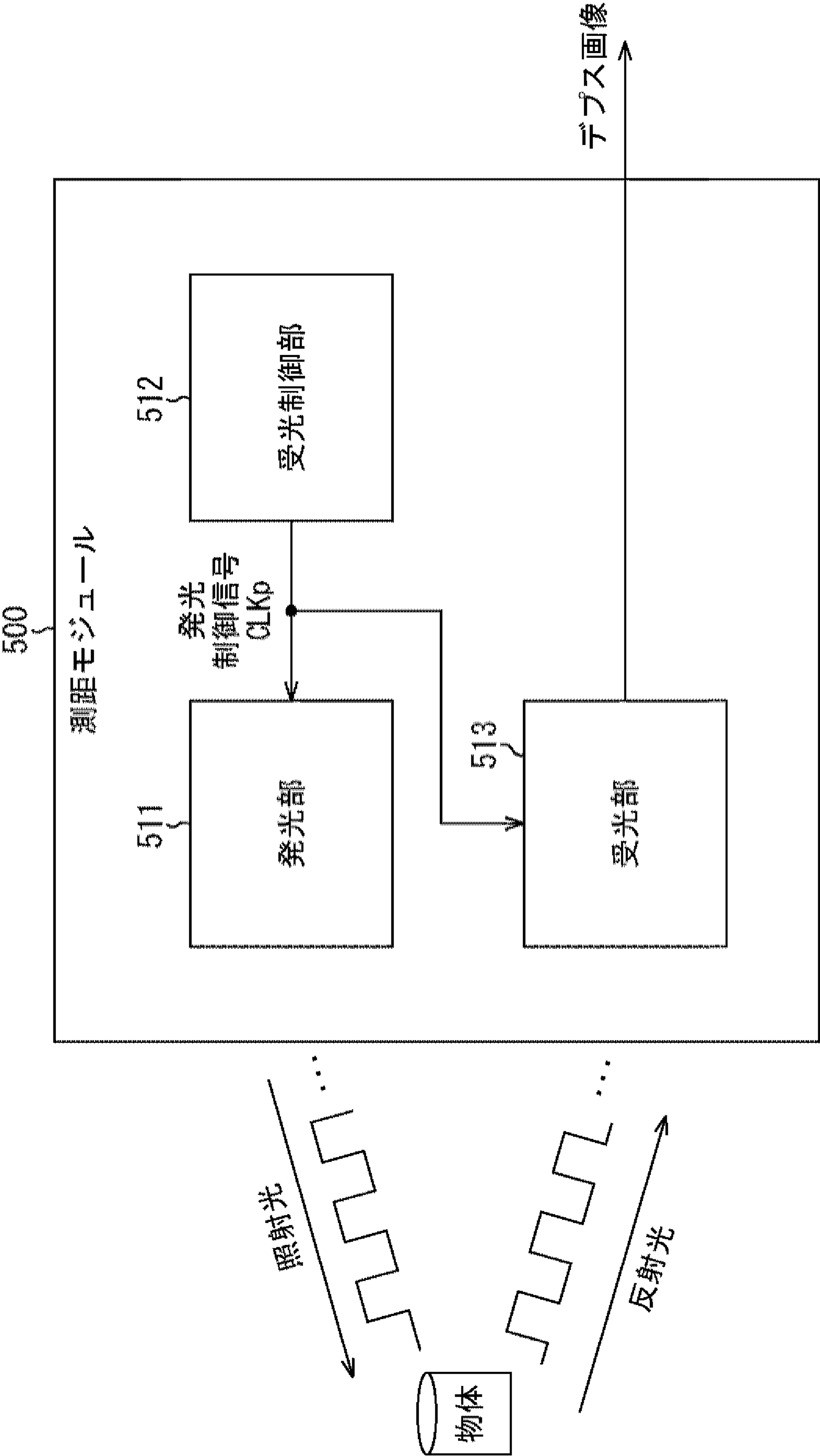
[図25]
FIG. 25



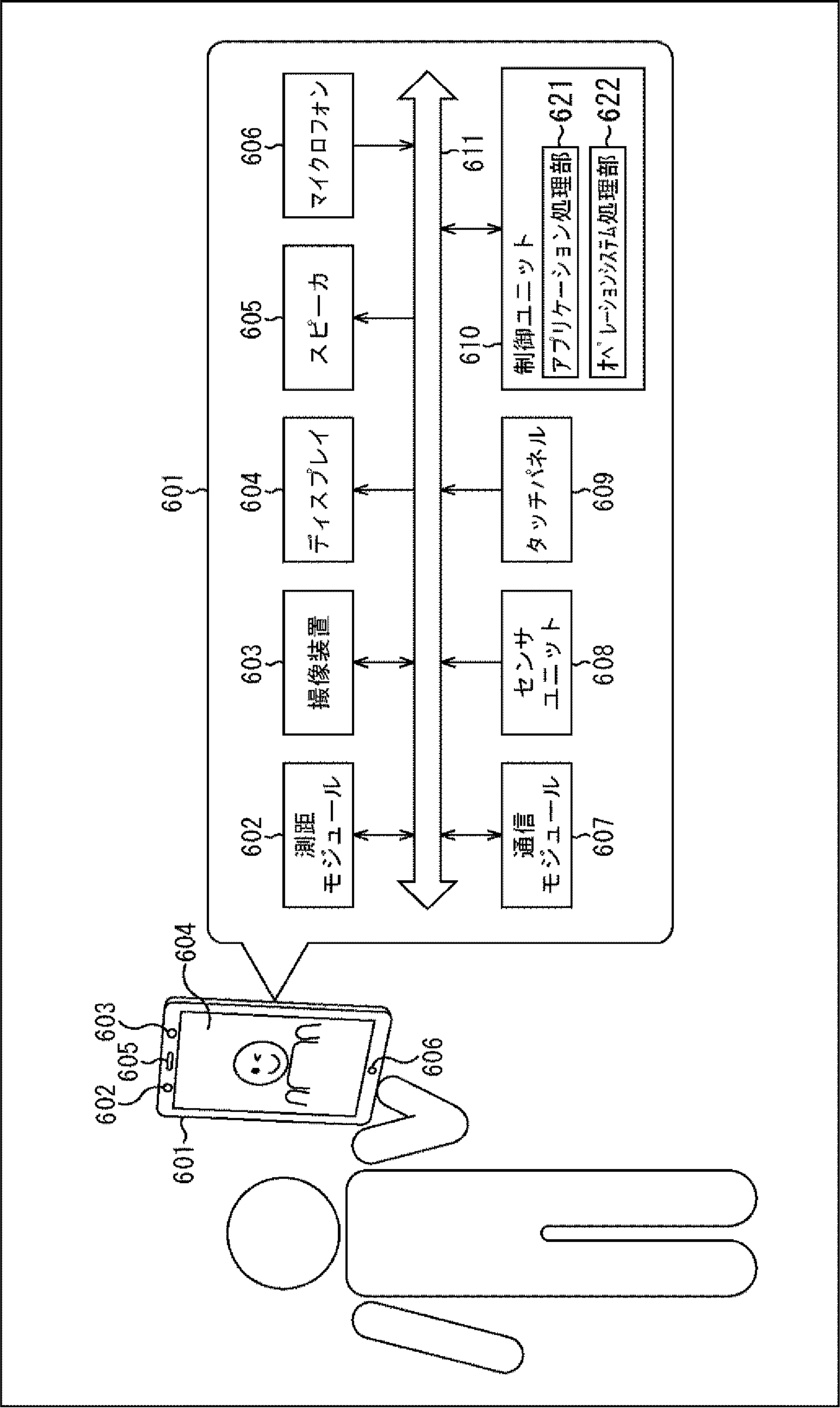
[図28]
FIG. 28



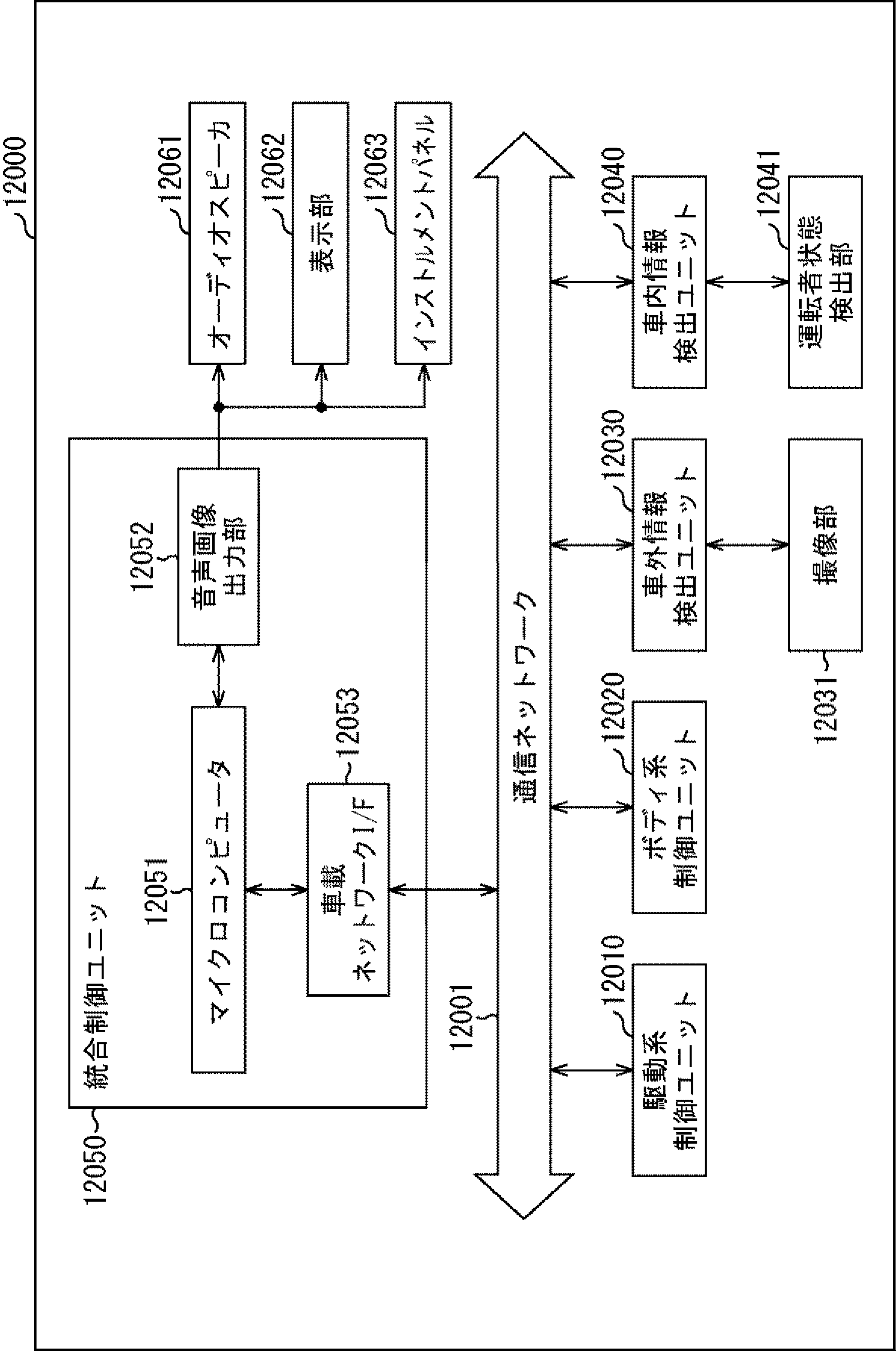
[図29]



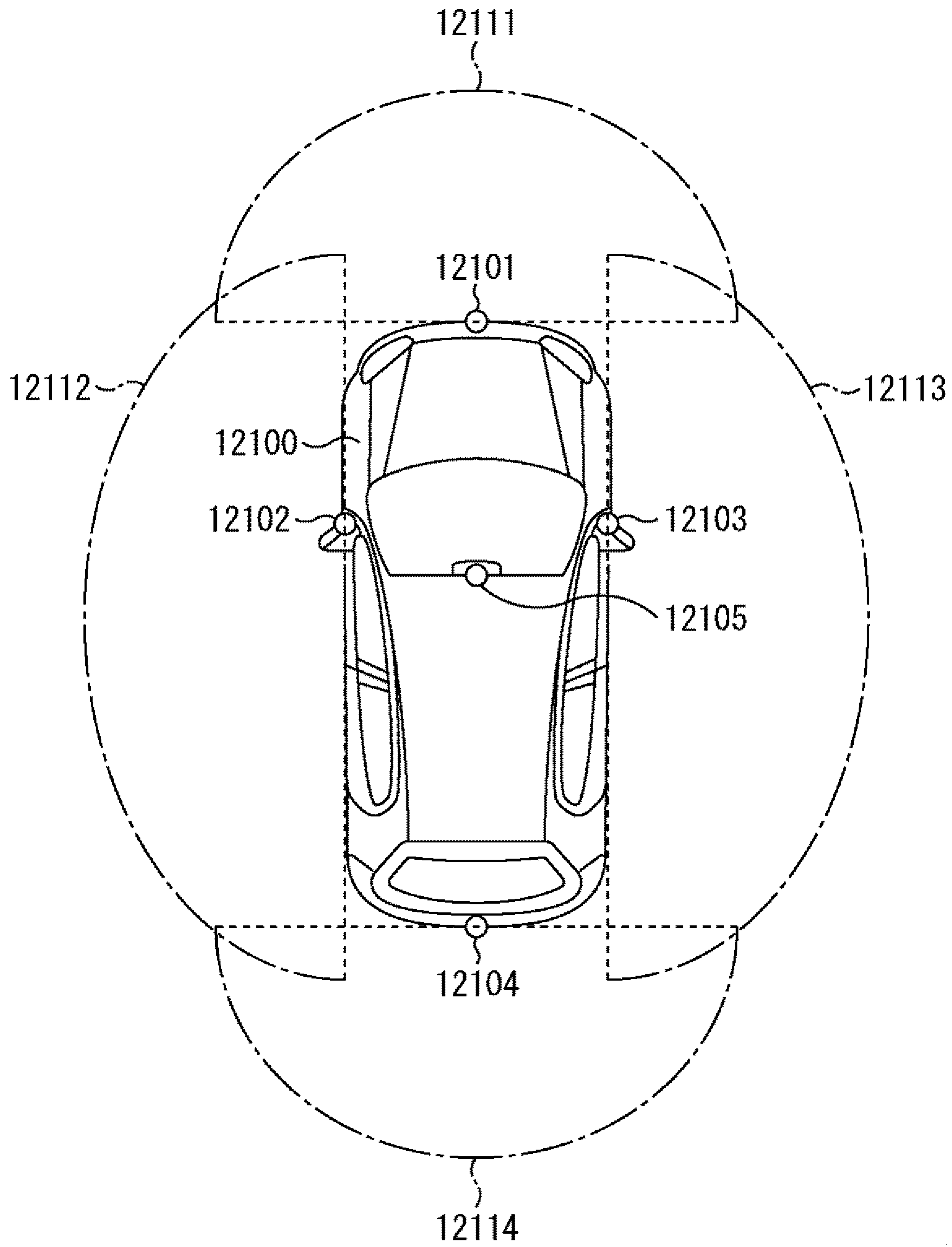
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/039051

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. G01J1/02(2006.01)i, H01L31/10(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i, G01S7/486(2020.01)i, G01S17/89(2020.01)i FI: H01L27/146 D, H01L31/10 A, H01L27/146 A, G01J1/02 Q, G01J1/02 B, G01J1/02 P, G01S7/486, G01S17/89, H04N5/369 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. G01J1/02, H01L31/10, H01L27/146, H04N5/369, G01S7/486, G01S17/89 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-100798 A (CANON INC.) 05 April 2002, paragraphs [0040]-[0062], [0067], fig. 6-9	1-15
Y	WO 2018/173692 A1 (FUJIFILM CORP.) 27 September 2018, paragraphs [0033], [0222], [0226], fig. 2	1-15
Y	WO 2018/079296 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 03 May 2018, paragraphs [0066], [0067], [0084], fig. 5, 10	5, 6, 10, 11
Y	JP 2010-40572 A (SANYO ELECTRIC CO., LTD.) 18 February 2010, paragraph [0025], fig. 10	8, 9
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 30.11.2020		Date of mailing of the international search report 08.12.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/039051

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-35395 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 14 February 2008, paragraphs [0029], [0030], fig. 1	12

Information on patent family members

PCT/JP2020/039051

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2002-100798 A	05.04.2002	US 2002/0024001 A1 paragraphs [0057]- [0080], [0086], fig. 6A-9C	
WO 2018/173692 A1	27.09.2018	US 2019/0359825 A1 paragraphs [0070], [0446], [0450], [0451], fig. 2	
WO 2018/079296 A1	03.05.2018	US 2019/0244992 A1 paragraphs [0144], [0145], [0162], fig. 5, 10	
JP 2010-40572 A	18.02.2010	(Family: none)	
JP 2008-35395 A	14.02.2008	(Family: none)	

国際調査報告		国際出願番号 PCT/JP2020/039051
A. 発明の属する分野の分類（国際特許分類（IPC）） G01J 1/02(2006.01)i; H01L 31/10(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; G01S 7/486(2020.01)i; G01S 17/89(2020.01)i FI: H01L27/146 D; H01L31/10 A; H01L27/146 A; G01J1/02 Q; G01J1/02 B; G01J1/02 P; G01S7/486; G01S17/89; H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01J1/02; H01L31/10; H01L27/146; H04N5/369; G01S7/486; G01S17/89		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-100798 A（キヤノン株式会社）05.04.2002（2002 - 04 - 05） 段落0040-0062, 0067, 図6-図9	1-15
Y	WO 2018/173692 A1（富士フイルム株式会社）27.09.2018（2018 - 09 - 27） 0033, 0222, 0226, 図2	1-15
Y	WO 2018/079296 A1（ソニーセミコンダクタソリューションズ株式会社）03.05.2018 （2018 - 05 - 03） 段落0066, 0067, 0084, 図5, 図10	5, 6, 10, 11
Y	JP 2010-40572 A（三洋電機株式会社）18.02.2010（2010 - 02 - 18） 段落0025, 図10	8, 9
Y	JP 2008-35395 A（松下電器産業株式会社）14.02.2008（2008 - 02 - 14） 段落0029, 0030, 図1	12
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 30.11.2020		国際調査報告の発送日 08.12.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西出 隆二 5F 3356 電話番号 03-3581-1101 内線 3516

引用文献			公表日	パテントファミリー文献	公表日
JP	2002-100798	A	05.04.2002	US 2002/0024001 A1 段落0057-0080, 0086, 図6A- 図9C	
WO	2018/173692	A1	27.09.2018	US 2019/0359825 A1 0070, 0446, 0450, 0451, 図2	
WO	2018/079296	A1	03.05.2018	US 2019/0244992 A1 段落0144, 0145, 0162, 図5, 図 10	
JP	2010-40572	A	18.02.2010	(ファミリーなし)	
JP	2008-35395	A	14.02.2008	(ファミリーなし)	