

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4195380号  
(P4195380)

(45) 発行日 平成20年12月10日(2008.12.10)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int. Cl. F I  
H O 1 L 23/34 (2006.01) H O 1 L 23/34 A

請求項の数 13 (全 15 頁)

(21) 出願番号	特願2003-535253 (P2003-535253)	(73) 特許権者	591074389
(86) (22) 出願日	平成14年10月9日 (2002.10.9)		インターナショナル・レクチファイヤー・
(65) 公表番号	特表2005-506691 (P2005-506691A)		コーポレーション
(43) 公表日	平成17年3月3日 (2005.3.3)		I N T E R N A T I O N A L R E C T I
(86) 国際出願番号	PCT/US2002/032678		F I E R C O R P O R A T I O N
(87) 国際公開番号	W02003/032388		アメリカ合衆国90245カリフォルニア
(87) 国際公開日	平成15年4月17日 (2003.4.17)		州 エル・セグンド、カンザス・ストリー
審査請求日	平成16年6月10日 (2004.6.10)		ト233番
(31) 優先権主張番号	60/328,362	(74) 復代理人	100096552
(32) 優先日	平成13年10月10日 (2001.10.10)		弁理士 加藤 信之
(33) 優先権主張国	米国 (US)	(74) 代理人	100077481
(31) 優先権主張番号	10/267,142		弁理士 谷 義一
(32) 優先日	平成14年10月8日 (2002.10.8)	(74) 代理人	100088915
(33) 優先権主張国	米国 (US)		弁理士 阿部 和夫

最終頁に続く

(54) 【発明の名称】 冷却を改善した半導体デバイスのパッケージ

(57) 【特許請求の範囲】

【請求項1】

半導体デバイスであって、

第1の表面上に配設された第1の電極と第2の表面上に配設された第2の電極とを有する半導体ダイと、

少なくとも部分的に金属めっきされた表面を有するクリップとを具備、該クリップは、

第1の表面と該第1の表面に対向する第2の表面とを有する電気伝導性のウェブ部と、

前記電気伝導性のウェブ部の前記第1の表面の端部から延在した少なくとも1つの電気伝導性のポストと、

前記電気伝導性のウェブ部の前記第2の表面の全面に渡ってかつ該第2の表面から延伸する複数の熱伝導性構造体とを有し、

前記半導体ダイの前記第1の電極は、前記ウェブ部の第1の表面上に電氣的に接続されて配設され、

前記複数の熱伝導性構造体と前記少なくとも1つの電気伝導性のポストとは、前記電気伝導性のウェブ部と一体化され、該一体化された本体を形成することを特徴とする半導体デバイス。

【請求項2】

前記電気伝導性のウェブ部は、電気伝導性接着剤によって前記半導体ダイの第1の電極

10

20

に電氣的に接続されていることを特徴とする請求項 1 記載の半導体デバイス。

【請求項 3】

前記電気伝導性接着剤は、はんだを含むことを特徴とする請求項 2 記載の半導体デバイス。

【請求項 4】

前記電気伝導性接着剤は、電気伝導性エポキシを含むことを特徴とする請求項 2 記載の半導体デバイス。

【請求項 5】

前記一体化された本体は、熱伝導性材料を含むことを特徴とする請求項 4 記載の半導体デバイス。

10

【請求項 6】

前記一体化された本体は、アルミニウムおよび金属母材ポリマーの 1 つを含むことを特徴とする請求項 5 記載の半導体デバイス。

【請求項 7】

前記半導体ダイと前記少なくとも 1 個の電気伝導性のポストとの間に配設された絶縁充填材をさらに具えたことを特徴とする請求項 1 記載の半導体デバイス。

【請求項 8】

前記電気伝導性のウェブ部の前記第 1 の主要な表面から離れる方向に、前記電気伝導性のウェブ部の他の端部から延伸する少なくとも 1 個の他の電気伝導性のポストをさらに具えたことを特徴とする請求項 1 記載の半導体デバイス。

20

【請求項 9】

半導体デバイスを構成する半導体ダイを装着するための、少なくとも部分的に金属めっきされた表面を有するクリップであって、

前記半導体ダイの電極を電氣的に接続するための第 1 の表面と該第 1 の表面に対向する第 2 の表面とを有する電気伝導性のウェブ部と、

前記電気伝導性のウェブ部の前記第 1 の表面の端部から延在した少なくとも 1 つの電気伝導性のポストと、

前記電気伝導性のウェブ部の前記第 2 の表面の全面に渡ってかつ該第 2 の表面から延伸する複数の熱伝導性構造体と

を具え、

30

前記複数の熱伝導性構造体と前記少なくとも 1 つの電気伝導性のポストとは、前記電気伝導性のウェブ部と一体化され、該一体化された本体を形成することを特徴とするクリップ。

【請求項 10】

前記複数のフィンと前記少なくとも 1 個の電氣的コネクタとは、前記電気伝導性のウェブ部に一体的に接続され、該一体化した本体を形成することを特徴とする請求項 9 記載のクリップ。

【請求項 11】

前記一体化された本体は、アルミニウムからなることを特徴とする請求項 10 記載のクリップ。

40

【請求項 12】

前記一体化された本体は、金属母材ポリマーからなることを特徴とする請求項 10 記載のクリップ。

【請求項 13】

前記電気伝導性のウェブ部の他の端部に接続され、前記ウェブ部の前記第 1 の主要な表面から離れて延伸する少なくとも 1 個の他の電氣的コネクタをさらに具えたことを特徴とする請求項 9 ないし 12 のいずれかに記載のクリップ。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、半導体デバイスのパッケージに関し、より詳細には、冷却を改善するためのフィン式ヒートシンクを備える新規な半導体デバイスのパッケージに関する。

【0002】

本発明は、参照により本明細書に組み込まれている、「SEMICONDUCTOR DEVICE PACKAGE WITH IMPROVED COOLING」の名称で2001年10月10日に出願した米国特許仮出願第60/328,362号の優先権を主張するものである。

【0003】

本発明は、半導体デバイスに関し、より詳細には新規な半導体デバイスの低コストの製造プロセスに関する。

10

【背景技術】

【0004】

従来技術の半導体デバイスでは、多くの場合、ハウジング面積はその中に含まれる半導体ダイの面積の数倍である。

【0005】

さらに、多くの周知の半導体デバイスでは、熱はダイの一側面、通常は底面からのみ取り除かれる。

【0006】

加えて、従来技術の半導体デバイスを製造するプロセスは、特に単一デバイス取り扱い技法を用いたときコストがかかる。

20

【0007】

現在知られているダイ、特にパワーMOSゲートダイにおいて、頂部電極(ソース)は一般に約1.0%のケイ素を含むアルミニウム接点(以降アルミニウム接点)である。アルミニウム接点はそれがウェハ製造プロセスに良く適合する理由で使用される。

【0008】

【特許文献1】米国特許第5,451,544号

【特許文献2】米国特許第5,047,833号

【特許文献3】米国特許第5,795,793号

【発明の開示】

【発明が解決しようとする課題】

30

【0009】

しかし、それらのアルミニウム接点に電気的な接続を形成するのは困難であり、したがって、ワイアを超音波で下地のアルミニウム接点に接合するワイアボンディングプロセスが通常用いられる。これらのワイアボンディング接続は面積に制限があり、したがって電気抵抗( $R_{DS\ ON}$ )と動作中の熱の発生の発生源になっている。

【0010】

しかし、従来のMOSゲートダイの底部ドレイン接点は、例えば特許文献(特許文献1参照)に示されているように、多くの場合三元金属であって、容易にはんだ付け可能であり、あるいは、ワイアボンディングしないで広い接触面積での電気的な接続が可能である。

40

【0011】

したがって、大部分の熱が頂部表面の接合部およびワイアボンディング部で発生するにもかかわらず、熱は主に裏面の接点表面でのシリコンダイから除去される。熱をそれらの底部ドレインから改善された方法で除去することが望ましい。

【0012】

特許文献(例えば特許文献2参照)に示されているように、はんだ付け可能な頂部接点をダイの頂部表面に作製できることが知られている。しかし、それらははんだ付け可能な頂部接点構造に用いられるパッケージは、ダイ面積に比べて非常に大きな「設置面積」を有していた。

【0013】

50

周知の半導体デバイスよりも回路上の占有面積がより小さく、 $R_{DS(ON)}$ の低い半導体デバイスおよびその製造プロセスが望まれている。

【0014】

さらに、それらのデバイスを、装置数の少ない生産ラインと低いコストでバッチ処理を可能にするプロセスで製造することが望まれている。

【0015】

MOSゲートデバイスのソース側が不動態層、好ましくは感光性液体エポキシまたは窒化ケイ素層などで被覆されているデバイスが知られている。不動態層を形成するには、液体エポキシをウェハ表面上にスピン塗布、スクリーン印刷、または堆積して、ウェハを被覆する。次いで、材料を乾燥し、被覆したウェハを標準的なフォトリソグラフィおよびマスキング技術を用いて露光し、下地のソース金属に間隔を置いて露出した複数の表面領域を作るための不動態層の開口、およびウェハの各ダイの下地ゲート電極層を露出するための類似した開口を形成する。したがって、不動態層は従来の不動態層として働くが、さらにめっきレジスト（必要な場合）およびはんだ領域を画定し形作るはんだマスクとして働く。新規な不動態層の開口はチタン/タングステン/ニッケル/銀金属など、従来のはんだ付け可能な下地頂部金属まで貫通して作製することができる。

10

【0016】

別法として、下地金属がより従来的なアルミニウム金属の場合、不動態層をめっきレジストとして用いて、露出したアルミニウムをニッケルおよび金のフラッシュめっきまたは他の一連の金属でめっきし、はんだ付け可能な表面にすることができる。めっき金属区画の頂部は、はんだ付けが容易であり、そうでない場合は通常アルミニウム電極へのワイアボンドの高い接続抵抗に比べて低い抵抗で接続される。

20

【0017】

ソース接点領域は様々な幾何形状を有することができ、また、単一の大面積領域で構成することができる。

【0018】

次いでウェハはソーイングなどによって個々のダイに単一にされる。次いで個々のダイをソース側を下にして置き、U形状、L形状、またはカップ状の部分的にめっきしたドレインクリップを伝導性エポキシまたははんだなどを用いてダイのはんだ付け可能なドレイン側に接続し、ドレインクリップをダイの底部ドレイン電極に接合する。ドレインクリップのポストの底部はダイのソース側表面（すなわち接点突起の頂部）と同一平面であることができ、またはソース側表面は信頼性を向上させるためにポストの底部に関して内部方向に段差を付けてもよい。ダイの外側表面は次いで成形トレイ中でオーバーモールドされる。そのドレインクリップを備える多数のダイはモールドトレイの中で同時にモールドすることができる。

30

【0019】

ボンディング材料は、不動態材料のフィレットで、または全てをオーバーモールドすることによって、または組み立て体の一部で保護することができる。部品は、リードフレームや連続ストリップを用いて、またはデバイスを単一ブロックに成形し、そのブロックからデバイスをシンギュレーションすることによって製造中に作製することができる。

40

【0020】

モールドの後、デバイスは試験を行い、レーザー刻印し、再び個々のデバイスにソーイングされる。

【0021】

この種のデバイスは、「CHIP SCALE SURFACE MOUNTED DEVICE AND PROCESS OF MANUFACTURE」の名称で2001年3月28日に出願された同時係属出願整理番号第09/819,774号に示されており、その開示は参照により本明細書に組み込まれている。

【課題を解決するための手段】

【0022】

50

本発明によれば、ダイの底部、すなわち半導体ダイの上方向に面するドレインまたは他の電源接点は、フィン構造を備える伝導性ヒートシンクへ少なくとも熱的に接続されている。その構造は、ヒートシンクを数ミリメートルの厚さにすることのできる、サーバなど強制空気冷却を用いる用途、またはヒートシンクをわずかに1/2ミリメートルの厚さにしかできないラップトップまたは他の用途に特に有用である。

【0023】

ヒートシンクは、伝導性はんだまたは銀充填エポキシなどの伝導性接着剤によってダイに接続することができる。

【0024】

ヒートシンク自体は、アルミニウムまたは金属-母材ポリマー/エポキシなどの任意の適切な伝導性材料から作ることができ、かつ押し出し成形、成形またはモールドすることができる。

【発明を実施するための最良の形態】

【0025】

本発明は、ダイの両側に電源または他の電極を有する型の半導体ダイの新規なパッケージを提供し、低コスト製造技法で、冷却を改善して両方の電極を共通の支持表面、例えば印刷回路基板の金属化パターン上へ表面実装するのに利用することを可能にする。

【0026】

本発明をゲートおよびソース電極を一方の表面に有し、ドレイン電極を反対側の表面に有する縦型伝導パワーMOSFETを参照して説明するが、本発明は様々なトポロジーのIGBT、サイリスタ、ダイオード、などに等しく応用可能である。

【0027】

したがって、図面で見ることができるよう、新規なダイクリップが裏側の電極(MOSFETのドレイン電極)の少なくとも一部を取り囲んで接触し、クリップの少なくとも1個のポストがダイの端部を超えて延伸して同一面上の面で終端するが、前面の接点(MOSFET中のゲートおよびソース)からは絶縁され、ダイクリップが効率良く良好なヒートシンクとして働く。次いで、デバイスはダイおよびクリップの裏側および側部を囲んでオーバーモールドすることができ、ダイの全ての電極に、搭載表面への平坦で同一面上にあるはんだ付け可能な接点表面を提供する。

【0028】

全ての頂部接点表面は、ダイがウェハ段階であるときに、ダイの頂部面に容易にはんだ付け可能な表面を形成するための新規なはんだマスクを用いて形成される。次いで、ドレインクリップは単一にした後にダイに取り付け、バッチ式のモールドプロセスでオーバーモールドする。

【0029】

図1は、本発明を応用することのできる典型的なパワーMOSFETを示す。

【0030】

ダイ30は特許(例えば特許文献3参照)に示されている種類にすることができるが、シリコン本体31、頂部アルミニウム(すなわち1.0%のケイ素を含むアルミニウム)ソース電極32、アルミニウムゲート電極33、および底部ドレイン電極34(図2)を含む接合を有するダイの任意の種類とすることができ、これらの電極は従来のはんだ付け可能な三元金属とすることができる。頂部アルミニウム層は他の任意の適切な金属材料とすることができる。接続は通常アルミニウム電極32と33へワイヤボンディングによって行われる。

【0031】

後で説明するが、図3および図4で示したように、容易にはんだ付け可能な複数の接点ポスト36はソース電極32に固定され(形成され)、接点ポスト37はゲート電極33に固定される。接点ポスト36および37は、頂部金属が銀のダイの場合には不動態層の厚さと半ば平らであり、頂部金属がめっきアルミニウムのダイの場合には不動態層の約1/2の厚さである。平坦な接点頂部は同一平面にある。これらの接点への接続ははんだ

10

20

30

40

50

ーストによって行われ、印刷可能な最低のはんだ厚さは、ダイの頂部表面に残る不動態層 38 の厚さの約 4 ~ 5 倍である。

#### 【0032】

接点ポスト36のパターンは、図5、図11、図18に示したもののよう、異なる形状とすることができる。さらに、図6および図7、図8のダイのソース接点40など、大面積のはんだ付け可能な接点を用いることもできる。接点ポスト36、37、ソース接点40を形成する金属化プロセスは後で説明する。

#### 【0033】

図3~図8に示したように用意したダイを備えるパッケージの形成には、図9の伝導性めっき(または部分的なめっき)金属のクリップ45を使用する。クリップ45は、他の表面への接点<sub>10</sub>が作製される少なくとも部分的にめっきした銀表面を備える銅合金とすることができる。後に説明するが、クリップ45は冷却を改善するためのフィンで修正される。

#### 【0034】

クリップ45は全体的な「U形状」を有し、内部表面47から接点ポスト36、37の自由表面までを測定したダイ30よりもわずかに厚い高さに、クリップ45の平坦で薄いウェブ48のめっきされた内部表面47にドレインを接続するために使用する接着剤の厚さを加えた、浅いポスト46を備えている。例えば、クリップ45はポスト46の全長にわたる0.7mmの全厚さ、および内部表面47からポスト46の自由端までの厚さ約0.39mmを有することができる。ポスト46の間の距離はダイのサイズにより、各ポスト46の全幅が約1.5mmのInternational Rectifier Corporation製のサイズ4.6のダイには、5.6mmの距離が使用されてきた。<sub>20</sub>

#### 【0035】

また、図10に示すように、成形固定開口49をクリップ45の中に形成することができる。

#### 【0036】

ダイ30のはんだ付け可能な底部ドレイン電極34は、図12、29、30、31に示すように、クリップ45のめっきされた内部に、伝導性接着剤60などによって電氣的に接続および固定される。接着剤は、例えば、銀充填エポキシ材料とすることができ、適切に硬化される。ダイ30の側部端とクリップ45のポスト46の両側の間に間隔61および62が残る。<sub>30</sub>

#### 【0037】

示した実施形態において、構造体はポスト46(ドレインコネクタ)の自由表面と接点ポスト36および37が同一面上にあるような寸法にされる。好ましい実施形態では、ダイのソース電極は、デバイスの信頼性を向上させるために、ポスト46の自由表面に関して内方向に段差を付けることができる。

#### 【0038】

図13、14、15に示すように、その後図11および12のデバイスは成形トレイの中で、成形化合物70でオーバーモールドされる。成形化合物70は、ポスト46の外側の自由表面を除いてクリップ45の露出した外側表面の全てを被覆する。成形化合物は図13および図15に示すように間隔61および62の中を充填する。ここで、デバイスは、接点36、37、46との正しい位置関係を占める印刷回路板の導電性配線の上に表面搭載する準備が完了する。<sub>40</sub>

#### 【0039】

図16~図19は、異なる幾何形状のクリップを用いる、本発明によって修正することのできるデバイスの他の実施形態を示している。このように、図16および図17のクリップ80はウェブ81と3つの区画に分かれた突起ポスト82、83、84を有する。接点ポスト36および37を有するダイ30は、図18および図19に示すように、接点ポスト36、37および突起ポスト82、83、84の自由表面が共通の平面に在るように、ウェブ81にそのドレイン接点(図示せず)で最初に接着される。次いでデバイスは適<sub>50</sub>

切な成形トレイの中で、成形化合物 70 でオーバーモールドされる。

【0040】

図 20 および図 21 は、本発明によって修正することのできるパッケージのさらに他の実施形態を示しており、図 7 および図 8 のダイはカップ形状の銀めっきした銅合金クリップ 100 に搭載される。クリップ 100 は、長さ幅がダイ 30 よりも大きな内部領域を有し、ダイ 30 の底部ドレイン電極は、内部ウェブの表面 101 (図 21) に銀充填 (伝導性) エポキシ 102 によって接続して硬化する。最適には低応力の高接着性エポキシ 103 の輪をダイの端部周囲に付着することができ、パッケージの封止と構造的な強度を与える。

【0041】

はんだ付け可能なソース接点 40 の頂部表面はドレイン突起表面 105 と同一面上にある。したがって、接点 105、40、37 の全ては印刷回路板上の接点配線と正しい位置関係を占める。ドレイン接点は任意の適切な形状をとることができ、必要であれば単一接点または側部接点を含むことができる。

【0042】

図 22 ~ 図 24 は、従来のダイのアルミニウム電極上に伝導性ポストを形成するプロセスを示す。

【0043】

このように各々ゲートの接点ポスト 37 および分離したソース電極 (番号を付けていない) を有する複数の個々のダイは、ダイを単一にする前のウェハ 110 内に示されている。ウェハ形状に保ったまま、ウェハ 110 の頂部表面は感光性はんだマスク 111 で被覆される。マスク 111 は感光性液体エポキシであり、不動態層、めっきレジスト (必要な場合) およびはんだ領域を画定し形成するはんだマスクとして働く。しかし、他のマスク材料、例えば窒化ケイ素を使用することができる。従来のレチクルを使用して、複数の開口 111a ~ 111d が、ダイの頂部金属上の下地のソースおよびゲート接点までマスクを経て形成される。レーザーエッチングプロセスもこれらの開口を形成するのに用いることができる。

【0044】

図 24 に示したように、次いで一連の金属 112a - 112d がウェハの表面上にめっきされ、めっきは開口 111a ~ 111d を経て露出されたソース電極 32 (および他の電極) に付着し、ソース電極 32 との接点およびゲートへの類似の接点を形成する。金属 112a ~ 112d はアルミニウムに良好に接触するニッケルの第 1 の層、続く金フラッシュめっきから構成することができる。別法として、ニッケルに続いて、銀のように容易にはんだ付け可能な頂部表面を与える銅またはスズなどの層とすることができる。

【0045】

次いで、ウェハを例えば線でソーイングして分離し、ダイを単一にする。典型的なダイ 30 は図 3 ~ 図 8 に示した外観を有し、絶縁表面 38 の上に突起するはんだ付け可能な複数のソース接点およびゲート接点を有する。

【0046】

次いで単一にしたダイをドレインソース側を下にして、内部を銀または他の伝導性被覆でめっきした伝導性クリップの中に置く。ダイは、前に説明したように伝導性エポキシなどの従来の接合材料を用いてクリップに接合される。クリップはリードフレームの形で提供することができ、デバイスは後でリードフレームから単一にすることができる。

【0047】

本発明によれば、クリップ 45 (または 80 または 100) はダイ 30 が発生する熱の放散を改善するために修正することができる。図 25 ~ 図 27 を参照すれば、例えば、修正されたクリップ 45 は、自由表面を有し、複数の冷却フィン 200 がそこから離れて延伸する、ウェブ部 201 を含む。本発明の一態様によれば、ウェブ部 201 は熱の抽出と拡散をより良好にするために、厚さを増すことができる。図 25 ~ 図 27 に示した実施形態では、クリップ 45 は、ウェブ部 201 の対向する端部に配設された、後に説明するが

10

20

30

40

50

、ダイ 30 の電極に電氣的に接続されたウェブ部 201 の表面から離れて延伸する 2 個のポスト 46 を含む。複数の冷却フィン 200 と 2 個のポスト 46、およびウェブ部 201 は互いに一体的に接続されて一体化された本体を形成し、押し出し成形、モールド、または他の適切な方法によって、アルミニウム、金属母材ポリマー、銅、銅合金、または他の適切な熱伝導性材料から作ることができる。無論、本発明によるクリップは必ずしも図 25 ~ 図 27 に示した構成に制限する必要はなく、例えば、他の位置に配設されたより少数または多くのポストを含むことができる。

【0048】

ここで、図 28 ~ 図 29 を参照すれば、ダイ 30 の裏のドレイン電極 34 は、はんだまたは伝導性銀充填エポキシによって伝導的にクリップ 45 に取り付けられている。したがって、構造体は、ソースおよびゲート電極 32、33 を受容する適切な配線（図示せず）を有する PCB または他の搭載基板 210 に取り付けことができ、一方、ポスト 46 を基板 210 のドレイン接点パターンに接続することもできる。図 30 および図 31 を詳細に参照すれば、ポスト 46 は絶縁充填剤 103 によってダイ 30 の端部から絶縁されている。

10

【0049】

ゲートとソース 32、33、およびドレイン 46 は、前に説明した製造プロセスに用いられるものに類似した不動態化プロセスを用いて、ダイ / 基板 210 の接合境界内部で分離されている。

【0050】

本発明によるデバイスは発生した熱を放散するためのフィンを有するクリップに制限されず、他の熱放散構造を用いることができる。例えば、図 32 a および図 32 b に示したように、本発明の他の実施形態によれば、熱放散ピンアレイを有するクリップを使用して、空気の流れを向上することができる。それらのクリップの各ピンはメサ型構造であり、熱を放散することは可能であるが熱放出表面の空気の流れは制限しない。

20

【0051】

回路板上の接点へのクリップのはんだ付け性を向上させるために、クリップは、例えば、ニッケル、ニッケル - 金、ニッケル - 白金、または銀などのはんだ付けの容易な材料で被覆することができる。さらに、本発明によるクリップは、放射率の高い被覆で被覆して、輻射による熱放散を向上させることができる。

30

【0052】

本発明をその特定の実施形態に関して説明したが、当業者であれば、多くの他の変形と修正および用途は明らかであろう。したがって、本発明は本明細書の特定の開示によって制限されず、付属の請求項によってのみ制限されることが好ましい。

【図面の簡単な説明】

【0053】

【図 1】本発明によって筐体に收容することのできる、単一にしたパワー MOSFET ダイの平面図である。

【図 2】図 1 の断面線 2 ~ 2 で描いた図 1 の断面図である。

【図 3】図 1 のダイを、複数の分離した「はんだ付け可能な」ソース接点領域と「はんだ付け可能な」ゲート領域に画定する加工を行った後の平面図である。

40

【図 4】図 3 の断面線 4 ~ 4 で描いた図 3 の断面図である。

【図 5】図 3 のパターンに類似した修正ソース接点パターンを備えるダイの図である。

【図 6】図 3 および 5 のパターンに類似した、さらに他の大面積の「はんだ付け可能な」ソース接点パターンを備えるダイの図である。

【図 7】さらに他の接点トポロジー（コーナー部のゲートを備える）の平面図である。

【図 8】図 7 の断面線 8 ~ 8 で描いた図 7 の断面図である。

【図 9】本発明によって修正することのできるドレインクリップの俯瞰図である。

【図 10】クリップに形成した成形固定開口を備える図 9 のクリップの平面図である。

【図 11】図 3 および 4 のダイと図 9 のクリップのサブアセンブリ品の底面図である。

50



【図 1 2】図 1 1 の断面線 1 2 ~ 1 2 で描いた図 1 1 の断面図である。

【図 1 3】モールドトレイ中でオーバーモールドした後の図 1 1 と 1 2 のサブアセンブリ品の図である。

【図 1 4】図 1 3 の断面線 1 4 ~ 1 4 で描いた図 1 3 の断面図である。

【図 1 5】図 1 3 の断面線 1 5 ~ 1 5 で描いた図 1 3 の断面図である。

【図 1 6】本発明によって修正することのできるドレインクリップの他の実施形態の俯瞰図である。

【図 1 7】図 1 6 のクリップの平面図である。

【図 1 8】図 1 6 および 1 7 のクリップと図 3 および 4 の一般的な種類のダイを組み立てたオーバーモールド後の底面図である。

10

【図 1 9】図 1 8 の断面線 1 9 ~ 1 9 で描いた図 1 8 の断面図である。

【図 2 0】図 7 および 8 のトポロジーのダイを備えるカップ状ドレインクリップの底面図である。

【図 2 1】図 2 0 の断面線 2 1 ~ 2 1 で描いた図 2 0 の断面図である。

【図 2 2】単一にする前の MOSFET ダイのウェハを示す図である。

【図 2 3】図 2 2 のウェハのソース表面への不動態層の形成およびパターン形成のプロセスステップを示す図である。

【図 2 4】図 2 3 の不動態層上の金属化を示す図である。

【図 2 5】本発明による新規なドレインクリップの等角図である。

【図 2 6】図 2 5 のクリップの平面図である。

20

【図 2 7】図 2 6 の側面図である。

【図 2 8】ダイおよび支持基板に用いられた本発明の修正ドレインクリップの展開俯瞰図である。

【図 2 9】組み立て後の図 2 5 の構造を示す図である。

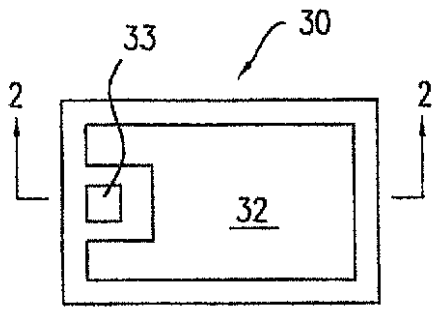
【図 3 0】図 2 9 の前面平面図である。

【図 3 1】図 3 0 に示したデバイスの一部の拡大図である。

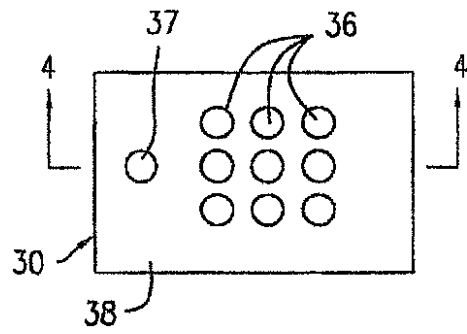
【図 3 2 a】代替の実施形態によるクリップの側面図である。

【図 3 2 b】代替の実施形態によるクリップの平面図である。

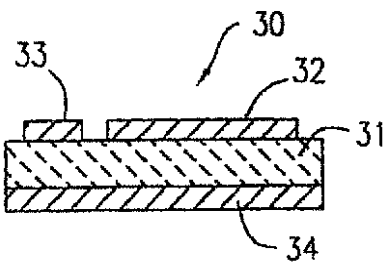
【図1】



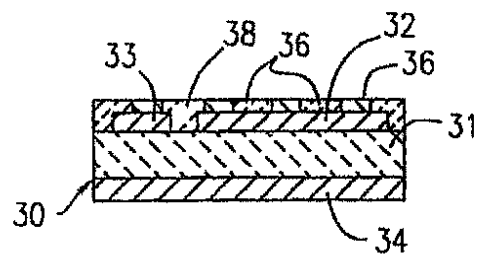
【図3】



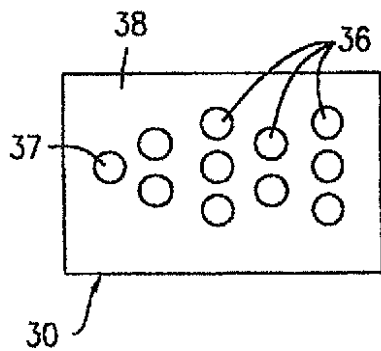
【図2】



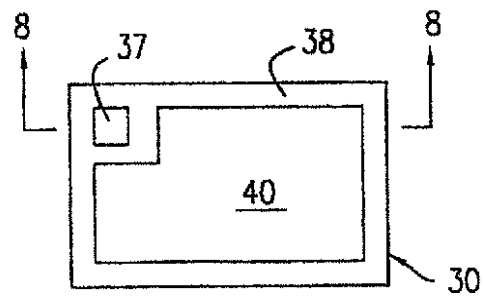
【図4】



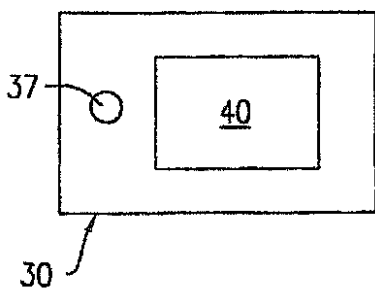
【図5】



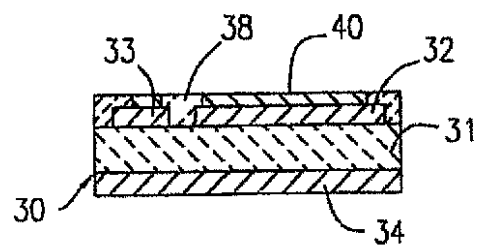
【図7】



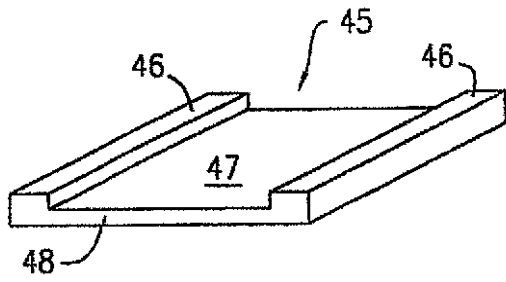
【図6】



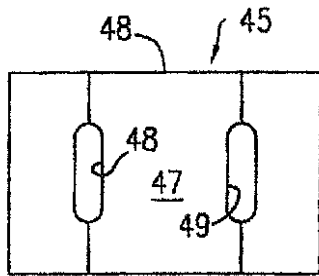
【図8】



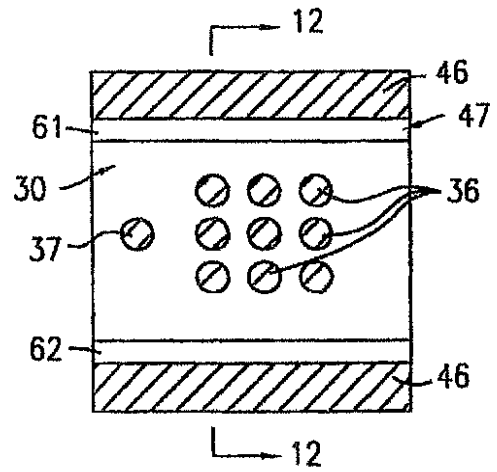
【図9】



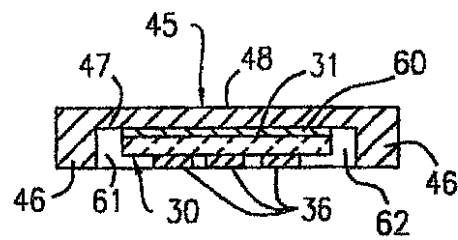
【図10】



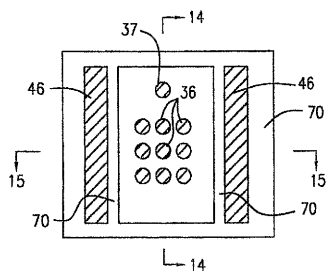
【図11】



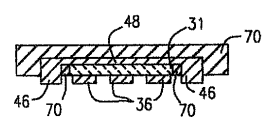
【図12】



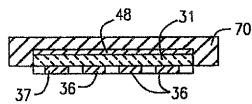
【図13】



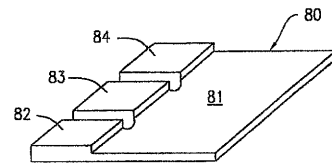
【図15】



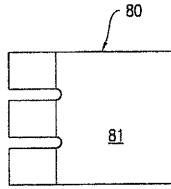
【図14】



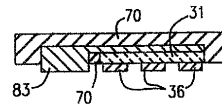
【図16】



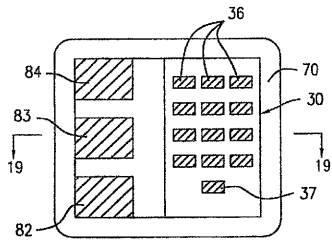
【図17】



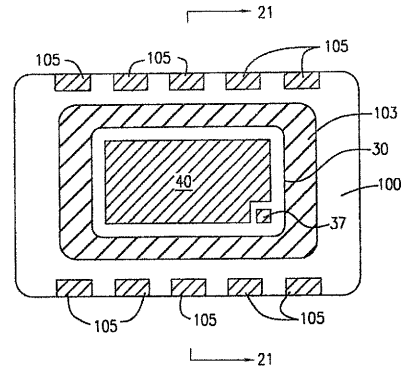
【図19】



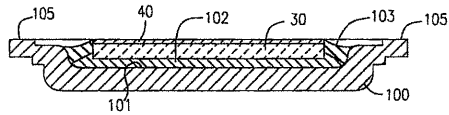
【図18】



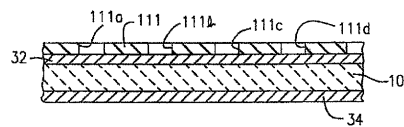
【図20】



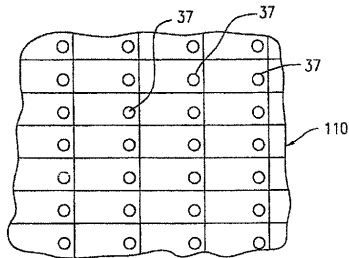
【図21】



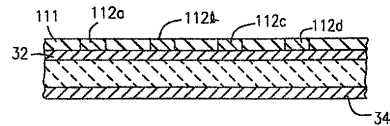
【図23】



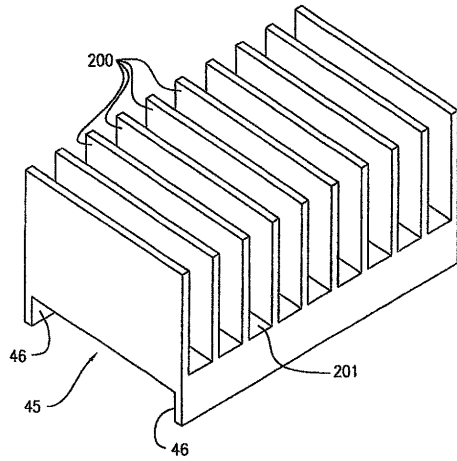
【図22】



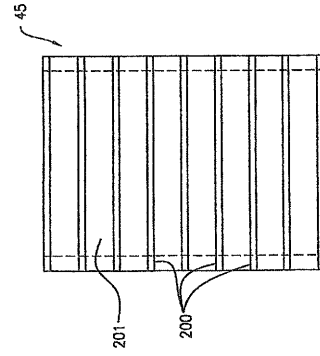
【図24】



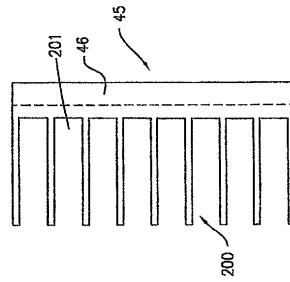
【図 25】



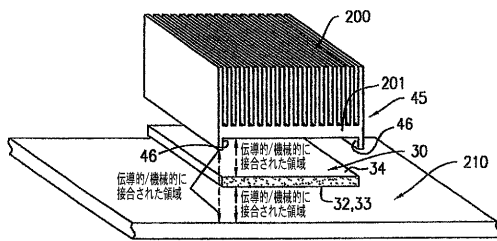
【図 26】



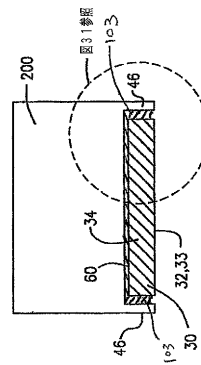
【図 27】



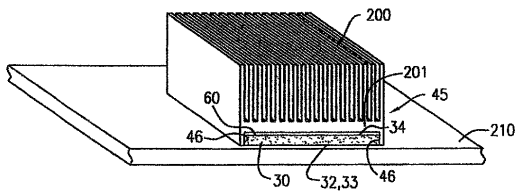
【図 28】



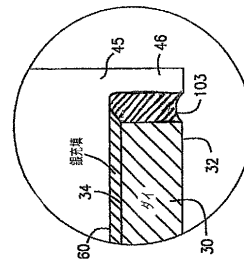
【図 30】



【図 29】



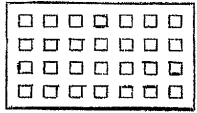
【図 31】



【 3 2 a】



【 3 2 b】



---

フロントページの続き

(72)発明者 チャールズ エス・カードウェル  
イギリス ビーエヌ6 8エイチエヌ サセックス ハソックス ステーション アプローチ (イースト) 5

審査官 今井 拓也

(56)参考文献 特開2003-86737(JP,A)  
特開2000-223634(JP,A)  
特開2000-82816(JP,A)  
特開平7-29939(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/34

H01L 23/36

H01L 23/29

H01L 29/78

H01L 21/336